8502	8501	6510T	6510	6509	6508	6502	Pin		Pin	6502	6508	6509	6510	6510T	8501	8502	
CLIV	CLIV	DECET	CLIV	HALT	DECET	CND	₁ [1	40	DECET	DLU2	DLUD	DECET	DIIIO	DECET	DECET	la a cab
CLK		_RESET	CLK	_	_RESET	GND	1		40	_RESET	PHI2	PHI2	_RESET	PHI2	_RESET	_RESET	Input
_HALT	_HALT	CLK	_HALT	_IRQ	PHI1	_HALT	2			PHI2	R/_W	_RESET	PHI2	R/_W	R/_W	R/_W	In/Out
_IRQ	_IRQ	_IRQ	_IRQ	SYNC	_IRQ	PHI1	3			CPS	D0	PHI1	R/_W	D0	D0	D0	Output
_NMI	AEC	AEC	_NMI	_NMI_	AEC	_IRQ	4			CLK	D1	R/_W	D0	D1	D1	D1	
AEC	VCC	VCC	AEC	AEC	VCC	N.C.	5		36	N.C.	D2	D0	D1	D2	D2	D2	5 Volt
VCC	A0	A0	VCC	VCC	A0	_NMI	6		35	N.C.	D3	D1	D2	D3	D3	D3	Ground
A0	A1	A1	A0	A0	A1_	SYNC	7		34	R/_W	D4	D2	D3	D4	D4	D4	
A1	A2	A2	A1	A1	A2	VCC	8		33	D0	D5	D3	D4	D5	D5	D5	
A2	A3	A3	A2	A2	A3	A0	9		32	D1	D6	D4	D5	D6	D6	D6	
A3	A4	A4	A3	A3	A4	A1	10	65xx / 850x	31	D2	D7	D5	D6	D7	D7	D7	
A4	A5	A5	A4	A4	A5	A2	11		30	D3	P0	D6	D7	P0	P0	P0	
A5	A6	A6	A5	A5	A6	A3	12		29	D4	P1	D7	P0	P1	P1	P1	
A6	Α7	A7	A6	A6	A7	A4	13		28	D5	P2	CPS	P1	P2	P2	P2	
A7	A8	A8	A7	A7	A8	A5	14		27	D6	Р3	Р0	P2	Р3	Р3	P3	
A8	A9	A9	A8	A8	A9	A6	15		26	D7	P4	P1	Р3	P4	P4	P4	
A9	A10	A10	A9	A9	A10	A7	16		25 .	A15	P5	P2	P4	P5	P6	P5	
A10	A11	A11	A10	A10	A11	A8	17			A14	P6	Р3	P5	P6	P7	P6	
A11	A12	A12	A11	A11	A12	A9	18			A13	P7	A15	A15	P7	GATE IN		
A12	A13	A13	A12	A12	A13	A10	19			A12	A15	A14	A14	A15	A15	A14	
A13	GND	GND	A13	A13	GND	A11	20			GND	A14	GND	GND	A14	A14	GND	5. Okto