

2 ОСОБЕННОСТИ МИКРОПРОЦЕССОРНЫХ УСТРОЙСТВ В СИСТЕМАХ ОБРАБОТКИ СИГНАЛОВ

(Из книги Ю.В.Воронков «Применение микропроцессоров в устройствах приема и обработки сигналов» Учеб. Пособие, Нижегород.гос.техн.ун-т. Н.Новгород, 1993. 170 с.)

2.1. ПРИНЦИПЫ ПОСТРОЕНИЯ МИКРОПРОЦЕССОРНЫХ СРЕДСТВ ОБРАБОТКИ СИГНАЛОВ

Под микропроцессорными средствами обработки сигналов понимают функционально законченные устройства цифровой обработки информации, реализованные в виде одной или нескольких БИС. Микропроцессорные средства возникли в результате развития технологии интегральных схем и вычислительной техники. По сути, микропроцессор — это устройство, состоящее из нескольких БИС, которые выполняют функции процессора ЭВМ, поэтому микропроцессорные средства используют те же принципы построения, что и ЭВМ. Вместе с тем уровень развития полупроводниковой технологии вносит свои коррективы в эти принципы.

При построении современных микропроцессорных средств используют следующие принципы: микропрограммное управление, модульность построения, магистральный обмен информацией и наращивание вычислительной мощности. Рассмотрим их [2].

Классическое вычислительное устройство состоит из операционного устройства, устройства управления, запоминающего устройства и устройства ввода-вывода. Операционное устройство и устройство управления образуют процессор любой ЭВМ, т.е. ее управляющую и обрабатывающую части. Устройство управления вырабатывает сигналы, под действием которых операционное устройство выполняет все необходимые операции и действия. Существует два метода построения управляющих устройств: с использованием комбинационных схем и с использованием микропрограммного запоминающего устройства. В первом случае каждое входное воздействие на управляющее устройство жестко связано с выходным, их изменения возможны только при изменении электрической схемы управляющего устройства. Поскольку входным воздействием управляющего устройства является команда, то в данном случае система команд фиксирована. Такие микропроцессоры называют микропроцессорами с фиксированным набором команд.

Во втором случае требуемое функционирование управляющего устройства обеспечивается занесением в память универсального управляющего устройства определенной программы, в зависимости от которой оно способно обеспечить требуемое управление операционным устройством при решении самых различных задач. Это дает высокую гибкость в решении задач обработки сигналов. Такие микропроцессоры называют микропроцессорами с микропрограммным управлением. Структурная схема микропрограммного устройства управления приведена на рис.2.1.

Команда, считанная из запоминающего устройства, поступает на регистр команд и далее на блок управления. В соответствии с принятыми сигналами блок управления формирует адрес первой микрокоманды микропрограммы, соответствующей принятой команде. Этот адрес через регистр адреса микрокоманды поступает на запоминающее устройство микрокоманд. Микрокоманда состоит из двух частей: операционной (или собственно микрокоманды), которая поступает через регистр микрокоманд в операционное устройство, и адресной, которая поступает в блок управления. Этот процесс продолжается до тех пор, пока не будет считана последняя микрокоманда данной программы. После этого микропрограммное устройство управления готово к приему следующей команды. Длина микропрограммы определяется разрядностью кода адреса следующей микрокоманды. Управляющее устройство своими микрокомандами воздействует на операционное устройство, которое можно построить с таким набором узлов и такой схемой их соединения, которые обеспечивают решение разнообразных задач обработки сигналов. Задача, решаемая

операционным устройством, определяется тем, какая микропрограмма заложена разработчиком в управляющее устройство. Использование микропрограммного управления позволяет разрабатывать системы команд, ориентированные на структуру реализуемых алгоритмов обработки сигналов, повышать быстродействие обработки.

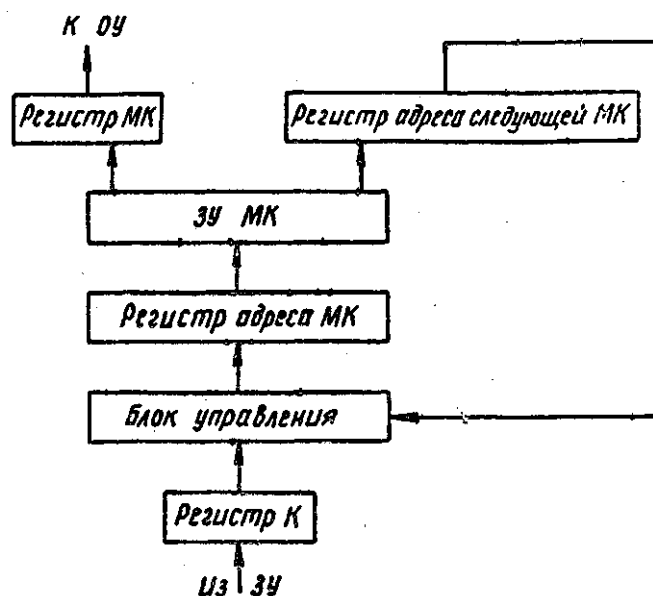


Рис.2.1

Модульный принцип построения микропроцессорных средств предполагает разделение электрической схемы микропроцессорного устройства на функционально завершенные модули, которые чаще всего выполняются в виде функциональных ячеек. Модульный принцип дает возможность разработчику выбирать только необходимые ему модули и постепенно наращивать функциональные возможности микропроцессорных устройств.

Некоторые выводы микропроцессорных средств должны соединяться между собой и с внешними устройствами. Это обеспечивается объединением выводов в магистрали (шины) и мультиплексированием во времени обмена информацией между модулями. Весь информационный поток обычно разбивается на три группы: адреса, данные и управление. В соответствии с этим выделяют шину данных, шину адресов и управляющую шину. Количество шин, необходимых для функционирования устройства, определяется разработчиком. При обмене информацией между устройствами к шине должны быть подключены только устройства, осуществляющие обмен. Остальные устройства, подключенные к шине, не должны мешать им. Это достигается специальными способами подключения выводов устройств к шине: логическим объединением, объединением с помощью схем с открытым коллектором и объединением с использованием схем с тремя состояниями.

Микропроцессорные средства обработки сигналов имеют еще ряд особенностей, которые следует учитывать при разработке их устройств.

Во-первых, технические характеристики АЦП и ограниченное быстродействие микропроцессоров приводят к необходимости реализации предварительной обработки радиосигналов с использованием аналоговой схемотехники. Это требует разработки специальных периферийных устройств и интегральных схем.

Во-вторых, обработка сигналов должна осуществляться в реальном масштабе времени, т.е. на время выполнения алгоритма обработки сигналов накладывается ограничение. При этом допустимое время выполнения программы микропроцессором определяется как структурой устройства, так и параметрами обрабатываемых сигналов. В некоторых случаях

для повышения быстродействия микропроцессорных устройств применяют аппаратные микропроцессоры для реализации наиболее сложных участков алгоритма обработки.

Среди микропроцессорных комплектов, выпускаемых отечественной промышленностью, перспективными для разработки устройств обработки сигналов являются биполярные секционированные (с разрядно-модульной организацией) комплекты серий K589, K1802 и K1804. Они относятся к числу микропроцессоров с микропрограммным управлением, что позволяет принимать оптимальные решения по выбору структуры аппаратной части процессора, организации микропрограммного обеспечения и системы синхронизации, исходя из специфики конкретных алгоритмов обработки. В итоге сокращаются аппаратные затраты и достигается высокое быстродействие обработки. Разрядно-модульная организация и микропрограммное управление обеспечивают эффективную организацию практически любого алгоритма. Отсутствие жесткой ориентации на реализацию конкретной архитектуры позволяет строить на базе этих комплектов процессоры, отличающиеся структурой, составом команд, емкостью и организацией памяти и т.д. Требуемая разрядность процессора может быть обеспечена использованием нужного числа микропроцессорных секций. Перечисленные достоинства секционированных микропроцессорных комплектов в наибольшей степени присущи серии K1804.

2.2. СЕКЦИОНИРОВАННЫЙ МИКРОПРОЦЕССОРНЫЙ КОМПЛЕКТ БИС K1804

Микросхемы микропроцессорного комплекта K1804 предназначены для построения микропроцессорных устройств с разрядно-модульной организацией [3-5]. Большинство БИС серии K1804 — 4-разрядные микропроцессорные секции, используемые либо для обработки четырех разрядов данных, либо для выполнения определенного набора управляющих функций. Секционность БИС комплекта обеспечивает возможность построения на их основе микропроцессорных устройств с разрядностью, кратной четырем при параллельном включении БИС. Управление работой отдельных БИС комплекта осуществляется программно, что позволяет реализовать практически любой набор.

В настоящее время в состав комплекта входят девять БИС, которые можно разделить на две группы: БИС для построения операционной части микропроцессора и БИС для построения управляющей части микропроцессора. В первую группу входят: микропроцессорные секции K1804BC1 и K1804BC2, схема переноса K1804BP1, 4-разрядный параллельный регистр K1804IP1 и схема управления состоянием и сдвигами K1804BP2. Вторую группу составляют: секции управления адресом микрокоманды K1804BU1 и K1804BU2,, схема управления следующим адресом K1804BU3 и схема управления последовательностью микрокоманд K1804BU4.

Рассмотрим назначение и структурные схемы отдельных БИС этой серии.

2.2.1. Микропроцессорная секция K1804BC1

Микропроцессорная секция K1804BC1 предназначена для построения процессоров с длиной слова, кратной четырем. Она рассчитана на микропрограммное управление, имеет двухвходовое АЛУ, двухпортовую регистровую память 16x4, рабочий регистр Q, тристабильную выходную шину Y3-0 и две пары двунаправленных тристабильных линий сдвига.

Структурная схема секции показана на рис.2.2. Арифметическо-логическое устройство выполняет восемь арифметических и логических операций над двумя операндами, подаваемыми на входы R и S через селектор источников данных, и формирует четыре признака результата: перенос из старшего разряда C4- «переполнение OVR», знак F3 и признак нулевого результата Z. Источниками данных (операндов) могут быть: входная шина данных, содержимое одного или двух внутренних регистров, содержимое регистра Q или нулевая константа. Выбор операндов и требуемой операции АЛУ производится с помощью разрядов микрокоманд I0, I1, I2 и I3,I4,I5 соответственно. Источники операндов и перечень

операций АЛУ приведены в табл.2.1 (C0 — вход переноса).

Результат операций выдается на выходную шину данных через селектор данных, управляемый разрядами I6,I7,I8 микрокоманды (табл.2.2).

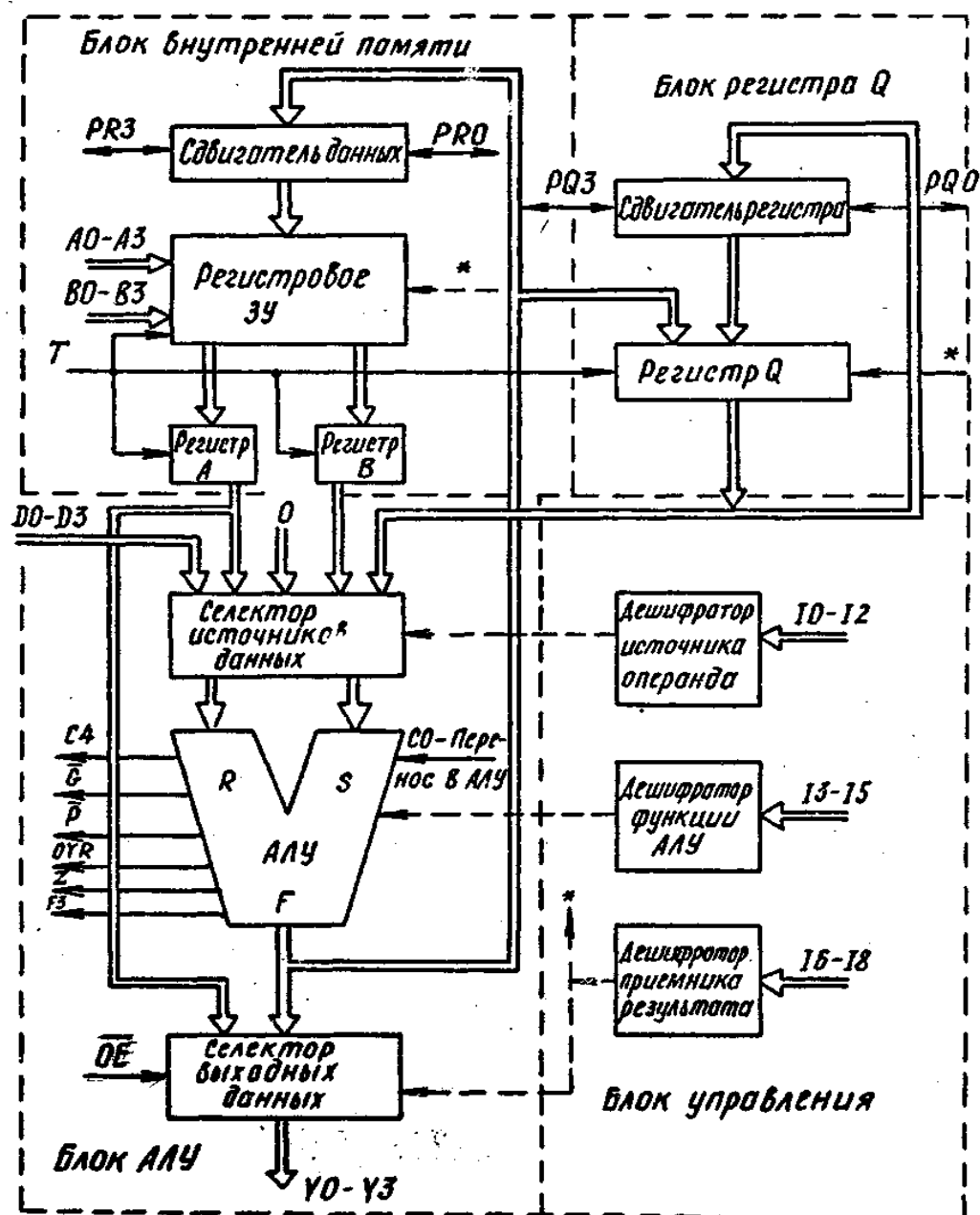


Рис.2.2

38

Таблица 2.1

| Источники операндов АЛУ | | | | | Перечень операций АЛУ | | | |
|-------------------------|----|----|------------|---|-----------------------|----|----|-------------|
| Микрокоманда | | | Источник и | | Микрокоманда | | | Функция АЛУ |
| I2 | I1 | I0 | R | S | I5 | I4 | I3 | |
| 0 | 0 | 0 | A | Q | 0 | 0 | 0 | R+S+CO |

| | | | | | | | | |
|---|---|---|---|---|---|---|---|-------------------------|
| 0 | 0 | 1 | A | B | 0 | 0 | 1 | S-R-1+CO |
| 0 | 1 | 0 | 0 | Q | 0 | 1 | 0 | R-S-1+CO |
| 0 | 1 | 1 | O | B | 0 | 1 | 1 | RVS |
| 1 | 0 | 0 | O | A | 1 | 0 | 0 | RAS |
| 1 | 0 | 1 | D | A | 1 | 0 | 1 | \overline{RAS} |
| 1 | 1 | 0 | D | Q | 1 | 1 | 0 | $R \oplus S$ |
| 1 | 1 | 1 | D | O | 1 | 1 | 1 | $\overline{R \oplus S}$ |

Таблица 2.2

| Микрокоманда | | | Функция памяти | | Функция регистра Q | | Выход Y | Сдвигатель АЛУ | | Сдвигатель Q | |
|--------------|----|----|----------------|----------|--------------------|----------|---------|----------------|-----|--------------|-----|
| I8 | I7 | I6 | Сдвиг | Загрузка | Сдвиг | Загрузка | | PR3 | PRO | PR3 | PR0 |
| 0 | 0 | 0 | Нет | Нет | Нет | F→Q | F | x | x | x | x |
| 0 | 0 | 1 | Нет | Нет | Нет | Нет | F | x | x | x | x |
| 0 | 1 | 0 | Нет | F→B | Нет | Нет | A | x | x | x | x |
| 0 | 1 | 1 | Нет | F→B | Нет | Нет | F | x | x | x | x |
| 1 | 0 | 0 | Вправо | F/2→B | Вправо | Q/2→Q | F | Bx3 | F0 | Bx3 | Q0 |
| 1 | 0 | 1 | Вправо | F/2→B | Нет | Нет | F | Bx3 | F0 | x | Q0 |
| 1 | 1 | 0 | Влево | 2F→B | Влево | 2Q→Q | F | F3 | Bx0 | Q3 | Bx0 |
| 1 | 1 | 1 | Влево | 2F→•B | Нет | Нет | F | F3 | Bx0 | Q3 | x |

Здесь "х" обозначает неопределенное состояние. Для шины V подразумевается, что сигнал разрешения выхода \overline{OE} равен нулю. Сигналы (C4) и входы (CO) переносов АЛУ обеспечивают возможность комплектования БИС в блоки с разрядностью, кратной четырем. Ускоренный перенос при комплектовании БИС организуется при помощи внешних схем с использованием сигналов \overline{P} и \overline{B} .

Блок внутренней памяти содержит 16 четырехразрядных регистров и имеет два независимых знала адресации — шины адреса регистра внутренней памяти A и внутренней памяти B. Причем запись в регистры возможна только при адресации по шине B. Информация поступает в регистры с выхода АЛУ через сдвигатель данных, который обеспечивает три режима записи: без сдвига, со сдвигом на один разряд влево и со сдвигом на один разряд вправо. При выполнении операции сдвига в сдвигателе данных формируется сигнал переноса PR3 или PRO.

Информация с выхода АЛУ может быть записана и в дополнительный рабочий регистр Q. Содержимое регистра Q можно также сдвинуть на один разряд влево или вправо.

На рис.2.3 приведены обозначение и нумерация выводов БИС K1804BC1. Назначение выводов микросхемы показано в табл.2.3.

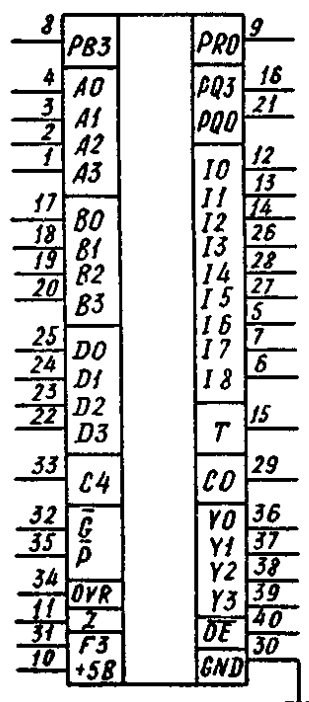


Рис.2.3

| Вывод | Назначение |
|--------------------------------------|--|
| AO, A1 A2, A3 BO, B1 | Входные линии адресов регистров внутренней памяти A и B |
| I0, I1 I2, I3 I4, I5 I6, I7 | Входные линии микрокоманды, определяющей действия секции в текущем микроцикле |
| D3 - | Входные линии данных от внешних источников |
| Y3 - | Выходная шина секции |
| OE | Сигнал разрешения выхода. При высоком уровне буферы выходной шины находятся в высоко-импедансном состоянии, а при низком — выводят содержимое выходной шины АЛУ или регистра A |
| T | Вход тактирующего сигнала |
| CO | Вход переноса АЛУ |
| C4 | Выход переноса АЛУ, используется только в случае последовательного переноса, при организации ускоренного переноса не используется |
| OVR | Выходной сигнал переполнения АЛУ |
| F3 | Значение старшего бита результата АЛУ. В дополнительном коде совпадает со знаком |
| Z | Выходной сигнал о получении нулевого результата АЛУ (F - 0). Выход типа "открытый коллектор" |
| P, G | Выходы распространения и генерирования переноса, предназначенные для схем ускоренного переноса |
| PR3, PRO | Двунаправленные тристабильные линии сдвигателя на выходе АЛУ (или на входе памяти) |
| PQ3, PQO | Двунаправленные тристабильные линии сдвигателя регистра |

Для каскадирования секций микросхем К1804BC1 в 16-разрядный процессор (рис.2.4) применяется схема ускоренного переноса 1804BP1, изображенная на рис.2.5.

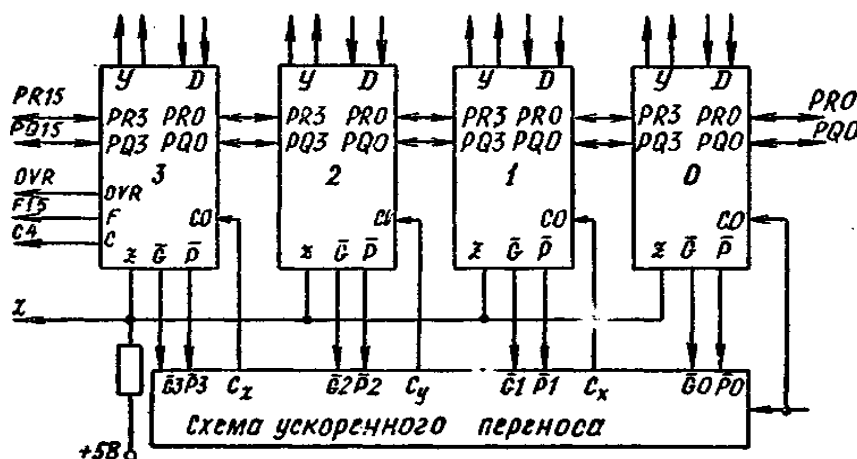


Рис.2.4

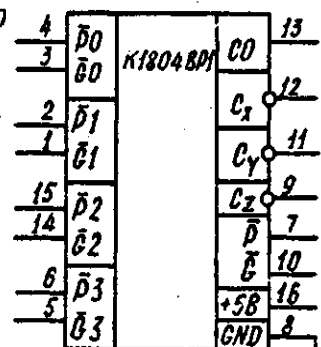


Рис.2.5

Обычно сигналы I, A, B, $\bar{O}\bar{E}$ и T подаются параллельно во все секции, а большинство сигналов состояний берется из старшей серии.

Микропроцессорная секция К1804BC1 может быть разделена на четыре блока: блок внутренней памяти, блок рабочего регистра Q, блок АЛУ и блок управления.

Рассмотрим их построение и функционирование.

Блок внутренней памяти включает в себя регистровое запоминающее устройство, содержащее 16 четырехразрядных регистров. Адреса регистров представляются 4-разрядными кодовыми комбинациями. Два адресных входа АО-АЗ и ВО-ВЗ регистрового запоминающего устройства, на которые информация поступает из микрокоманды, определяют адреса любой пары регистров, содержимое которых принимается регистрами А и В. Далее эти регистры служат источниками операндов, над которыми выполняются операции.

Запись в регистровое запоминающее устройство (ЗУ) в каждом тактовом периоде может производиться лишь в один из регистров, адрес которого задается шиной ВО-ВЗ. Записываемые данные при этом подаются с выхода АЛУ через сдвигатель данных. Они могут передаваться без сдвига либо со сдвигом на один разряд влево или вправо. Таким образом, за один тактовый период из регистрового ЗУ может быть выдано содержимое двух регистров; над ними в АЛУ выполнена некоторая операция, и полученный результат может быть сдвинут вправо или влево и вновь записан в регистр регистрового ЗУ. Выводы PR0 и PR3 в зависимости от направления сдвига служат входом или выходом, через которые производятся запись значения в освобождающийся при сдвиге разряд и выдача содержимого выдвигаемого разряда.

Чтение из регистров регистрового ЗУ, адресуемых шинами АЗ-АО и ВЗ-ВО, происходит при высоком уровне тактового сигнала. Его вход отключен и не реагирует на поступающую информацию. При низком уровне тактового сигнала входы регистров А и В отключаются и регистры хранят принятую информацию. При этом в регистровое ЗУ производится запись информации через сдвигатель данных по адресу ВО-ВЗ. Таким образом, чтение, и запись информации в регистровом ЗУ разнесены во времени.

Блок рабочего регистра содержит одиночный 4-разрядный регистр Q, построенный на триггерах D-типа. Содержимое регистра постоянно передается в АЛУ. Запись в регистр может производиться на положительном фронте тактовых импульсов. Данные на вход регистра передаются через узел сдвигателя регистра Q, который передает записываемые в

регистр данные без сдвига либо со сдвигом влево или вправо на один разряд. На вход регистра Q может передаваться результат операции с выхода АЛУ или содержимое самого регистра Q. Последнее обеспечивает возможность выполнения сдвига содержимого регистра Q, производимого параллельно с операцией в АЛУ.

Блок АЛУ включает в себя АЛУ, которое имеет два 4-разрядных входа R и S. Данные на эти входы поступают с выхода селектора источников данных. Кроме этих входов АЛУ имеет вход для подачи переноса C0.

На вход R АЛУ селектор источников данных коммутирует выход регистра A или внешнюю шину данных DO~D3 либо передает на этот вход нулевое значение. На вход S селектор источников данных коммутирует или выход регистра A, или выход регистра B, или выход регистра Q, или нулевое значение.

Результат операции с выхода АЛУ подается на сдвигатель данных, регистр Q и селектор выходных данных. Последний коммутирует в выходную шину данных содержимое регистра A или выход АЛУ. Он построен на элементах с тремя состояниями и управляется сигналом \overline{OE} .

Блок управления предназначен для преобразования содержимого кода операции I0-I8 микрокоманды в систему управляющих сигналов, под действием которых в узлах микросхемы выполняются микрооперации.

Таким образом, для управления рассмотренными процессами требуется микрокоманда, типичный формат которой имеет вид, приведенный на рис. 2.6, а микроцикл изображен на рис.2.7.



Рис.2.6

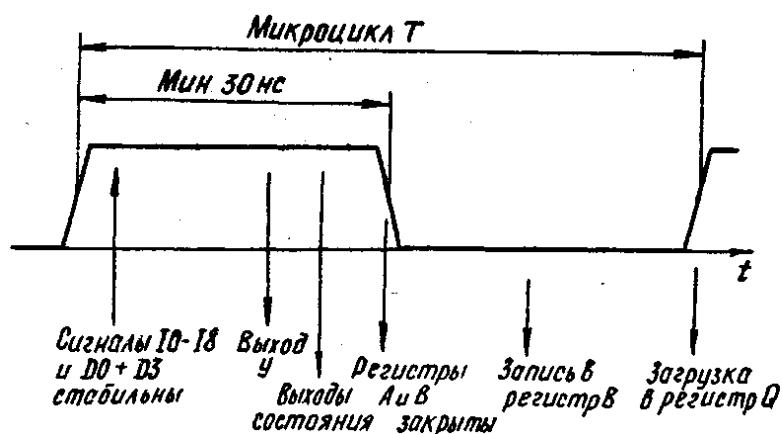


Рис.2.7

2.2.2. Микропроцессорная секция K1804BC2

Это 4-разрядное устройство обработки данных, структурная схема которого приведена на рис.2.8, состоит из тех же функциональных узлов, что и БИС K1804BC1. Однако функциональные возможности БИС K1804BC2 намного шире. На рис. 2.8 обозначено:

\overline{WE} — сигнал разрешения записи,

A0-A3, B0-B5 — шины адреса регистра,

T — тактовый сигнал,
 $DA0-DA3$ — входная шина данных,
 $DB0-DB3$ — двунаправленная шина данных,
 \overline{P}/OVR — сигнал разрешения записи в АЛУ,
 $C4$ — перенос из АЛУ,
 \overline{P}/OVR — сигнал распространения переноса/переполнения,
 $\overline{C}/F3$ — сигнал генерации переноса/старший разряд АЛУ,
 $PF0, PF3$ — сигналы переноса при сдвиге,
 Z — признак нулевого результата в АЛУ,
 $YO-Y3$ — выходная шина данных,
 $\overline{DY3}$ — разрешение передачи данных из АЛУ,
 $C0$ — перенос в АЛУ,
 \overline{FA} — сигнал разрешения передачи в АЛУ,
 \overline{OEB} — сигнал разрешения записи,
 $PQ0, PQ3$ — сигналы переноса при сдвиге,
 \overline{LSS} — сигнал фиксации по. ^жения младшей БИС,
 $\overline{MSS}/\overline{W}$ — сигнал фиксации положения старшей БИС,
 \overline{IEN} — разблокировка выхода W младшей БИС, разрешение записи в Q ,
 $I0-I8$ — сигналы кода микрокоманды.

Арифметико-логический блок БИС, в который входят АЛУ, сдвигатель результата АЛУ и формирователь признака нуля, обеспечивает выполнение семи арифметических, девяти логических и девяти специальных функций над одним или двумя операндами, поступающими на вход АЛУ через входные мультиплексоры R и S . С использованием сдвигателя результата АЛУ, внутренней регистровой памяти и рабочего регистра Q в БИС выполняются арифметические и логические сдвиги, микропрограммы умножения, деления, нормализации и преобразования чисел со знаком в дополнительный код. В БИС выполняются и операции расширения знака числа, генерации паритета на выходе $PF0$ (операции "исключающее ИЛИ" всех выходов АЛУ и сигнала на входе $PF3$), увеличения операнда на 1(2).

При комплексировании микропроцессорных секций $K1804BC2$ возникает необходимость их настройки на заданное положение в системе (старшая, младшая или средняя). Это связано с тем, что функционирование при выполнении некоторых операций зависит от их положения в системе. _ Настройка БИС выполняется с помощью сигналов \overline{LSS} и $\overline{MSS}/\overline{W}$.

Блок внутренней памяти БИС $K1804BC2$ по количеству внутренних регистров и их адресации аналогичен блоку внутренней памяти БИС $K1304BC1$, однако он обладает новыми функциональными возможностями: способен работать в режимах двух- и трехадресной обработки. При двухадресной обработке на входы AO — $A3$ подается адрес операнда R , а на входы $B0$ — $B3$ — адрес операнда S , который одновременно является и адресом результата. При трехадресной обработке адрес на входах BO — $B3$ после считывания операнда S заменяется на адрес результата в течение одного такта, тем самым обеспечивается запись результата операции АЛУ по новому адресу.

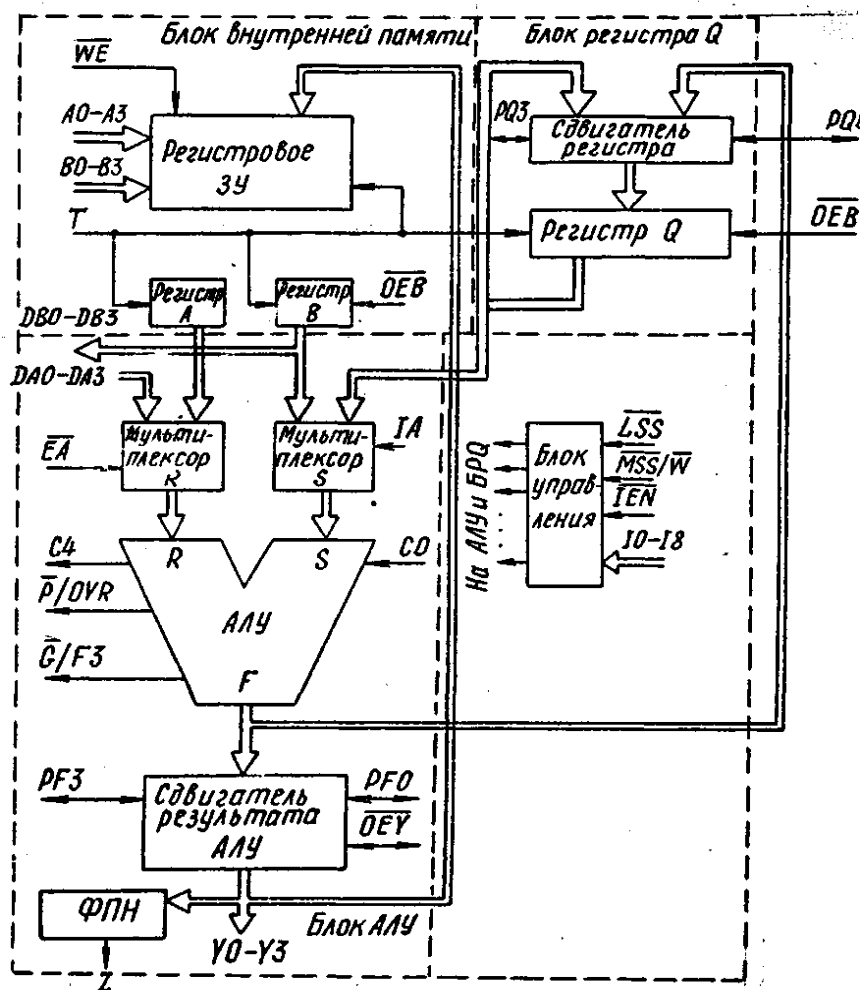


Рис. 2.8

| | | | | |
|----|-------|-------|-------|----|
| 37 | WE | K1804 | PQ3 | 48 |
| 30 | A0 | BC2 | PQ0 | 1 |
| 29 | A1 | | | |
| 28 | A2 | | DEB | 31 |
| 27 | A3 | | | |
| 44 | | | 10 | 42 |
| 45 | B0 | | 11 | 41 |
| 46 | B1 | | 12 | 7 |
| 47 | B2 | | 13 | 8 |
| 23 | B3 | | 14 | 9 |
| 24 | DB0 | | 15 | 33 |
| 25 | DB1 | | 16 | 34 |
| 26 | DB2 | | 17 | 33 |
| 3 | DB3 | | 18 | 32 |
| 4 | DA0 | | LSS | 39 |
| 5 | DA1 | | MSS/W | 40 |
| 6 | DA2 | | TEN | 38 |
| 2 | DA3 | | T | 43 |
| 12 | EA | | Y0 | 16 |
| 14 | P/OVR | | Y1 | 17 |
| 11 | G/F3 | | Y2 | 18 |
| 21 | C4 | | Y3 | 19 |
| 22 | PF3 | | CO | 10 |
| 36 | Z | | PFO | 20 |
| | +5B | | DEY | 15 |
| | | | GND | 13 |

Рис.2.9

Блок управления микропроцессорной секции обеспечивает формирование всех внутренних управляющих сигналов БИС, определяющих выполняемую операцию АЛУ и положение БИС в системе. Входными сигналами блока управления являются сигналы кода микрокоманды I0-I8 и системные управляющие сигналы \overline{LSS} , $\overline{MSS/W}$, \overline{TEN} . Нумерация выводов БИС K1804BC2 приведена на рис.2.9.

2.2.3. Объединение микропроцессорных секций в операционном устройстве.

Требуемая разрядность операционного устройства обеспечивается объединением некоторого числа микропроцессорных секций. Каждая секция хранит и обрабатывает 4-разрядную группу данных; если используется n микропроцессорных секций, то разрядность операционного устройства равна 4n. На рис.2.10 показано объединение четырех секций в 16-разрядном операционном устройстве.

Одной из задач, которые приходится решать при объединении секции, является обеспечение малого времени задержки переноса, поступающего на вход C0 секций. Один из возможных способов построения цепи передачи переносов при объединении микропроцессорных секций — последовательный при котором выход C4 секции подключается к входу C0 следующей, более старшей секции. При этом на вход C0 каждой секции сигнал переноса поступает с задержкой, с которой проходят переносы через все предыдущие секции. Эта задержка в цепи от входа C0 до выхода C4 в одной секции

составляет 20 нс. При большем числе объединяемых функций задержка существенно отразится на быстродействии операционного устройства. Уменьшение задержки в формировании и подаче переносов на входы С0 микропроцессорной секции обеспечивает применение схемы ускоренного переноса K1804BP1, нумерация выводов которой приведена на рис.2.5. Информация, необходимая для формирования переносов в данной микросхеме, выдаваемых, на входы С0 секций, подается в виде сигналов с выходов \bar{P} и \bar{E} секций.

В операционном устройстве, состоящем из четырех секций, при последовательной передаче переносов время распространения сигнала от входов А3 — А0 и В3 — В0 до выхода С4 переноса в первой секции составляет 70 нс, далее задержка во второй и третьей секциях $20 \times 2 = 40$ нс; таким образом, искомая задержка 110 нс.

В схеме с ускоренным переносом время распространения сигнала от входов А3 — А0 и В3 — В0 до выходов \bar{P} и \bar{E} составляет 59 нс, задержка в схеме ускоренного переноса 5 нс. Таким образом, общая задержка равна 64 нс.

Другая задача, решаемая при объединении микропроцессорных секций, состоит в построении цепей передачи переносов при выполнении операций сдвигов. Если производится сдвиг вправо, то выдвигаемое из секций на выходы PR0 и PQ0 содержимое младших разрядов должно передаваться на входы PR3 и PQ3 следующих младших секций для ввода их в освобождающиеся при сдвиге старшие разряды регистров. При сдвиге влево из секций на выходы PR3 и PQ3 выдвигается содержимое старших разрядов, оно должно вдвигаться через входы PR0 и PQ3 в освобождающиеся при сдвиге младшие разряды следующих старших микропроцессорных секции. Таким образом, при объединении секций необходимо обеспечить соединение выводов PR0 и PQ3 младшей секции с выводами PR0 и PQ3 следующей старшей секции.

Третья задача, решаемая при построении операционного устройства, — формирование слова состояния (признаков, предназначенных для выполнения условных переходов). При объединении секций нужно объединить выходы Z секций и подключить через регистр к источнику питания. Такая объединенная цепь служит выходом признака нуля. В качестве остальных выводов признаков используются выходы признаков из старшей микропроцессорной секции. Выходы признаков остальных секций остаются неиспользованными. Слово состояния операционного устройства формируется объединенным выходом признака нуля, выходами признаков старшей секции, выходами PR0 и PQ0 младшей секции и выходом PR3 старшей секции. В зависимости от решаемой задачи разрядность слова состояния и схема его формирования могут быть различными. Они определяются проектировщиком и решаются с применением мультиплексоров.

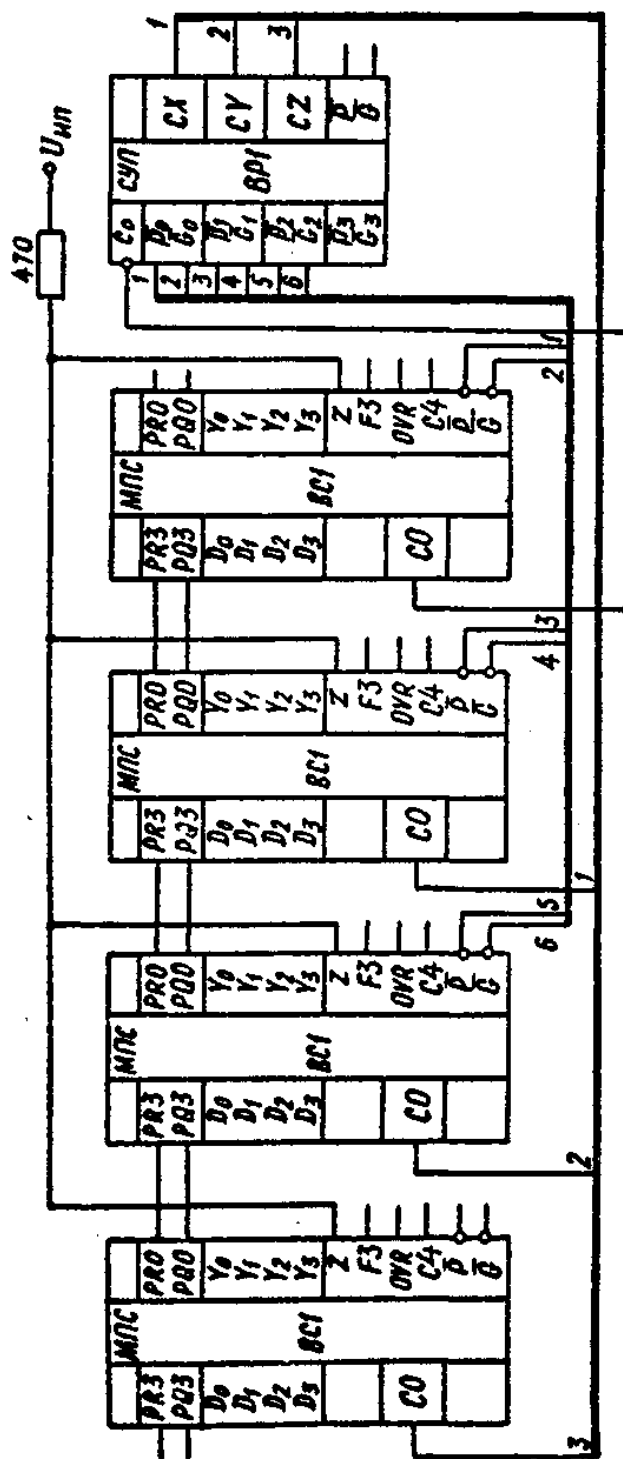


Рис.2.10

2.2.4. Схема управления состоянием и сдвигами К1804ВР2

БИС К1804ВР2 предназначена для выполнения различных операций по обслуживанию АЛУ:

- формирования сигналов входного переноса для микропроцессорных секций и схем ускоренного переноса;
- организации арифметических, логических и циклических сдвигов чисел одинарной и двойной длины (всего 32 варианта сдвигов);
- выполнения различных операций с содержимым двух внутренних регистров состояния М и N ;

-проверки за один такт одного из 16 различных условий, поступающих с выходов регистров состояния М и N либо из микропроцессорной секции.

В БИС K1804BP2 можно выделить следующие функциональные блоки (рис.2.11, 2.12): блок обработки признаков, блок проверки условия, блок управления переносом и блок управления сдвигами. Блок обработки признаков предназначен для хранения и модификации следующих признаков выполнения операций в АЛУ микропроцессорной секции: перенос С, знак N, переполнение V и нулевой результат Z.

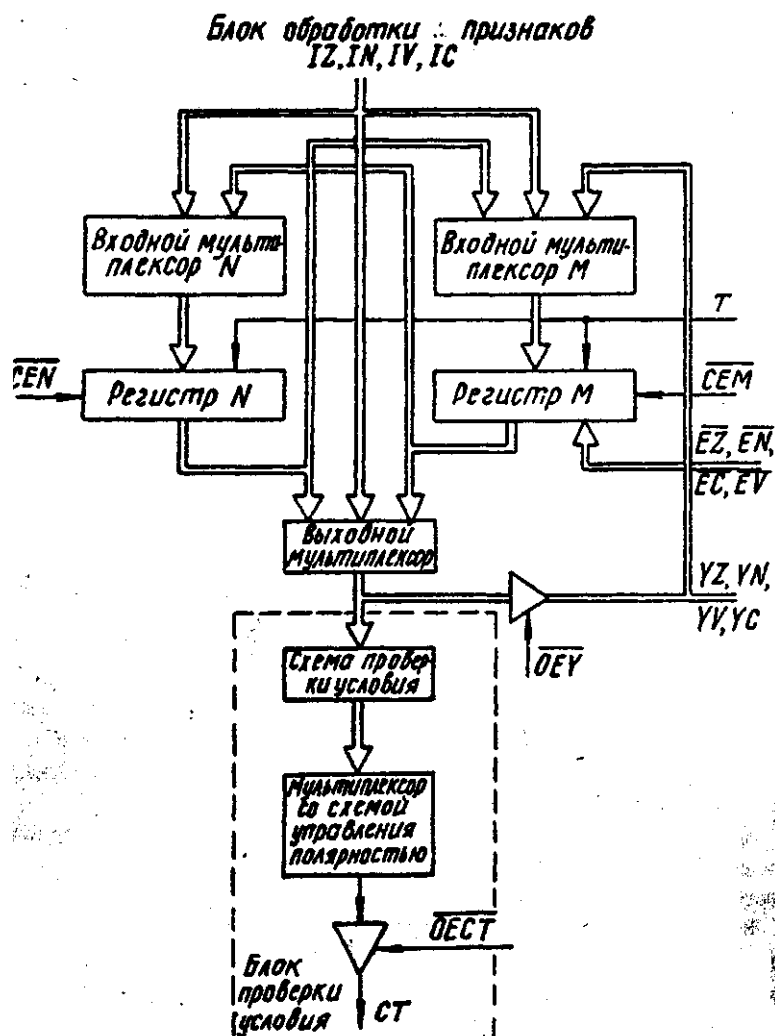


Рис.2.11

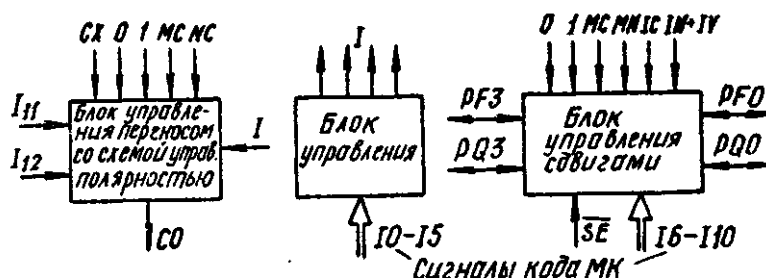


Рис.2.12

На рис.2.11 в блоке обработки признаков обозначено:
T. — тактовый сигнал,

$\overline{CEN}, \overline{CEM}$ — разрешение записи в регистры N и M ,
 $\overline{EZ}, \overline{EH}, \overline{EC}, \overline{EV}$ — сигналы разрешения записи признака,
 IZ, IN, IC, IV — входы признаков состояния АЛУ,
 YZ, YN, YC, YV — шина данных,
 \overline{OEY} — разрешение вывода информации.

Блок проверки условия обеспечивает проверку 16 различных условий (функций признаков состояния АЛУ) и формирование кода условия (0 или 1). На рис.2.11 обозначено:

\overline{OECT} — разрешение вывода кода условия,
 CT — код (результат проверки) условия.

Блок управления переносом формирует сигнал входного переноса для АЛУ микропроцессорной секции из семи различных входных сигналов, что позволяет легко реализовать операции сложения и вычитания чисел одинарной и двойной длины. На рис.2.12 в блоке управления переносом и блоке управления сдвигом обозначено:

CX — вход переноса,
 CO — выход переноса,
 MC, HC — разряды с регистров M и N .

Блок управления сдвигами обеспечивает реализацию 32 различных вариантов арифметических, логических и циклических сдвигов. Управляющие сигналы для всех блоков БИС К1804BP2 формируются блоком управления из сигналов I0-I12 кода микрокоманды. На рис. 2.13 приведена нумерация выводов микросхемы К1804BP2.

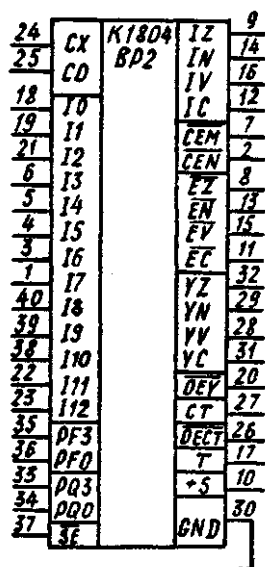


Рис.2.13

2.2.5. Построение управляющего устройства'

2.2.5.1. Секции управления адресом микрокоманды К1804ВУ1 и К1804ВУ2

Четырехразрядные секции К1804ВУ1 и К1804ВУ2 используются для построения блоков микропрограммного управления различных цифровых устройств. Основной функцией этих БИС является формирование адреса микрокоманды под воздействием внешних управляющих сигналов. В БИС К1804ВУ1 реализованы три способа адресации микрокоманд: последовательная по счетчику микрокоманд, выборка адреса из одного из внутренних или внешних источников адреса, модификация младших разрядов адреса микрокоманды. В БИС К1804ВУ2 реализованы только два первых способа адресации. Обе БИС обеспечивают шесть различных управляющих конструкций в алгоритмах микропрограммного управления: безусловный переход, условный переход по одному или нескольким направлениям, цикл проверки условия, повторение предыдущего адреса

микрокоманды, условный переход к микропрограмме и возврат по условию, безусловный переход к программе и возврат.

Реализация перечисленных способов адресации и управляющих конструкций обеспечивается с помощью блока выбора адреса, регистра адреса, счетчика микрокоманд и стека (рис.2.14).

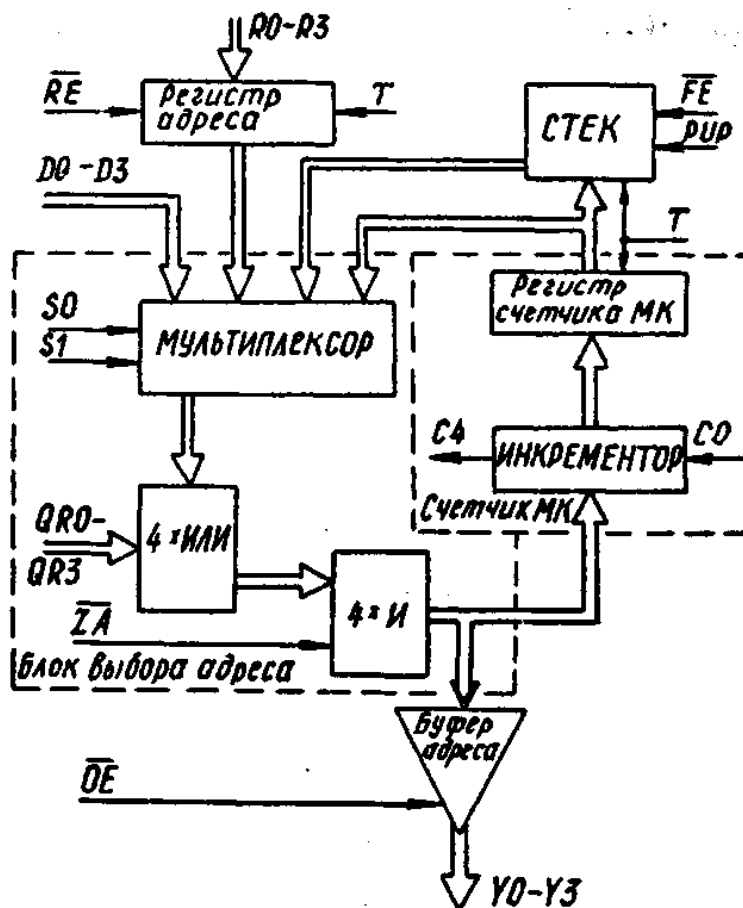


Рис.2.14

В микросхеме предусматривается четыре источника адреса, каждый из которых может выдать 4-разрядный двоичный адрес: счетчик микрокоманд, регистр адреса, стек и входная шина адреса D. Блок выбора адреса содержит мультиплексор, с помощью которого в зависимости от управляющих сигналов S0 и S1 выбирается один из источников адреса (см.табл.2.4).

Таблица 2.4

| S1 | S0 | Источник адреса |
|----|----|-----------------|
| 0 | 0 | Счетчик МК |
| 0 | 1 | Регистр адреса |
| 1 | 0 | Стек |
| 1 | 1 | Шина адреса |

Выбранный адрес может быть модифицирован с помощью маски, подаваемой по шине QKO-QR3. Кроме того, блок выбора адреса имеет вход, который используется для установки на его выходе нулевого значения адреса, обеспечиваемого при подаче на этот вход нулевого сигнала.

Рассмотрим подробнее узлы, служащие источниками адреса.

Счетчик микрокоманд состоит из 4-разрядного регистра, в который при положительном фронте тактовых импульсов заносится значение, имеющееся на выходе

блока выбора адреса. Инкрементор может увеличить этот адрес на единицу при $C0 = 1$. В инкременторе имеется выход переноса $C4$. При объединении микросхем схем управления адресом микрокоманды (рис.2.15) выходная цепь переноса $C4$ подключается к входной цепи переноса следующей (старшей) секции. Таким образом, при подаче на вход младшей секции логической единицы в начале каждого тактового периода в счетчик микрокоманд заносится значение адреса, увеличенное на единицу по сравнению со значением адреса в предыдущем тактовом периоде. Так формируется адрес микрокоманды, если не нарушается естественный порядок следования адресов, т.е. в отсутствие условных и безусловных переходов. Адрес микрокоманды, записанный в регистре счетчика микрокоманд, передается либо в стек, либо снова в блок выбора адреса.

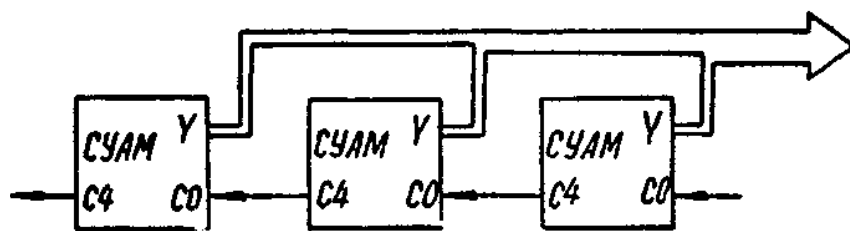


Рис.2.15

Регистр адреса — 4-разрядный регистр, информация__в который может приниматься по 4-разрядной шине R3-R0. Вход \overline{RE} является управляющим. На этот_вход подается сигнал разрешения записи в регистр адреса. При $\overline{RE} = 0$ на положительном фронте тактового импульса информация, поступающая по шине R3-R0, принимается в регистр адреса.

Стек содержит накопитель из четырех 4-разрядных регистров и 2-разрядного указателя, стека, хранящего адрес входа в накопитель. Работой стека управляют сигналы \overline{FE} и PUP. Сигнал \overline{FE} служит сигналом разрешения изменения содержимого указателя стека, PUP — сигналом, определяющим направление изменения содержимого указателя стека (при PUP=0 — уменьшение, при PUP=1 — увеличение содержимого указателя стека).

Пусть регистры накопителя CT0, CT1, CT2, CT3 хранят соответственно адреса A, B, C, D. В дальнейшем под регистром CT0 будем понимать регистр накопителя, адресуемый указателем стека. Рассмотрим процессы в стеке при различных комбинациях управляющих сигналов \overline{FE} и PUP. _

Пусть в текущий такт поступает сигнал $\overline{FE}=1$, значение сигнала PUP безразлично. Значение $\overline{FE}=1$ задает режим чтения без изменения содержимого указателя стека. При этом в текущем такте из стека на вход блока выбора адреса поступает содержимое регистра CT0. При переходе к следующему такту размещение информации в регистрах накопителя остается прежним.

Если__ в текущем такте подается комбинация управляющих сигналов $\overline{FE}=0$ и PUP=0, то устанавливается так называемый режим выталкивания из стека. В этом случае в текущем такте на вход блока выбора адреса выдается адрес A, хранившийся в регистре CT0; при переходе к следующему такту происходит перемещение информации в регистрах.

При подаче в текущем такте комбинации сигналов $\overline{FE}=0$ и PUP=1 устанавливается так называемый режим записи, при котором в текущем такте на вход блока выбора адреса выдается содержимое регистра CT0 (адрес A), а при переходе к следующему такту происходит перемещение информации в регистрах накопителя в обратном направлении и в регистр CT0 принимается содержимое счетчика микрокоманд.

Стек используется при обращении к подпрограммам. При переходе к подпрограмме

адрес ее первой микрокоманды выдается на выход схемы управления адресом микрокоманды из регистра адреса либо с шины D . Стек устанавливается в режим записи, и при переходе к следующему такту в регистр СТ0 накопителя стека принимается содержимое счетчика микрокоманд, соответствующее адресу очередной микрокоманды, на которой было установлено выполнение главной программы. После окончания выполнения подпрограммы выдается адрес из стека и происходит возврат в главную программу.

Блок выбора адреса кроме входов, предназначенных для приема содержимого четырех рассмотренных выше источников адреса, имеет входы маски QR3~Q\$0 , которые используются для модификации адреса: может быть установлена единица в любом разряде адреса путем подачи ее в соответствующий разряд шины QR3-QR0.

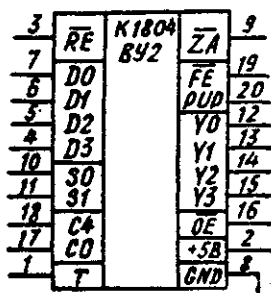
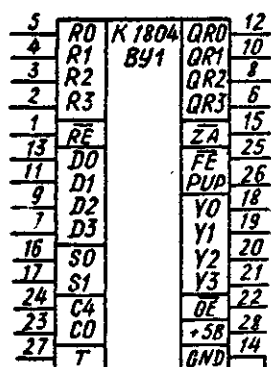


Рис.2.16

Адрес с выхода блока выбора адреса передается на выход микросхемы через буфер адреса, который построен на элементах с тремя состояниями, управляемых сигналом \overline{OE} . При $\overline{OE}=0$ буфер адреса открыт, при $\overline{OE}=1$ он отключает микросхему от высшей шины адреса.

Нумерация выводов БИС K1804BY1 и K1804BY2 приведена на рис.2.16. Сокращение количества выводов в БИС K1804BY2 достигнуто за счет того, что входы адреса D0-D3 используются как входы регистра адреса, а входы маски QR0-QR3 входы схемы "ИЛИ" отсутствуют.

2.2.5.2, Схема управления следующим адресом K1804BY3 и схема управления последовательностью микрокоманд K1804BY4

БИС K1804BY3 предназначена для преобразования закодированного поля микрокоманды в набор управляющих сигналов для различных узлов блока микропрограммного управления адресом микрокоманды K1804BY1 и K1804BY2, счетчик циклов, регистр микрокоманд и т.д. Она представляет собой преобразователь, выполненный на ПЗУ емкостью 32x8 разрядных слова. Входными сигналами являются разряды I0-I3 микрокоманды и код условия ветвления TST , указанный в микрокоманде (рис.2.17). На

восемью управляемых выходах формируется набор управляющих сигналов, соответствующих значению кода микрокоманды (I0-I3) или условию ветвления (TST).

При каждой комбинации значений входных сигналов I0-I3 и TST дешифратор осуществляет чтение содержимого определенной ячейки накопителя и через буфер микрокоманды, построенный на элементах с тремя состояниями. Управление буфером производится сигналом \overline{OE} . При $\overline{OE}=1$ он устанавливается в выключенное состояние, а при $\overline{OE}=0$ на выходе микросхемы появляются управляющие сигналы. Нумерация выводов БИС K1804ВУ3 приведена на рис.2.18.

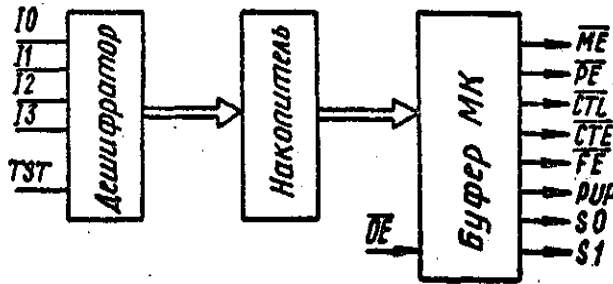


Рис.2.17

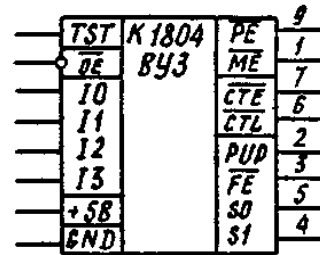


Рис.2.18

БИС K1804ВУ4 используется для построения блоков микропрограммного управления различных цифровых устройств и предназначена для формирования адресов микрокоманд под воздействием внешних управляющих сигналов. Она обеспечивает:

адресацию 4096 ячеек микропрограммной памяти;

получение адреса микрокоманды из четырех источников (внутреннего регистра адреса/счетчика, счетчика микрокоманд, адресной шины, стека);

реализацию 16 инструкций управления последовательностью выполнения микрокоманд;

управление работой трех внешних устройств (регистров), подключенных к адресной шине.

В составе БИС можно выделить шесть основных блоков (рис.2.19): мультиплексор, регистр адреса/счетчик, формирователь признака нуля, счетчик МК, стек и схему управления следующим адресом.

Мультиплексор обеспечивает выбор одного из четырех источников адреса следующей микрокоманды в зависимости от значения разрядов I0-I3, кода микрокоманды и управляющих сигналов \overline{CC} и \overline{CCE} . Регистр адреса/счетчик выполняет роль буфера для записи и хранения адреса или числа циклов, поступающих от внешнего источника по шине D0-D11. Он может также использоваться как счетчик циклов, содержимое которого уменьшается на единицу в каждом такте.

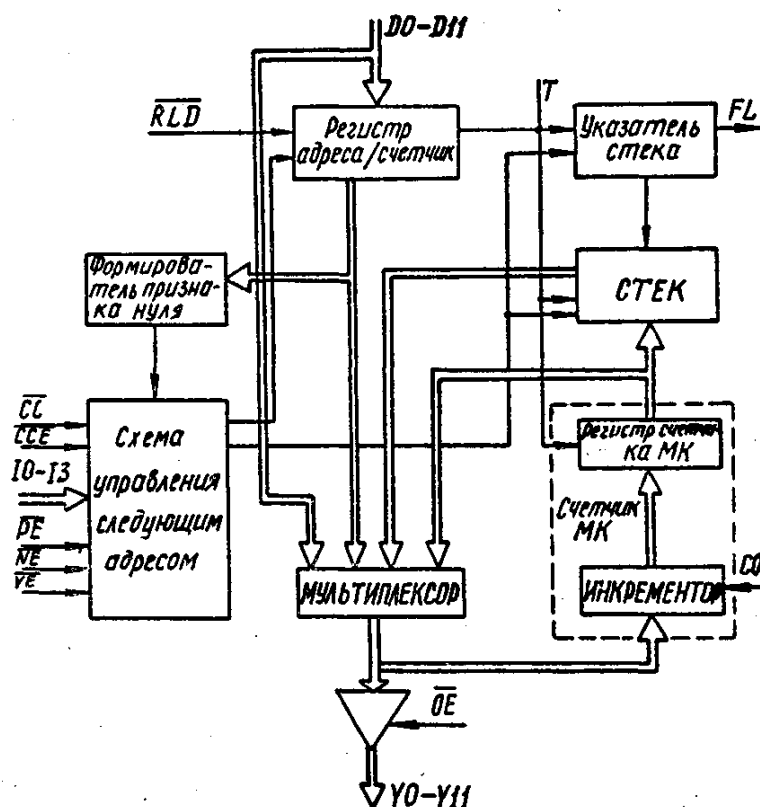


Рис.2.19

| | | | | |
|----|-----|-------|-----|----|
| 34 | D0 | K1804 | DE | 6 |
| 33 | D1 | 894 | ME | 7 |
| 32 | D2 | | VE | 5 |
| 40 | D3 | | FL | 16 |
| 2 | D4 | | CD | 32 |
| 4 | D5 | | Y0 | 33 |
| 17 | D6 | | Y1 | 35 |
| 19 | D7 | | Y3 | 37 |
| 21 | D8 | | Y2 | 39 |
| 23 | D9 | | Y4 | 1 |
| 25 | D10 | | Y5 | 3 |
| 27 | D11 | | Y6 | 18 |
| 15 | RLD | | Y7 | 20 |
| 14 | CL | | Y8 | 22 |
| 13 | CSE | | Y9 | 24 |
| 12 | IO | | Y10 | 26 |
| 11 | I1 | | Y11 | 28 |
| 9 | I2 | | OE | 29 |
| 8 | I3 | | *5B | 10 |
| 31 | T | | GND | 30 |

Рис.2.20

Формирователь признака нуля вырабатывает внутренний управляющий сигнал, когда содержимое регистра адреса/счетчика становится равным нулю.

Счетчик микрокоманд, состоящий из регистра счетчика микрокоманд и инкремента, предназначен для хранения выработанного БИС адреса микрокоманды и (при необходимости) увеличения адреса на единицу.

Стек емкостью пять 12-разрядных слов используется для хранения адреса возврата при выполнении подпрограммы и реализации циклов.

Схема управления следующим адресом обеспечивает формирование внутренних управляющих сигналов для всех блоков БИС и трех сигналов для управления внешними источниками или адресами, подключенными к адресной шине D0-D11.

Нумерация выводов микросхемы K1804BY4 приведена на рис.2.20.

2.3. ЭЛЕМЕНТЫ ПРОГРАММИРОВАНИЯ СЕКЦИОНИРОВАННОГО МИКРОПРОЦЕССОРА СЕРИИ K1804

Для эффективного применения комплекта K1804 необходимо знать принципы микропрограммного управления в ЭВМ. В микропрограммной ЭВМ для выполнения различных операций используется однородная последовательность микрокоманд. Выполнение машинной команды интерпретируется набором микрокоманд, образующих микропрограмму. Элементарные функции, реализуемые при выполнении микрокоманды, инициируются микрокомандами. Обычно микрокоманда выполняет две главные функции: определение и управление всеми микрооперациями, определение и управление адресом – следующей микрокоманды. Первая функция связана с выбором операндов для АЛУ, заданием операции АЛУ, выбором получателя результата АЛУ, управлением переносом, сдвигом, прерываниями, вводом и выводом данных и т.д. Вторая функция выбирает источник адреса следующей микрокоманды и иногда явно определяет этот адрес.

В блоке микропрограммного управления (БМУ) имеется микропрограммная память М

x N. Диапазон адресов составляет от 0 до N-1 . Каждое слово (микрокоманда) состоит из M бит, разделенных на поля различной длины. Определение полей называется форматом микрокоманды. В типичной ЭВМ микрокоманда содержит следующие поля: 1 — общего назначения, 2 — адрес перехода (адрес микропрограммной памяти), 3 — функция управления адресом

следующей микрокоманды, 4 — управление прерыванием, 5 — управление выбором синхронизации, 6 — управление переносом, 7 — управление источниками операндов АЛУ, 8 — управление функцией АЛУ, 9 — управление получателем результата АЛУ.

После определения формата микрокоманд необходимо обеспечить последовательное выполнение микрокоманд во времени. В простейшем случае для этого потребуется счетчик микропрограммного адреса, или счетчик микрокоманд, длина которого $K = \log_2 N$. Для перехода к следующей микрокоманде в каждом такте синхронизации выполняется инкремент счетчика микрокоманд (увеличение содержимого счетчика на единицу), он адресует следующую по порядку микрокоманду.

Чтобы БМУ был более гибким, в нем необходимо реализовать функцию безусловного перехода JUMP . Наиболее просто для адреса перехода отвести специальное поле микрокоманды и управлять выбором между операторами безусловного перехода JUMP и последовательного выполнения микрокоманд CONT с помощью одного бита в микрокоманде: SEL=0 соответствует оператору CONT, SEL=1 — оператору JUMP (при этом разрешается загрузка адреса перехода в счетчик микрокоманд).

Для реализации операций условного перехода JUMP CJ в микрокоманде необходимо предусмотреть двухбитное поле управления выбором загрузки SEL . Когда оно содержит 00, сигнал загрузки пассивен (реализуется оператор CONT). При SEL=01 управление загрузкой адреса памяти зависит от значения первого условия. Если оно равно логическому нулю, то в счетчике микрокоманд проводится инкремент, а если равно логической единице, то в счетчик микрокоманд загружается адрес памяти. При SEL=10 реализуется функция условного перехода аналогично описанному выше в зависимости от второго условия. Если SEL=11, реализуется операция безусловного перехода.

Для увеличения производительности микропрограммной ЭВМ выполнение текущей микрокоманды совмещают с выборкой из микропрограммной памяти следующей микрокоманды. Это называется конвейеризацией. Конвейеризация обеспечивается конвейерным регистром, который содержит текущую команду, выполняемую ЭВМ. Одновременно с выполнением этой команды в микропрограммную память подается адрес следующей микрокоманды, производится ее считывание, и сигналы следующей микрокоманды устанавливаются на входах конвейерного регистра. На адрес следующей микрокоманды влияют значения условий, полученных при выполнении предыдущей микрокоманды.

Как и при программировании на уровне машинных команд, в микропрограммировании возможно использование подпрограмм. При переходе к подпрограмме необходимо запомнить адрес, к которому подпрограмма должна вернуться после завершения своих действий (адрес возврата). Для этого применяется стек, т.е. группа (файл) регистров, которая работает таким образом, что последний включенный в нее адрес возврата исключается первым.

Последний включенный в стек адрес возврата (вершина стека TOS) адресует специальный регистр, называемый указателем стека SP . Все стековые операции сопровождаются автоматической модификацией SP . При включении сначала выполняется декремент SP, затем в адресуемый им регистр загружается адрес возврата (этот регистр становится новой TOS), а при исключении содержимое TOS передается в нижний получатель, после чего производится инкремент SP.

Блок микропрограммного управления имеет стек и связанный с ним указатель стека SP. Для управления стеком обходимы сигнал разрешения стека \overline{FE} , низкий уровень которого разрешает выполнение стековой операции, а высокий запрещает работу стека, и сигнал $PUP(PUSH/POP)$, высокий уровень которого определяет операцию включения, а низкий — операцию исключения с соответствующей модификацией SP.

Поле управления следующим адресом SEL может быть расширено до трех бит, что обеспечивает восемь функций переходов. Это трехбитное поле, и вход кода условия CC образуют четыре бита управления адресом для стека и мультиплексора A. Этот адрес определяет выходной код, представляющий собой четыре управляющих сигнала: два сигнала Y0 и Y1 подаются на управляющие входы BO и S1 мультиплексора A, а два других — Y2 и Y3 — управляют работой стека (сигналы \overline{FE} и PUP). В результате определяются восемь функций переходов (табл.2.5).

Таблица 2.5

| Функция | Входы | | | | Выходы | | | |
|--|-------|----|----|-------|--------|----|-----------------|-----|
| | A3 | A2 | A1 | A0=CC | S1 | S0 | \overline{FE} | PUP |
| Продолжение (CONT) | 0 | 0 | 0 | X | 0 | 0 | I | X |
| Безусловный переход | 0 | 0 | I | X | 0 | I | I | X |
| Условный переход (CJ) | 0 | I | 0 | 0 | 0 | 0 | I | X |
| | 0 | I | 0 | I | 0 | I | I | X |
| Включение в стек (PUSH) | 0 | I | I | X | 0 | 0 | 0 | I |
| Переход к подпрограмме (JSR) | I | 0 | 0 | X | 0 | I | 0 | I |
| Условный переход к подпрограмме (CJSP) | I | 0 | I | 0 | 0 | 0 | I | X |
| | I | 0 | I | I | 0 | I | 0 | I |
| Возврат из подпрограммы (RIN) | I | I | 0 | X | I | 0 | 0 | 0 |
| Проверка конца цикла (LOOP) | I | I | I | 0 | I | 0 | I | X |
| | I | I | I | I | 0 | 0 | 0 | 0 |

Для описания функций переходов удобно воспользоваться условными обозначениями:

CA — адрес текущей микрокоманды,

NA — адрес следующей микрокоманды,

MIF — содержимое поля адреса перехода текущей микрокоманды,

TOS — содержимое вершины стека.

Тогда операции переходов, приведенные в табл.2.5, могут интерпретироваться в следующем виде:

$CONT: NA = CA + 1,$
 $JUMP: NA = MIF,$
 $CJ: CC \begin{cases} 0, & NA = CA + 1, \\ 1, & NA = MIF, \end{cases}$
 $PUSH: NA = CA + 1, TOS = CA + 1,$
 $JSR: NA = MIF, TOS = CA + 1,$
 $CJSR: CC \begin{cases} 0, & NA = CA + 1, \\ 1, & NA = MIF, TOS = CA + 1, \end{cases}$
 $RIN: NA = TOS, POP,$
 $LOOP: CC \begin{cases} 0, & NA = TOS, \\ 1, & NA = CA + 1, POP. \end{cases}$