

В. А. Вишняков

ИНТЕРФЕЙСЫ ПЕРИФЕРИЙНЫХ УСТРОЙСТВ

Рекомендовано Методическим Советом
Рыбинской государственной авиационной
технологической академии им. П. А. Соловьева
в качестве учебного пособия

УДК 681.327.8(03)

Вишняков В. А. Интерфейсы периферийных устройств: Учебное пособие. – Рыбинск: РГАТА, 2006. – 87 с.

В учебном пособии приведена классификация и схемотехника структур организации интерфейсов. Рассмотрены современные аппаратные интерфейсы компьютеров PCI, AGP, SCSI, USB и другие, а также контролеры периферийных устройств.

Данное учебное пособие предназначено для студентов специальности 230101 Вычислительные машины, комплексы, системы и сети всех форм обучения.

РЕЦЕНЗЕНТЫ: кафедра теоретической информатики Ярославского государственного университета им. П. Г. Демидова;
кандидат технических наук Ю. А. Черных.

ОГЛАВЛЕНИЕ

ВВЕДЕНИЕ	5
1. КЛАССИФИКАЦИЯ И ХАРАКТЕРИСТИКА ИНТЕРФЕЙСОВ	6
1.1. Основные понятия об интерфейсах	6
1.2. Архитектура связи.....	7
1.3. Способы и направления передачи информации.....	8
1.4. Типы синхронизации в интерфейсах	9
1.5. Виды последовательного обмена	11
1.6. Режимы обмена между ПУ и ЭВМ.....	12
1.6.1. Программный режим.....	12
1.6.2. Режим прерывания программ	13
1.6.3. Режим захвата системных шин.....	15
2. ОРГАНИЗАЦИЯ ИНТЕРФЕЙСНЫХ КОНТРОЛЛЕРОВ.....	16
2.1. Структура программного интерфейса	16
2.1.1. Управляющее слово и слово состояния. Синхронный интерфейс.....	16
2.1.2. Асинхронный интерфейс	19
2.2. Структура интерфейса по прерыванию.....	20
2.2.1. Характеристики системы прерывания.....	20
2.2.2. Определение источника прерывания.....	22
2.2.3. Схема интерфейса по прерыванию.....	25
2.3. Организация интерфейса с прямым доступом в память	26
3. ШИНА РАСШИРЕНИЯ PCI	28
3.1. Основные особенности шины PCI	28
3.2. Линии шины.....	29
3.3. Цикл обмена на шине.....	30
3.4. Команды шины	31
3.5. Прерывания и захват шины, конфигурация устройств	32
4. ШИНЫ AGP, LPC, SCSI, IDE.....	34
4.1. Магистральный интерфейс AGP.....	34
4.2. Интерфейс LPC	35
4.3. Шина SCSI.....	37
4.3.1. Основные особенности шины.....	37
4.3.2. Линии шины	39
4.3.3. Диаграммы асинхронного и синхронного обмена.....	39
4.4. Интерфейс IDE	41
5. УНИВЕРСАЛЬНАЯ ПОСЛЕДОВАТЕЛЬНАЯ ШИНА USB.....	43
5.1. Организация шины.....	43
5.2. Типы передачи данных	45
5.3. Протокол обмена	46
5.4. Форматы пакетов	47

5.5. ФОРМАТЫ ТРАНЗАКЦИЙ	49
5.6. СТАНДАРТНЫЕ КОМАНДЫ	53
5.7. СТАНДАРТНЫЕ ДЕСКРИПТОРЫ	54
6. СВЯЗНЫЕ ПОСЛЕДОВАТЕЛЬНЫЕ ИНТЕРФЕЙСЫ	56
6.1. ПЕРЕДАЧА СИГНАЛОВ ПО ОДНОПРОВОДНОЙ И ДВУХПРОВОДНОЙ ЛИНИЯМ	56
6.1.1. Связь по однопроводной линии	57
6.1.2. Связь по двухпроводной линии	58
6.1.3. Передача информации с помощью токовой петли	60
6.2. ИНТЕРФЕЙС RS-232C	60
6.3. ИНТЕРФЕЙСЫ RS-422 и RS-485	63
7. ОСОБЕННОСТИ КОНТРОЛЛЕРОВ СИСТЕМ ВВОДА-ВЫВОДА	
АНАЛОГОВОЙ ИНФОРМАЦИИ	65
7.1. ДИСКРЕТИЗАЦИЯ И КВАНТОВАНИЕ СИГНАЛОВ	65
7.2. МЕТОДЫ АНАЛОГОВО-ЦИФРОВОГО ПРЕОБРАЗОВАНИЯ	68
7.3. ПРЕОБРАЗОВАНИЕ ВРЕМЕННОГО ИНТЕРВАЛА В ЦИФРОВОЙ КОД	70
7.4. ПРЕОБРАЗОВАТЕЛИ, ИСПОЛЬЗУЮЩИЕ ВРЕМЕННОЕ ПРЕОБРАЗОВАНИЕ	74
7.5. ПРЕОБРАЗОВАНИЕ ПАРАЛЛЕЛЬНОГО ДВОИЧНОГО КОДА В НАПРЯЖЕНИЕ	74
7.6. ПРЕОБРАЗОВАТЕЛИ НАПРЯЖЕНИЕ – КОД	78
7.7. МНОГОКАНАЛЬНЫЕ СИСТЕМЫ ВВОДА-ВЫВОДА АНАЛОГОВОЙ ИНФОРМАЦИИ	81
БИБЛИОГРАФИЧЕСКИЙ СПИСОК	86

ВВЕДЕНИЕ

Интерфейс (Interface) является границей раздела двух систем, устройств или программ. Он содержит элементы соединения и вспомогательные схемы управления, используемые для соединения устройств. Интерфейсы позволяют подключать к компьютерам различные периферийные устройства (ПУ) и их контроллеры, а также соединять отдельные подсистемы вычислительной системы.

Интерфейсы различаются друг от друга организацией. Существуют два основных класса интерфейсов: параллельные и последовательные. В параллельных интерфейсах информационные слова передаются по соответствующим параллельным проводникам одновременно. В последовательном интерфейсе информационные биты передаются друг за другом обычно по двухпроводниковой линии. Параллельные интерфейсы позволяют передавать информацию с большой скоростью, а последовательные на большое расстояние.

Существует многообразие используемых типов интерфейсов, которые отличаются способом передачи информации и характеристиками. Каждый из них имеет определенные достоинства и недостатки, и применяется для преимущественного подключения определенных видов периферии.

Важным параметром интерфейсов является пропускная способность. Технический прогресс вызывает неуклонный рост передаваемой информации в периферийных устройствах. Это приводит к необходимости создания новых версий существующих интерфейсов, разработке и выпуску новых типов интерфейсов с улучшенными характеристиками.

В ряде интерфейсов заложены возможности PnP (Plug and Play – включай и играй), которые предназначены для снятия с пользователей забот по конфигурированию подключаемых устройств.

При разработке специализированных устройств встает вопрос выбора подходящего интерфейса подключения. Этот вопрос следует решать, исходя из принципа разумной достаточности, по возможности отдавая предпочтение внешним интерфейсам.

1. КЛАССИФИКАЦИЯ И ХАРАКТЕРИСТИКА ИНТЕРФЕЙСОВ

1.1. ОСНОВНЫЕ ПОНЯТИЯ ОБ ИНТЕРФЕЙСАХ

Интерфейс – есть совокупность шин (линий), аппаратных и программных средств, а также конструкции, которая обеспечивает обмен информацией одного устройства с другим по определенному правилу (протоколу обмена).

Основным параметром интерфейса является скорость передачи информации. Существует многообразие интерфейсов с различными характеристиками.

Рассмотрим структуру современного персонального компьютера (рис. 1.1).

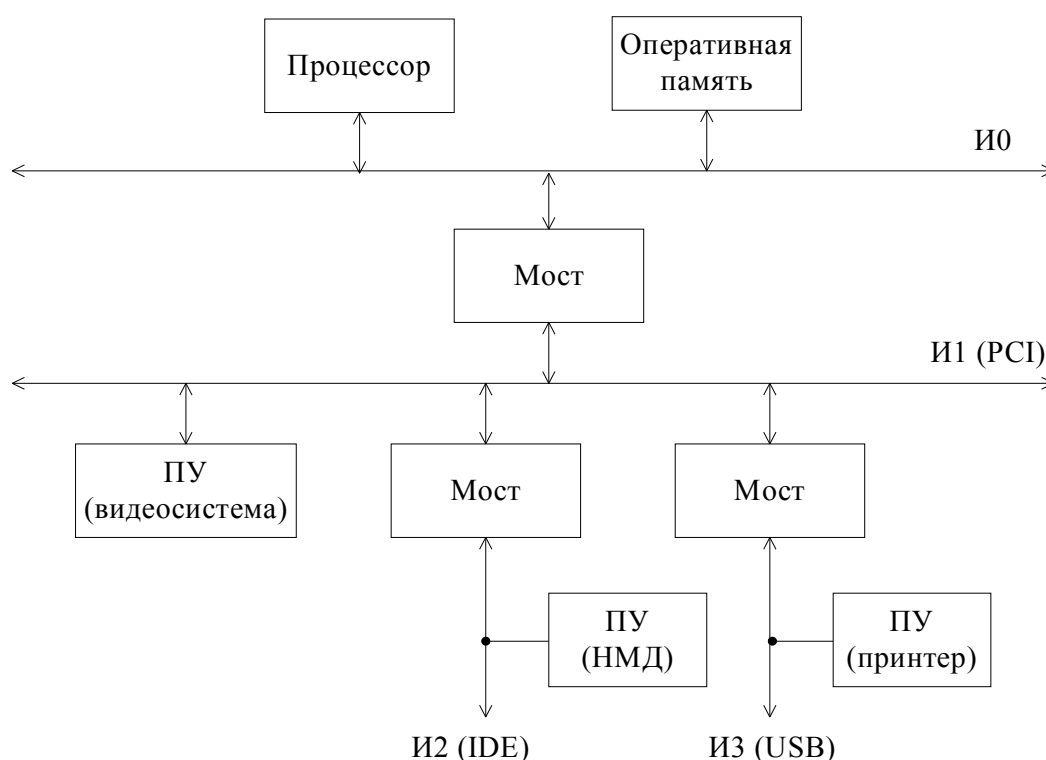


Рис. 1.1

Интерфейс является посредником между двумя устройствами вычислительной системы, осуществляющими взаимодействие. Интерфейсы различаются по уровню, причем считается, что, чем ближе к ядру ЭВМ, тем выше уровень интерфейса.

На рисунке можно выделить 4 типа шин, которые обозначены И0, И1, И2, И3.

Шина И0 обеспечивает взаимосвязь процессора и оперативной памяти. С ее помощью организуется внутренний интерфейс. Он обладает повышенным быстродействием, равным быстродействию процессора.

Шина И1 (PCI) имеет высокое быстродействие, но на 1–2 порядка ниже быстродействия процессора. К шине PCI могут подключаться быстродействующие ПУ. Таким устройством может быть видеосистема, которая связана с монитором.

Кроме шины PCI имеются две системные шины И2 (IDE) и И3 (USB). Шина IDE имеет высокую скорость передачи информации, но ниже чем у PCI. Она адаптирована для накопителей на дисках. Последовательная шина USB применяется для подключения разнообразных ПУ.

Протокол обмена в простейшем случае может быть задан с помощью временных диаграмм взаимодействия одного устройства с другим, его нельзя нарушать.

Устройства, которые подключаются к шинам, могут иметь стандартную или специализированную аппаратуру. Стандартные интерфейсы применяются тогда, когда к шине подключаются типовые ПУ. Специализированные применяются при подключении к системе нехарактерных устройств.

1.2. АРХИТЕКТУРА СВЯЗИ

Связь ПУ с ядром ЭВМ возможна с использованием следующих основных архитектур.

1. Радиальная (рис. 1.2).

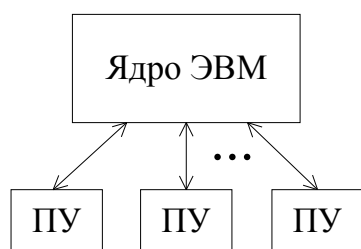


Рис. 1.2

2. Магистральная (рис. 1.3).

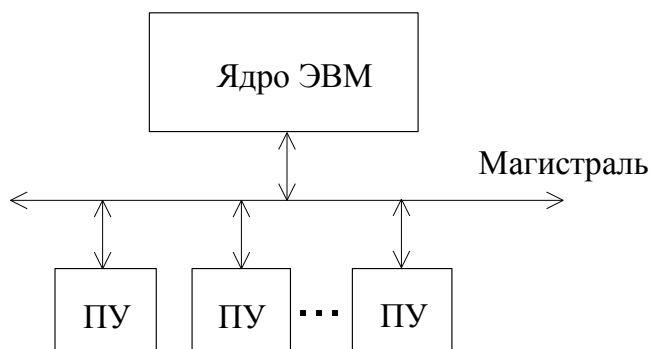


Рис. 1.3

3. Цепочечная (рис. 1.4).

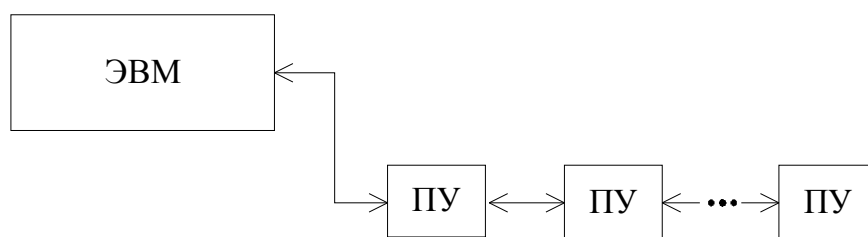


Рис. 1.4

4. Комбинированная.

Радиальная архитектура характеризуется независимым подключением ПУ. Достоинством является простота определения источника прерывания. Недостатки:

- связь между двумя ПУ производится только через ядро ЭВМ, следовательно, снижается скорость обмена;
- большая суммарная длина шин.

При магистральной (канальной) архитектуре любые ПУ могут взаимодействовать с другими ПУ напрямую через магистраль, поэтому достигается высокая скорость передачи информации. Недостаток: сложность определения источника прерывания, следствием является более сложный интерфейс.

В цепочечной архитектуре достигается минимальная суммарная длина шин, интерфейс оказывается сложным.

Три показанных архитектуры могут образовать комбинированную. Например, широко применяется магистрально-цепочечная архитектура.

1.3. СПОСОБЫ И НАПРАВЛЕНИЯ ПЕРЕДАЧИ ИНФОРМАЦИИ

Применяют два способа передачи информации:

- 1) параллельная передача;
- 2) последовательная передача.

При параллельной передаче используется множество линий, в общем случае образующих шину данных, шину адреса и шину управления. Причем передача информации производится параллельно по всем трем видам шин. Достоинства: высокая скорость передачи. Недостаток: ограниченная длина шин (обычно несколько метров). Это связано с тем, что трудно обеспечить высокую помехоустойчивость.

При последовательной передаче информация передается по ограниченному числу проводников. Чаще всего это два провода, выполненные, например, в виде витой пары, телефонной линии или коаксиального кабеля. Достоинство: большая длина линии связи, которая может достигать 10 – 100 км. Недостаток: низкая скорость передачи.

Шины интерфейса могут обеспечивать 3 вида связи.

1. Дуплексная связь. Характеризуется тем, что используется две группы шин. Одна группа использует передачу в прямом направлении, а другая – в обратном. Возможна параллельная передача информации в обе стороны.

2. Полудуплексная связь (двунаправленная шина). В один момент времени происходит передача информации в одну сторону, а в другой – в противоположную.

3. Симплексная связь. Передача осуществляется только в одну сторону.

1.4. ТИПЫ СИНХРОНИЗАЦИИ В ИНТЕРФЕЙСАХ

С точки зрения синхронизации интерфейсы бывают двух типов: синхронные и асинхронные. В синхронных интерфейсах производится жесткая привязка (тактирование) к моментам времени, отводимым для приема и передачи данных как активного, так и пассивного устройства (рис. 1.5). Активным (ведущим, управляющим) является то устройство, которое берет функцию управления обменом на себя. Пассивным (ведомым, управляемым) является то устройство, которое в процессе обмена подчиняется приказам ведущего устройства. При этом один интервал выделяется для одного обмена данными.



Рис. 1.5

Если пассивным устройством является ПУ, а ведущим – процессор, то ПУ должно быть готово к обмену в любой момент времени. Соответствующий интерфейс является безусловным. В данном режиме могут работать относительно быстродействующие ПУ.

При асинхронном условном обмене длительность интервалов обмена меняется и зависит от готовности пассивного устройства.

Временные диаграммы обмена для операции Вывод приведены на рис. 1.6.

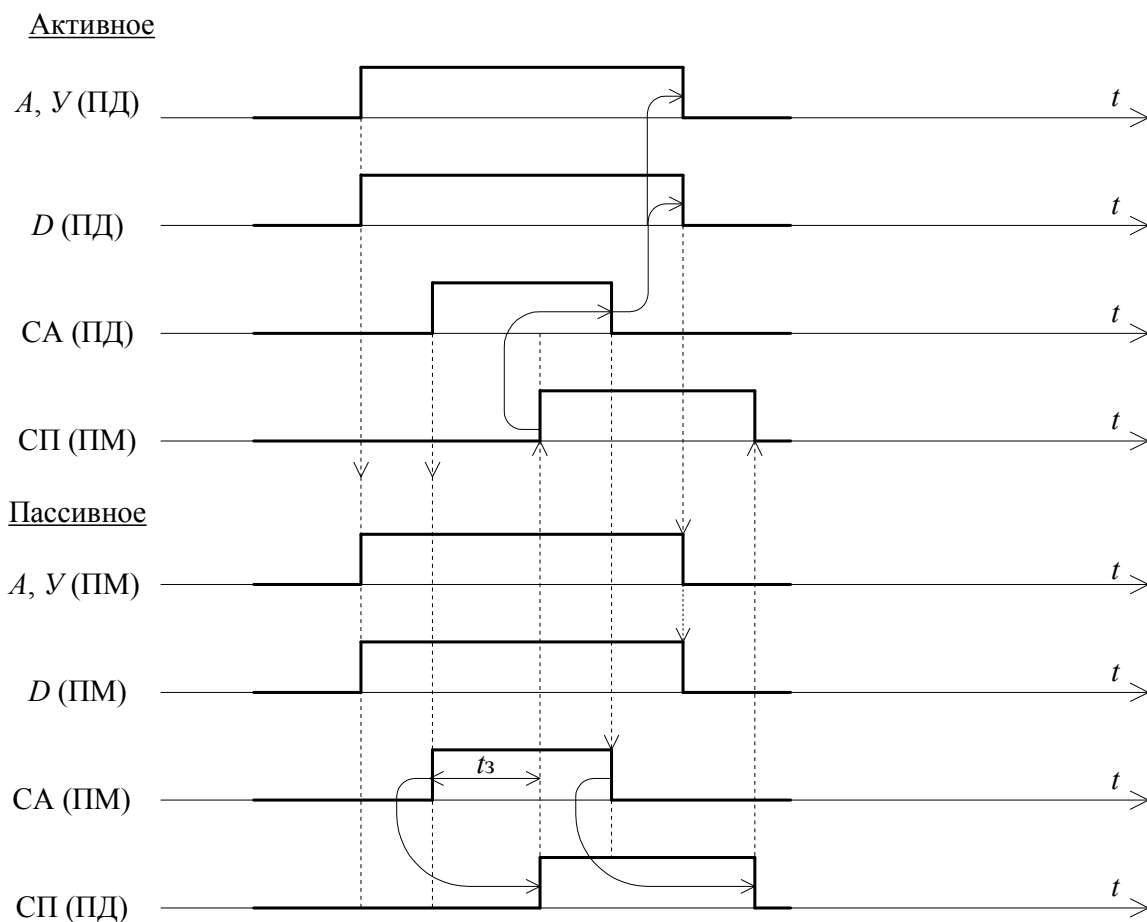


Рис. 1.6

В некоторый момент времени активное устройство формирует сигналы адреса A , управления $У$ (Чтение/Запись) и передает (ПД) их на соответствующие шины. После этого выставляется сигнал СА (Синхронизация активного). СА информирует пассивное устройство о том, что данные D выставлены, и их можно считывать.

Пассивное устройство принимает (ПМ) сигналы A , $У$, D , и через некоторое время сигнал СА. Оно дешифрирует свой адрес и начинает активно действовать только после прихода сигнала СА. Устройство считывает

данные, если готово к их приему. В противном случае готовится к приему и затем считывает данные с шины данных D и формирует сигнал СП (Синхронизация пассивного). Интервал времени t_3 между сигналами СА и СП может быть различным. Сигнал СП распространяется обратно к активному устройству и информирует его о том, что данные D приняты, т. е. «расписывается» в получении данных. Подобную передачу называют передачей с квитированием.

1.5. ВИДЫ ПОСЛЕДОВАТЕЛЬНОГО ОБМЕНА

Последовательный обмен используется в двухпроводных линиях связи, по которым вся информация передается последовательно. Применяется два вида последовательного обмена:

- 1) асинхронный обмен;
- 2) синхронный обмен.

Рассмотрим формат асинхронной передачи (рис. 1.7).

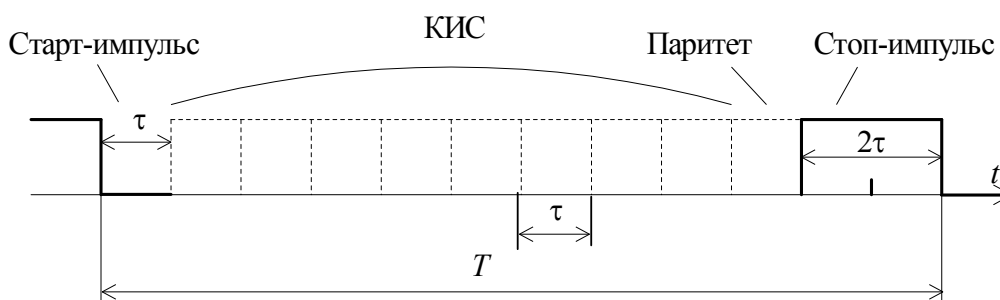


Рис. 1.7

Кодо-информационное слово (КИС) величиной один байт передается в течение периода T . Данные размещаются между Старт-импульсом и Стоп-импульсом. Старт-импульс характеризуется низким напряжением. После этого передается само информационное слово, затем передается признак четности или паритет с тем, чтобы суммарное количество единиц было четным.

Достоинство передачи: высокая помехоустойчивость. Известно, что помехоустойчивость тем выше, чем больше избыточной информации. В приведенном примере избыточная информация вызвана наличием Старт-, Стоп-импульсов, и паритета. В данном случае избыточная информация составляет одну третью часть от всего интервала передачи T .

Избыточная информация снижает скорость передачи, поэтому используется синхронный обмен. При этом передается последовательность синхроимпульсов, с помощью которых синхронизируется таймер приемника информации. С помощью таймера производится выделение КИС (определение начала и конца кода информационного слова). Формат синхронной передачи показан на рис. 1.8.

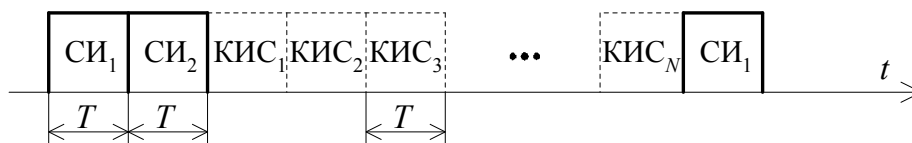


Рис. 1.8

Таймер приемника фазировается с помощью синхроимпульсов СИ. Количество переданных слов N зависит от стабильности таймеров передатчика и приемника. Чем выше стабильность таймеров, тем больше слов можно передать.

Достоинство синхронной передачи – более высокая скорость по сравнению с асинхронной. Недостаток – меньшая помехоустойчивость.

1.6. РЕЖИМЫ ОБМЕНА МЕЖДУ ПУ и ЭВМ

Используются следующие режимы обмена:

- 1) программный режим;
- 2) режим прерывания программ;
- 3) режим захвата системных шин.

1.6.1. Программный режим

Программный режим обмена производится по инициативе процессора ЭВМ. Текущей командой, выполняемой процессором, может быть команда взаимодействия с ПУ (например, ввода или вывода данных). При этом процессор выставляет на шину адреса адрес ПУ. ПУ дешифрирует адрес. Если ПУ готово, то принимает либо передает информацию на шину данных. Если не готово, то процессор ожидает, когда ПУ будет готово. Только после этого производится обмен (рис. 1.9).

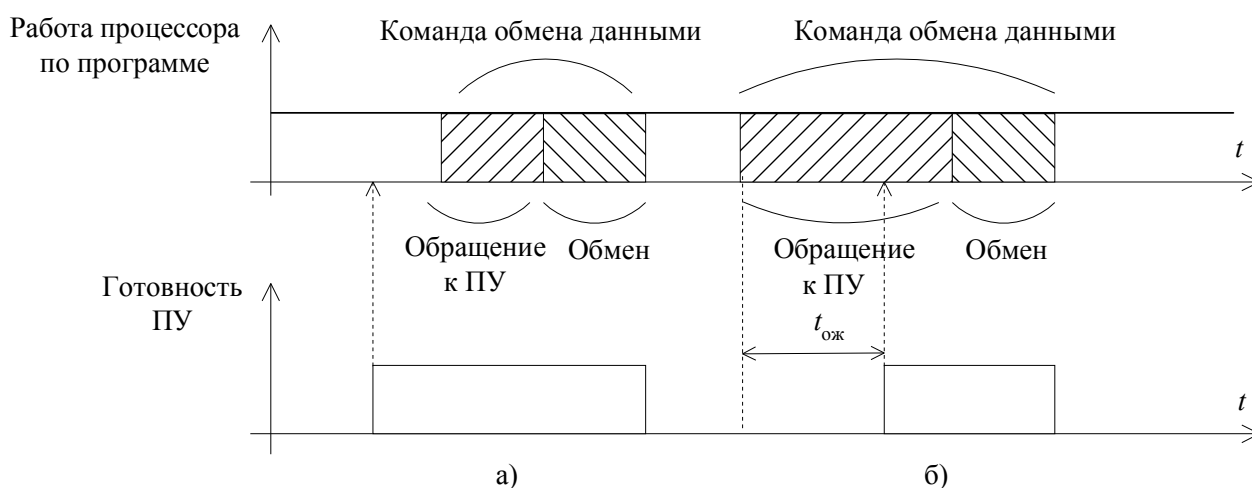


Рис. 1.9

В ситуации (рис. 1.9 а) ПУ до выполнения команды обмена готово к обмену, поэтому сразу после обращения, т. е. адресации к ПУ, непосредственно происходит обмен. В случае (рис. 1.9 б) ПУ готово не сразу, а спустя некоторое время после обращения к ПУ, поэтому процессор ждет в течение времени $t_{ож}$, когда ПУ будет готово. Только после этого происходит обмен. Готовность ПУ подтверждается с помощью специальной управляющей линии, на которую ПУ должно выставить соответствующий сигнал.

Достоинством программного режима обмена является его простота, т. к. он производится по инициативе процессора. Недостаток: возможные непроизводительные затраты времени на ожидание ПУ.

Если же используется быстродействующее ПУ, сравнимое с быстродействием процессора, скорость обмена повышается и в ряде случаев не требуется производить проверку готовности, т. к. устройство безусловно готово в любой момент времени.

1.6.2. Режим прерывания программ

Инициатором режима прерывания является периферийное устройство. Получив сигнал Запрос прерывания, процессор заканчивает выполнение текущей команды. Далее производится следующая последовательность действий (рис. 1.10).

Временные диаграммы обмена по прерыванию показаны на рис. 1.11.



Рис. 1.10

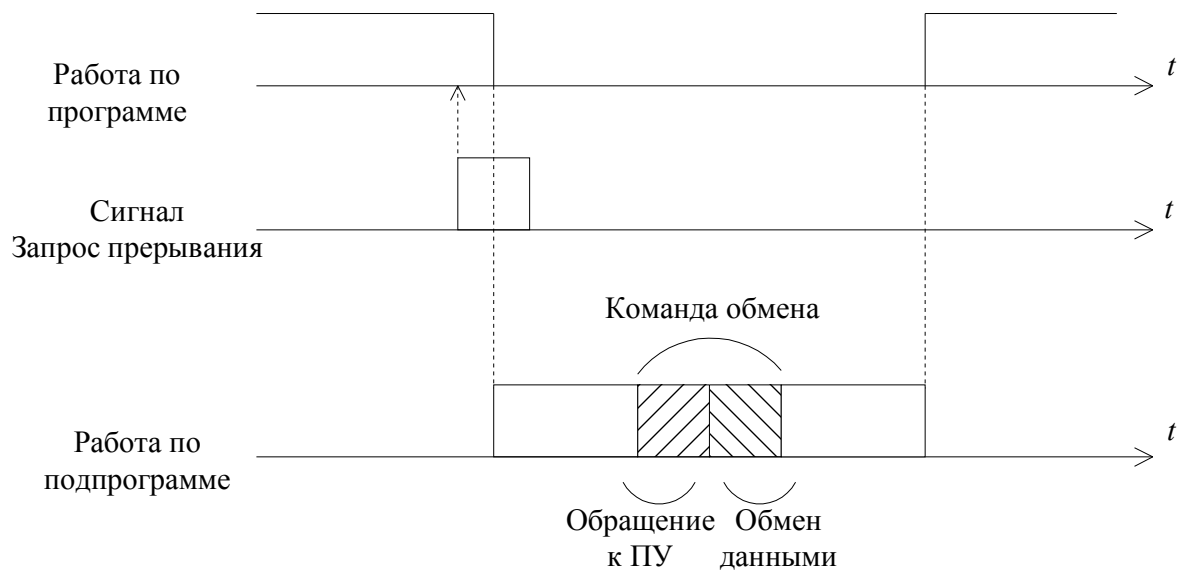


Рис. 1.11

Достоинство режима: быстрая реакция процессора на запрос обслуживания ПУ. В случае, когда периферийных устройств много, возможны ожидания обслуживания, т. к. процессор может обслуживать прочие ПУ с более высоким приоритетом. Даже если ПУ одно и процессор ничего не обслуживает, имеются издержки времени на переключение из одного состояния в другое (переход от работы по основной программе к подпрограмме и наоборот). Интерфейс для данного режима более сложный, чем при программном режиме.

1.6.3. Режим захвата системных шин

Инициатором режима захвата шин является ПУ. Процессор получает сигнал Запрос захвата, заканчивает выполнение текущего цикла текущей команды (в общем случае выполнение команды не заканчивается). Процессор отключает свои внутренние шины от системных шин с тем, чтобы не мешать работе ПУ. Хозяином системных шин становится ПУ. ПУ может осуществить взаимодействие с другим ПУ либо с оперативной памятью. Режим взаимодействия ПУ с оперативной памятью называется режимом ПДП (прямого доступа в память). ПДП является частным случаем режима захвата шин.

Временные диаграммы обмена показаны на рис. 1.12.

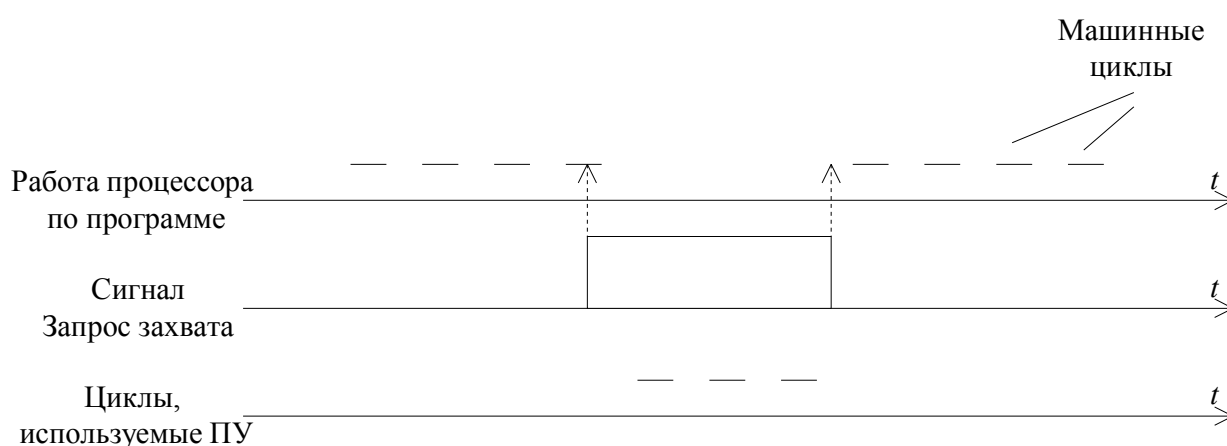


Рис. 1.12

За время занимаемых у процессора машинных циклов ПУ взаимодействует с другими ПУ или с памятью. При этом ПУ полностью берет на себя управление шинами (выставляет адрес, направление обмена, формирует сигналы управления и др.). Процессор в обмене не участвует. Он

только контролирует наличие сигнала Запрос захвата. Когда сигнал сбрасывается, процессор снова подключается к системным шинам. Реакция процессора на сигнал Запрос захвата быстрая и режим обмена является наиболее быстрым.

Так как функции по управлению берет на себя полностью ПУ, интерфейс оказывается самым сложным. Данный режим обмена рекомендуется использовать, когда необходимо передать большое количество слов с высокой скоростью.

2. ОРГАНИЗАЦИЯ ИНТЕРФЕЙСНЫХ КОНТРОЛЛЕРОВ

2.1. СТРУКТУРА ПРОГРАММНОГО ИНТЕРФЕЙСА

2.1.1. Управляющее слово и слово состояния. Синхронный интерфейс

С помощью управляющего слова ЭВМ управляет периферийным устройством. В качестве примера рассмотрим формат трехразрядного управляющего слова.

Предположим, оно используется для управления лентопротяжным механизмом накопителя на магнитной ленте (НМЛ). Основные управляемые состояния НМЛ:

- 000 – холостая операция;
- 001 – перемотка ленты;
- 010 – считывание одной записи;
- 011 – контрольное чтение;
- 100 – запись одной записи;
- 101 – запись метки файла;
- 110 – перемотка на m записей вперед;
- 111 – перемотка на m записей назад.

Схема программного интерфейса синхронного типа, реализующего управление НМЛ, показана на рис. 2.1.

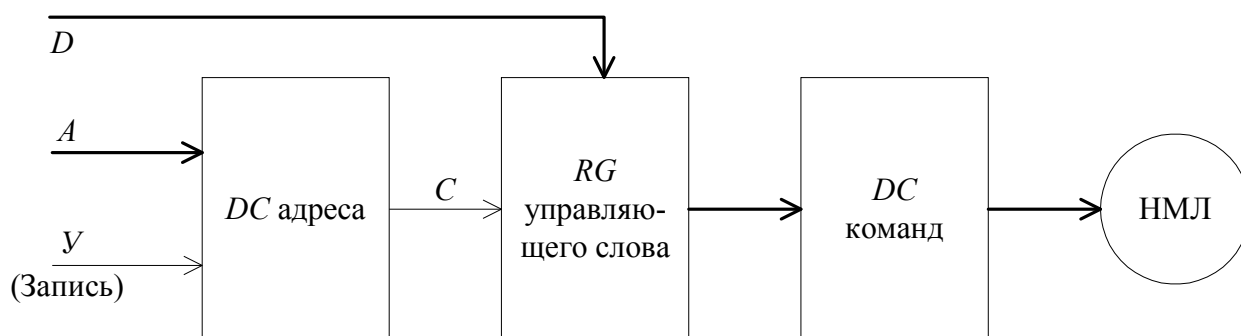


Рис. 2.1

Дешифратор адреса необходим в случае, когда ПУ множество. Все ПУ имеют индивидуальные адреса. Рассмотрим способы адресации ПУ.

При первом способе адресации для взаимодействия с ПУ применяются те же команды, что и для обращения к оперативной памяти. Поэтому для того, чтобы переслать данные из аккумулятора процессора может применяться команда STA ПУ (пересылка из аккумулятора во внешнее устройство). При этом дешифратор адреса должен быть настроен на номер ПУ. Недостатком такого способа является сокращение адресного поля для памяти, т. к. все адресное поле ЭВМ необходимо поделить между полями для памяти и ПУ.

Во втором способе адресации используются команды ввода-вывода IN ПУ, OUT ПУ. Здесь адресные поля памяти и ПУ не пересекаются и не зависят друг от друга, но, как правило, количество адресов для ПУ невелико.

Третий способ адресации позволяет реализовать большое адресное пространство для ПУ. Таким может быть внешняя память (например, память дисплея). В этом случае для формирования адреса используется адресный регистр, разрядность которого определяет адресное поле для ПУ, размером больше адресного поля команды пересылки. Тогда полный адрес ПУ последовательно формируется командой пересылки в адресный регистр кода частями по шине данных.

После того как дешифратор *DC* адреса выбрал указанное ПУ, возбуждается регистр *RG* управляющего слова (рис. 2.1), и управляющая информация, выставленная на шине данных *D* по какой-либо из рассмотренных команд, записывается в регистр управляющего слова. Далее управляющее слово дешифрируется в *DC* команд. На выходе *DC* возбуждается один из выходов. Таким образом, управление передается в НМЛ.

Слово состояния формируется ПУ. Формат его таков, чтобы как можно проще сформировать слово. Простейшее слово – признак готовности (Флаг готовности) содержит всего один разряд. В общем случае, слово состояния содержит множество разрядов.

Рассмотрим возможное слово состояния из восьми разрядов для НМЛ (рис. 2.2).

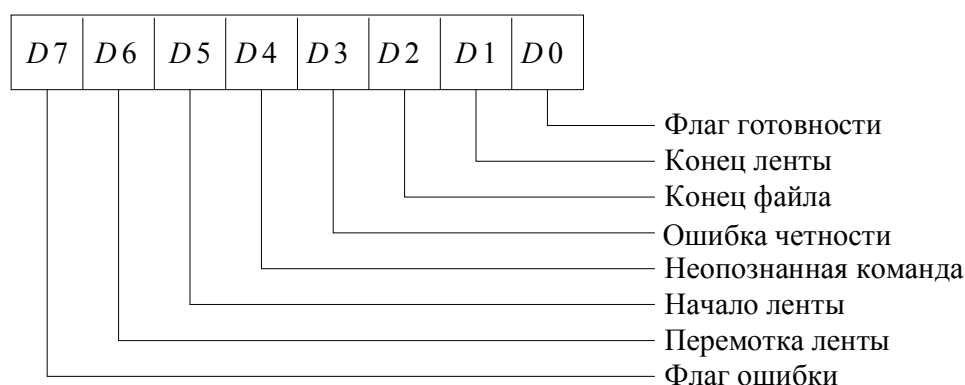


Рис. 2.2

Синхронный интерфейс для передачи слова состояния в процессор показан на рис. 2.3.

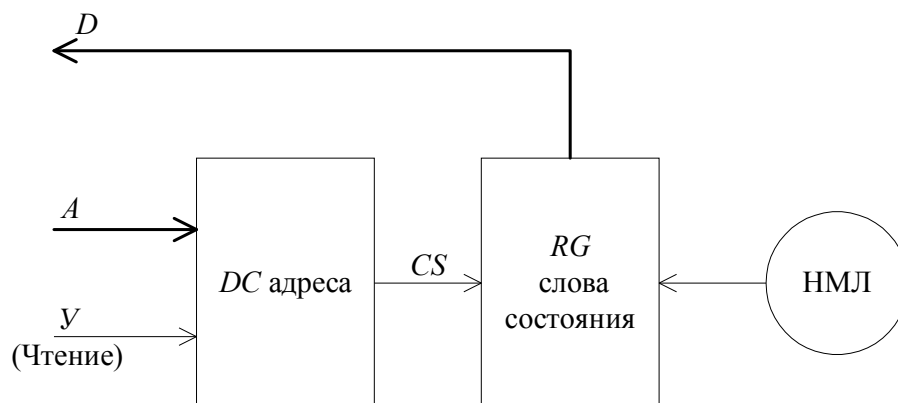


Рис. 2.3

Слово состояния устанавливается ПУ в регистр *RG*. Процессор анализирует слово состояния, выполняя некоторую подпрограмму.

Пример подпрограммы для обработки слова состояния:

```

LDA ПУ
CMP C
JNZ ERROR
⋮
ERROR:

```

По первой команде слово состояния из регистра *RG* записывается в аккумулятор процессора. По второй команде происходит сравнение слова с некоторой маской, которая хранится в РОНе *C* процессора. По третьей команде осуществляется переход на подпрограмму *ERROR*, если содержимое аккумулятора не равно содержимому регистра *C*.

2.1.2. Асинхронный интерфейс

В асинхронном режиме к реализуемому программному интерфейсу могут быть подключены как быстродействующие, так и медленные ПУ.

Реализация асинхронного интерфейса зависит от типа ЭВМ. В ряде ЭВМ имеется управляющая линия Готовность (рис. 2.4). ПУ возбуждает линию при готовности его к обмену. Процессор анализирует состояние этой линии и, убедившись в том, что данное ПУ готово, производит обмен.

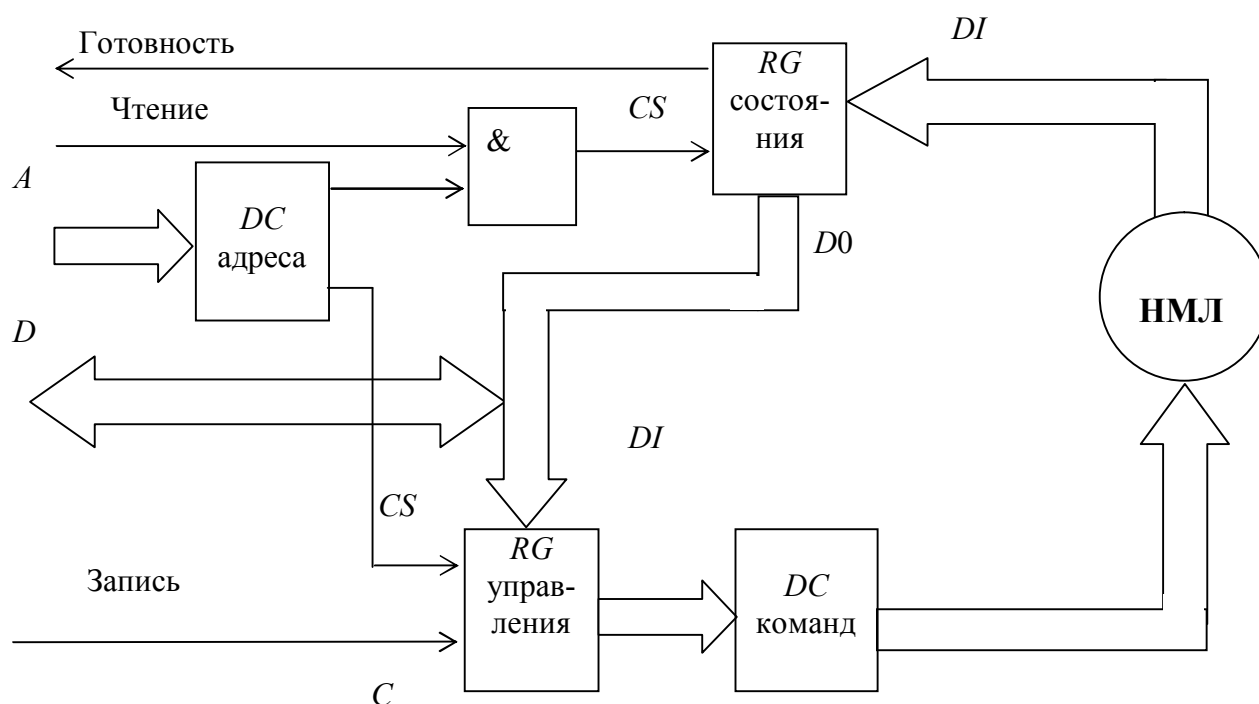


Рис. 2.4

На рис. 2.5 показана схема асинхронного интерфейса использующего две управляющие линии: СА (Синхронизация активного) и СП (Синхронизация пассивного).

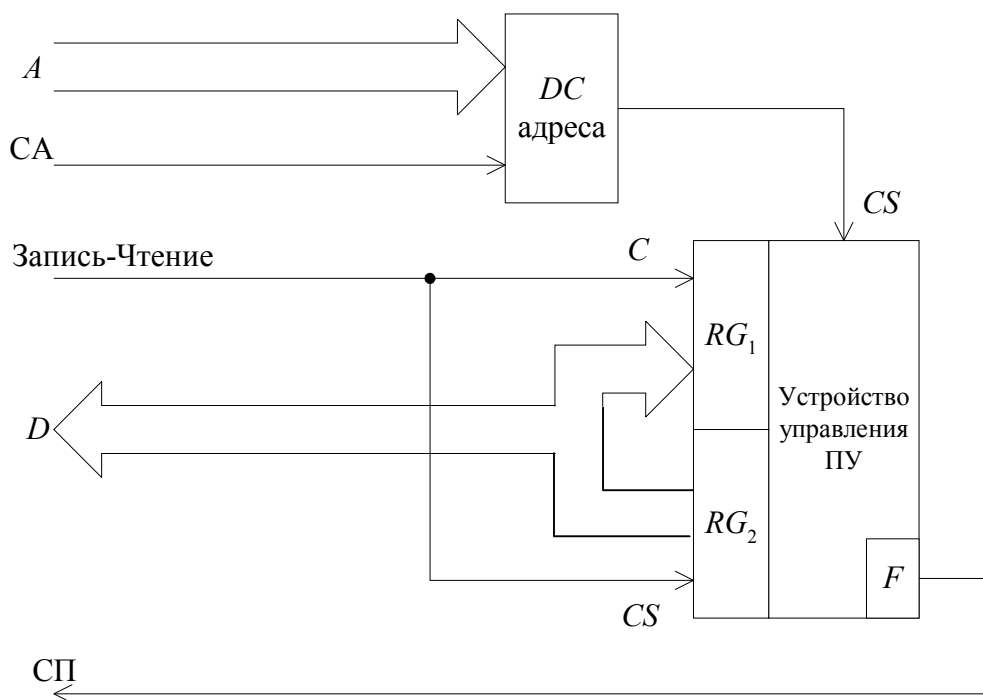


Рис. 2.5

Линия СА возбуждается процессором при обмене данными. ПУ имеет 2 регистра: входной RG_1 и выходной RG_2 . При записи данные записываются в RG_1 , при чтении данные выставляются на шину данных из RG_2 . Сигнал СП вырабатывается формирователем F периферийного устройства после того, как данные приняты, если это запись, либо после того как данные выставлены, если это чтение (рис. 1.6).

Интервал между сигналами СА и СП переменный: чем быстрее ПУ, тем интервал меньше.

2.2. СТРУКТУРА ИНТЕРФЕЙСА ПО ПРЕРЫВАНИЮ

2.2.1. Характеристики системы прерывания

Основными характеристиками системы прерывания являются следующие.

1. Количество линий запросов прерывания. Практически бывает от одной до нескольких десятков. Линии имеют различный приоритет. Чем

выше приоритет линии, тем быстрее будет обслужено ПУ, подключенное к этой линии.

2. Время реакции t_p (рис. 2.6). Это время между появлением сигнала Запрос прерывания (ЗП) и началом обслуживания ПУ. Оно зависит от того, в каком состоянии находится процессор. Если процессор не обслуживает в данный момент прочие ПУ, работающие в режиме прерывания, то t_p зависит от момента окончания выполнения текущей команды. Если же процессор обслуживает ПУ, имеющее более высокий приоритет, то t_p определяется моментом окончания подпрограммы обслуживания этого ПУ.

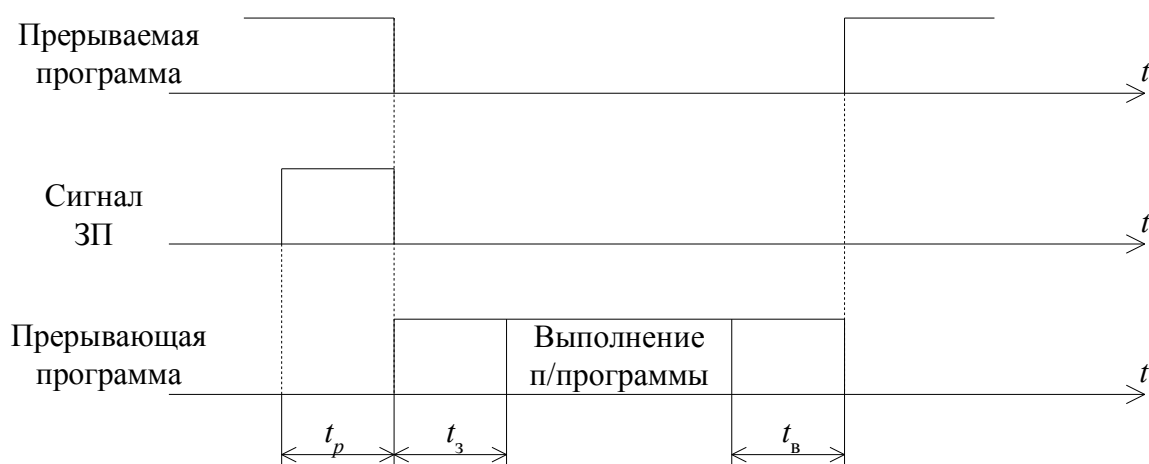


Рис. 2.6

3. Время издержек $t_{и} = t_3 + t_b$, где t_3 – время запоминания состояния процессора; t_b – время восстановления состояния процессора.

4. Глубина прерывания. Равна m , если допускается последовательное прерывание m программ, включая основную программу. Обычно совпадает с числом уровней приоритета.

На рис. 2.7 показана последовательность обслуживания трех устройств при глубине прерываний $m = 1$ и $m = 3$. Для случая $m = 3$ приоритет устройства возрастает с увеличением его номера от 1 до 3. Поэтому устройства с низким приоритетом обслуживаются за несколько этапов.

5. Число классов прерывания. Класс – совокупность запросов, инициирующих одну и ту же прерывающую программу.

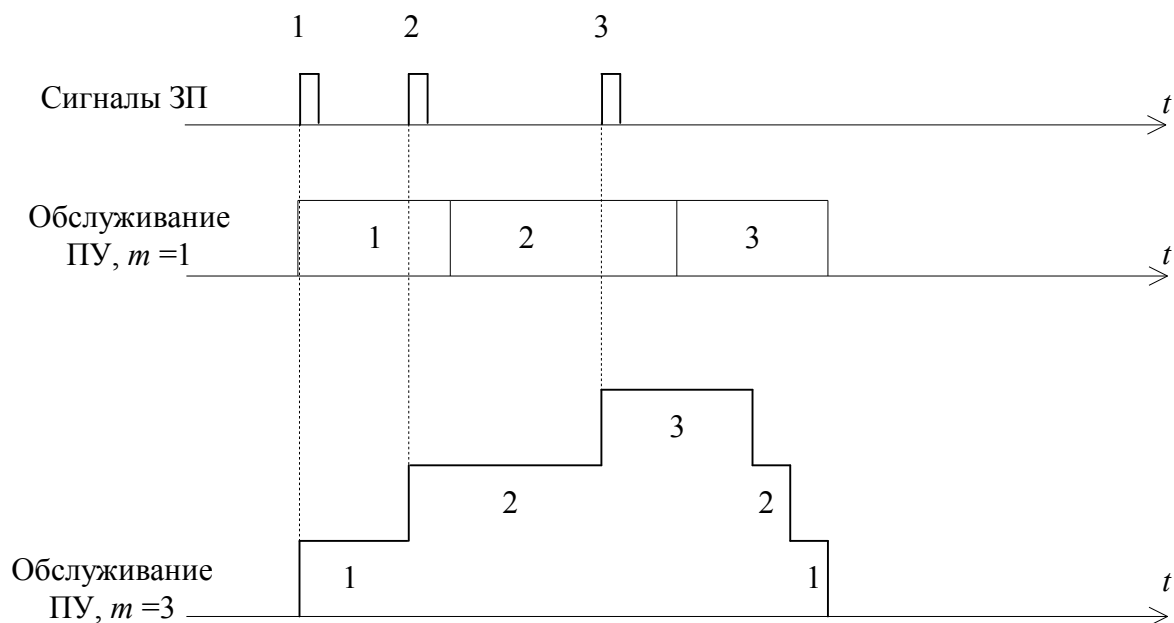


Рис. 2.7

2.2.2. Определение источника прерывания

Если к линии запроса подключено одно ПУ, то проблем определения его номера нет. Проблема возникает тогда, когда к одной линии запроса подключено не менее двух ПУ, и нужно определять номер (адрес вектора прерывания – АВП) ПУ для того, чтобы знать, какую подпрограмму обработки прерывания процессор должен выполнить.

Существуют различные способы определения источника прерывания *I*.

1. Программный. Алгоритм работы процессора следующий (рис. 2.8).

Производится последовательный программный опрос ПУ: делали они запрос или нет? Достоинством метода является простота определения, т. к. не требуется специальных аппаратных средств. Недостаток – длительность процедуры.

2. Аппаратный многотактовый. Реализация метода показана на рис. 2.9.

3. Аппаратный цепочечный (однотактовый) (рис. 2.10).

Вместо шифратора CD каждое ПУ может использовать регистр, в котором хранится АВП. Содержимое активизированного регистра передается по шине данных в процессор. На основании АВП процессор формирует новое слово состояния процессора (ССП) и осуществляет переход на подпрограмму.

4. Программно-управляемый, с использованием маски прерывания (рис. 2.11).

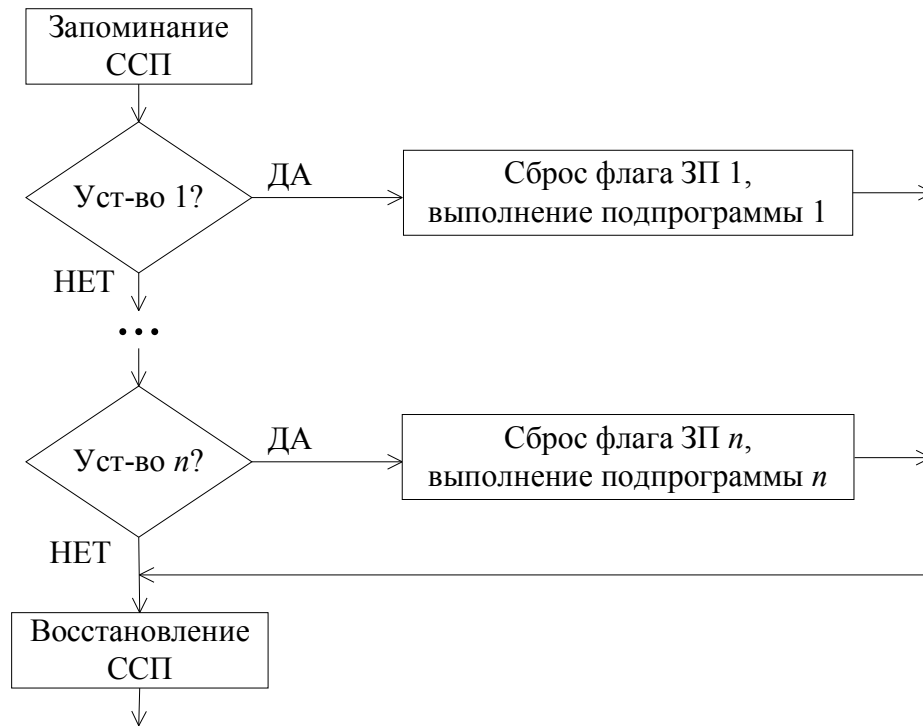


Рис. 2.8

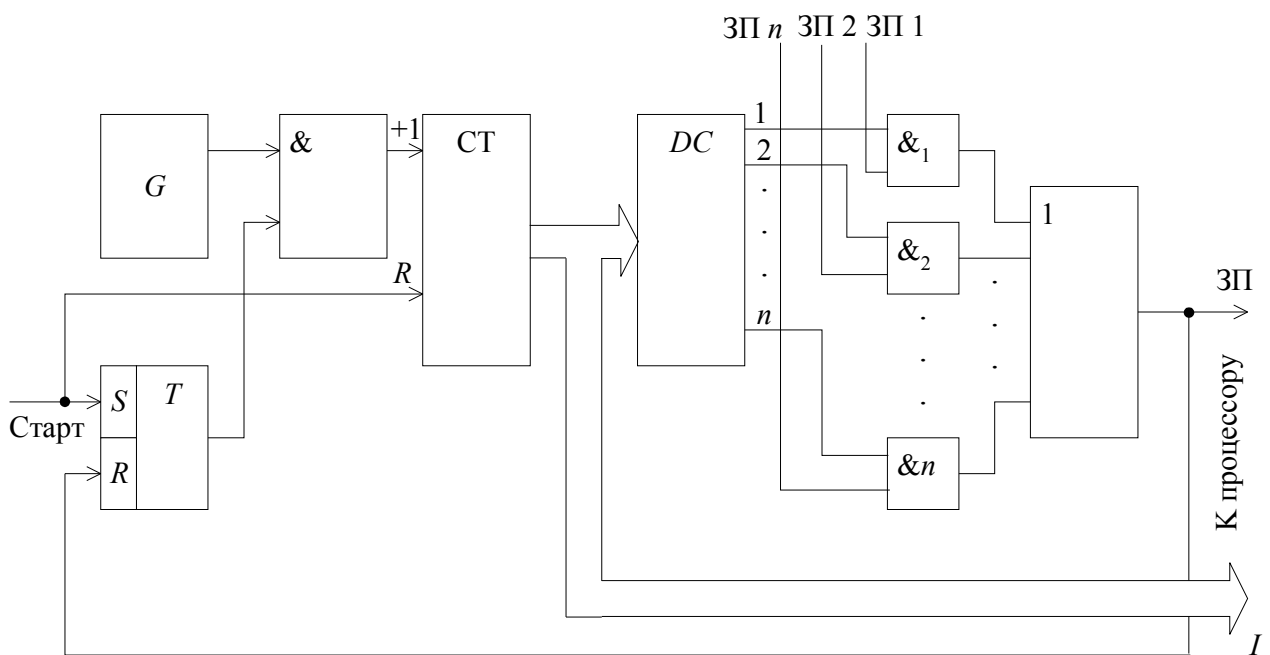


Рис. 2.9

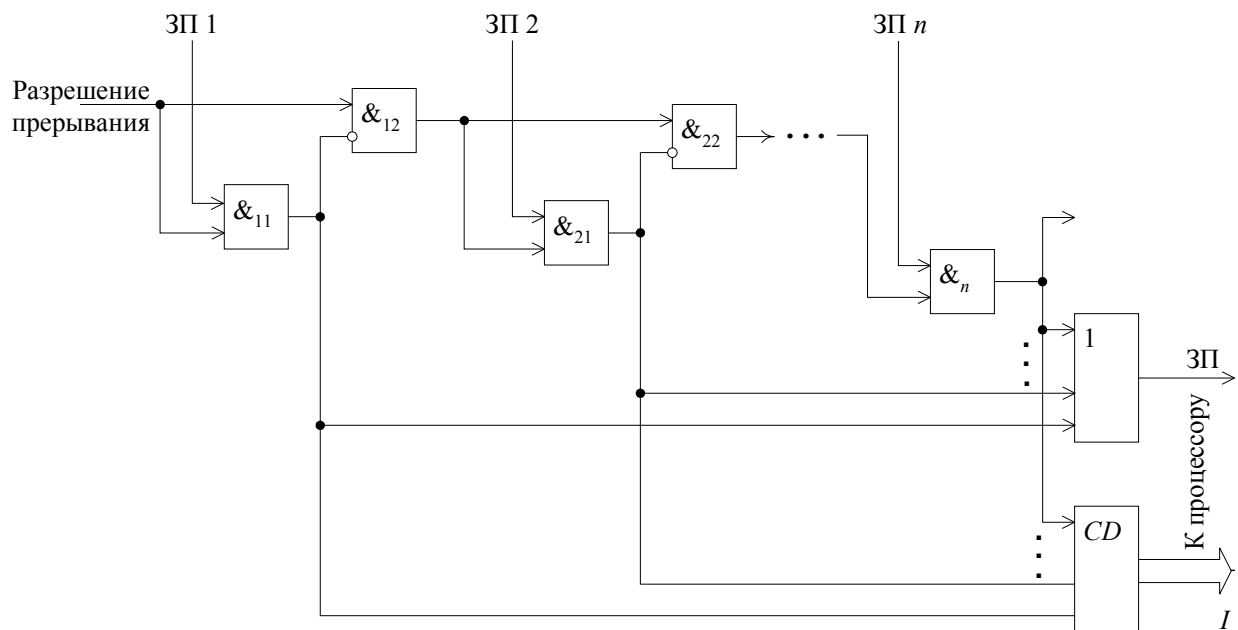


Рис. 2.10

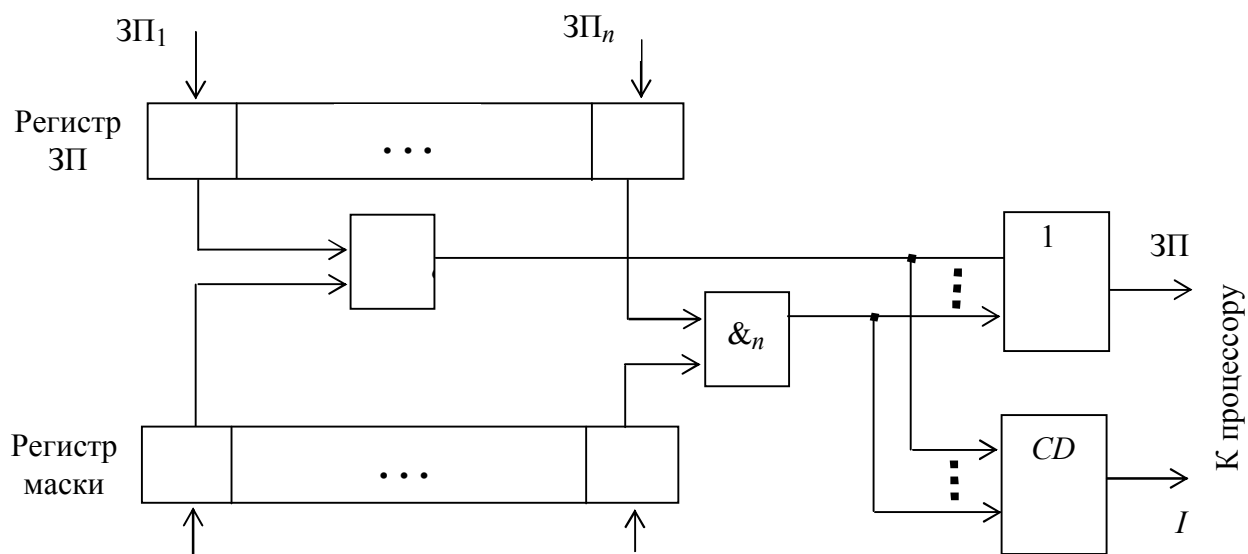


Рис. 2.11

Маска выставляется процессором. Существенное достоинство схемы — возможно произвольное задание приоритетов устройств.

Рассмотрим два примера подключения ПУ к процессору. Предположим, что процессор имеет трехуровневую шину ЗП (3 линии в шине ЗП) и одну линию разрешения прерывания РП.

1. Позиционно-зависимый приоритет. Схема подключения приведена на рис. 2.12. В данной схеме, чем ближе устройство к процессору, тем выше его приоритет.

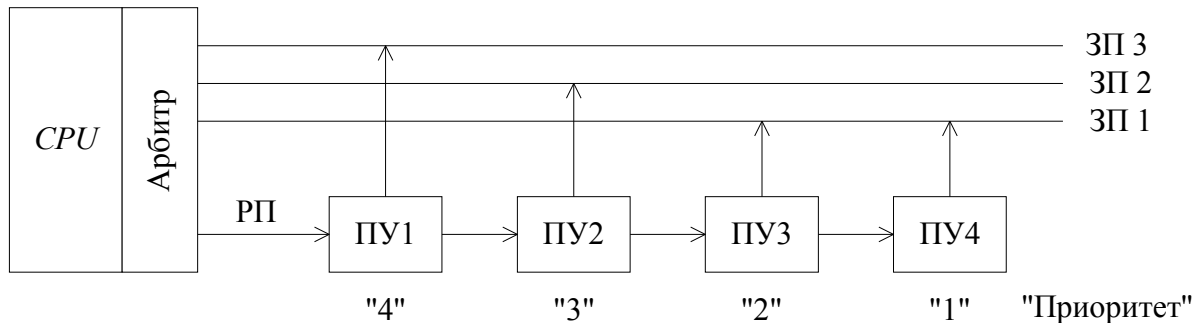


Рис. 2.12

2. Позиционно-независимый приоритет (рис. 2.13). В данной схеме приоритет устройств не зависит от их расположения по отношению к процессору. ПУ, подключенное к линии ЗП с более высоким приоритетом, блокирует (запрещает) передачу сигналов ЗП с устройств, обладающих меньшим приоритетом.

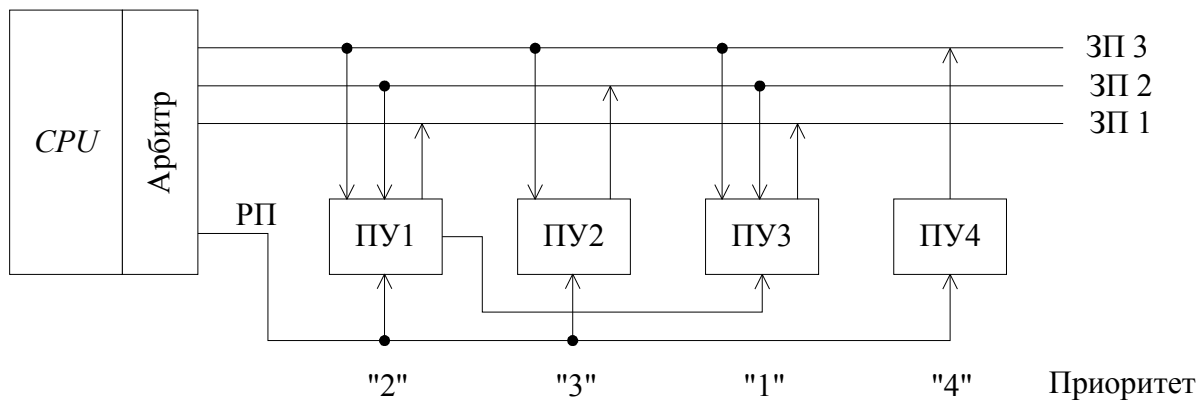


Рис. 2.13

2.2.3. Схема интерфейса по прерыванию

Функциональная схема интерфейса по прерыванию приведена на рис. 2.14.

С помощью элементов $\&_1$ и $\&_2$ организуется последовательное соединение ПУ, подключенных к одной линии ЗП. Триггер T ЗП включается, если есть необходимость обмена между процессором и ПУ. Регистр

RG АВП выставляет на шину данных адрес вектора прерывания при активации входа *CS*. Процессор считывает АВП, меняет свое ССП, иницируя работу подпрограммы обработки (обмена). Сам обмен выполняет программный интерфейс. Если обмена информацией между процессором и ПУ не происходит, то программный интерфейс не нужен.

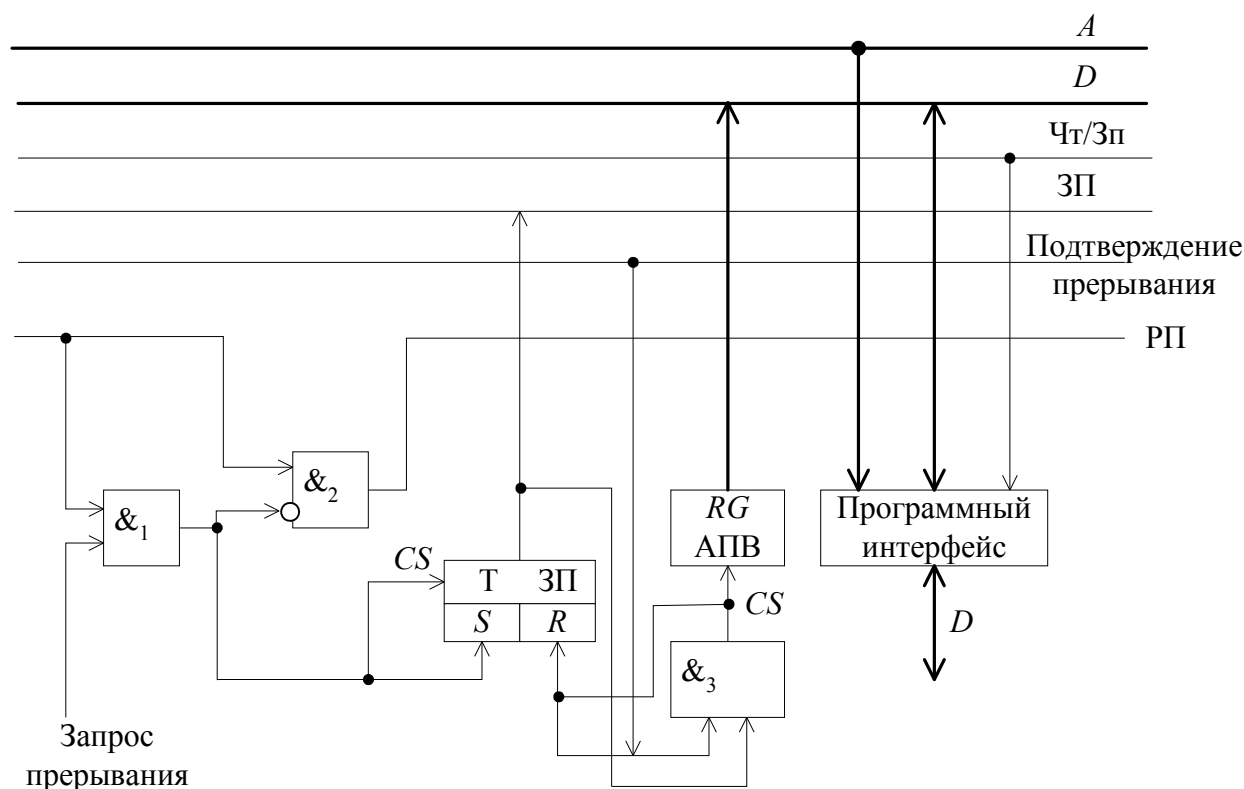


Рис. 2.14

2.3. ОРГАНИЗАЦИЯ ИНТЕРФЕЙСА С ПРЯМЫМ ДОСТУПОМ В ПАМЯТЬ

ПДП – частный случай режима захвата шин. Инициатор обмена – ПУ, которое захватило шины. Процессор в обмене и управлении не участвует.

Функциональная схема интерфейса имеет вид, показанный на рис. 2.15.

С помощью элементов $\&_1$ и $\&_2$ организуется последовательное подключение ПУ. Триггер *T* ПДП, счетчик СТ слов и элемент $\&_3$ реализуют включение режима ПДП подачей сигнала на линию запроса ПДП. Регистр/счетчик *RG* (СТ) адреса, триггер Чт/Зп управляют памятью ЭВМ.

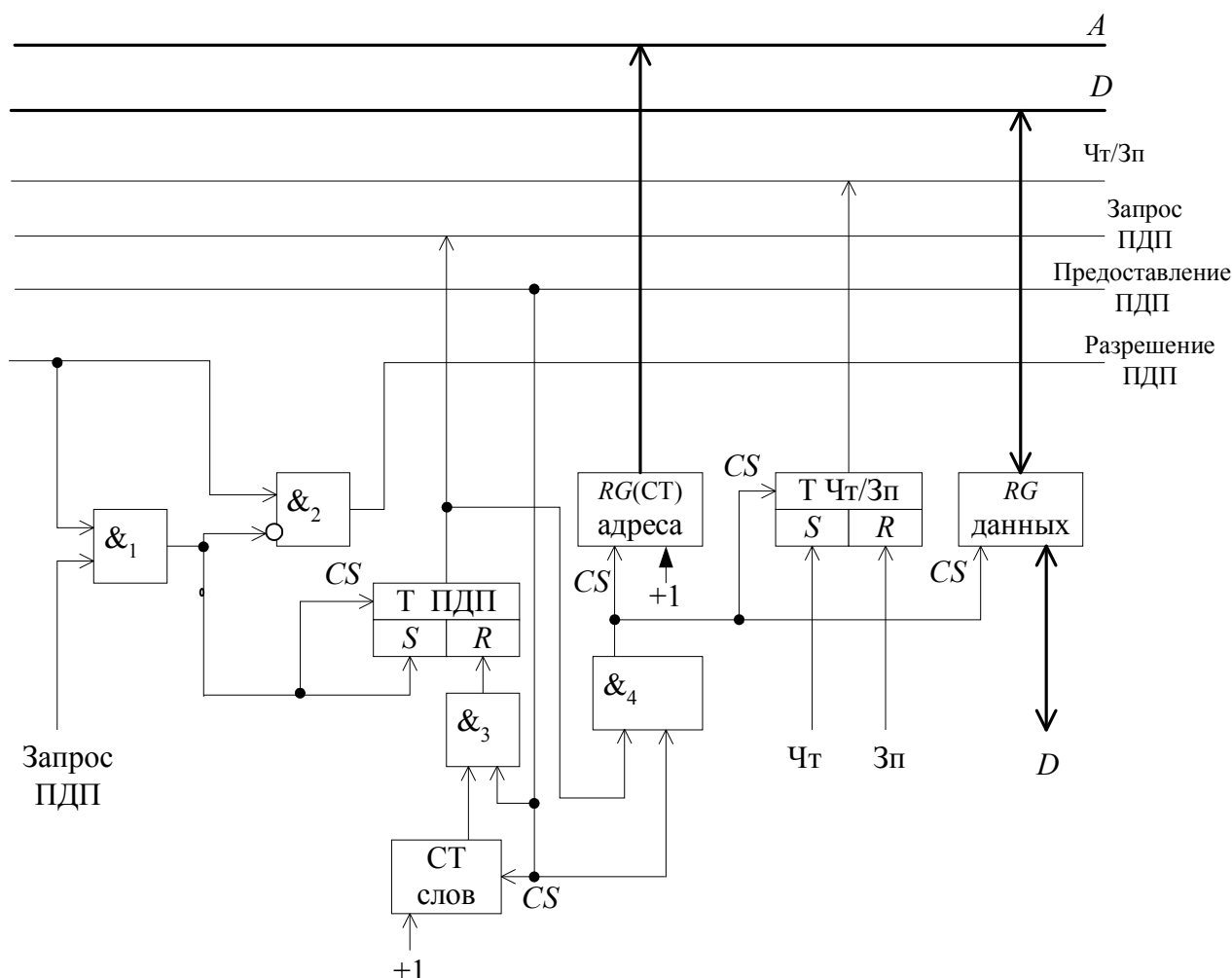


Рис. 2.15

Изначально в счетчике СТ слов записывается количество передаваемых в память или из памяти слов. Количество переданных слов подсчитывается, и после переполнения (обнуления) счетчика режим ПДП отключается.

Регистр СТ адреса задает адрес ячеек памяти. В начальном состоянии туда заносится начальный адрес. Поскольку массивы информации располагают в последовательных ячейках, то модификация состояния регистра достигается прибавлением единицы. Регистр данных служит для приема (передачи) данных. Начальные значения в счетчик слов, регистр адреса и триггер Чт/Зп могут быть загружены либо аппаратно, либо программно с помощью программного интерфейса.

3. ШИНА РАСШИРЕНИЯ PCI

3.1. ОСНОВНЫЕ ОСОБЕННОСТИ ШИНЫ PCI

PCI – Peripheral Component Interconnect – шина соединения периферийных компонентов, является основной шиной расширения современных компьютеров. Шина, разработанная фирмой Intel, стандартизована, высокопроизводительна и надежна в работе.

Первая версия шины вышла в 1992 г., а с 1995 г. действует вторая версия.

Шина является синхронной, т. е. фиксация сигналов выполняется по положительному фронту тактового сигнала CLK.

Номинальная частота синхронизации по первой версии составляет 33 МГц, а по второй допускается до 66 МГц при согласии всех устройств на шине.

Номинальная разрядность шины 32 бита, но возможно расширение до 64 бит.

При частоте 33 МГц пропускная способность достигает 132 Мбайт/с для 32-битной шины и 264 Мбайт/с для 64-битной, а при частоте 66 МГц она составляет 264 Мбайт/с и 528 Мбайт/с соответственно.

Основные особенности шины PCI:

- асинхронный режим передачи информации (можно вводить изменяемую временную задержку);
- 32- или 64-разрядная архитектура;
- мультиплексированная шина адреса и данных;
- наличие 3 адресных пространств (памяти, устройств ввода-вывода, их конфигурации);
- независимость от используемых управляемых процессов;
- поддержка обмена с CASH-памятью;
- наличие арбитра на шине, реализация режима прерываний;
- возможность захвата шины;
- гарантированное малое время ожидания для устройств реального времени;
- совместимость с большинством существующих стандартов расширений (с использованием мостов);
- возможность питания по напряжению 5 и 3,3 В;
- расширенные возможности и управление энергопотреблением.

Для шины PCI принята следующая иерархия понятий: шина, устройство, функция.

Шина – набор сигнальных линий.

Устройство – микросхема, карта расширения, подключенная к одной из шин PCI.

Устройство может быть многофункциональным (количество функций от 1 до 8).

Пример адресации: PCI 0:1:2 – означает вторая функция первого устройства подключенного к нулевой (главной) шине PCI.

3.2. ЛИНИИ ШИНЫ

Шина содержит следующие основные линии.

Системные линии

CLK – линия передачи тактового сигнала частоты от 8 до 33 МГц или до 66 МГц. Все сигналы синхронны, относительно CLK, кроме RST и сигналов прерываний.

RST# – линия сброса всех регистров на шине PCI. При этом все выходы на шине должны быть переведены в отключенное состояние (знак # указывает, что сигнал активен при низком потенциале).

Линии адресации и данных

AD[31:0] – 32 линии адреса и данных. Они являются мультиплексированными, т. е. для передачи адреса и данных используются одни и те же линии. Фаза адреса подтверждается сигналом FRAME#.

C/BE [3:0]# – линии передачи либо команды, либо код выбора байтов. В фазе адреса по этой шине передается команда, а в фазе данных – код выбранных (действительных) байтов.

PAR – линии четности линий AD и C/BE#. Дополняет общее количество единиц линий AD и C/BE# до четного числа (для повышения помехоустойчивости).

Линии управления интерфейсом

FRAME# – указатель начала цикла передачи и адресной фазы. Сигнал на линии устанавливается активным устройством

IRDY# – линия готовности к обмену данными. Сигнал на линии устанавливается активным устройством.

TRDY# – линия готовности пассивного устройства.

DEVSEL# – линия подтверждения того, что пассивное устройство узнало свой адрес.

STOP# – линия активизируется пассивным устройством для остановки текущей передачи данных.

IDSEL – указатель обращения к конфигурации устройства. Активизация линии означает, что будет произведено чтение или запись конфигурации.

Линии прерывания

INTA#, INTB#, INTC#, INTD# – линии запроса прерывания.

Линии управления шиной

REQ# – линия запроса активным устройством на захват шины.

GNT# – линия подтверждения процессором захвата шины.

3.3. ЦИКЛ ОБМЕНА НА ШИНЕ

Временные диаграммы обмена между активными и пассивными устройствами показаны на рис. 3.1.

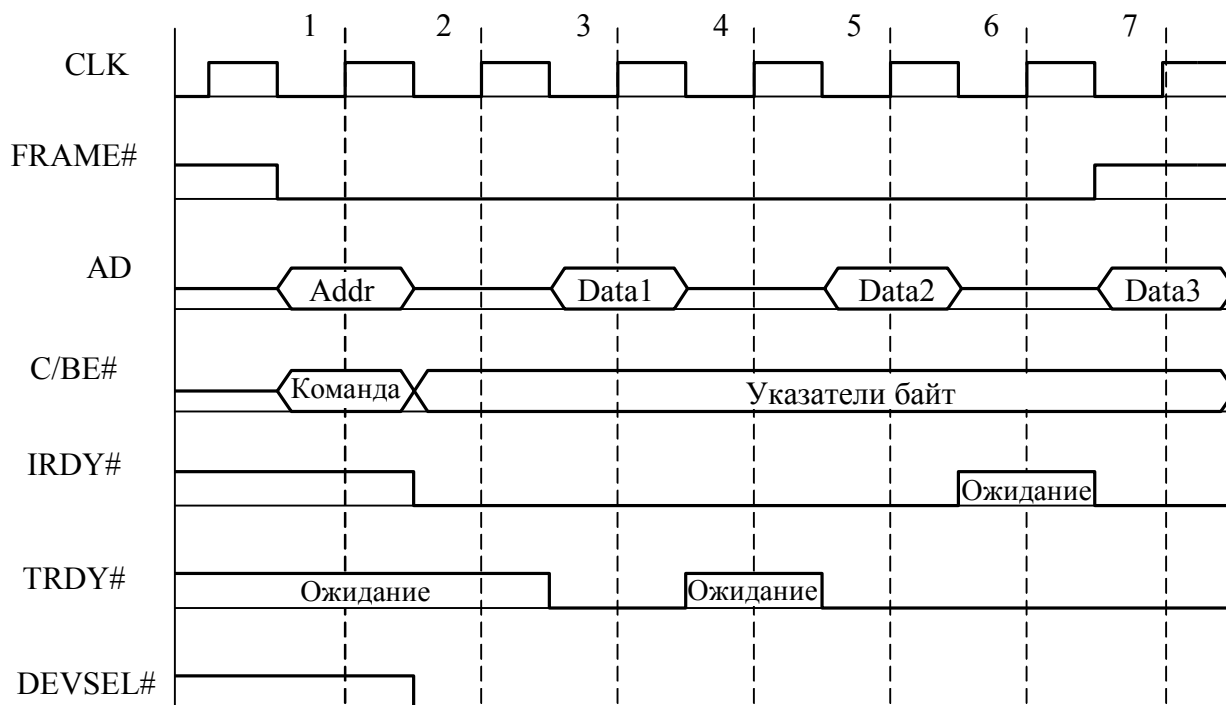


Рис. 3.1

В начале транзакции активное устройство активизирует линию FRAME#. По шине AD передает адрес, а по линиям C/BE# – команду. Адресованное пассивное устройство отзывается сигналом DEVSEL#.

Активное устройство показывает готовность к обмену сигналом IRDY#. Данные передаются только при одновременной активации сигналов IRDY# и TRDY#, причем TRDY# формируется тогда, когда пассивное устройство готово к обмену.

За адресной частью следует фаза пересылки данных. Количество передаваемых слов в пакете не указывается, но перед последним словом данных устройство снимает сигнал FRAME#. В частном случае передается одно слово.

Каждое ведомое устройство должно довольно быстро отвечать на транзакцию. Ожидание может составлять несколько тактов, но не может превышать 8 тактов.

Если устройство не успевает, то формируется сигнал STOP#.

3.4. КОМАНДЫ ШИНЫ

PCI поддерживает 16 различных операций на шине; из них реализовано только 12, а остальные зарезервированы. Тип операции зависит от команды, передается по линиям C/BE# (количество линий – 4). Тип операции передается в течение фазы адреса.

Используются следующие операции:

0000 – подтверждение прерывания;

0001 – специальный цикл (в данном цикле ЭВМ передает устройствам различные сообщения);

0010 – чтение порта ввода-вывода;

0011 – запись в порт ввода-вывода;

0100 – резерв;

0101 – резерв;

0110 – чтение памяти;

0111 – запись в память;

1000 – резерв;

1001 – резерв;

1010 – чтение конфигурации;

1011 – запись конфигурации;

1100 – циклическое (многократное) чтение памяти (используется при обращении к строкам кэш памяти);

1101 – цикл с 64-разрядным адресом (двухадресный цикл, позволяет по 32-битной шине обращаться к устройствам с 64-битной адресацией);

1110 – чтение строк памяти (чтение до конца строки кэша);

1111 – запись в память с инвалидацией (отменой достоверности).

В фазе данных линии C/BE# указывают на информационные байты.

При этом линии выбирают следующие байты:

C/BE# 0 → AD7 – AD0,

C/BE# 1 → AD15 – AD8,

C/BE# 2 → AD23 – AD16,

C/BE# 3 → AD31 – AD24

Количество адресуемых байт может быть 1, 2, 3 или 4.

3.5. ПРЕРЫВАНИЯ И ЗАХВАТ ШИНЫ, КОНФИГУРАЦИЯ УСТРОЙСТВ

Прерывание организуется с помощью линий подачи сигнала низкого уровня на одну из линий INT A#, INT B#, INT C#, INT D#. Этот сигнал должен удерживаться до тех пор, пока драйвер, вызванный по прерыванию, не сбросит запрос прерывания, обратившись по шине к данному устройству. Драйвер определяет адрес устройства чтением конфигурационного регистра. Это происходит, когда на шине C/BE# выставлена команда 0000. Приоритеты устройств определяются программированием арбитра процессора ЭВМ. Подтверждение прерываний надо снимать с линий C/BE. Драйвер, работающий с устройством PCI, определяет вектор прерывания, доставшийся устройству, чтением конфигурационного регистра.

Захват шины осуществляется с подачей сигнала запроса захвата на линию REQ#. Ответный сигнал подтверждения захвата передается арбитром процессора по линии GNT#. В режиме захвата устройство становится активным и управляет шиной по своему усмотрению. В частном случае реализуется режим прямого доступа в память (DMA).

Шина PCI имеют возможность электронной конфигурации, подключенных к ней устройств. Это позволяет автоматически перераспределять ресурсы компьютера (диапазоны адресов памяти и портов ввода-вывода, линии прерывания и др.) между устройствами. Эта технология называется Plug&Play.

Координационные средства по распределению ресурсов между устройствами выполняют специальные конфигурационные программы.

В шине PCI для осуществления конфигурации устройств есть две команды: чтение и запись конфигурации. С их помощью происходит определение типа устройств с их шиной, потребности ресурсов и предоставление им этих ресурсов.

Информация о конфигурации записывается и хранится в 256 байтах. Доступ к ним производится при активации сигнала на линии IDSEL, подключенной индивидуально к каждому устройству (слоту расширения). Конфигурационное обращение идет поочередно. Всем устройствам PCI присваивается индивидуальный адрес, который определяется схемотехникой системы.

Так, если в слот-расширение вставлена видеокарта, то ее конфигурационное пространство доступно по адресу этого слота. При переустановке его в другой слот она будет иметь уже другой адрес.

Формат данных конфигурации включает следующие сведения:

- идентификатор производителя;
- идентификатор устройства;
- статус;
- идентификатор версии;
- класс, код;
- размер кэш-линии;
- максимальное время захвата шины;
- регистры базовых адресов;
- базовый адрес ПЗУ;
- регистр команды;
- и др. информация.

Спецификацией определены несколько механизмов доступа к конфигурационному пространству, но в простых системах он осуществляется через специальные регистры моста центрального процессора – регистры адреса и данных конфигурации.

4. ШИНЫ AGP, LPC, SCSI, IDE

4.1. МАГИСТРАЛЬНЫЙ ИНТЕРФЕЙС AGP

PCI – самая быстрая универсальная шина компьютера. Главный потребитель пропускной способности – графический адаптер.

По мере возрастания разрешающей способности и глубины цвета требования к пропускной способности шины возрастают. Одно из решений состоит в понижении потока передачи графических данных по шине. Адаптеры снабжают ускорителями и повышают объем видеопамати. В результате, информационный поток в основном циркулирует внутри адаптера на плате.

Однако при 3-мерных построениях ускорителю становится тесно в ограниченном объеме локальной памяти адаптера и информационный поток снова выплескивается на шину.

В 1996 г. фирма Intel на базе шины PCI разработала стандарт подключения графического адаптера AGP (Accelerated Graphics Port) – ускоренный графический порт. Порт AGP представляет собой 32-разрядную шину с тактовой частотой 66 МГц, большая часть сигналов позаимствована из шины PCI. Однако в отличие от PCI порт AGP представляет собой двухточечный интерфейс, соединяющий графический адаптер с памятью и системной шиной процессора, не пересекаясь с шиной PCI.

Ускоренность порта обеспечивается следующими факторами:

- 1) конвейеризацией обращения к памяти;
- 2) удвоенной (учетверенной) частотой передачи данных;
- 3) демультимплексированием шин адреса и данных.

Идею конвейеризации поясняет рис. 4.1, где сравнивается обращение к памяти PCI и AGP. В PCI во время реакции памяти шина простаивает. Конвейерный доступ AGP позволяет в это время передавать следующие запросы, а потом получить поток ответов.

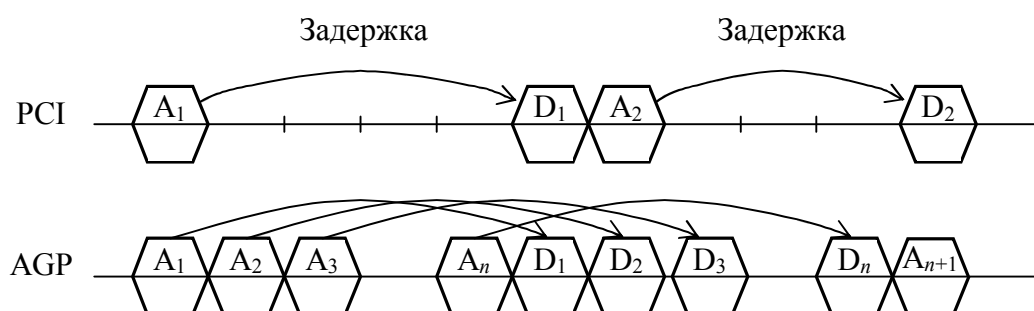


Рис. 4.1

Удвоение частоты – возрастание пропускной способности до 533 Мбайт/с, а учетверение – до 1066 Мбайт/с. Для этого данные передаются как по фронту, так и по спаду стробирующего сигнала. Эти режимы могут использоваться, если их поддерживает как графический адаптер, так и системная плата.

Разделение шины адреса и шины данных сделано следующим способом. С целью экономии числа интерфейсных линий шину адреса и шину управления представляют всего 8 линий SBA (Side Band Address). По этим линиям команда, адрес и значение длины передачи транслируются последовательно за несколько тактов.

Порт AGP содержит полный набор линий PCI и дополнительные линии AGP.

Устройство, подключаемое к порту, может предназначаться как исключительно для операций AGP, так и быть комбинацией AGP и PCI. Устройство должно обязательно выполнять функции активного устройства, иначе порт для него теряет смысл. Для транзакций в режиме AGP ему достаточно только системное ОЗУ.

В режиме PCI возможно обращение как к пространству памяти, так и к пространству ввода/вывода и конфигурационному пространству.

4.2. ИНТЕРФЕЙС LPC

Интерфейс LPC (Low Pin Count – малое число линий) – предназначен для подключения устройств ранее использующих шину ISA. Это контроллеры гибких магнитных дисков, клавиатуры, BIOS, последовательные и параллельные порты.

Интерфейс обеспечивает все программы, режимы обмена, режимы прерываний и захвата шины.

Интерфейс синхронизирован с шиной PCI, но устройства могут вводить произвольное число сигналов ожидания. Контроллер интерфейса LPC является устройством-мостом PCI.

Пропускная способность интерфейса – до 4 Мбит/с.

Интерфейс имеет семь обязательных сигналов, последовательно передаваемых по следующим линиям:

LAD [3:0] – двунаправленная мультиплексированная шина адреса и данных;

LFRAME# – индикатор начала и конца цикла, устанавливается хостом;

LRESET# – линия сброса устройств;

LCLK – линия синхронизации 33 МГц (тот же сигнал, что и на линии CLK шины PCI).

Дополнительные сигналы передаются по следующим линиям:

LDRQ# – линия запроса захвата шины или DMA режима.

SERIRQ – линия запроса прерывания.

CLKRUN# – линия указания на остановку шины для устройств, работающих в режимах захвата шины или DMA.

Временная диаграмма в режиме чтения данных имеет вид, показанный на рис. 4.2.

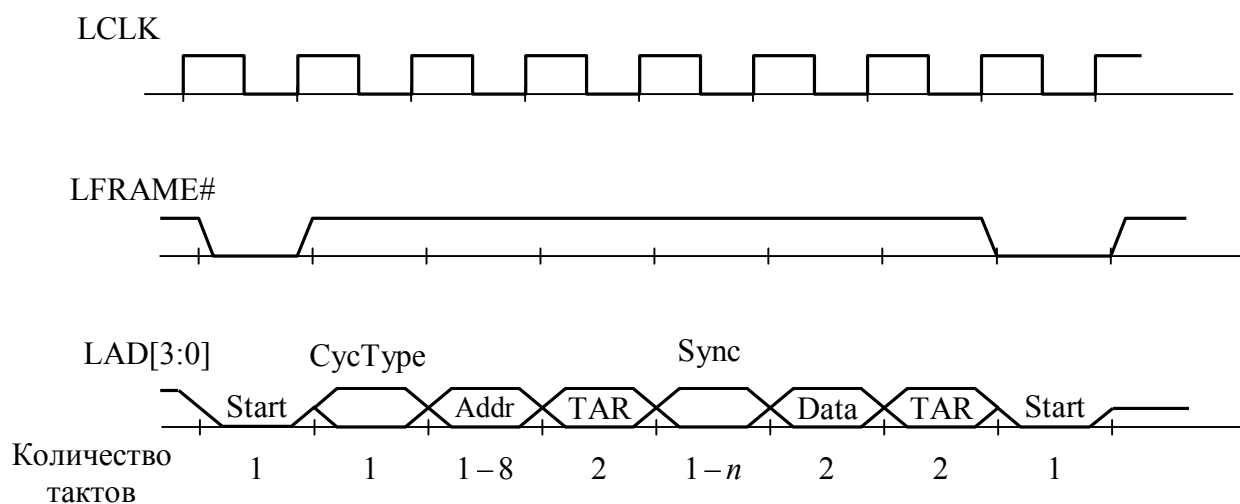


Рис. 4.2

По шине LAD передаются в каждом цикле поля элементов протокола. Они действительны по фронту сигнала LCLK.

Начало каждого цикла хост отмечает сигналом LFRAME#, помещая на шину поле Start.

По сигналу FRAME# все ПУ должны прекратить управление шиной LAD [3:0], а по коду поля Start должны декодировать последующие события, как цикл шины (начало цикла обращения хоста к устройству, предоставления доступа к активному устройству, принудительное завершение цикла).

Поле CysType задает тип и направление передачи (чтение, запись, порт, память, DMA-режим).

Поле Addr служит для передачи адреса (в цикле памяти 8 тактов – 32 бита, а в цикле ввода-вывода – 4 такта – 16 бит). Передача адреса начинается со старших битов для быстрого срабатывания дешифратора адреса.

Поле TAR (Turn-Around) служит для смены владельца шины. В первом такте прежний владелец помещает код 1111, а во втором – переводит буферы в третье состояние.

Поле Sync служит для введения тактов ожидания устройством, к которому осуществляется обращение. При этом могут передаваться следующие состояния: готовность канала, короткое ожидание, длинное ожидание, запрос DMA, ошибка. Поле синхронизации обеспечивает контроль передачи, введение тактов ожидания и механизм тайм-аутов.

Начав цикл, хост читает поле синхронизации. Если в течение 3 тактов устройство не ответит, хост считает, что его нет на шине, и прекращает транзакцию. Если приходит код короткого ожидания, хост дожидается смены его на готовность или ошибку, но после 8 тактов ожидания он прервет транзакцию по тайм-ауту. Код длинного ожидания может приходиться долго. В самом быстром варианте поле Sync занимает 1 такт.

В поле Data передаются данные. На каждый байт требуется 2 такта. Передача начинается с младшей тетрады.

Временные диаграммы для режима записи отличаются от рис. 4.2 тем, что поле Data следует после поля Addr.

4.3. ШИНА SCSI

4.3.1. Основные особенности шины

SCSI – Small Computer System Interface. Шина предназначена для соединения различных устройств (жесткие и оптические диски, принтеры, сканеры, процессоры).

Первая версия шины вышла в 1986 г. Это 8-битная параллельная шина (узкая версия) с максимальной частотой переключения 5 млн. передач/с; допускается подключение до 8 устройств.

В 1994 г. появилась вторая 16-битная широкая версия шины. Скорость передачи и разрядность увеличились вдвое. Шина допускает подключение 16 устройств. Вторая версия разрешает и 32-битную организацию. Скорость передачи данных может достигать 20 млн. передач/с.

В настоящее время действует третья версия (SCSI-3) – дальнейшее развитие стандарта на количество подключаемых устройств, расширение системных команд.

Кроме параллельных интерфейсов имеется возможность применения последовательных в т. ч. волоконно-оптических интерфейсов со скоростью до 100 Мбайт/с.

Разные версии по-разному реализованы.

Параллельные интерфейсы существуют в нескольких версиях, которые отличаются разрядностью шины, синхронизацией, способом передачи сигналов.

Узкая версия содержит сигнальные линии и несколько питающих линий. Для защиты от помех каждая сигнальная цепь имеет обратный провод.

В широком варианте количество сигнальных цепей увеличено. На применяемых двухрядных разъемах контакты сигнальных и обратных цепей располагаются друг против друга. Это позволяет применять витые пары, плоские ленточные кабели, где обратные и сигнальные провода чередуются. Для передачи сигналов используют как линейные, так и дифференциальные версии:

SE – линейная версия, когда каждый сигнал передается с ТТЛ уровнем относительно общего провода;

DIFF – дифференциальная версия, для каждой цепи задействована пара проводников, по которым передается парафазный сигнал (используются специальные передатчики) и, следовательно, удлиняется длина кабеля, при сохранении скорости обмена. Длина может достигать 25 м (8 устройств) и 12 м (16 устройств).

Каждая физическая линия SCSI должна оканчиваться терминатором (запитанным резистором). Терминаторы могут быть как внутренними (внутри контроллеров или ПУ), так и внешними (на разъемах кабеля маленькими блоками или в виде дополнительного разъема устройства). Задачи терминатора: избавление линии шины от отражений с ее концов и обеспечение требуемого уровня сигналов пассивных линий.

Все устройства на шине должны быть сконфигурированы (программно или с помощью переключателей-джамперов). При этом устанавливаются следующие параметры:

- 1) идентификатор (номер) устройства;
- 2) контроль паритета;
- 3) включение терминаторов;

- 4) питание терминаторов;
- 5) согласование скорости синхронного обмена;
- 6) разрешение отключения;
- 7) согласование ширины шины данных и др.

4.3.2. Линии шины

Используются следующие линии.

BSY# – шина занята.

SEL# – выбор пассивного устройства активным или активного устройства пассивным.

C/D# – управление/данные.

I/O# – ввод-вывод.

MSG# – передача сообщения.

DB[0:31]# – инверсная шина данных.

DP[0:3]# – биты паритета (дополняет количество единичных битов байта до нечетного), причем DP0# относится к DB[0:7], ... , DP3# – относится к DB[24:31].

TERMPWR – питание терминаторов.

ATN# – (внимание) – намерение активного послать сообщение.

REQ# – запрос от пассивного устройства на пересылку данных.

ACK# – подтверждение передачи (ответ на сигнал REQ#).

RST# – сброс.

DIFFSENS – признак дифференциального интерфейса.

4.3.3. Диаграммы асинхронного и синхронного обмена

Асинхронный обмен изображен на рис. 4.3, где ДП – данные от пассивного устройства, ДА – данные от активного устройства.

Передача каждого слова сопровождается взаимосвязанной парой REQ# и ACK#. При этом активный фиксирует принимаемые данные, получив сигнал REQ# по отрицательному фронту.

Принимая сигнал REQ#, пассивное устройство считывает принимаемые данные по отрицательному фронту ACK#.

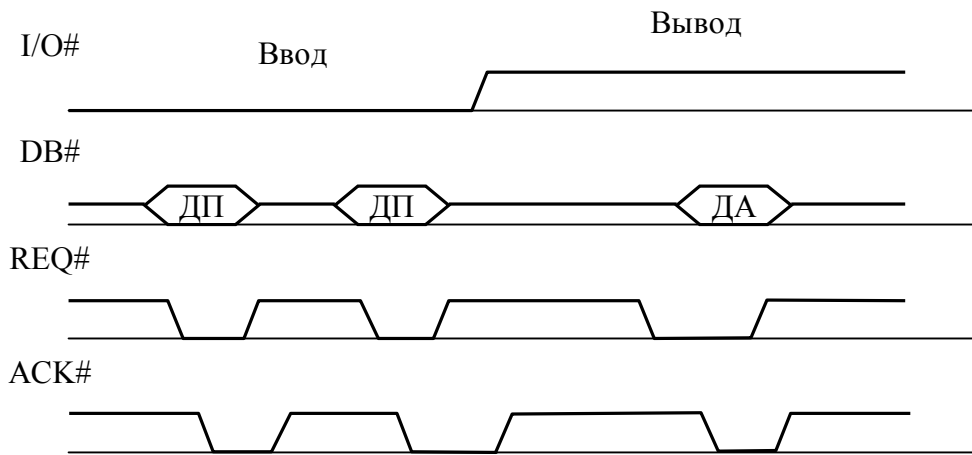
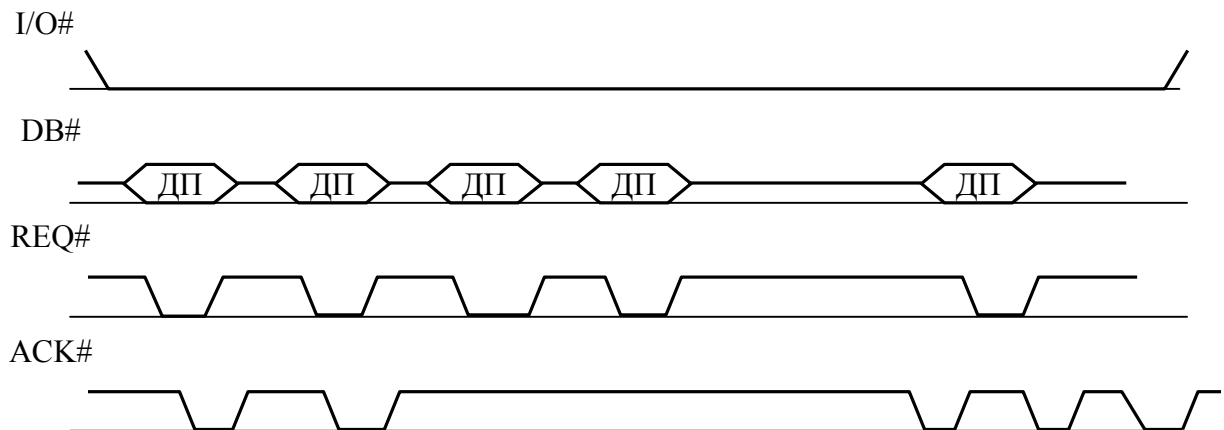
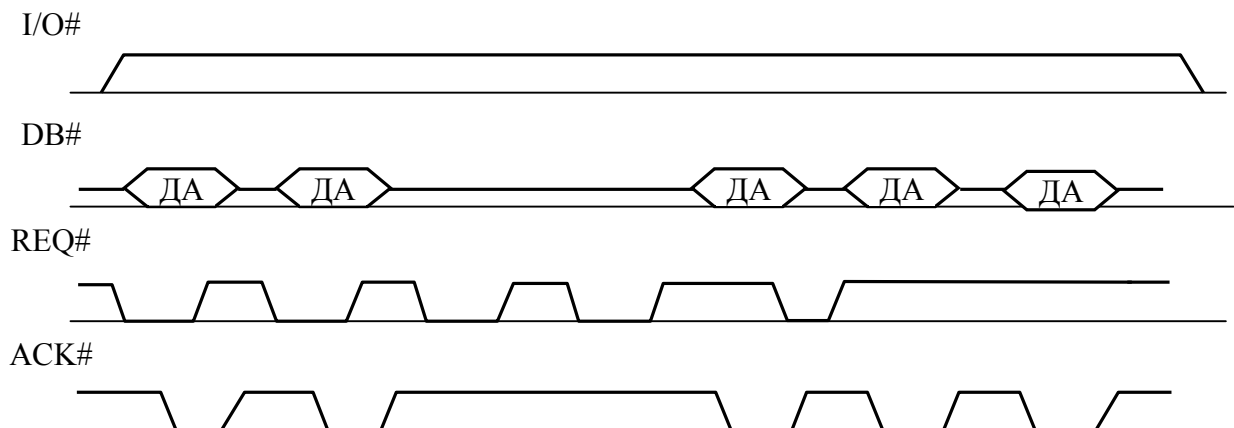


Рис. 4.3

Синхронный обмен показан на рис. 4.4, где приведены диаграммы ввода данных от пассивного устройства ДП (рис. 4.4 а) и диаграммы вывода данных от активного устройства ДА (рис. 4.4 б).



а



б

Рис. 4.4

По «предварительной договоренности» устройства могут выполнять обмен в синхронном режиме, обеспечивая минимальную длительность и период управления сигналами АСК# и REQ#, а также допуская отставание подтверждения от запросов.

Данные фиксируются по отрицательному перепаду (активным – REQ#, пассивным – АСК#).

В режиме ввода пассивное устройство передает серию данных, сопровождающих REQ# в темпе, ограниченном установленными временными параметрами. Активный принимает данные, но отвечать на них может с некоторым опозданием. Как только отставание числа принятых сигналов АСК# от посланных REQ# достигнет предельного, пассивный приостановит обмен. Операция завершена, когда число принятых подтверждений будет равно числу посланных запросов.

В режиме вывод данные передаются активным устройством.

4.4. ИНТЕРФЕЙС IDE

Интерфейс IDE (Integrated Drive Electronics) используется как встроенный в накопителях на жестких магнитных дисках.

Встроенный интерфейс имеет ряд преимуществ:

- 1) повышается быстродействие накопителя;
- 2) снимается проблема совместимости накопителей;
- 3) упрощается схемотехника подключения к шине компьютера;
- 4) имеется большой простор для внутреннего совершенствования, направленного на повышение надежности.

Для устройств IDE существует несколько разновидностей интерфейса.

АТА, он же АТ-BUS, – 16-битный интерфейс подключения к шине компьютера АТ. Наиболее распространенный 40-проводный сигнальный и 4-проводный питающий интерфейс для подключения дисковых накопителей к компьютерам АТ. Для миниатюрных (2,5 дюйма и менее) накопителей используют 44-проводный кабель, по которому передается и питание.

РС Card АТА – 16-битный интерфейс с 68-контактным разъемом РС Card (PCMCIA) для подключения к блокнотным РС.

ХТ IDE (8 бит), он же ХТ-BUS, – 40-проводный интерфейс, похожий на АТА, но несовместимый с ним.

МСА IDE (16 бит) – 72-проводный интерфейс, предназначенный специально для шины и накопителей PS\2.

ATA-2 – расширенная спецификация ATA. Включает 2 канала, 4 устройства, PIO Mode 3, Multiword DMA Mode 1, Block mode, объем диска до 8 Гбайт, поддержка LBA и CHS.

Fast ATA-2 разрешает использовать Multiword DMA Mode 2 (13,3 Мбайт/с), PIO Mode 4.

ATA-3 – расширение ATA-2. Включает средства парольной защиты, улучшенного управления питанием, самотестирования с предупреждением приближения отказа – SMART.

ATA\ATAPI-4 – расширение ATA-3, включающее режим Ultra DMA со скоростью обмена до 33 Мбайт/с и пакетный интерфейс ATAPI. Появляется поддержка очередей и возможность перекрытия команд.

ATA\ATAPI-5 – ревизия ATA\ATAPI-4: удаляются устаревшие команды и биты, добавляются новые возможности защиты и управления энергопотреблением. Включает режим Ultra DMA со скоростью обмена до 66 Мбайт/с.

ATA\ATAPI-6 – дополнения к ATA\ATAPI-5: потоковое расширение для чтения/записи аудио- и видеоданных, управление акустическим шумом, режим Ultra DMA со скоростью обмена до 100 Мбайт/с.

Serial ATA – последовательный интерфейс.

E-IDE(Enhanced IDE) – расширенный интерфейс. Реализуется в адаптерах для шин PCI и VLB. Позволяет подключать до 4 устройств (к двум каналам), включая CD-ROM и стримеры (ATAPI). Поддерживает PIO Mode 3, Multiword DMA Mode 1, объем диска до 8 Гбайт, LBA и CHS. С аппаратной точки зрения практически полностью соответствует спецификации ATA-2.

Устройства ATA IDE, E-IDE, ATA-2, Fast ATA-2, ATA-3, ATA/ATAPI-4, ATA/ATAPI-5 и ATA/ATAPI-6 электрически совместимы. Степень логической совместимости достаточно высока (все базовые возможности ATA доступны). Однако для полного использования всех расширений необходимо соответствие спецификаций устройств, хост-адаптера и его программного обеспечения.

Спецификация ATA\ATAPI-6 является последней версией параллельного интерфейса ATA, за которой следует последовательный интерфейс Serial ATA.

Простейший адаптер ATA содержит буферы сигналов шины и дешифратор зоны адресов. Шина ATA требует выделения системных ресурсов, а именно областей портов ввода-вывода, линии прерывания и возможно канала DMA.

5. УНИВЕРСАЛЬНАЯ ПОСЛЕДОВАТЕЛЬНАЯ ШИНА USB

5.1. ОРГАНИЗАЦИЯ ШИНЫ

USB – Universal Serial Bus – является промышленным стандартом расширения ПК. Основное достоинство шины – легко реализуемое надежное расширение периферии.

Первая версия шины появилась в 1996 г. и обеспечивала две скорости передачи данных: низкую LS – 1,5 Мбит/с и полную FS – 12 Мбит/с. В версии 2000 г. введена высокая HS скорость 480 Мбит/с, существенно расширяющая круг устройств, подключаемых к шине. В одной системе могут присутствовать и работать устройства со всеми тремя скоростями.

Шина с использованием промежуточных концентраторов (хабов) позволяет присоединять устройства, удаленные до 30 м.

USB обеспечивает обмен данными между хостом PC и ПУ. Согласно спецификации USB устройства могут быть:

- 1) хабами (обеспечивают дополнительное подключение к шине);
- 2) функциями (выполняют определенные функции);
- 3) их комбинацией (содержат как хаб, так и функцию).

Работой всей системы USB управляет хост-контроллер, являющийся программно-аппаратной подсистемой компьютера. Хост-контроллер является единственным ведущим устройством, а все ПУ являются ведомыми.

Шина позволяет производить очень простое подключение ПУ, конфигурировать, использовать, отключать устройства во время работы хоста и самих устройств.

Физическая топология шины – многоярусная звезда (до 7 ярусов).

Ее вершиной является хост-контроллер, объединенный с корневым хабом. Хаб не только устройство-разветвитель, но и источник питания. Каждый промежуточный хаб имеет несколько нисходящих портов (для ПУ) и один восходящий для подключения к вышестоящему хабу.

Взаимодействие с устройствами USB выполняется через программный интерфейс.

Пример подключения к шине USB показан на рис. 5.1.

Кабель USB содержит одну экранированную витую пару с импедансом 90 Ом для сигнальных цепей и одну неэкранированную – для подачи питания + 5 В. Допустимая длина сегмента до 5 м. Для LS-скорости

может использоваться невитой, неэкранированный кабель длиной до 3 м. Количество линий в кабеле равно четырем: 2 информационные линии $D-$ и $D+$, одна линия питания +5 В и одна общая линия GND.

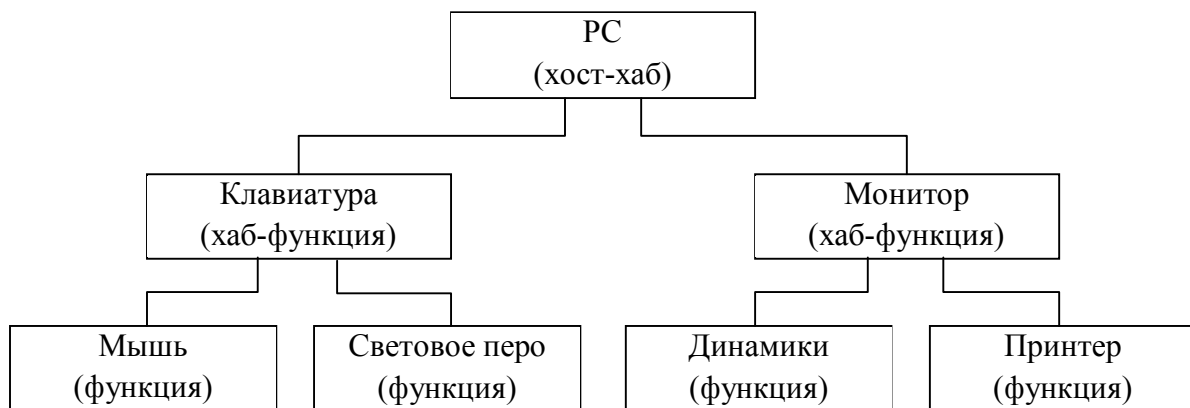


Рис. 5.1

В шине используется дифференциальный способ передачи сигналов $D-$ и $D+$.

Скорость устройства, подключенного к конкретному порту, определяется хабом по уровням сигналов на линиях $D-$ и $D+$, создаваемых нагрузочными резисторами передатчиков.

Схема подключения полноскоростного устройства FS показана на рис. 5.2, где $R_1 = 15 \text{ кОм}$, $R_2 = 1,5 \text{ кОм}$.

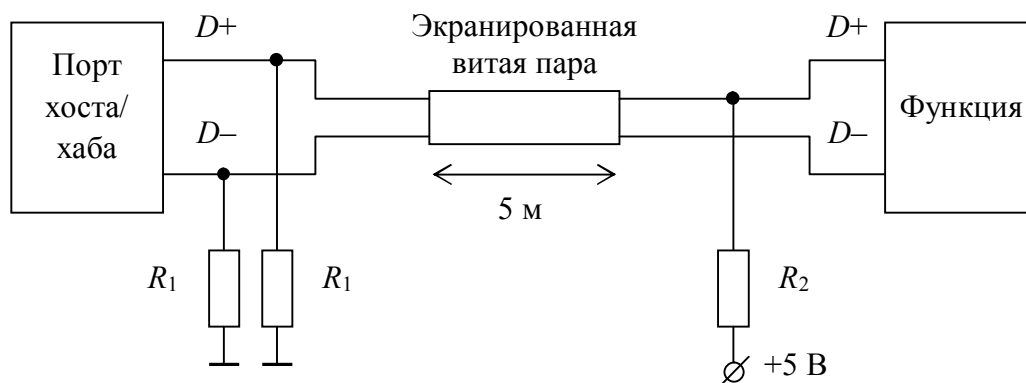


Рис. 5.2

Схема подключения низкоскоростного устройства LS приведена на рис. 5.3, где $R_1 = 15 \text{ кОм}$, $R_2 = 1,5 \text{ кОм}$.

Подключение HS-устройств определяется на этапе обмена конфигурационной информацией и происходит по способу FS-устройств.

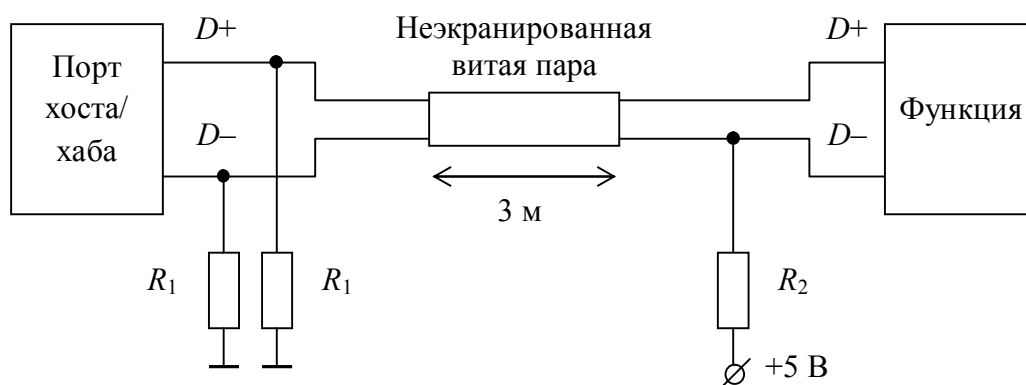


Рис. 5.3

Передача по двум проводам USB не ограничивается лишь дифференциальными сигналами. Кроме дифференциального приемника каждое устройство имеет линейные приемники сигналов $D+$ и $D-$, а передатчики этих линий управляются индивидуально. Это позволяет различать множество передаваемых состояний интерфейса и устройства.

Хаб является ключевым элементом в архитектуре USB. Функции хаба:

- 1) физическое подключение устройств;
- 2) управление подачей питающего напряжения на нисходящие порты;
- 3) отслеживание состояний отключенных устройств, уведомление хоста;
- 4) обнаружение ошибок на шине;
- 5) восстановление и изолирование неисправных сегментов шины;
- 6) обеспечение связи сегментов, работающих на разных скоростях.

Управление энергопитанием является развитой функцией USB. Любое устройство при подключении не должно потреблять ток превышающий 100 мА. Рабочий ток может достигать до 500 мА. Если хаб не может обеспечить заявленный ток, то оно не конфигурируется. Устройство USB должно поддерживать спящий режим (ток не превышает 500 мкА).

5.2. ТИПЫ ПЕРЕДАЧИ ДАННЫХ

Каждое устройство на шине при подключении получает уникальный адрес. Логически устройство представляет собой набор независимых конечных точек – Endpoint (EP), с которыми хост-контроллер и обменивается информацией.

Каждая EP имеет номер и по разному конфигурируется. Каждое устройство обязательно имеет конечную точку с номером 0, которая используется для инициализации, общего управления и опроса состояния устройства. Эта точка всегда сконфигурирована при подключении питания. Нулевая конечная точка поддерживает тип передачи, который называется управлением (SETUP). Через нулевую EP хост присваивает адрес устройству.

Кроме нулевой точки устройство – функция может иметь дополнительные точки, реализующие обмен данными. Низкоскоростные устройства могут иметь до двух дополнительных точек. Полноскоростные – до 15 точек ввода и 15 точек вывода. Дополнительные точки не могут быть использованы, пока не будут сконфигурированы.

Архитектура USB допускает четыре базовых типа передачи данных:

1) управляющие послышки SETUP – для конфигурации устройств и для управления шиной в процессе работы. Протокол передачи обеспечивает гарантированную доставку данных, при случайной ошибке выполняется повтор;

2) передача массивов данных Bulk – передача без использования обязательств по скорости передачи, задержки доставки. Она может занимать всю свободную полосу пропускания шины. Приоритет этих передач самый низкий, они могут приостанавливаться при большой загрузке шины. Доставка гарантирована, при случайной ошибке выполняется повтор;

3) прерывания – короткие передачи, имеют спонтанный характер и должны обслуживаться не медленнее, чем того требует устройство. Предел времени обслуживания устанавливается для LS: 10 – 255 мс; FS: 1 – 255 мс; HS: от 125 мкс до 255 мс. При случайных ошибках выполняется повтор;

4) изохронная передача – непрерывная передача в реальном времени. На полной скорости позволяет организовать канал со скоростью до 1 Мбайт/с. В случае обнаружения ошибки, данные не повторяются.

5.3. ПРОТОКОЛ ОБМЕНА

Все транзакции с устройствами USB состоят из пакетов. Каждая транзакция планируется и начинается по инициативе хост-контроллера, который посылает пакет-маркер. Он описывает тип передачи и направление передачи, адрес устройства и номер конечной точки. В каждой тран-

закции возможен обмен только между хостом и адресуемой конечной точкой. Адресуемое маркером устройство распознает свой адрес и готовится к обмену. Источник данных, определенный маркером передает пакет данных. После успешного приема пакета приемник данных посылает пакет квитирования.

Пример последовательности пакетов показан на рис. 5.4.

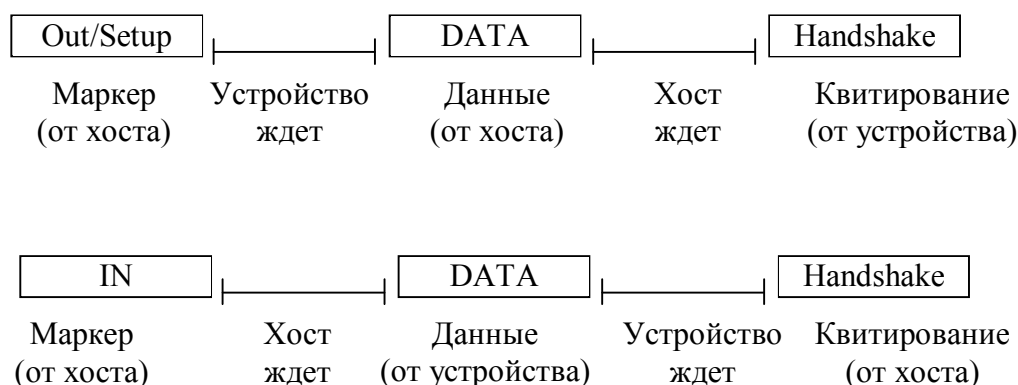


Рис. 5.4

Все пересылки управляются хостом. Контроллер циклически с периодом 1 мс формирует кадры, в которые укладываются все (в одном кадре несколько) транзакции.

Каждый кадр начинается с маркера SOF (Start of FRAME), который является синхронизирующим сигналом для всех устройств. В конце каждого кадра выделяется интервал времени, который называется EOF (End of FRAME), на время которого запрещаются передачи по направлению к хосту.

В режиме HS пакеты SOF передаются в начале каждого микрокадра, период которого 125 мкс.

5.4. ФОРМАТЫ ПАКЕТОВ

Все транзакции (передачи) осуществляется с помощью пакетов. Пакеты бывают 3 типов: маркер, данные, квитирование.

Каждый тип имеет разновидности, отмечаемые идентификатором пакетов (PID). Характеристика пакетов приведена в табл. 5.1.

Таблица 5.1

Тип	Имя (PID)	Код PID (разряды P_2 P_1 P_0)
Маркер (формируется хостом)	SETUP (управление)	1101
	IN (ввод)	1001
	OUT (вывод)	0001
	SOF (начало кадра)	0101
Данные	DATA 0 (четный пакет)	0011
	DATA 1 (нечетный пакет)	1011
Квитирование	ACK (успешная передача)	0010
	NAK (устройство занято)	1010
	STALL (устройство остановлено)	1110

Передача пакета начинается с передачи 8-разрядного синхросигнала SYNC (рис. 5.5), два последних бита которого SOP отмечают начало PID. Далее следует 8-битовая передача PID в формате, показанном на рис. 5.6. Все данные передаются с младших разрядов, заканчиваются старшими. Для повышения помехоустойчивости PID передается в прямом и в обратном кодах.

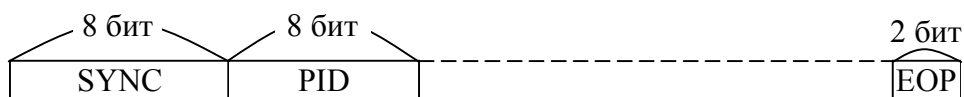


Рис. 5.5

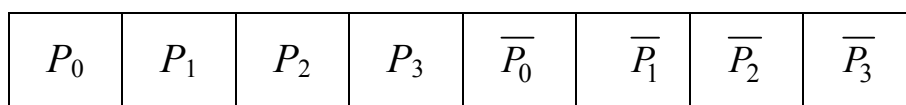


Рис. 5.6

Для пакетов квитирования между PID и окончанием пакета EOP больше никакой информации не передается.

Пакеты SETUP, IN, OUT содержат адресную часть и циклический контроль адреса по избыточности CRC (рис. 5.7).

Пакет SOF отмечает начало кадра (длительность 1 мс) или микрокадра (125 мкс) и после поля PID (рис. 5.5) передается 11-разрядный номер кадра (фактически текущее время) и контрольный CRC код (рис. 5.8).

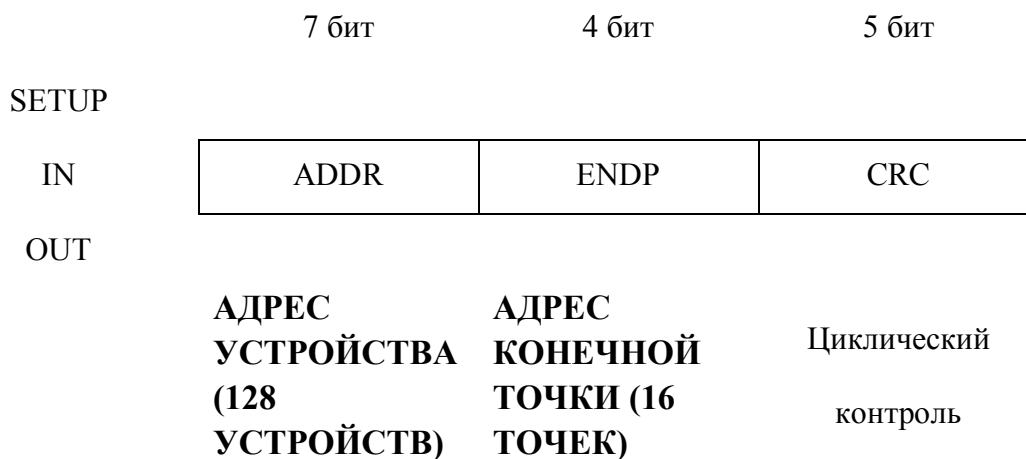


Рис. 5.7

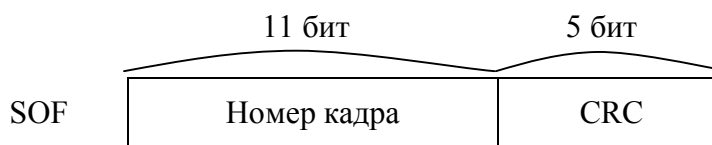


Рис. 5.8

После PID пакетов данных DATA 0, DATA 1 передаются данные и код CRC (рис. 5.9).

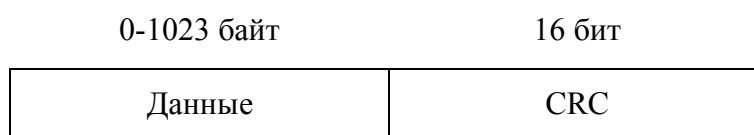


Рис. 5.9

Все передачи производятся байтами. CRC влияет только на данные.

5.5. ФОРМАТЫ ТРАНЗАКЦИЙ

Формат транзакции определяется типом передачи.

1. **Передачи типа Bulk.** Существуют двух видов: ввода – IN и вывода – OUT. Формат транзакции IN показан на рис. 5.10. Транзакция состоит из трех или двух пакетов. Если хост при приеме информации не обнаружил ошибку, то посылает ответный пакет ACK. При обнаружении ошибки

пакет ACK не формируется. Если устройство занято или остановлено, то посылаются соответственно пакеты NAK либо STALL.

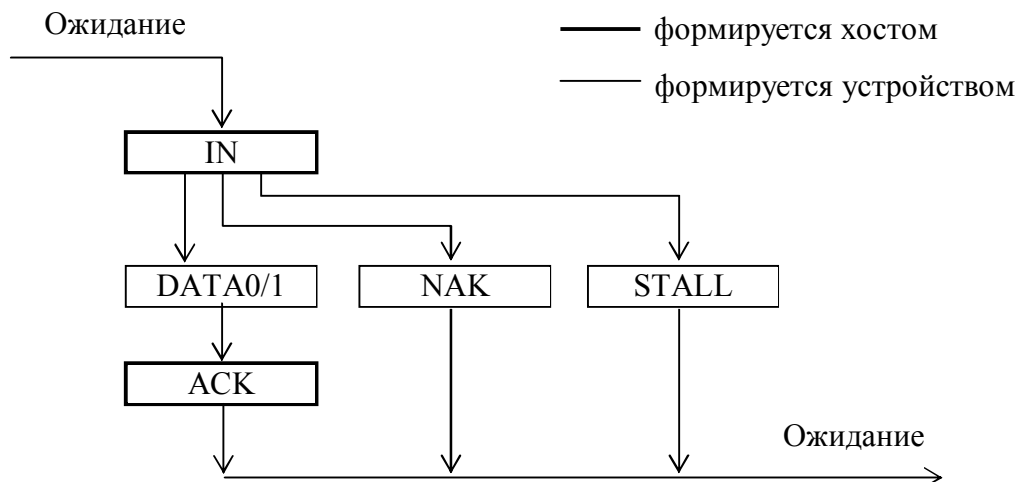


Рис. 5.10

Формат транзакции OUT приведен на рис. 5.11. Он такой же, как и формат IN и может содержать 3 или 2 пакета.

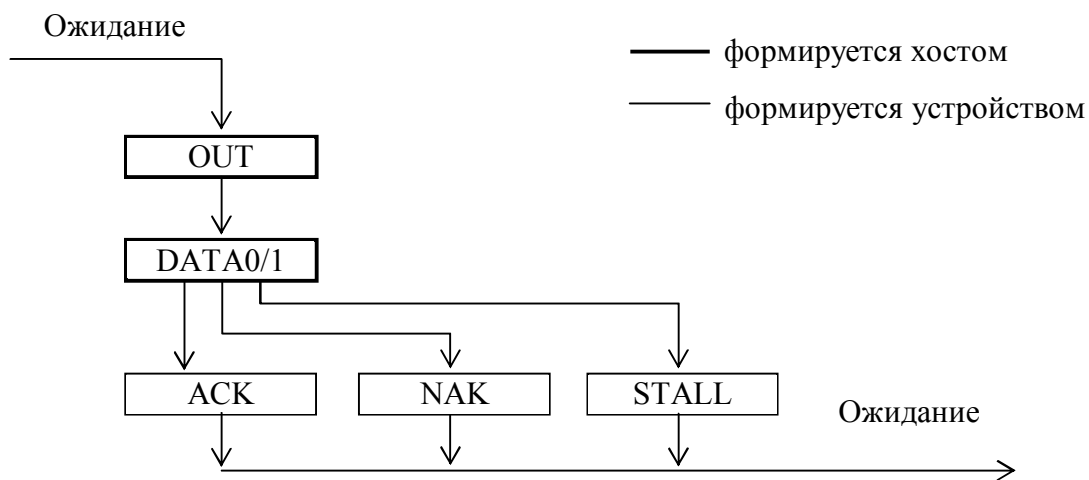


Рис. 5.11

Транзакции типа IN и OUT могут повторяться несколько раз подряд (рис. 5.12).

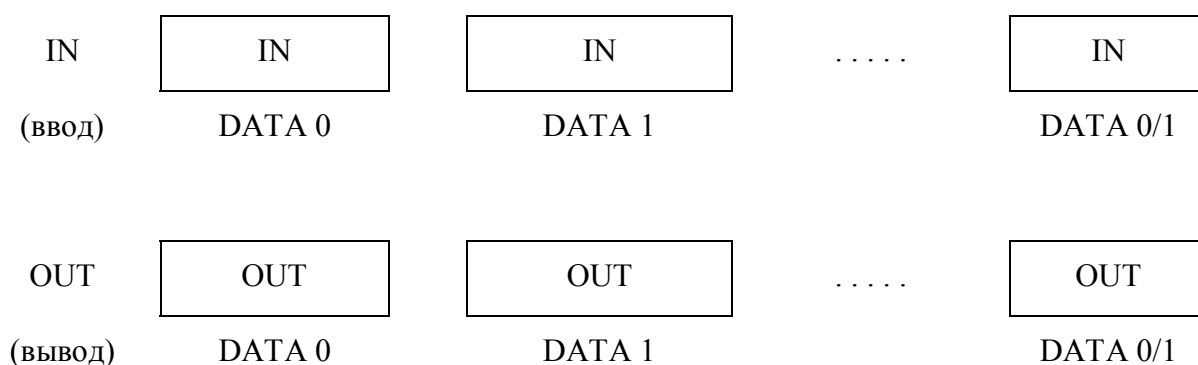


Рис. 5.12

Каждая транзакция содержит 3 или 2 пакета, как показано на рис. 5.10, 5.11, а идентификаторы пакетов DATA 0, DATA 1 в них для увеличения помехоустойчивости чередуются.

2. Передачи типа прерывания. Форматы транзакций прерывания аналогичны форматам транзакции Bulk.

Особенность прерывания заключается в том, что в режиме конфигурации устройство запрашивает у хоста интервал опроса T -конечной точки, в диапазоне 1 – 255 мс. Хост записывает информацию о величине интервала T и устанавливает свой внутренний таймер на опрос устройства с периодом T , мс.

3. Изохронные передачи не гарантируют точную передачу информации, но производят привязку ко времени.

Формат транзакции IN и OUT показан на рис. 5.13.

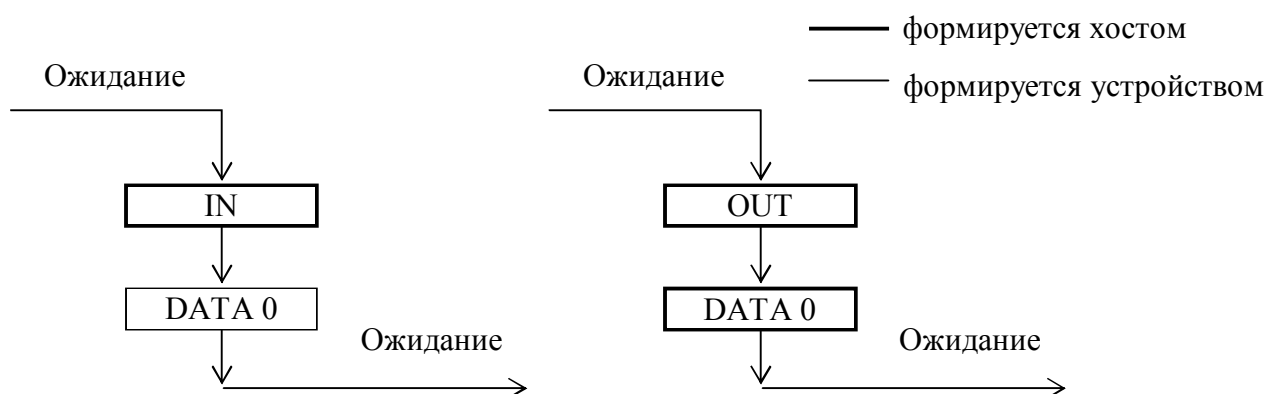


Рис. 5.13

В транзакциях отсутствует фаза квитирования, что не гарантирует безошибочную передачу данных. Передача происходит быстро, с привязкой к реальному времени.

4. **Передачи типа SETUP** – управление. Состоят минимум из двух, а максимально из трех стадий:

- 1 стадия – установка;
- 2 стадия – стадия данных (если она есть);
- 3 стадия – стадия состояния.

Формат стадии установка показан на рис. 5.14. В течение стадии установки хост передает управляющую информацию устройству, используя нулевую конечную точку. Формат данной транзакции такой же, как и OUT в транзакции типа Bulk. Конечная точка, получившая установку, должна принять данные и ответить квитированием ACK, если данные не разрушены. В противном случае пакет ACK не отправляется.

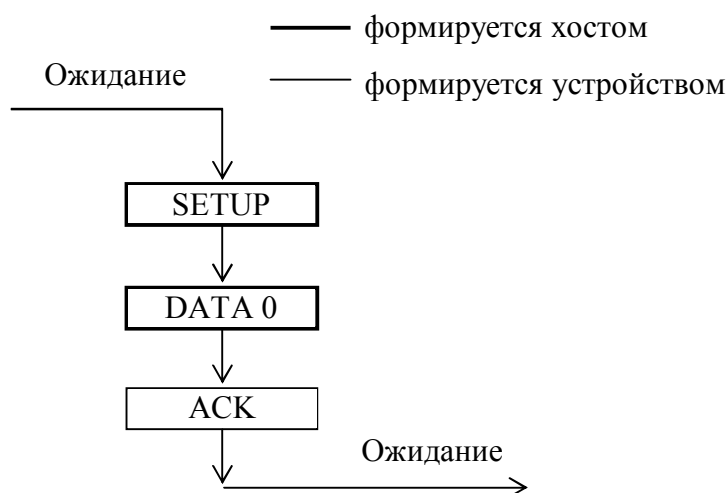


Рис. 5.14

Стадия данных, если она есть в передаче управления, состоит из одной или более IN или OUT транзакций и придерживается тех же самых правил протокола как Bulk передачи. Все транзакции в стадии данных должны быть одного направления, т. е. все IN или все OUT. Направление передачи и количество данных, которые будут переданы в стадии данных, определяется информацией, переданной на стадии установки.

Стадия состояния является последней в операции управления. Если последовательность управлений не содержит стадию данных (например, когда хост пересылает адрес в устройства), то за стадией установки следует стадия состояния, состоящая из IN транзакции (рис. 5.15).

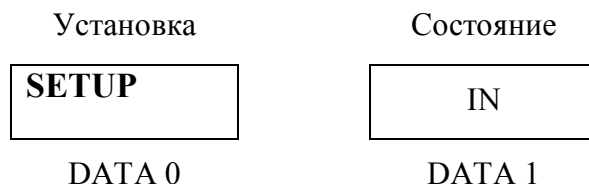


Рис. 5.15

При наличии стадии данных стадия состояния фиксирует конец передачи потока данных путем указания изменения в направлении передачи данных. Так, если стадия данных состоит из OUT транзакций, то состояние – это одиночная IN транзакция с PID DATA 1 и нулевой длиной данных (пустой пакет DATA 1). Если же это IN транзакции, то состояние – это одиночная OUT транзакция с PID DATA 1 и нулевой длиной данных. Порядок транзакции для этих случаев показан на рис. 5.16 а, б.

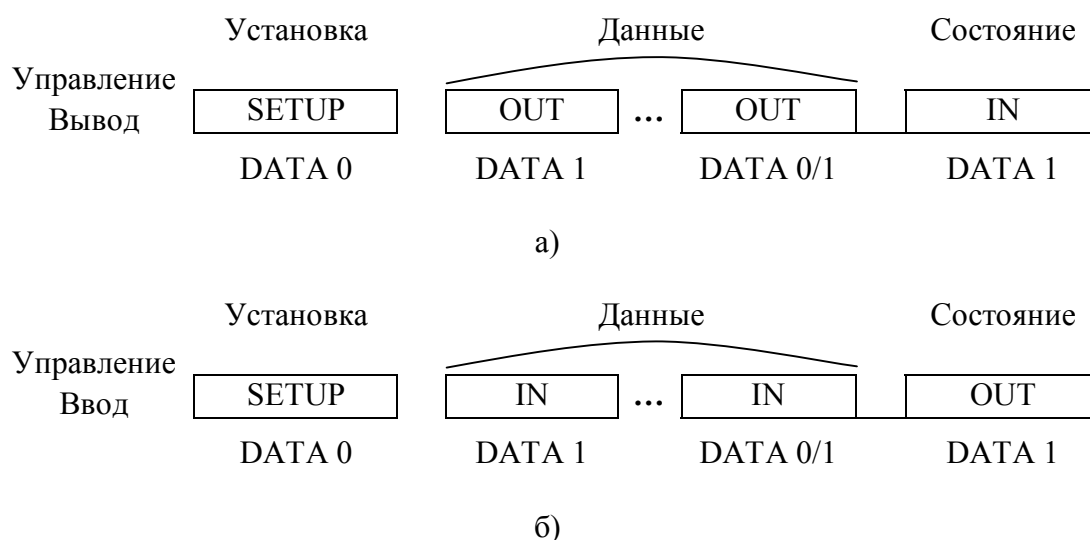


Рис. 5.16

5.6. СТАНДАРТНЫЕ КОМАНДЫ

Устройство USB должно отвечать на стандартные управления (запросы) хоста независимо от того, сконфигурировано оно или нет. Стандартные команды от хоста к устройству передаются на стадии установки. Пакет DATA 0 содержит 8 байт и включает 5 полей.

Поле bmRequest Type (1 байт) – указывает тип запроса, команду.

Поле bRequest (1 байт) несет информацию о содержании команды (запрос (чтение) конфигурации, запрос дескриптора (может быть только

типа DEVICE, CONFIGURATION или STRING), установка (запись) адреса, установка конфигурации, установка дескриптора и др.).

В поле wValue (2 байта) передается информация о типе дескриптора, адресе устройства и др.

Поле wIndex (2 байта) используется только для дескриптора типа String.

В поле wLength (2 байта) указывается длина дескриптора.

5.7. СТАНДАРТНЫЕ ДЕСКРИПТОРЫ

Дескриптор – структура данных с определенным форматом. Типы дескрипторов USB:

- 1) устройство (DEVICE);
- 2) конфигурация (CONFIGURATION);
- 3) строка (STRING);
- 4) интерфейс (INTERFACE);
- 5) конечная точка (END POINT).

Стандартные команды к устройству поддерживают 3 первых типа дескрипторов.

Запрос о конфигурации должен возвращать хосту не только дескриптор конфигурации, но и дескрипторы интерфейса и дескрипторы конечной точки. Во всех устройствах должен быть предусмотрен дескриптор устройства и хотя бы один дескриптор конфигурации.

Дескриптор устройства описывает общую информацию относительно устройства USB. Оно применяется устройством глобально во всех его конфигурациях. Устройство USB имеет только один дескриптор устройства.

Дескриптор устройства включает 18 байтов, в которых размещается следующая информация:

- размер дескриптора в байтах;
- тип дескриптора (DEVICE);
- версия спецификации USB, в которой может работать устройство;
- класс, подкласс, протокол;
- максимальный размер пакета для нулевой конечной точки (допускается только 8, 16, 32, 64 байта);
- идентификатор продавца, изделия, изготовителя;
- число возможных конфигураций и др.

Дескриптор конфигурации описывает специфическую информацию о конфигурации устройства. Их может быть одна или несколько. Каждая конфигурация имеет один или более интерфейсов, а каждый интерфейс одну или более конечных точек. Одна и та же конечная точка может быть использована для разных интерфейсов.

Дескриптор конфигурации содержит 8 байтов, где размещается следующая информация:

- размер дескриптора в байтах;
- название (GONFIGURATION);
- общая длина данных сообщаемых хосту для данной конфигурации. Включает объединенную длину всех дескрипторов (конфигурации, интерфейса, конечной точки);
- число интерфейсов, поддерживаемых этой конфигурацией;
- характеристики питания (от шины или независимо);
- максимальное потребление мощности и др.

Дескриптор интерфейса описывает специфический интерфейс в случае связанной конфигурации. Содержит 8 байтов, где указывается размер дескриптора, тип, номер интерфейса, число конечных точек, используемых интерфейсом, код класса, подкласса, протокола и др.

Каждая конечная точка имеет собственный дескриптор. Этот дескриптор содержит информацию по пропускной способности точки. Дескриптор передается хосту как часть дескриптора конфигурации. Нет никакого дескриптора у нулевой конечной точки.

Дескриптор конечной точки содержит 7 байт, где находится следующая информация:

- адрес конечной точки в устройстве;
- размер дескриптора в байтах;
- тип передачи (управление, изохронный режим, Bulk, прерывание);
- максимально возможный размер пакета данных при передаче;
- интервал опроса T -конечной точки при передаче данных в режиме прерывания (от 1 до 255 мс).

Дескрипторы строк являются необязательными.

6. СВЯЗНЫЕ ПОСЛЕДОВАТЕЛЬНЫЕ ИНТЕРФЕЙСЫ

6.1. ПЕРЕДАЧА СИГНАЛОВ ПО ОДНОПРОВОДНОЙ И ДВУХПРОВОДНОЙ ЛИНИЯМ

Периферийное устройство может располагаться на значительном расстоянии от ЭВМ. Для связи применяется одно- или двухпроводная линии, с помощью которых происходит последовательная передача данных. При этом существенным оказывается вопрос о скорости передачи. Скорость передачи V в зависимости от длины линии L изменяется в соответствии с кривой, показанной на рис. 6.1.

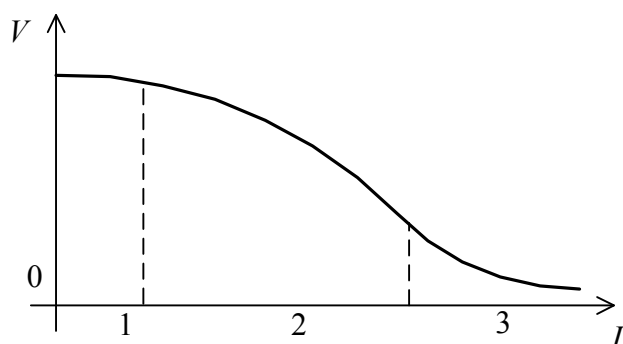


Рис. 6.1

Практически скорость передачи спадает с увеличением длины линии. На кривой $V(L)$ выделены 3 участка:

1 – незначительный участок величиной порядка единиц метров, здесь скорость уменьшается слабо;

2 – протяженный участок, на котором скорость передачи монотонно снижается. Это вызвано наличием распределенных в линии емкостей и сопротивлений, воздействием помех;

3 – участок, скорость передачи на котором падает до такого уровня, что использовать линию передачи на таком расстоянии нецелесообразно, т. к. существенно снижается по отношению к помехам уровень сигнала (растягиваются фронты импульсных сигналов, что приводит к их искажению).

Длина линии связи зависит от факторов:

1) метода передачи (электрический или оптический);

- 2) типа кабеля (коаксиальный, плоский или витая пара);
- 3) характеристик передатчика и приемника информации (мощности передаваемого сигнала и чувствительности приемника);
- 4) мощности помех.

6.1.1. Связь по однопроводной линии

Схема устройства связи показана на рис. 6.2.

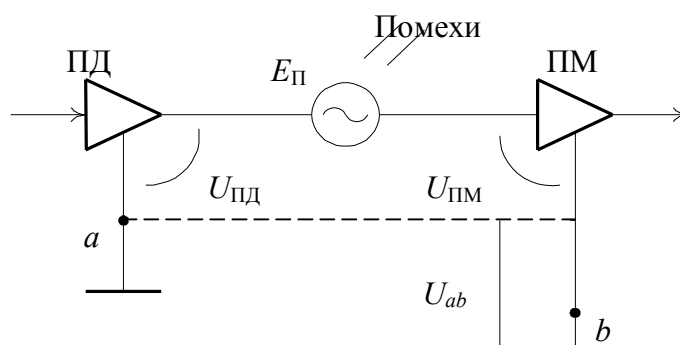


Рис. 6.2

Напряжение на входе приемника ПМ определяется соотношением $U_{ПМ} = U_{ПД} \pm (E_{П} + U_{ab})$. В общем случае оно не равно напряжению передатчика ПД $U_{ПД}$. Во-первых, помехи наводят ЭДС $E_{П}$, во-вторых, потенциал Земли в точке приема не равен потенциалу Земли в точке передачи (Земля не идеальный проводник), т. е. имеется разность потенциалов U_{ab} .

Для того чтобы не было ошибок в передаче данных, должно выполняться неравенство

$$|U_{ПД} - U_{ПМ}| \leq U_{доп}.$$

Если в качестве передатчика используется элемент транзисторно-транзисторной логики ($U(0) = 0 \dots 0,4$ В; $U(1) = 2,4 \dots 5$ В), то минимальный диапазон передачи равен $U_{ПД} = 0,4 \dots 2,4$ В. Минимальный диапазон напряжения приемника должен быть $U_{ПМ} = 0,8 \dots 2,0$ В, т. е. $U_{доп} = 0,4$ В.

ТТЛ-логика используется редко и только при передаче на короткие расстояния. Для передачи на длинные расстояния используются специальные приемники, которые должны удовлетворять международным требованиям, приведенным на рис. 6.3. При этом передача «0» кодируется положительным потенциалом, «1» – отрицательным потенциалом. Потенциалы должны находиться на уровне, большем $|5|$ В.

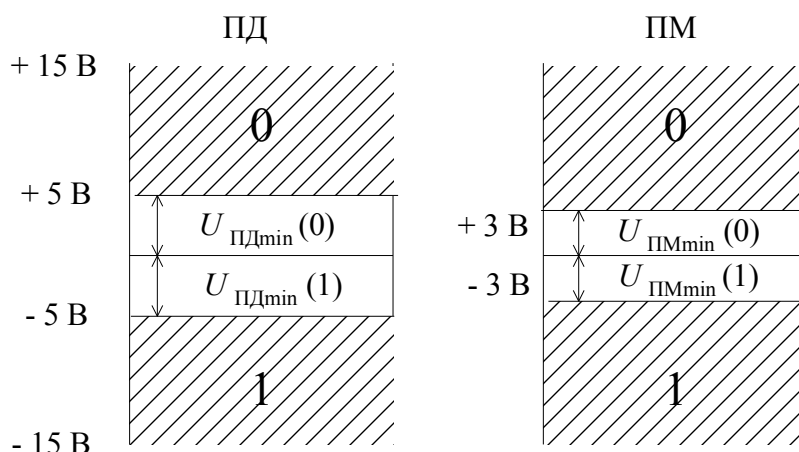


Рис. 6.3

Однопроводной метод имеет ограниченное применение из-за отмеченных недостатков.

6.1.2. Связь по двухпроводной линии

Возможны три варианта схемы связи. Первый вариант схемы связи показан на рис. 6.4.

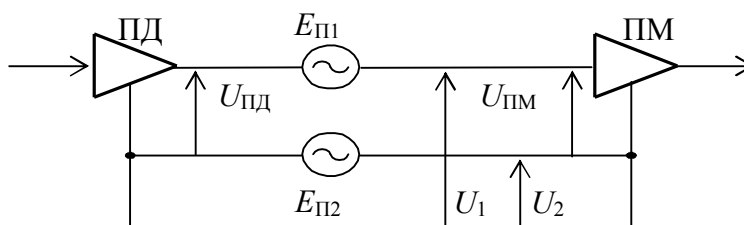


Рис. 6.4

Определим напряжения, действующие на входе приемника этой схемы $U_{ПМ} = U_1 - U_2$. Поскольку выполняются соотношения $U_1 = U_{ПД} + E_{П1} + U_{ab}$, $U_2 = E_{П2} + U_{ab}$, то $U_{ПМ} = U_{ПД} + E_{П1} - E_{П2}$. Таким образом, в данной схеме разность потенциалов Земли не влияет на ошибки в передаче информации.

Подобный тип связи с одновыходовым передатчиком и одновыходовым приемником применяется в интерфейсе RS-232C, длина линии связи которого $L = 15$ м (без модема).

Во втором варианте передатчик ПД использует усилитель с одним выходом. Приемник ПМ содержит дифференциальный усилитель с двумя входами (рис. 6.5).

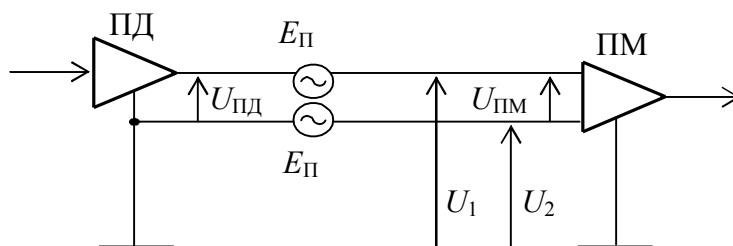


Рис. 6.5

Так как в данном случае $U_{ПМ} = U_{ПД}$, то отсюда следует, что схема свободна от помех и от влияния разности потенциалов Земли.

Данная схема связи применяется в интерфейсе RS-423A и обеспечивает более высокую длину линии связи, чем предыдущая схема.

В третьем варианте (рис. 6.6) передатчик – балансовый усилитель, приемник – дифференциальный усилитель. Кроме преимуществ предыдущей схемы, в данной достигается еще два положительных качества. Во-первых, напряжение между линиями равно $2U_{ПД}$, т. е. в 2 раза выше, тем самым выше помехоустойчивость передачи данных. Во-вторых, токи в проводах текут в противоположные стороны, поэтому создаваемые токами электромагнитные поля в этих линиях взаимно компенсируют друг друга. Следовательно, данная линия не излучает, т. е. не становится источником помех для прочих линий.

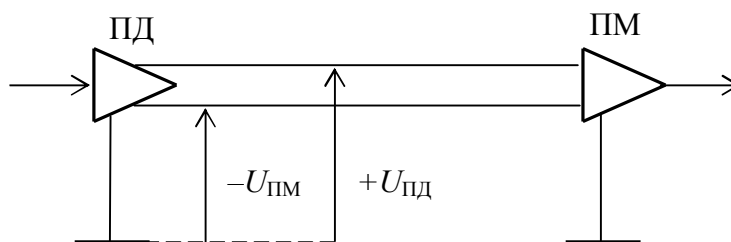


Рис. 6.6

Подобная схема передачи применяется в интерфейсах RS-422A и RS-485. Длина линии связи для этих интерфейсов превышает 1 км при скорости передачи как у интерфейса RS-232C.

6.1.3. Передача информации с помощью токовой петли

Токовая петля 20 мА (рис. 6.7) впервые применялась в телеграфии и была перенесена в цифровую связь.

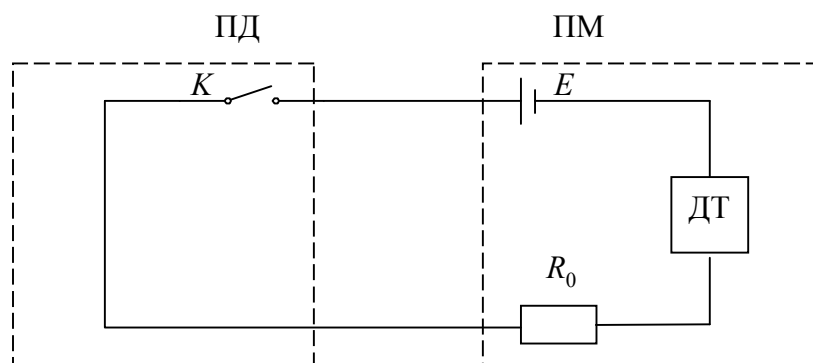


Рис. 6.7

Информация в приемнике регистрируется детектором тока ДТ. Источник ЭДС величиной $E = 40$ В может находиться как в ПМ, так и в ПД. Сопротивление R_0 выбирается таким образом, чтобы через петлю протекал ток 20 мА. Провода используются в виде витой пары.

Линии используются на максимальном расстоянии несколько километров. Применяется асинхронный формат передачи данных (рис. 1.7). Стандартная скорость передачи – 9,6 кбит/с.

Для передачи информации в обе стороны необходимы две «токовые петли».

6.2. ИНТЕРФЕЙС RS-232C

Интерфейс обеспечивает последовательный обмен данными по асинхронному стандарту.

Для подключения интерфейса используются либо 9, либо 25-штырьковые разъемы. При упрощенной связи используется 3 или 4-контактный разъем.

Максимальная скорость передачи – 115,2 Кбит/с. Максимальная длина шины связи составляет 15 м.

Интерфейс используется для связи с ПУ (принтер, плоттер, терминал, мышь и др.).

В общем случае связь двух удаленных устройств осуществляется с помощью модемов. Модем производит передачу и прием информации.

Схема подключения устройств показана на рис. 6.8.

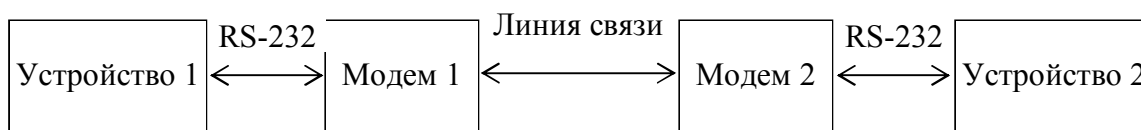


Рис. 6.8

Шина связи интерфейса RS-232C дуплексная, последовательная. Когда модемы не используются, количество задействованных контактов в разъеме интерфейса уменьшается до трех или четырех.

Передача информации по линиям связи производится относительно общего (нулевого) провода.

Уровни сигналов передатчиков должны быть: для логической единицы от -12 до -5 В, логического нуля от $+5$ до $+12$ В.

На входе приемников те же самые логические 1 и 0 должны иметь значения соответственно от -12 до -3 В, и от $+3$ до $+12$ В.

Назначение линий интерфейса:

PG – защитная земля, соединяется с корпусом устройства и экран-ным кабелем;

SG – сигнальная земля (нулевой провод);

TD – выход передатчика (передаются последовательные данные);

RD – вход приемника (принимаются последовательные данные);

RTS – запрос устройством передачи данных;

CTS – линия разрешения модема передавать данные;

DSR – готовность модема к соединению;

DTR – готовность устройства к соединению;

DCD – линия обнаружения модемом несущей сигнала удаленного модема;

RI – индикатор вызова звонка (модем сигнализирует о принятии вызова).

Временные диаграммы обмена информацией между компьютером и модемом показаны на рис. 6.9.

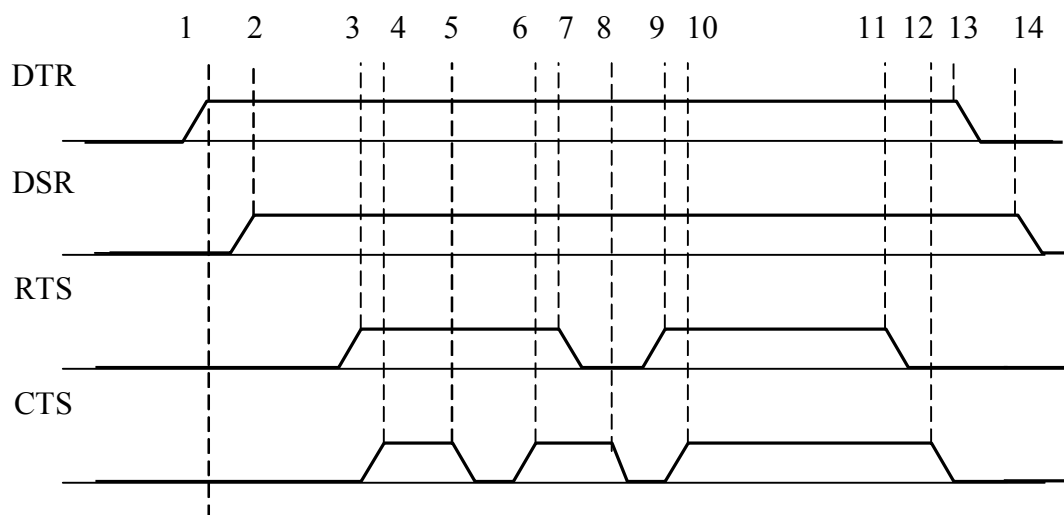


Рис. 6.9

Осуществляется следующая последовательность действий.

1. Установкой DTR компьютер указывает на желание использовать модем.
2. Установкой DSR модем сигнализирует о своей готовности к установке линии соединения.
3. Сигналом RTS компьютер запрашивает разрешение на передачу и заявляет о готовности к приему данных от модема.
4. Сигналом CTS модем уведомляет о своей готовности к приему данных от компьютера и передаче их в линию.
5. Снятием CTS модем сигнализирует о невозможности дальнейшего приема (буфер заполнен). ПК должен приостанавливать передачу (хотя DSR = 1).
6. Сигналом CTS модем разрешает ПК продолжить передачу в буфер (появилось место).
7. Снятие RTS может означать:
 - а) отсутствие данных для передачи в модем;
 - б) заполнение буфера компьютера.
8. Модем подтверждает снятие RTS сбросом CTS.
9. Компьютер повторно устанавливает RTS для возобновления передачи.
10. Модем подтверждает готовность к этим действиям.
11. Компьютер указывает на завершение обмена.
12. Модем отвечает подтверждением.
13. Компьютер снимает DTR, что означает разрыв соединения («повесить трубку»).
14. Модем сбросом DSR сигнализирует о разрыве соединений.

6.3. ИНТЕРФЕЙСЫ RS-422 и RS-485

Данные интерфейсы родственны интерфейсу RS-232C, но имеют лучшие характеристики. Максимальная длина линии связи может составлять более 1000 м, скорость передачи зависит от длины линии (при $L = 1200$ м скорость равна $V = 100$ кбит/с, тогда как при $L = 12$ м $V = 10$ мбит/с).

Интерфейс RS-422 позволяет использовать один передатчик с десятью приемниками. Интерфейс используется для подключения ПУ, например принтера. Топология интерфейса показана на рис. 6.10.

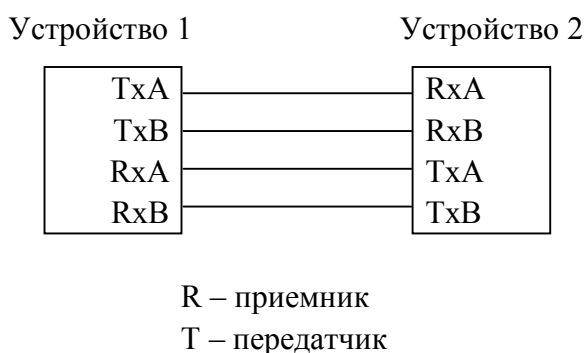


Рис. 6.10

Интерфейс RS-483 позволяет подключать 32 приемника или передатчика, или их комбинации. В основном применяется для устройств промышленной автоматики. Может использоваться в двух версиях: двухпроводной и четырехпроводной.

В четырехпроводной версии передатчик задающего устройства работает на приемники всех остальных устройств (рис. 6.11). Передатчик задающего узла всегда активен – переход в третье состояние ему не нужен. Передатчики остальных пассивных устройств должны иметь тристабильные выходы. Они объединяются на общей шине с приемником задающего устройства.

В двухпроводной версии (рис. 6.12) все узлы равноправны.

При многоточечном соединении необходимо организовать метод доступа к среде передачи. Выделение времени для передачи можно осуществить с помощью полинга – опроса готовности к передаче, выполняемого задающим устройством. Используется также передача права доступа в соответствии с установленным определенным регламентом. Иногда используется метод случайного доступа.

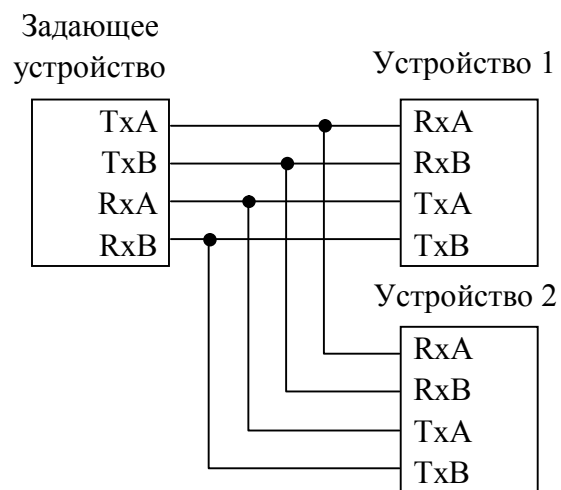


Рис. 6.11

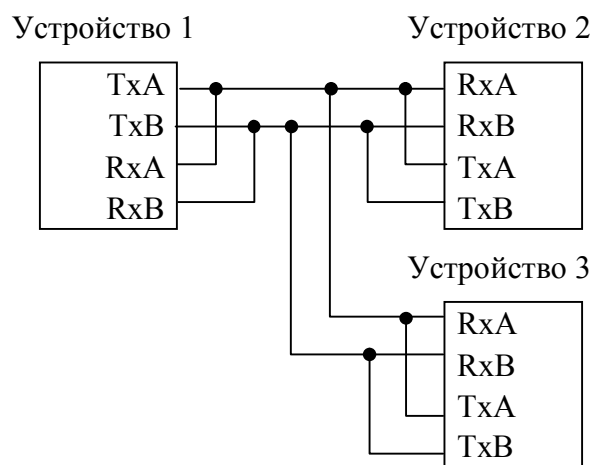


Рис. 6.12

7. ОСОБЕННОСТИ КОНТРОЛЛЕРОВ СИСТЕМ ВВОДА-ВЫВОДА АНАЛОГОВОЙ ИНФОРМАЦИИ

Типовая схема взаимодействия ЭВМ с ПУ в виде объекта управления (ОУ) имеет вид, показанный на рис. 7.1.

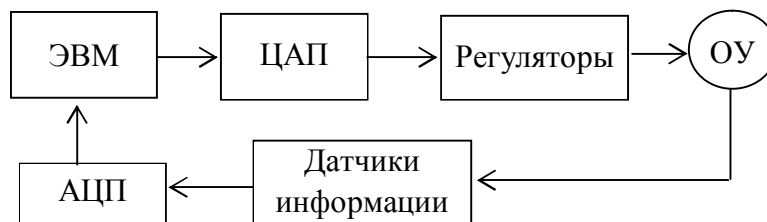


Рис. 7.1

ОУ в общем случае является аналоговым устройством. Поэтому для того, чтобы подключить его к ЭВМ необходимо применять аналого-цифровые (АЦП) и цифро-аналоговые (ЦАП) преобразователи информации.

7.1. ДИСКРЕТИЗАЦИЯ И КВАНТОВАНИЕ СИГНАЛОВ

АЦП – более сложное устройство, чем ЦАП. Это связано с тем, что входной аналоговый сигнал имеет бесконечное множество значений. Аналого-цифровое преобразование связано с двумя процессами: дискретизацией и квантованием.

Дискретизация – процесс выборки аналогового сигнала x в дискретные моменты времени $t = kT_0$; $k = 0, 1, 2, \dots$; T_0 – период дискретизации сигнала. При этом формируются дискретные значения x_k (рис. 7.2).

Квантование – округление аналоговой величины x_k до целого значения x_k^* (обычно до ближайшего меньшего значения). Квантование производится с шагом Δx . Количество выходных состояний квантователя счетное (цифровое).

Величина цифрового кода на выходе АЦП равна $N_k = x_k^* / \Delta x$. Если $\Delta x = 1$, то $N_k = x_k^*$.

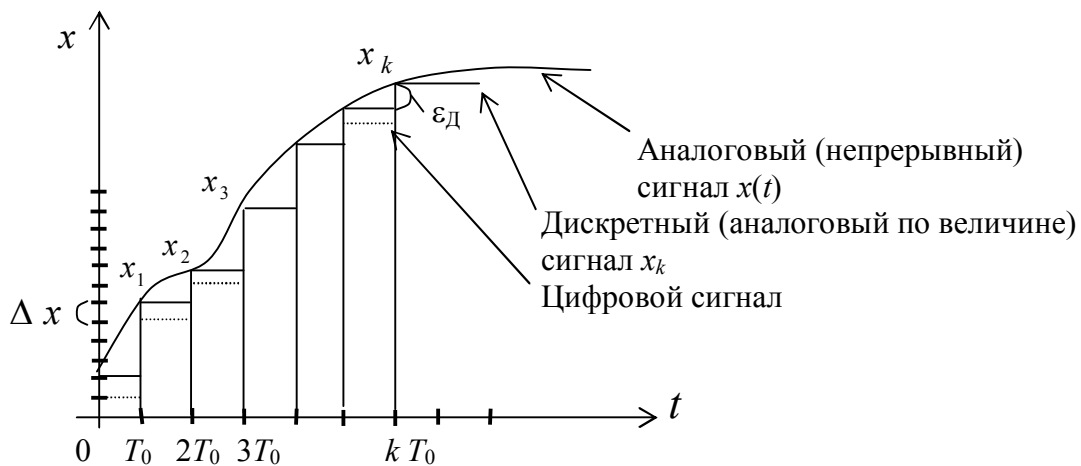


Рис. 7.2

При преобразовании аналоговой величины в цифровой код существует ошибка преобразования ε , включающая составляющие:

$$\varepsilon = \varepsilon_{\text{И}} + \varepsilon_{\text{Д}} + \varepsilon_{\text{КВ}},$$

где $\varepsilon_{\text{И}}$ — инструментальная ошибка, зависит от типа преобразователя; $\varepsilon_{\text{Д}}$ — динамическая ошибка (рис. 7.2); $\varepsilon_{\text{КВ}} = x_k^* - x_k$ — ошибка квантования, обладающая равномерным законом распределения плотности вероятностей (рис. 7.3).

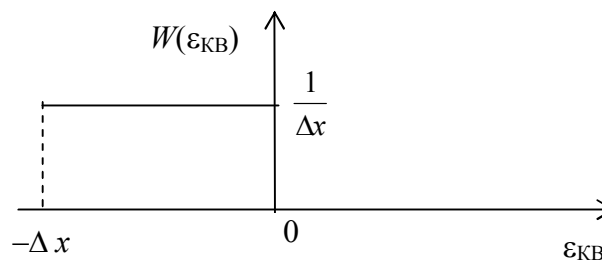


Рис. 7.3

Эта ошибка имеет среднее значение (математическое ожидание) величиной

$$\bar{\varepsilon}_{\text{КВ}} = \int_{-\infty}^{\infty} \varepsilon_{\text{КВ}} W(\varepsilon_{\text{КВ}}) d\varepsilon_{\text{КВ}} = \int_{-\Delta x}^0 \varepsilon_{\text{КВ}} \frac{1}{\Delta x} d\varepsilon_{\text{КВ}} = -\frac{\Delta x}{2},$$

дисперсию, равную

$$D(\varepsilon_{KB}) = \overline{(\varepsilon_{KB} - \bar{\varepsilon}_{KB})^2} = \int_{-\Delta x}^0 \left(\varepsilon_{KB} + \frac{\Delta x}{2} \right)^2 d\varepsilon_{KB} = \frac{\Delta x^2}{12},$$

и среднее квадратичное отклонение величиной

$$\sigma(\varepsilon_{KB}) = \sqrt{D(\varepsilon_{KB})} = \frac{\Delta x}{2\sqrt{3}}.$$

При определении разрядности АЦП должны быть заданы диапазон изменения входного сигнала $x_{\min} \leq x \leq x_{\max}$ и максимальная ошибка квантования Δx . Тогда максимальное значение цифрового кода на выходе АЦП определяется по формуле:

$$N_{\max} = \left\lceil \frac{x_{\max} - x_{\min}}{\Delta x} \right\rceil,$$

а разрядность преобразователя АЦП

$$p = \lceil \log_2 N_{\max} \rceil + 1.$$

Для того чтобы не учитывать нелинейные эффекты квантования, связанные с округлением преобразуемых значений, количество разрядов АЦП должно быть достаточно большим ($p \gg 1$). Тогда можно считать АЦП линейным устройством и $x_k^* \cong x_k$.

Динамическая ошибка ε_D снижается с уменьшением периода дискретизации T_0 , но с уменьшением T_0 возрастают требования к вычислительной системе по производительности. Период F_B выбирается в соответствии с неравенством Котельникова – Шеннона:

$$T_0 \leq \frac{T_B}{2} = \frac{1}{2F_B},$$

где F_B – наивысшая частота в спектре $X(f)$ входного сигнала x (рис. 7.4).

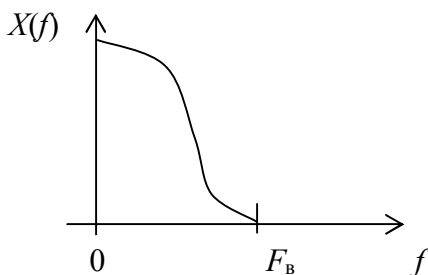


Рис. 7.4

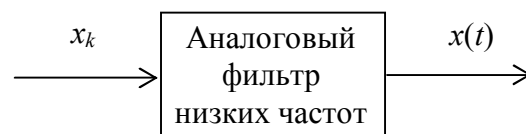


Рис. 7.5

Практически выбирают $T_0 = 1/mF_v$, где $m \geq 5$. В этом случае в дискретном сигнале отсутствуют потери информации, и для восстановления аналогового сигнала может быть использована схема (рис. 7.5).

7.2. МЕТОДЫ АНАЛОГОВО-ЦИФРОВОГО ПРЕОБРАЗОВАНИЯ

Классификация методов приведена на рис. 7.6.

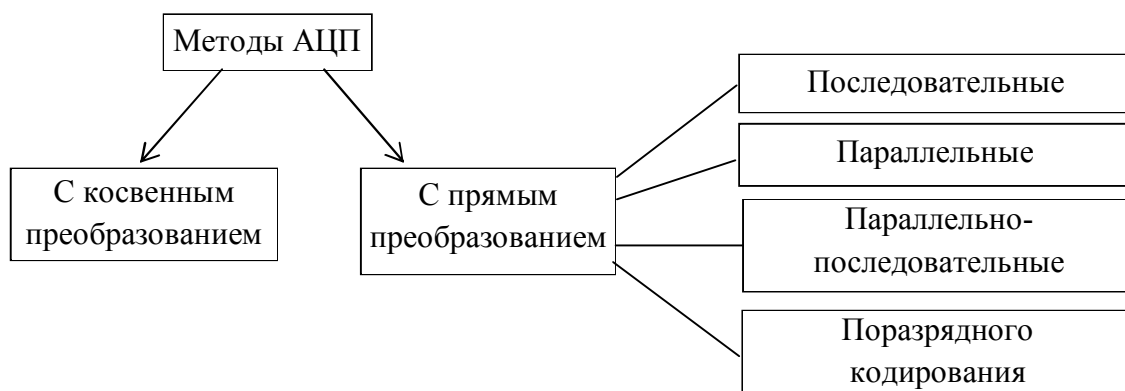


Рис. 7.6

В АЦП с косвенным преобразованием аналоговая величина сначала преобразуется в другую аналоговую величину (например, напряжение – во временной интервал), а затем последняя – в цифровой код. Однако дополнительные преобразования приводят к дополнительным ошибкам. Поэтому большее распространение нашли АЦП с прямым преобразованием.

Рассмотрим процесс преобразования в АЦП с прямым преобразованием на примере измерения длины x .

1. Последовательный преобразователь.

В подобном АЦП входное значение x последовательно преобразуется (измеряется) мерной линейной величиной Δx (рис. 7.7).

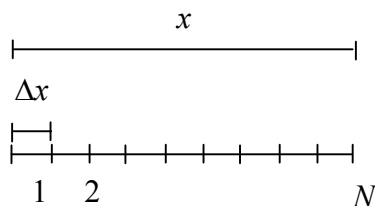


Рис. 7.7

Время преобразования оказывается равным $t_{\text{пр}} = N \tau_0$, где τ_0 – период следования тактовых сигналов; $t_{\text{пр}}$ зависит от величины x , максимальное время преобразования будет $t_{\text{пр max}} = N_{\text{max}} \tau_0$.

Достоинством преобразователя является простота его организации, недостаток – большое время преобразования.

2. Параллельный преобразователь.

Содержит N_{max} мерных линеек разной величины, кратных Δx (рис. 7.8).

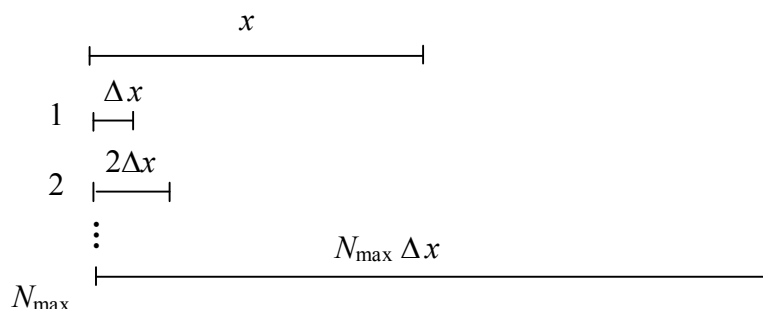


Рис. 7.8

Все линейки измеряют одновременно. Выбирается та линейка, к которой ближе значение x . Ее номер и есть код N . Время преобразования равно $t_{\text{пр}} = \tau_0$.

Преимуществом преобразователя является высокая скорость преобразования, но она достигается сложной структурой АЦП.

3. Параллельно-последовательный преобразователь.

На первом такте преобразования величина x измеряется параллельно грубыми линейками с шагом Δx_1 (рис. 7.9). Определяется ближайшая линейка величины N_1 и находится разность $x_1 = x - N_1 \Delta x_1$.

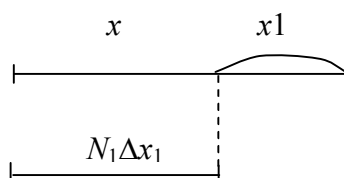


Рис. 7.9

На втором такте разность x_1 преобразуется, с помощью более точных линеек, определяется N_2 и т. д. Время преобразования практически составляет $t_{\text{пр}} = 2\tau_0 \dots 5\tau_0$.

По времени преобразования и сложности реализации АЦП данного типа занимает промежуточное положение по отношению к последовательному и параллельному АЦП.

4. Преобразователь поразрядного кодирования.

При преобразовании (рис. 7.10) используются m мерных линейек, количество которых равно разрядности: $m = \lfloor \log_2 N_{\max} \rfloor + 1$.

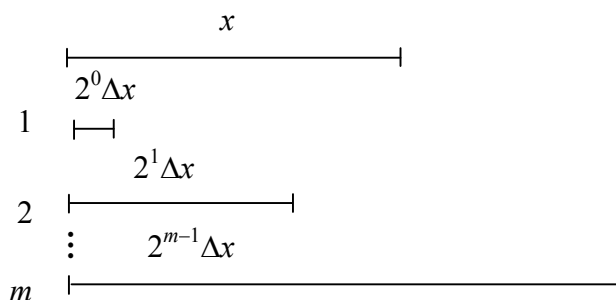


Рис. 7.10

На первом такте значение x сравнивается с линейкой m , имеющей максимальную длину. Если оказывается, что $x < 2^{m-1} \Delta x$, то на втором такте к линейке m прикладывается линейка с номером $m - 1$. В противном случае, когда $x \geq 2^{m-1} \Delta x$, на втором такте измерение производится только линейкой $m - 1$. На следующих тактах в процессе преобразования используются все более точные линейки. Время преобразования составляет $t_{\text{пр}} = m\tau_0$.

Достоинством АЦП поразрядного кодирования является высокая скорость преобразования при относительно несложной схеме АЦП.

7.3. ПРЕОБРАЗОВАНИЕ ВРЕМЕННОГО ИНТЕРВАЛА В ЦИФРОВОЙ КОД

Функциональная схема АЦП и временные диаграммы его работы приведены на рис. 7.11, 7.12.

Преобразуемый временной интервал t (от Старт-импульса до Стоп-импульса) раскладывается на три составляющие: $t = N\tau_0 - \Delta t_1 + \Delta t_2$, где $N = t / \tau_0$. Суммарная ошибка преобразования равна $\Delta t = N\tau_0 - t = \Delta t_1 - \Delta t_2$.

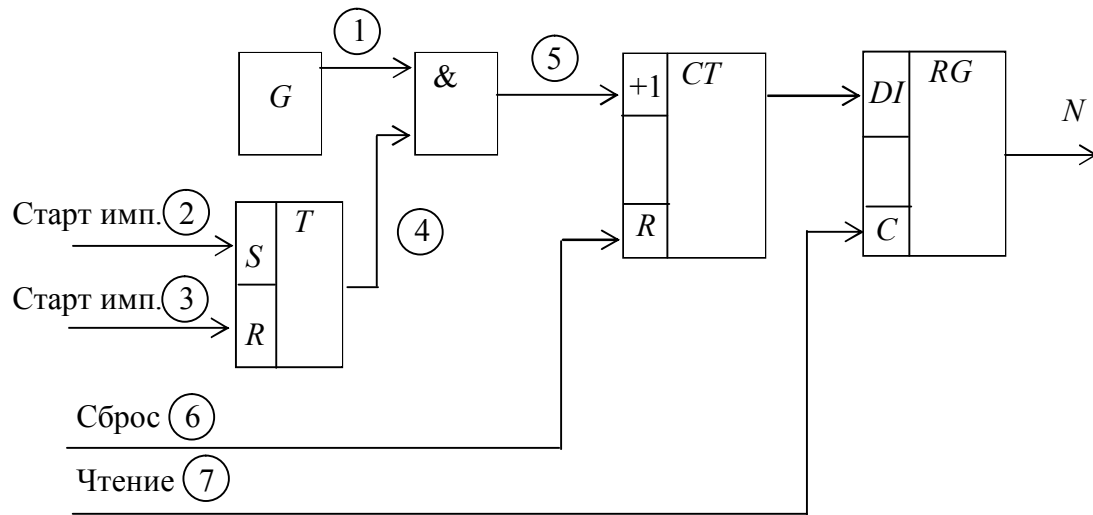


Рис. 7.11

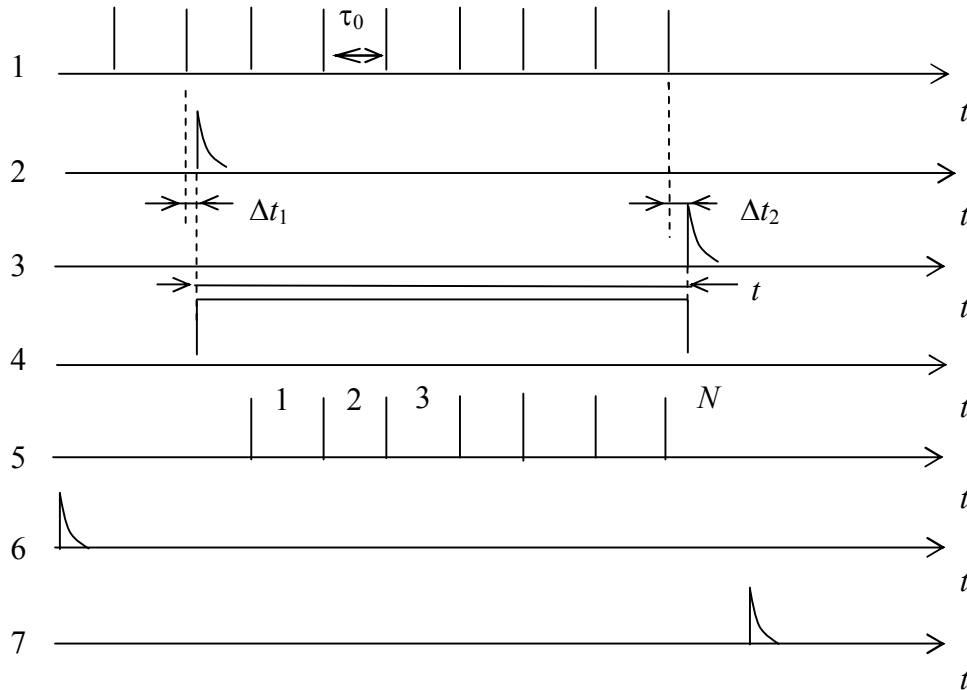


Рис. 7.12

К этой ошибке может добавляться ошибка, вызванная нестабильностью периода τ_0 следования тактовых импульсов. Поэтому в качестве генератора G необходимо использовать кварцевый генератор, который имеет большую стабильность.

Каждая из ошибок Δt_1 , Δt_2 распределяется по равномерному закону в интервале от 0 до τ_0 . Суммарная ошибка Δt распределяется по треугольному закону – закону Симпсона (рис. 7.13).

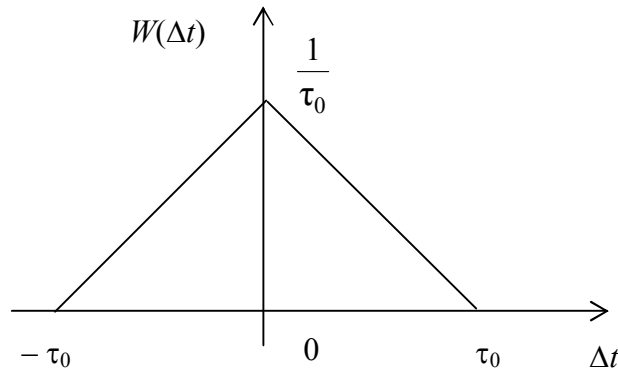


Рис. 7.13

При этом среднее значение ошибки $\Delta \bar{t}$ равно нулю, максимальное значение $|\Delta t|_{\max} = \tau_0$, а дисперсия –

$$D(\Delta t) = D(\Delta t_1) + D(\Delta t_2) = \frac{\tau_0^2}{12} + \frac{\tau_0^2}{12} = \frac{\tau_0^2}{6}.$$

Пример. Определим требования для генератора тактовых импульсов, если преобразуемый интервал $t = 1 \text{ мс} = 10^{-3} \text{ с}$, а относительная ошибка преобразования не должна превышать значения $\delta t = 10^{-4} = 0,01 \%$. Так как $\delta t = \frac{|\Delta t|_{\max}}{t}$, то $\tau_0 = \delta t \cdot t = 10^{-4} \cdot 10^{-3} [\text{с}] = 10^{-7} [\text{с}] = 0,1 [\text{мкс}]$. Отсюда частота генератора должна быть не менее величины

$$f_0 = \frac{1}{\tau_0} = 10^7 [\text{Гц}] = 10 [\text{МГц}].$$

Для уменьшения ошибки преобразования необходимо увеличивать частоту тактового генератора. Но быстродействие элементов АЦП всегда ограничено применяемой элементной базой.

В некоторых применениях удастся привязать стартовый импульс к одному из тактовых импульсов генератора G и тем самым устранить ошибку Δt_1 . Ошибка Δt_2 принципиально неустранима, т. к. преобразуемый интервал может быть любой длины.

Существуют также схемные методы повышения точности преобразования. В частности используются уточняющие преобразования, связанные с организацией второй шкалы преобразования. Двухшкальные, в общем случае многошкальные методы, используются в технике, например часы, содержащие часовую и минутную стрелки.

Известные способы организации точной шкалы:

- 1) нониусный метод;
- 2) метод задержки тактовых импульсов.

В первом случае используются два генератора близких частот. Один работает в непрерывном режиме по схеме (рис. 7.11), образуя грубую шкалу. Второй запускается, когда приходит Стоп-импульс. Счет этих импульсов (точная шкала) ведется до момента совпадения фронтов импульсов генераторов.

Во втором случае применяются элементы задержки тактовых импульсов (рис. 7.14).

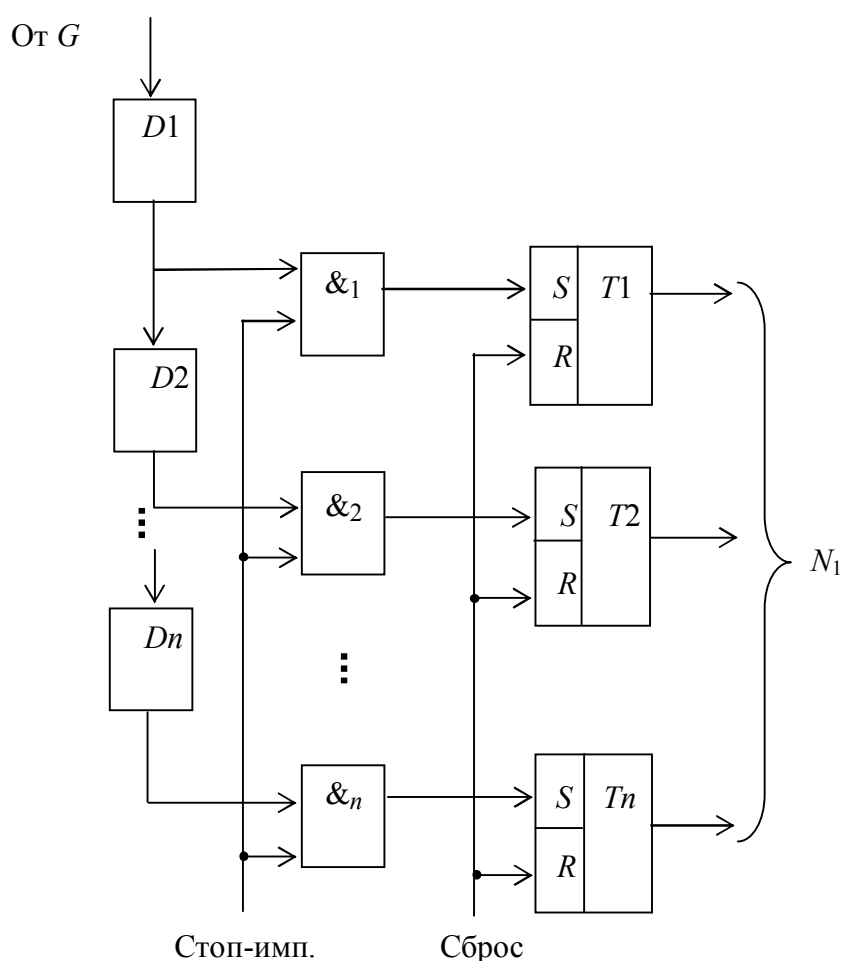


Рис.7.14

Схема преобразует величину Δt_2 в цифровой код N_1 в момент прихода Стоп-импульса.

Величина задержки каждого элемента D равна длительности тактового импульса и рассчитывается по формуле $t_3 = \tau_0 / n$, где n — количество разрядов уточняющей шкалы.

7.4. ПРЕОБРАЗОВАТЕЛИ, ИСПОЛЬЗУЮЩИЕ ВРЕМЕННОЕ ПРЕОБРАЗОВАНИЕ

На основе схемы преобразователя по рис. 7.11 могут быть реализованы преобразователи типа фаза φ – код N . Предполагается, что фаза образована двумя напряжениями $U1 = U \sin \omega t$ и $U2 = U \sin(\omega t - \varphi)$ одинаковой частоты ω (рис. 7.15). Для использования схемы по рис. 7.11 необходимо сформировать Старт- и Стоп-импульсы из напряжений $U1$ и $U2$ в моменты переходов их через ноль.

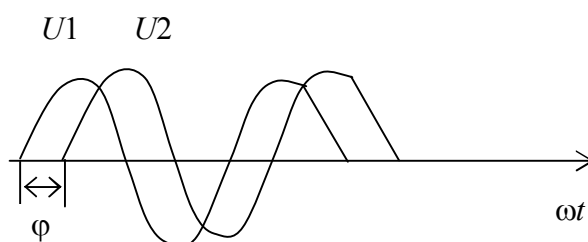


Рис. 7.15

Схема АЦП может использоваться и для преобразования периода следования импульсов T в код N .

На основе базовой схемы по рис. 7.11 с небольшими доработками может быть реализован преобразователь частота F – код N . При этом вместо импульсов генератора G используют импульсы преобразуемой частоты. Старт- и Стоп-импульсы должны отмерять фиксированный временной интервал. Если такой интервал равен 1 с, то временной код будет иметь размерность [Гц].

7.5. ПРЕОБРАЗОВАНИЕ ПАРАЛЛЕЛЬНОГО ДВОИЧНОГО КОДА В НАПРЯЖЕНИЕ

Преобразование реализуется с помощью следующего соотношения:

$$U = cE_0 \frac{N}{N_{\max}},$$

где c – коэффициент пропорциональности; E_0 – величина опорного источника ЭДС; N – преобразуемый код; $N_{\max} = 2^m - 1$ – максимальная величина кода; m – разрядность кода.

Известно, что позиционный двоичный код можно записать в виде

$$N = \alpha_{m-1} 2^{m-1} + \dots + \alpha_1 2^1 + \alpha_0 2^0 = \sum_{i=0}^{m-1} \alpha_i 2^i, \text{ где } \alpha_i = \begin{cases} 1, & \text{если разряд установлен} \\ 0, & \text{если разряд не установлен} \end{cases}$$

Тогда выходное напряжение ЦАП будет

$$U = c'E_0 \sum_{i=0}^{m-1} \alpha_i 2^i, \quad \text{где } c' = \frac{c}{N_{\max}}.$$

Если $\alpha_i = 1$, а все прочие разряды установлены в 0, то напряжение на выходе ЦАП за счет действия разряда i равно $U_i = c'E_0 \cdot 2^i$. Аналогично, за счет действия разряда $i+1$, имеем $U_{i+1} = c'E_0 \cdot 2^{i+1}$. Отсюда $\frac{U_{i+1}}{U_i} = 2$. Таким образом, с увеличением номера разряда на единицу величина выходного напряжения должна увеличиваться в 2 раза.

Существующие преобразователи код – напряжение являются параллельными, т. е. преобразования производятся за один такт. Классическая схема преобразователя имеет вид, показанный на рис. 7.16.

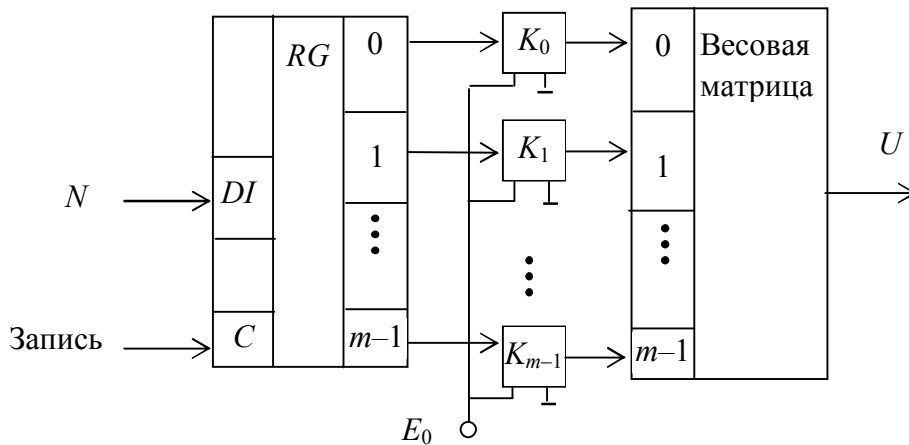


Рис. 7.16

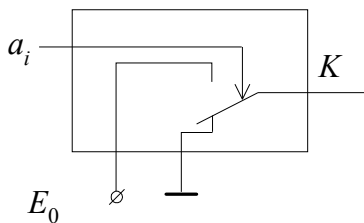


Рис. 7.17

Схема содержит регистр RG , ключевые элементы K и весовую матрицу, суммирующую разрядные напряжения.

Упрощенная эквивалентная схема ключей имеет следующий вид (рис. 7.17). Каждым ключом управляет соответствующий разряд регистра. Если $\alpha_i = 0$, то вы-

ходной контакт ключа замыкается на нулевую шину. При $\alpha_i = 1$, с выхода ключа снимается напряжение E_0 .

Напряжения с выходов ключей суммируются с помощью весовой матрицы. Весовая матрица может быть выполнена либо на активных, либо на пассивных элементах. Наибольшее применение нашли резисторные матрицы, т. к. обеспечивают высокую скорость преобразования. Они бывают двух видов:

- 1) весовая матрица с разными сопротивлениями в каждом разряде;
- 2) лестничная матрица типа $R - 2R$.

Структура матрицы первого типа показана на рис. 7.18.

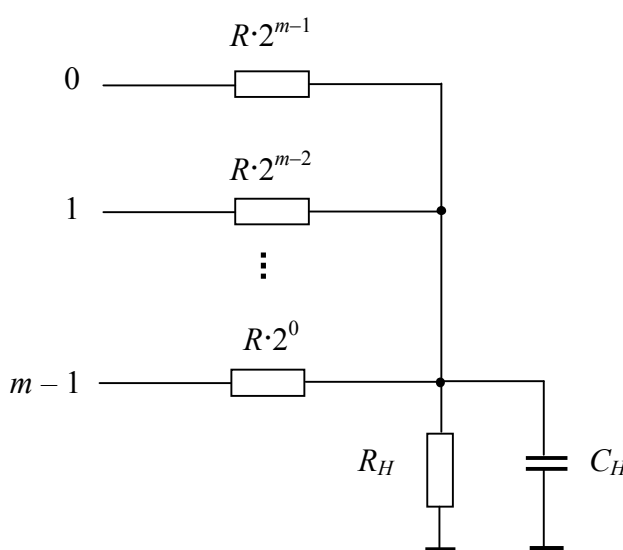


Рис. 7.18

Отношение $\frac{U_{i+1}}{U_i} = 2$ достигается тем, что при переходе к следующе-

му старшему разряду величина сопротивления уменьшается в два раза. Сопротивление R_H и емкость C_H образованы нагрузкой, подключаемой к выходу матрицы. Если считать источник опорного напряжения идеальным, без внутреннего сопротивления, то эквивалентное выходное сопротивление схемы при $R_H \gg R$ приблизительно равно $R_{\text{вых}} = \frac{R}{2}$ и не зависит от кода. Недостатком подобной матрицы является необходимость использования сопротивлений разных номиналов.

Структура матрицы лестничного типа приведена на рис. 7.19.

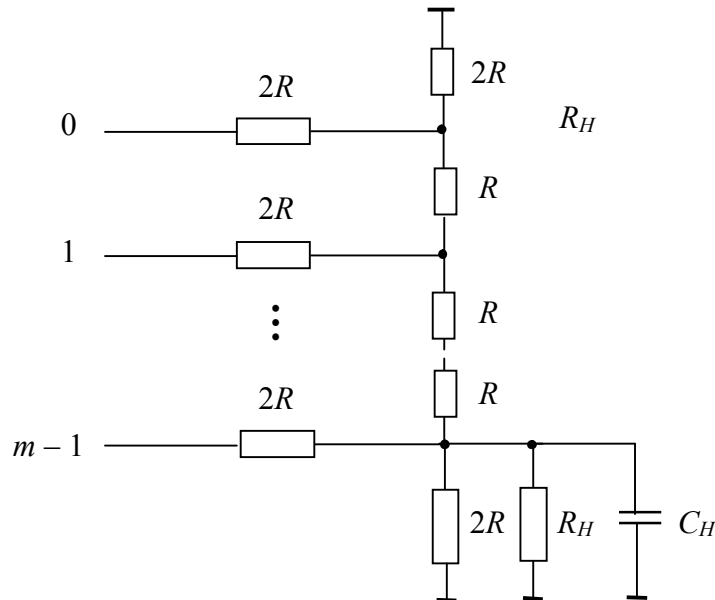


Рис. 7.19

Матрица содержит сопротивления только двух номиналов, в этом ее достоинство. Но по сравнению с первой схемой количество сопротивлений больше в 2 раза. При $R_H \gg R$ эквивалентное выходное сопротивление схемы $R_{\text{вых}} = \frac{2}{3} R$.

Суммарная ошибка преобразования ЦАП (рис. 7.16) равна $\Delta U = \Delta U_E + \Delta U_K + \Delta U_R + \Delta U_H$, где ΔU_E – ошибка за счет нестабильности опорного напряжения; ΔU_K – ошибка за счет неидеальности ключей; ΔU_R – ошибка за счет разброса сопротивлений весовой матрицы; ΔU_H – ошибка, вызванная нестабильностью сопротивления нагрузки, а также наводками по цепям питания и нулевой шины.

Для того чтобы уменьшить ΔU_E , нужно стабилизировать E_0 . Схема стабилизации показана на рис. 7.20.

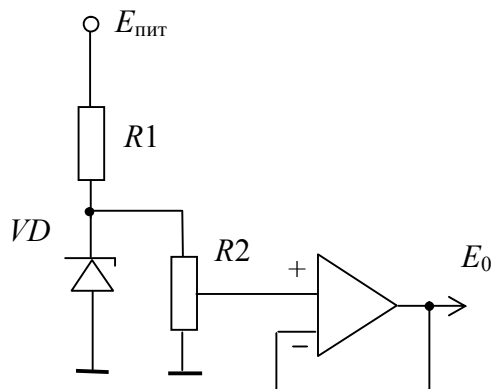


Рис. 7.20

Неидеальность ключей заключается в наличии у них при коммутации остаточных ЭДС и переходных сопротивлений. В качестве ключей в ЦАП, содержащих 3 – 6 разрядов, можно использовать схемы с открытым коллектором типа повторителей или инверторов. Если количество разрядов больше 6, то необходимо использовать специальные транзисторные схемы.

Величина базового сопротивления R любой весовой матрицы влияет не только на точность преобразования, но и на быстродействие ЦАП. Быстродействие определяется величиной такта преобразования, которая зависит от длительности процесса перезаряда емкости нагрузки пропорционально постоянной времени $\tau = R_{\text{вых}} \cdot C_H$. С точки зрения увеличения быстродействия базовое сопротивление необходимо уменьшать, но при этом усиливается влияние переходных сопротивлений ключей $R_{\text{пк}}$. Поэтому значение R выбирают в пределах $R_{\text{пк}} \ll R \ll R_H$.

Нестабильность сопротивления нагрузки R_H приводит к изменению выходного напряжения ЦАП, т. е. к ошибке преобразования. Для уменьшения влияния элементов R_H и C_H на преобразования к выходу весовой матрицы подключают усилитель постоянного тока, который имеет высокое входное сопротивление и малую входную емкость, являющиеся нагрузкой для матрицы сопротивления. Тем самым увеличиваются точность преобразования и быстродействие ЦАП.

Чтобы влияние наводок от помех было минимальным, к шинам питания необходимо подключать фильтрующие конденсаторы.

7.6. ПРЕОБРАЗОВАТЕЛИ НАПРЯЖЕНИЕ – КОД

Среди прочих видов преобразователей последовательный АЦП напряжение – код имеет наиболее простую схему (рис. 7.21).

Процесс преобразования разворачивается последовательно во времени (рис. 7.22). Начало преобразования производится по сигналу Пуск, который разрешает прохождение импульсов с генератора G через конъюнктор в счетчик CT . Счетчик последовательно изменяет состояния, которые передаются в ЦАП D/U . Выходное напряжение ЦАП нарастает по ступенчатому закону и непрерывно сравнивается на компараторе с преобразуемым входным напряжением U . Преобразование заканчивается, как только напряжение ЦАП превысит U . Счетчик останавливается, и выходной код N по сигналу Чтение записывается в регистр RG .

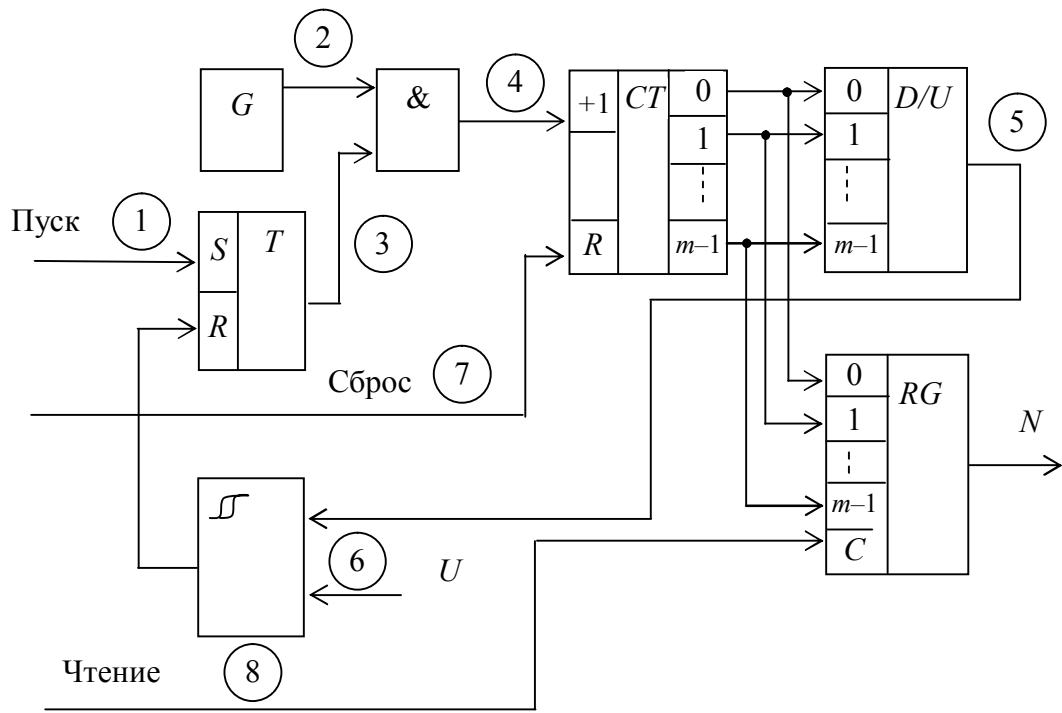


Рис. 7.21

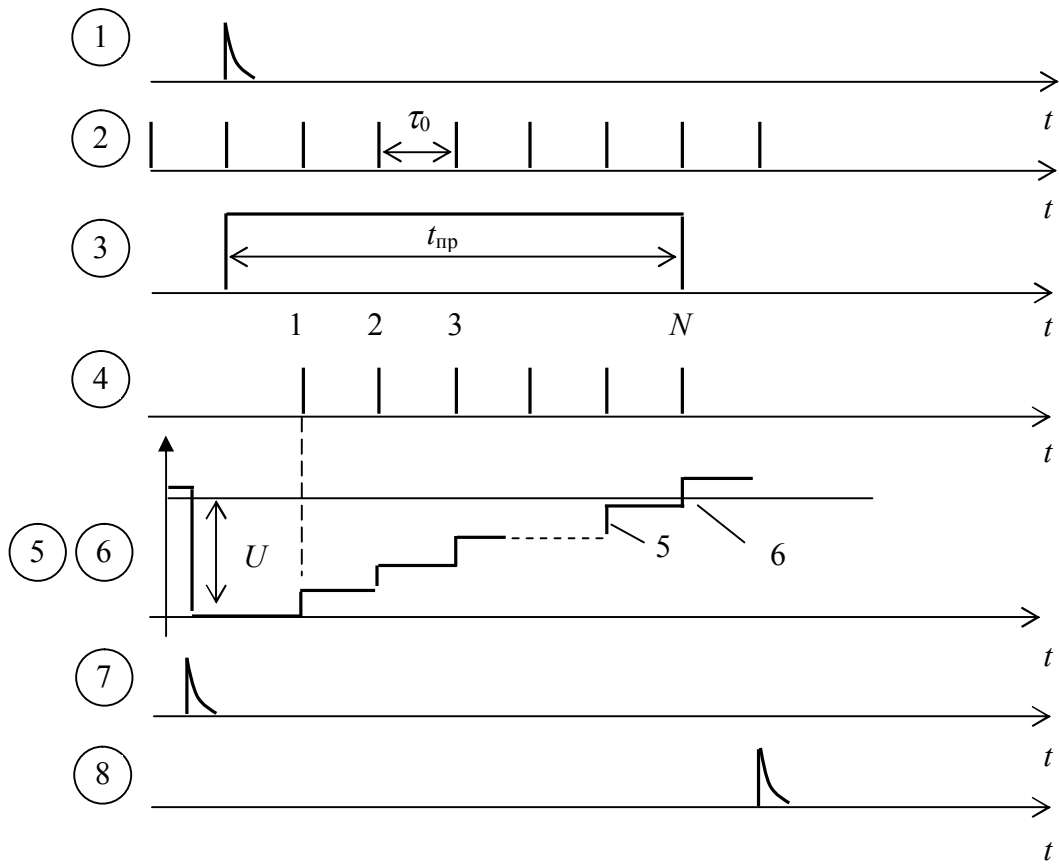


Рис. 7.22

Время преобразования $t_{пр} = N\tau_0$ уменьшается с увеличением частоты генератора. При значительной частоте следования импульсов начинают сказываться переходные процессы в элементах АЦП, которые ограничивают его быстродействие.

Ошибка АЦП $\Delta U = \Delta U_{ЦАП} + \Delta U_{КМ} + \Delta U_{П}$ вызвана составляющими ошибок ЦАП – $\Delta U_{ЦАП}$, ошибкой сравнения напряжений в компараторе $\Delta U_{КМ}$ и помехами $\Delta U_{П}$.

Важно отметить, что нестабильность частоты генератора G не влияет на точность преобразования.

Преобразователь напряжение – код поразрядного кодирования (рис. 7.23) при невысокой сложности схемы имеет высокое быстродействие.

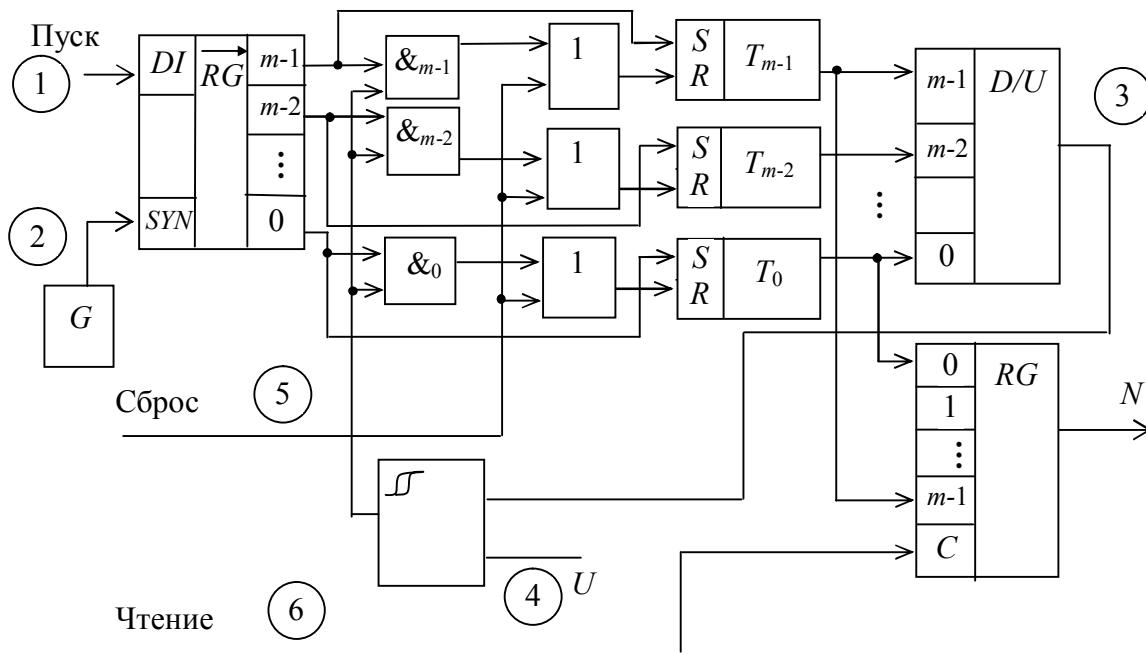


Рис. 7.23

При поступлении сигнала Пуск происходит установка старшего разряда $m-1$ сдвигового регистра \overrightarrow{RG} . В остальных разрядах регистра находятся логические нули. Сигнал логической единицы старшего разряда регистра устанавливает в единичное состояние триггер T_{m-1} преобразователя. Все остальные триггеры в это время сброшены. Код с единицей в старшем разряде вызывает на выходе ЦАП D/U напряжение U_0 , которое сравнивается с преобразуемым U (рис. 7.24). Так как $U_0 < U$, то на выходе компаратора сохраняется значение логического нуля и триггер T_{m-1} остается в установленном состоянии. В начале второго такта, вызванного

текущим импульсом генератора G , единица из старшего разряда регистра \overrightarrow{RG} сдвигается в соседний разряд $m-2$, который устанавливает триггер T_{m-2} . Напряжение на выходе ЦАП принимает величину $U_0 + U_0/2$ и оказывается больше преобразуемого значения U . Поэтому на выходе компаратора возникает сигнал логической единицы, который сбрасывает триггер T_{m-2} , выходное напряжение ЦАП опускается до величины U_0 .

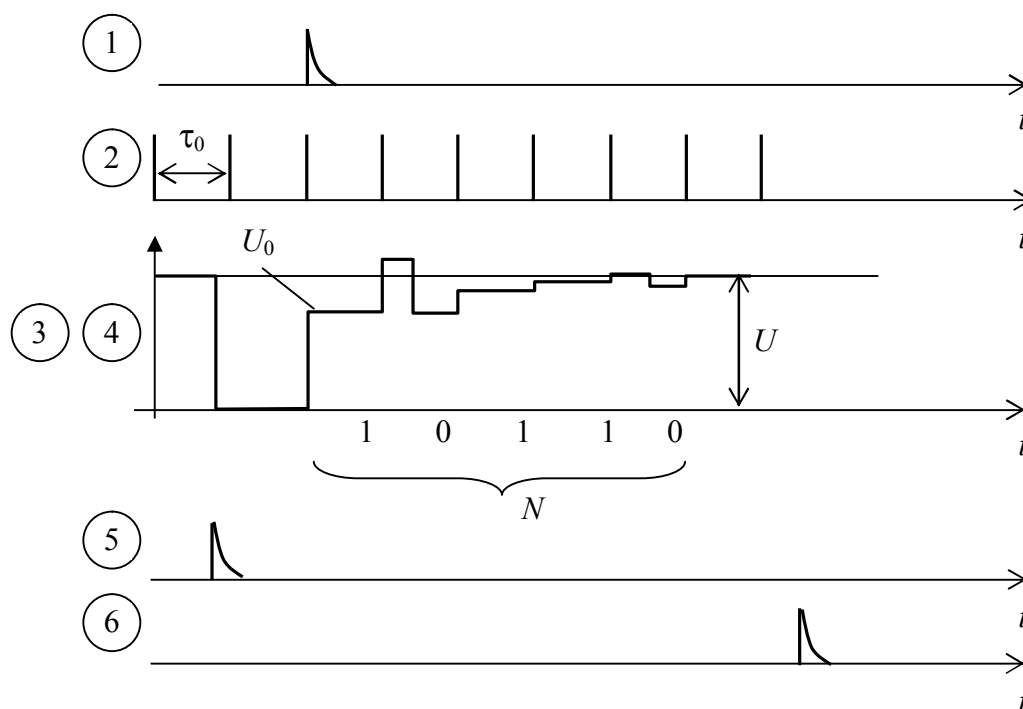


Рис. 7.24

Процесс преобразования продолжается m тактов, и время преобразования $t_{\text{пр}} = m \tau_0$ не зависит от входного напряжения U .

Погрешность преобразования вызвана ошибками ЦАП и компаратора и не зависит от стабильности генератора.

7.7. МНОГОКАНАЛЬНЫЕ СИСТЕМЫ ВВОДА-ВЫВОДА АНАЛОГОВОЙ ИНФОРМАЦИИ

Данные системы применяются в устройствах управления, когда используется множество датчиков, идущих от объекта управления, с которых снимаются сигналы о параметрах управления. Имеется также ряд элементов управления, регулирующих параметры объекта управления.

Многоканальные системы ввода информации имеют две основные реализации (рис. 7.25, 7.26).

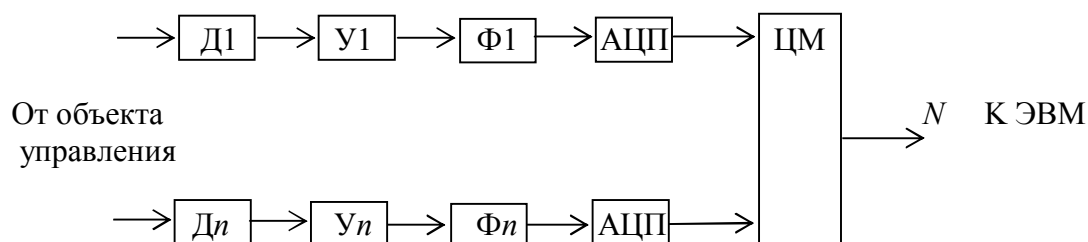


Рис. 7.25: Д – датчики входной информации; У – усилители сигналов; Ф – фильтры; ЦМ – цифровой мультиплексор; АМ – аналоговый мультиплексор; СВ/Х – схема выборки/хранения; УУ – устройство управления

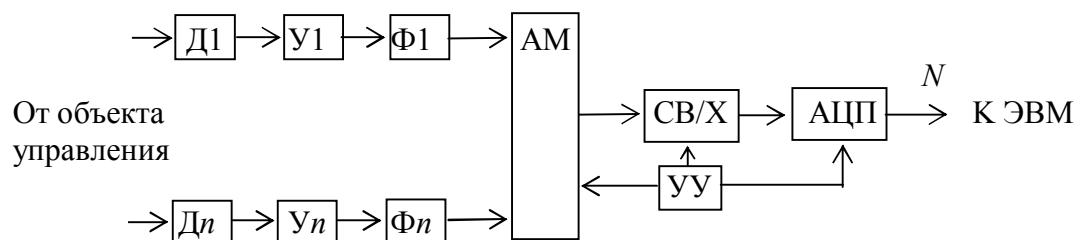


Рис. 7.26

Усилители используются как согласующие устройства. Фильтры предназначены для отделения полезного сигнала от помех. Схема СВ/Х производит кратковременное запоминание входной информации на время преобразования в АЦП.

Достоинством системы на рис. 7.25 является высокая точность преобразования и высокое быстродействие. Преимуществом системы на рис. 7.26 являются малые аппаратные затраты, т. к. используется всего один АЦП.

Существует две базовые схемы вывода информации (рис. 7.27, 7.28).

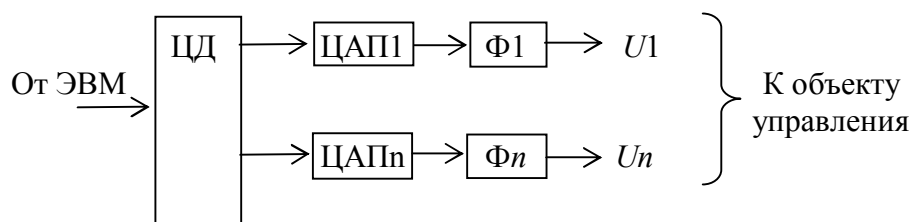


Рис. 7.27

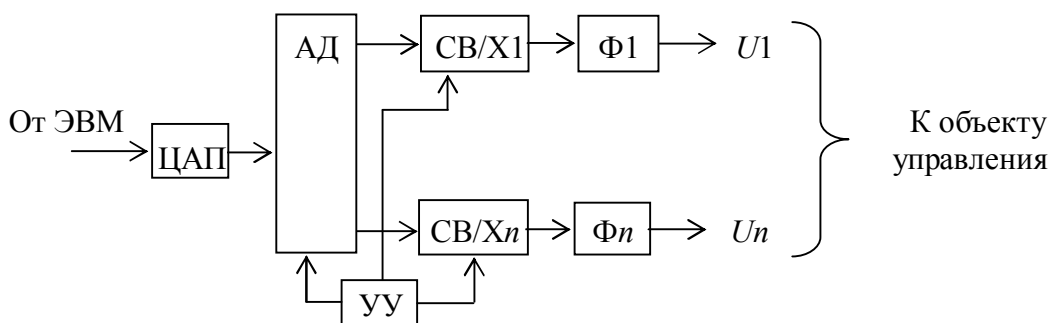


Рис. 7.28

В первой схеме (рис. 7.27) коды, снимаемые с выхода цифрового демультиплексора ЦД, преобразуются в аналоговую величину. На выходе ЦАП образуется ступенчатый сигнал. Для восстановления его аналогового вида (сглаживания) применяются фильтры низких частот Φ . Достоинство системы – высокая точность и быстродействие. В схеме (рис. 7.28) информационные коды последовательно преобразуются ЦАП. С помощью аналогового демультиплексора АД выходные напряжения запоминаются на соответствующих схемах СВ/Х и после фильтрации передаются к объектам управления. Преимуществом схемы является аппаратная простота реализации.

В системах ввода-вывода в качестве усилителя $У$ широко используются операционные усилители. Применение находят схемы трех видов.

Усилитель неинвертирующего типа (рис. 7.29). Коэффициент передачи по напряжению для этой схемы равен $K = \frac{R1 + R0}{R1}$.

Повторитель сигнала (рис. 7.30). Для этой схемы $K = 1$, а усиление происходит по току.

Инвертирующий усилитель (рис. 7.31), имеющий коэффициент передачи $K = \frac{R0}{R1}$.

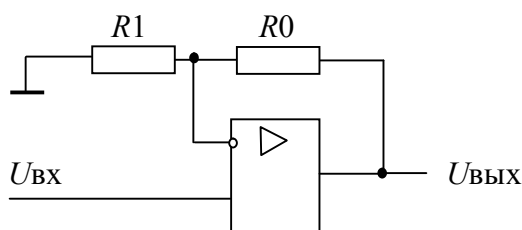


Рис. 7.29

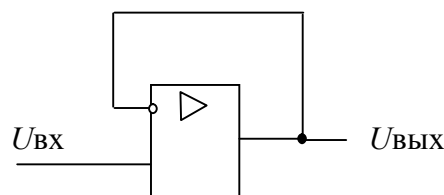


Рис. 7.30

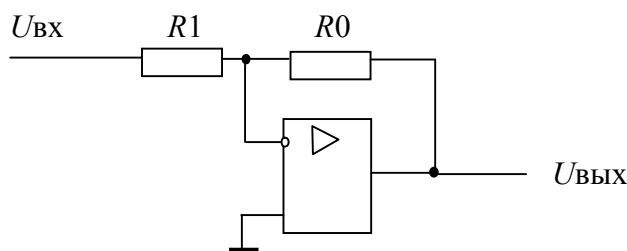


Рис. 7.31

В системах ввода-вывода применяются различные разновидности аналоговых фильтров.

Важной характеристикой является частотная характеристика. Она определяется структурой фильтра.

На рис. 7.32 показана схема пассивного фильтра низких частот второго порядка, а на рис. 7.33 – его амплитудно-частотная характеристика (АЧХ).

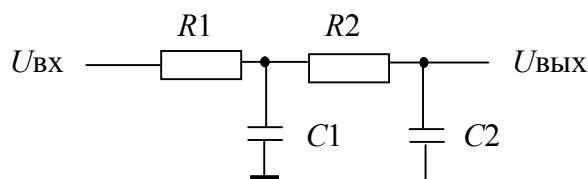


Рис. 7.32

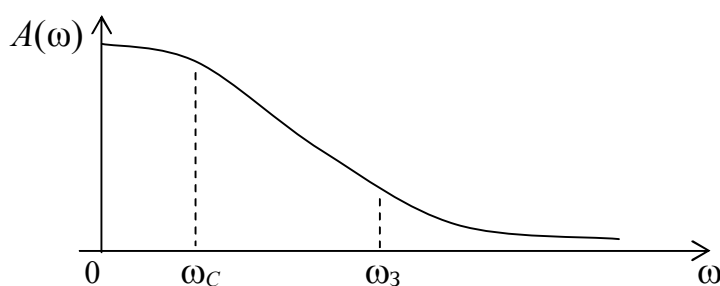


Рис. 7.33

Область $0 \leq \omega \leq \omega_C$ фильтра определяет выделение полезного сигнала, а область $\omega_З \leq \omega \leq \infty$ – задержание помех.

Фильтры бывают активные и пассивные. Пассивные фильтры используют в своей структуре лишь пассивные элементы.

Активные фильтры содержат в своем составе усилитель, подавляют помехи и производят усиление полезного сигнала. При той же форме АЧХ используют пассивные элементы меньших номиналов.

На рис. 7.34 показана схема активного фильтра низких частот первого порядка.

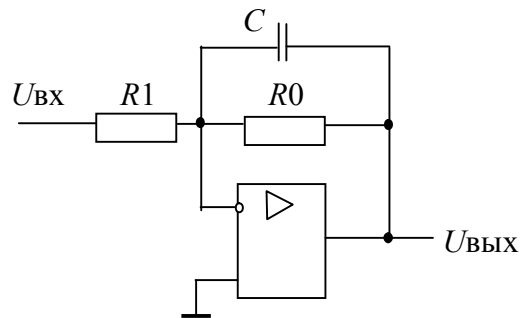


Рис. 7.34

Схема выборки/хранения, используемая в устройствах ввода, может быть реализована с использованием ключа K , емкости C и повторителя сигнала (рис. 7.35).

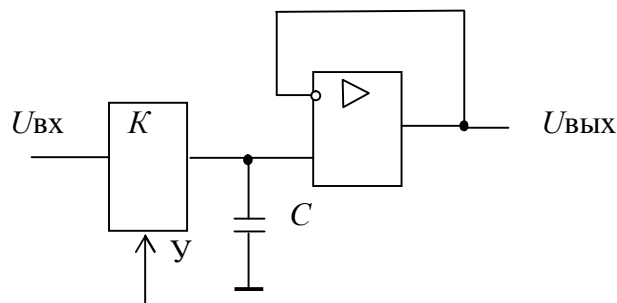


Рис. 7.35

При подаче на управляющий вход $У$ ключа K логической единицы ключ замыкается и емкость в течение периода времени Выборка (рис. 7.36) заряжается. При $У = 0$ ключ размыкается и емкость в течение интервала времени Хранение сохраняет последнее значение входного напряжения $U_{ВХ}$.

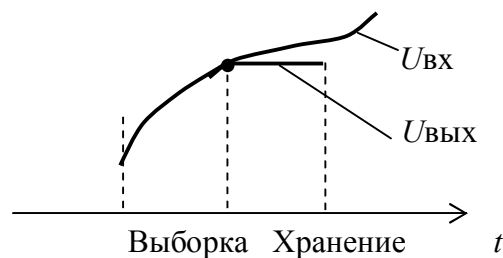


Рис. 7.36

В многоканальных системах ввода-вывода аналоговой информации широко используются сигнальные процессоры. Они адаптированы именно для обработки сигналов и могут содержать в своем составе ЦАП и АЦП.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Гук М. Аппаратные интерфейсы ПК: Энциклопедия. – С-Пб.: Питер, 2003.
2. Вишняков В. А. Периферийные устройства: Учебное пособие. – Рыбинск: РГАТА, 2001.
3. Вишняков В. А., Беляев О. А. Универсальная последовательная шина USB: Пособие. – Рыбинск: РГАТА, 2004.
4. Гук М. Аппаратные средства локальных сетей: Энциклопедия. – С-Пб.: Питер, 2004.
5. Колесниченко О. В., Шишигин И. В. Аппаратные средства РС. – С-Пб.: БХВ – Петербург, 2004.
6. Вишняков В. А. и др. Интерфейсы периферийных устройств: Лабораторный практикум / В. А. Вишняков, В. В. Вершинин, Е. Г. Козловская, Е. Ю. Паутов, С. А. Политов, Д. А. Рахманин, С. Ю. Соколов; Под ред. В. А. Вишнякова. – Рыбинск: РГАТА, 2005.

Учебное издание

ВЛАДИМИР АЛЕКСАНДРОВИЧ ВИШНЯКОВ
кандидат технических наук

ИНТЕРФЕЙСЫ ПЕРИФЕРИЙНЫХ УСТРОЙСТВ

Учебное пособие

Зав. РИО М. А. Салкова
Редактор М. А. Салкова
Компьютерная верстка Е. В. Шлеина

Подписано в печать 28.02.2006.
Формат 60×84 1/16. Уч.-изд.л. 5,4. Тираж 150. Заказ 21.

Рыбинская государственная авиационная технологическая академия им. П. А. Соловьева
(РГАТА)
Адрес редакции: 152934, г. Рыбинск, ул. Пушкина, 53
Отпечатано в множительной лаборатории РГАТА
152934, г. Рыбинск, ул. Пушкина, 53

