

《计算机组成原理》试题集

一、选择题

在每小题列出的四个备选项中只有一个是符合题目要求的,请将其代码填写在题后的括号内。

- 反映计算机基本功能的是 ()
A) 操作系统 B) 系统软件 **C) 指令系统** D) 数据库系统
- 若二进制数为 1111.101, 则相应的十进制数为 ()
A) 15.625 B) 15.5 C) 14.625 D) 14.5
- 若十进制数为 132.75, 则相应的十六进制数为 ()
A) 21.3 B) 84.C C) 24.6 D) 84.6
- 若十六进制数为 A3.5, 则相应的十进制数为 ()
A) 172.5 B) 179.3125 C) 163.3125 D) 188.5
- 若十六进制数为 B5.4, 则相应的十进制数为 ()
A) 176.5 B) 176.25 C) 181.25 D) 181.5
- 设有二进制数 $x = -1101101$, 若采用 8 位二进制数表示, 则 $[x]_{\text{补}}$ = ()
A) 11101101 B) 10010011 C) 00010011 D) 10010010
- 若 $[X]_{\text{补}} = 1.1011$, 则真值 X 是 ()
A) -0.1011 B) -0.0101 C) 0.1011 D) 0.0101
- 若 $x = 1011$, 则 $[x]_{\text{补}}$ = ()
A) 01011 B) 1011 C) 0101 D) 10101
- 若 $[X]_{\text{补}} = 0.1011$, 则真值 X = ()
A) 0.1011 B) 0.0101 C) 1.1011 D) 1.0101
- 某机字长 8 位, 含一位数符, 采用原码表示, 则定点小数所能表示的非零最小正数为 ()
A) 2^{-9} B) 2^{-8} C) $1 \cdot 2^{-7}$ **D) 2^{-7}**
- 一个 $n+1$ 位整数原码的数值范围是 ()
A) $-1n+1 < x < 2n-1$ B) $-2^{n+1} \leq x < 2^{n-1}$
C) $-2^{n+1} < x \leq 2n-1$ D) $-2^{n+1} \leq x \leq 2^{n-1}$
- $n+1$ 位的定点小数, 其补码表示的数值范围是 ()
A) $-1 \leq x \leq 1-2^{-n}$ B) $-1 < x \leq 1-2^{-n}$
C) $-1 \leq x < 1-2^{-n}$ D) $-1 < x < 1-2^{-n}$
- 定点小数反码 $[x]_{\text{反}} = x_0 \cdot x_1 \cdots x_n$ 表示的数值范围是 ()
A) $-1+2^{-n} < x \leq 1-2^{-n}$ B) $-1+2^{-n} \leq x < 1-2^{-n}$
C) $-1+2^{-n} \leq x \leq 1-2^{-n}$ D) $-1+2^{-n} < x < 1-2^{-n}$
- 设某浮点数共 12 位。其中阶码含 1 位阶符, 共 4 位, 以 2 为底, 初码表示; 尾数含 1 位数符, 共 8 位, 补码表示, 规格化。该浮点数所能表示的最大正数是 ()
A) 2^7 **B) 2^8** **C) 2^8-1** **D) 2^7-1**
- 已知一个 8 位寄存器的数值为 11001011, 将该寄存器逻辑左移一位后, 结果为 ()
A) 01100101 B) 10010111 C) 01100111 D) 10010110
- 已知一个 8 位寄存器的数值为 11001010, 将该寄存器小循环左移一位后, 结果为 ()

- A) 01100101 B) 10010100 C) 10010101 D) 01100100
17. 多位二进制加法器中每一位的进位传播信号 P 为 ()
 A) $X_i + Y_i$ B) $X_i Y_i$ C) $X_i + Y_i + C_i$ D) $X_i \oplus Y_i \oplus C_i$
18. 加法器中每一位的进位生成信号 g 为 ()
 A) $X_i + Y_i$ B) $X_i Y_i$ C) $X_i \oplus Y_i \oplus C_i$ D) $X_i + Y_i + C_i$
19. 若采用双符号位补码运算, 运算结果的符号位为 01, 则 ()
 A) 产生了负溢出 (下溢) B) 产生了正溢出 (上溢)
 C) 结果正确, 为正数 D) 结果正确, 为负数
20. 原码乘法是指 ()
 A) 用原码表示乘数与被乘数, 直接相乘
 B) 取操作数绝对值相乘, 符号位单独处理
 C) 符号位连同绝对值一起相乘
 D) 取操作数绝对值相乘, 乘积符号与乘数符号相同
21. 若待编信息位为 1011011, 则该代码的奇校验码为 ()
 A) 10110110 B) 101101101 C) 10110111 D) 101101110
22. 表示主存容量的常用单位为 ()
 A) 数据块数 B) 字节数
 C) 扇区数 D) 记录项数
23. 存储器的随机访问方式是指 ()
 A) 可随意访问存储器
 B) 按随机文件访问存储器
 C) 可对存储器进行读出与写入
 D) 可按地址访问存储器任一编址单元, 其访问时间相同且与地址无关
24. 动态存储器的特点是 ()
 A) 工作中存储内容会产生变化
 B) 工作中需要动态改变访存地址
 C) 工作中需要动态地改变供电电压
 D) 需要定期刷新每个存储单元中存储的信息
25. 一般来讲, 直接映像常用在 ()
 A) 小容量高速 Cache B) 大容量高速 Cache
 C) 小容量低速 Cache D) 大容量低速 Cache
26. 下列存储器中, 速度最快的是 ()
 A) 硬盘 B) 光盘 C) 磁带 D) 半导体存储器
27. 在下列存储器中, 速度最快的是 ()
 A) 磁盘 B) 磁带 C) 主存 D) 光盘
28. 在下列 Cache 替换算法中, 一般说来哪一种比较好 ()
 A) 随机法 B) 先进先出法
 C) 后进先出法 D) 近期最少使用法
29. 组相联映像和全相联映像通常适合于 ()
 A) 小容量 Cache B) 大容量 Cache
 C) 小容量 ROM D) 大容量 ROM
30. 下列说法中, 合理的是 ()
 A) 执行各条指令的机器周期数相同, 各机器周期的长度均匀

- B) 执行各条指令的机器周期数相同, 各机器周期的长度可变
 C) 执行各条指令的机器周期数可变, 各机器周期的长度均匀
 D) 执行各条指令的机器周期数可变, 各机器周期的长度可变
31. 假设寄存器 R 中的数为 200, 主存地址为 200 和 300 的存储单元中存放的内容分别是 300 和 400, 若访问到的操作数为 200, 则所采用的寻址方式为 ()
 A) 立即寻址 #200 B) 寄存器间接寻址 (R)
 C) 存储器间接寻址 (200) D) 直接寻址 200
32. 假设寄存器 R 中的数值为 200, 主存地址为 200 和 300 的地址单元中存放的内容分别是 300 和 400, 则什么方式下访问到的操作数为 200 ()
 A) 直接寻址 200 B) 寄存器间接寻址 (R)
 C) 存储器间接寻址 (200) D) 寄存器寻址 R
33. 采用直接寻址方式, 则操作数在 () 中。
 A) 主存 B) 寄存器 C) 直接存取存储器 D) 光盘
34. 零地址指令的操作数一般隐含在 () 中。
 A) 磁盘 B) 磁带 C) 寄存器 D) 光盘
35. 单地址指令 ()
 A) 只能对单操作数进行加工处理
 B) 只能对双操作数进行加工处理
 C) 无处理双操作数的功能
 D) 既能对单操作数进行加工处理, 也能在隐含约定另一操作数 (或地址) 时, 对双操作数进行运算
36. 在存储器堆栈中, 若栈底地址为 A, SP 指针初值为 A-1, 当堆栈采用从地址小的位置向地址大的位置生成时, 弹出操作应是 ()
 A) 先从堆栈取出数据, 然后 SP 指针减 1
 B) 先从堆栈取出数据, 然后 SP 指针加 1
 C) SP 指针先加 1, 然后从堆栈取出数据
 D) SP 指针先减 1, 然后从堆栈取出数据
37. 在大多数情况下, 一条机器指令中是不直接用二进制代码来指定 ()
 A) 下一条指令的地址 B) 操作的类型
 C) 操作数地址 D) 结果存放地址
38. 转移指令执行结束后, 程序计数器 PC 中存放的是 ()
 A) 该转移指令的地址 B) 顺序执行的下条指令地址
 C) 转移的目标地址 D) 任意指令地址
39. 从一条指令的启动到下一条指令的启动的间隔时间称为 ()
 A) 时钟周期 B) 机器周期 C) 工作周期 D) 指令周期
40. 在微程序控制中, 把操作控制信号编成 ()
 A) 微指令 B) 微地址 C) 操作码 D) 程序
41. 微程序存放在 ()
 A) 主存中 B) 堆栈中 C) 只读存储器中 D) 磁盘中
42. 在微程序控制方式中, 机器指令和微指令的关系是 ()
 A) 每一条机器指令由一条微指令来解释执行
 B) 每一条机器指令由一段 (或一个) 微程序来解释执行
 C) 一段机器指令组成的工作程序可由一条微指令来解释执行
 D) 一条微指令由若干条机器指令组成

43. 微地址是指微指令 ()
A) 在主存的存储位置 B) 在堆栈的存储位置
C) 在磁盘的存储位置 D) 在控制存储器的存储位置
44. 通常, 微指令的周期对应一个 ()
A) 指令周期 B) 主频周期 C) 机器周期 D) 工作周期
45. 下列各种记录方式中, 不具自同步能力的是 ()
A) 不归零制 B) 改进型调频制 MFM
C) 调相制 PM D) 调频制 FM
46. 异步传送方式常用于 () 中, 作为主要控制方式。
A) 微型机的 CPU 内部控制 B) 硬连线控制器
C) 微程序控制器 D) 串行 I/O 总线
47. 波特率表示传输线路上 ()
A) 信号的传输速率 B) 有效数据的传输速率
C) 校验信号的传输速率 D) 干扰信号的传输速率
48. 不同信号在同一条信号线上分时传输的方式称为 ()
A) 总线复用方式 B) 并串行传输方式
C) 并行传输方式 D) 串行传输方式
49. 系统级的总线是用来连接 ()
A) CPU 内部的运算器和寄存器 B) 主机系统板上的所有部件
C) 主机系统板上的各个芯片 D) 系统中的各个功能模块或设备
50. 总线从设备是 ()
A) 掌握总线控制权的设备 B) 申请作为从设备的设备
C) 被主设备访问的设备 D) 总线裁决部件
51. 在总线上, 同一时刻 ()
A) 只能有一个主设备控制总线传输操作
B) 只能有一个从设备控制总线传输操作
C) 只能有一个主设备和一个从设备控制总线传输操作
D) 可以有多个主设备控制总线传输操作
52. 串行总线主要用于 ()
A) 连接主机与外围设备 B) 连接主存与 CPU
C) 连接运算器与控制器 D) 连接 CPU 内部各部件
53. 下列说法中正确的是 ()
A) 半双工总线只能在一个方向上传输信息, 全双工总线可以在两个方向上轮流传输信息
B) 半双工总线只能在一个方向上传输信息, 全双工总线可以在两个方向上同时传输信息
C) 半双工总线可以在两个方向上轮流传输信息, 全双工总线可以在两个方向上同时传输信息
D) 半双工总线可以在两个方向上同时传输信息, 全双工总线可以在两个方向上轮流传输信息
54. 在下列设备中, 属于图形输入设备的是 ()
A) 键盘 B) 条形码阅读器 C) 数字化仪 D) 显示器
55. CRT 图形显示器的分辨率表示 ()
A) 一个图像点 (像素) 的物理尺寸
B) 显示器一行能显示的最大图像点数与一列能显示的最大图像点数
C) 显示器屏幕可视区域的大小
D) 显示器能显示的字符个数

56. 在下列存储器中, () 可以作为主存储器。
A) 半导体存储器 B) 硬盘 C) 光盘 D) 磁带
57. 在常用磁盘中, ()
A) 外圈磁道容量大于内圈磁道容量 B) 各道容量不等
C) 各磁道容量相同 D) 内圈磁道容量大于外圈磁道容量
58. 磁表面存储器记录信息是利用磁性材料的 ()
A) 磁滞回归线特性 B) 磁场渗透特性
C) 磁场分布特性 D) 磁场吸引力特性
59. 24 针打印机的打印头的针排列是 ()
A) 24 根针排成一列 B) 24 根针排成 2 列
C) 24 根针排成 3 列 D) 24 根针排成 4 列
60. 在常用磁盘的各磁道中 ()
A) 最外圈磁道的位密度最大 B) 最内圈磁道的位密度最大
C) 中间磁道的位密度最大 D) 所有磁道的位密度一样大

二、填空题

- 计算机存储器的最小单位为_____。1KB 容量的存储器能够存储_____个这样的基本单位。
- 数的真值变成机器码可采用_____、_____、_____和_____表示法。
- 移码表示法主要用于表示_____的阶码 E, 以利于比较两个_____的大小和进行_____操作。
- 按 IEEE754 标准, 一个浮点数由符号位、_____和_____三个域组成。
- 8 位二进制补码表示带符号数的范围, 用十六进制来表示, 则最小是_____, 最大_____。
- 一个定点数由_____和_____两部分组成。根据小数点位置的不同, 定点数有_____和_____两种表示方法。
- 计算机可对不同类型的操作数进行操作, 操作数的类型有_____和_____等。
- 相联存储器不按地址而是按_____访问的存储器, 在 Cache 中用来存放_____, 在虚拟存储器中用来存放_____。
- Cache 是一种_____存储器, 是为了解决 CPU 和主存之间_____不匹配而采用的一项硬件技术。现发展为_____体系, _____分设体系。
- 主存与 Cache 的地址映射有_____, _____、_____三种方式。
- CPU 能直接访问_____和_____, 但不能直接访问磁盘和光盘。
- 广泛使用的_____和_____都是半导体_____存储器, 缺点是断电后不能保存信息。
- 虚拟存储器指的是_____层次, 它给用户提供了一个比实际_____空间大得多的_____空间。
- 多个用户共享主存时, 系统应提供_____。通常采用的方法是_____和_____保护, 并用_____来实现。
- 虚拟存储器只是一个容量非常大的存储器_____模型, 不是任何实际的_____存储器。
- 按照主存、外存层次的信息传送单位不同, 虚拟存储器有_____式、_____式和_____式 3 类。
- 虚拟存储器主要用于解决计算机中_____的_____问题。
- 在页式虚拟存储器中, 主存地址包括_____和_____两部分。

19. 在寄存器间接寻址方式中,有效地址存放在_____中,而操作数存放在_____中。
20. 设 D 为指令中的形式地址, I 为基址寄存器, PC 为程序计数器。若有效地址 $E = (PC) + D$, 则为_____寻址方式; 若有效地址 $E = (D)$, 则为_____寻址方式; 若 $E = (I) + D$, 则为_____寻址方式; 若为直接寻址, 则有效地址为_____。
21. 数据寄存器中既能存放_____, 又能存放_____的称为累加寄存器。
22. CPU 从_____取出一条指令并执行这条指令的时间和称为_____。
23. 构成中央处理器的两大部件是_____和_____。
24. 所有指令的执行都必须进行的相同操作是取指令操作, 该操作从_____读出指令, 并将指令传送到_____。
25. 微指令地址的形成方式有两种, 一种是_____方式, 从_____获得下一条微指令的微地址; 另一种是_____方式, 从微指令的_____获得下一条微指令的微地址。
26. 控制器可分为_____控制器和_____控制器, 前者采用_____, 控制信号由_____产生; 后者采用_____, 控制信号由_____产生。
27. 在微程序控制器中, 控制存储器由_____构成, 用于存放_____。
28. 在 CPU 中, 指令寄存器的作用是_____, 程序计数器的作用是_____, 程序状态字寄存器 PSW 的作用是_____, 地址寄存器的作用是_____。
29. 控制部件通过控制线向执行部件发出各种控制命令, 通常把这种控制命令叫做_____, 而执行部件接受此控制命令后所进行的操作叫做_____。
30. 在机器的一个 CPU 周期中, 一组实现一定操作功能的微命令的组合, 构成一条_____, 它由_____和_____两部分组成。
31. CPU 从主存取出一条指令并执行该指令的时间叫做_____, 它常常用若干个_____来表示, 而后者又包含有若干个_____。
32. 总线控制方式可分为_____式控制和_____式控制两种。
33. 集中式总线裁决主要有_____方式、_____方式和_____方式。
34. 全互锁方式中的_____信号和_____信号的上升沿和下降沿都是触发边沿, 由此这种方式称为_____协议。
35. 总线定时是总线系统的核心问题之一。为了同步主方、从方的操作, 必须制订_____, 通常采用_____定时和_____定时两种方式。
36. 按照传输定时的方法划分, 总线数据通信方式可分为_____和_____两类。
37. 为了解决多个_____同时竞争总线_____, 必须具有_____部件。
38. 衡量总线性能的重要指标是_____, 它定义为总线本身所能达到的最高_____。
39. 总线是构成计算机系统的互联机构, 是多个_____部件之间进行数据传送的公共通道, 并在_____的基础上进行工作。
40. 系统总线接口是 CPU、_____、_____与总线之间连接的逻辑部件。
41. 磁盘存储设备主要由磁记录介质、_____和_____三个部分组成。
42. 磁盘的存储器的访问时间主要包括_____时间、_____时间和寻道延迟时间。
43. 中断屏蔽寄存器的每一位对应于一条中断请求线, 当该位被 CPU 置为 0 时, 相应的中断_____, 而当某一位被 CPU 置为 1 时, 相应的中断_____。
44. CPU 响应中断请求时需要保护现场, 这里现场保护是指将_____和_____中的内容保存到_____中。
45. 采用 DMA 方式传送数据是由 DMA 接口来控制数据在_____和_____之间传输。
46. 数组多路通道可允许_____设备进行_____型操作, 数据传送单位是_____, 字节多路通道可允许_____设备进行_____型操作, 数据传送单位是_____。

47. 通道有三种类型：_____通道、_____通道和_____通道。
48. SCSI 是处于_____和_____之间的并行 I / O 接口，可允许连接_____台各种类型的高速外围设备。
49. 通道与 CPU 分时使用_____，实现了_____内部的数据处理和_____的并行工作。
50. 通道是一个特殊功能的_____，它有自己的_____专门负责数据输入输出的传输控制，CPU 只负责_____功能。

三、名词解释

1. 主机
2. 基数 r
3. 位
4. 字
5. 字节
6. 总线
7. 偶校验码
8. 相联存储器
9. 多体交叉存储器
10. 虚拟存储器
11. 寻址方式
12. 微程序控制器
13. 微程序
14. 微指令
15. 微地址
16. 控制存储器
17. 主设备
18. 总线从设备
19. 全互锁
20. I/O 接口
21. 中断优先级
22. 中断嵌套
23. 统一编址

四、简答题

1. 静态存储器（SRAM）依靠什么来存储信息？为什么称为“静态”存储器？
2. 简述静态存储器的写操作过程。
3. 主存储器的性能指标有哪些？各性能指标的含义是什么？
4. Cache 的命中率与哪些因素有关？它们是如何影响 Cache 的命中率的？
5. 何谓虚拟存储器？其主要好处是什么？
6. 堆栈有哪两种基本操作？它们的含义是什么？
7. 说明指令周期、机器周期、时钟周期之间的关系。
8. 在寄存器——寄存器型，寄存器——存储器型和存储器——存储器型三类指令中，哪类指令的执行时间最长？哪类指令的执行时间最短？为什么？
9. 什么是 RISC？RISC 指令系统的特点是什么？

10. 指令和数据均存放在内存中，计算机如何从时间和空间上区分它们是指令还是数据？
11. 简述寄存器间接寻址方式的含义，说明其寻址过程。
12. 假设寄存器 R 中的数值为 2000，主存地址为 2000 和 3000 的地址单元中存放的内容分别为 3000 和 4000，PC 的值为 5000，若按以下寻址方式，访问到的操作数各是多少？
①寄存器寻址 R；②寄存器间接寻址 (R)；③直接寻址 2000；④存储器间接寻址 (2000)；
⑤相对寻址-3000 (PC)
13. 微程序控制器怎样产生操作控制信号，这种控制器有何优缺点？
14. 微指令编码有哪三种方式？微指令格式有明几种？微程序控制有哪些特点？
15. 硬连线控制器主要由哪几部分构成？它是如何产生控制信号的？
16. 列举出 CPU 中 6 个主要寄存器的名称及功能。
17. 简述微程序控制器各主要组成部分的功能。
18. 简述 CPU 的主要功能。
19. 何谓串行传输，有何优缺点？适用什么场合？
20. 串行总线和并行总线有何区别？各适用于什么场合？
21. 系统总线接口有哪几项基本功能？
22. 何谓“总线仲裁”？一般采用何种策略进行仲裁，简要说明它们的应用环境。
23. 总线的一次信息传送过程大致分哪几个阶段？
24. 什么是总线带宽？影响带宽的因素有哪些？
25. 外围设备的 I/O 控制方式分哪几类？各有什么特点？
26. 何谓 DAM 方式？说明它的适用场合。
27. 基本的 DMA 控制器的主要部件有哪些？
28. 何谓多重中断？如何保证它的实现？
29. 简述多重中断系统中 CPU 响应处理一次中断的步骤。
30. 试比较中断方式与 DMA 方式的主要异同，并指出它们各自应用在什么性质的场合？
31. 请简要描述 RISC 和 CISC 指令集架构的区别。
32. 假定某计算机采用 IEEE754 作为浮点数的表示方法，请用十六进制给出实数 3.14 在机器中的表示形式。

五、计算题

1. 已知 $x = -0.01111$ ， $y = +0.11001$ ，求 $[x]_{\text{补}}$ ， $[-x]_{\text{补}}$ ， $[y]_{\text{补}}$ ， $[-y]_{\text{补}}$ ， $x+y$ ， $x-y$ 。
2. 设有两个浮点数 $x = 2^{E_x} \times S_x$ ， $y = 2^{E_y} \times S_y$ ， $E_x = (-10)_2$ ， $S_x = (+0.1001)_2$ ， $E_y = (+10)_2$ ， $S_y = (+0.1011)_2$ 。若尾数 4 位，数符 1 位，阶码 2 位，阶符 1 位，求 $x+y$ ，并写出运算步骤及结果。
3. 设 $X = +15$ ， $Y = -13$ ，用带求补器的原码阵列乘法求出乘积 $X \cdot Y = ?$
4. 已知 $x = 0.1011$ ， $y = -0.1001$ ，试用补码一位乘法求 $x \times y = ?$ 要求写出每一步运算过程及运算结果。
5. 已知 $[x]_{\text{补}} = 1.0111$ ， $[y]_{\text{补}} = 0.1101$ ，试用加减交替法求 $[x]_{\text{补}} \div [y]_{\text{补}} = ?$ 要求写出每一步运算过程及运算结果。
6. 某指令系统字长为 16 位，每个操作数的地址码长 6 位，设系统包括无操作数，单操作数和双操作 3 类。若双操作指令有 M 条，无操作数指令有 N 条，问单操作数的指令最多有多少条？
7. 设某计算机的主存储器为 512KB \times 16 位，Cache 容量为 8KB \times 16 位，每块 8 个字。
(1) Cache 中可装入多少块主存中的数据？256

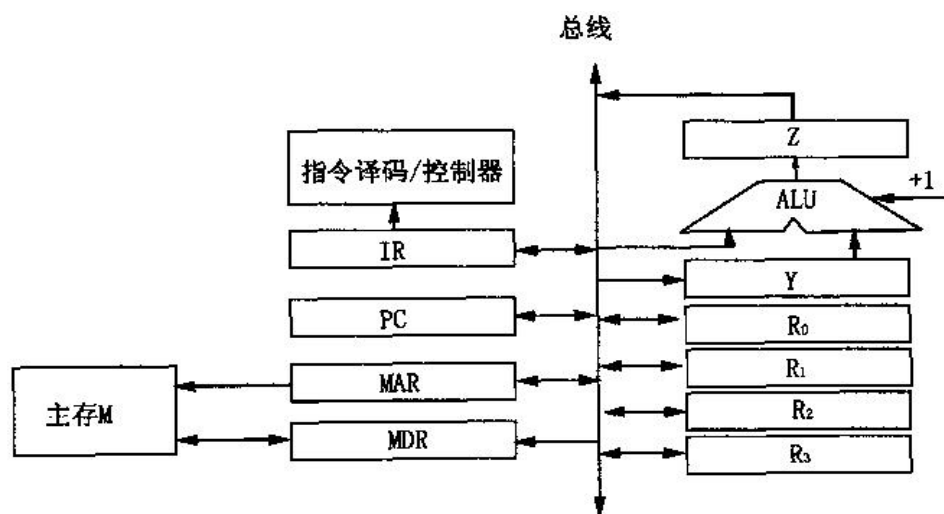
- (2) 若 Cache 和主存采用直接地址映像, 试给出主存与 Cache 的地址格式, 并说明每个字段多少位。
- (3) 若采用组相联映像, 每组 4 块, 试给出 Cache 和主存的地址格式, 并说明每个字段多少位。
8. 某总线在一个总线周期中并行传送 4 字节的数据, 设一个总线周期等于一个总线时钟周期, 总线时钟频率为 10 MHz。
- (1) 求总线带宽是多少?
- (2) 如果一个总线周期中并行传送 64 位数据, 总线时钟频率升为 33MHz、这时总线带宽为多少?
9. 某串行异步通信总线的帧格式为 1 位起始位, 8 位数据位, 1 位奇偶校验位, 2 位停止位, 当波特率为 9600bps 时, 比特率为多少?
10. 某双面磁盘每面有 220 道, 内层磁道周长 70cm, 位密度 400 位/cm, 转速 3000 转/分, 问: (1) 磁盘存储容量是多少? (2) 数据传输率是多少?
11. 假定某个程序在执行过程中 I-cache 的 miss rate = 0.04, D-cache 的 miss rate = 0.08, Miss penalty = 100 cycles, Base CPI (without memory stalls) = 2, Load & stores 操作在所有指令中的比例为 30%。
- 1) 计算该程序实际的 CPI 值;
- 2) 如果通过加大 Cache 的容量使 I-cache 和 D-cache 的 miss rate 都降低 50%, Miss penalty=150 cycles, 请说明新方案是否比原有的方案更优, 并说明理由。

六、应用题

1. 用 16K×8 位的 SRAM 芯片构成 64K×16 位的存储器, 要求画出该存储器的组成逻辑框图。
2. 用 16K×16 位的 SRAM 芯片构成 64K×32 位的存储器。要求画出该存储器的组成逻辑框图。
3. 用 4K×8 的存储器芯片构成 8K×16 位的存储器, 共需多少片? 如果 CPU 的信号线有读写控制信号 R / W*, 地址线 A₁₅~A₀, 存储器芯片的控制信号有 CS 和 WE*, 请画出此存储器与 CPU 的连接图。
4. 用 2K×16 位/片的 SRAM 存储器芯片设计一个 8K×32 位的存储器, 已知地址总线为 A₁₅~A₀ (低), 数据总线 D₃₁~D₀ (低), \overline{WE} 为读写控制信号。请画出该存储器芯片级逻辑图, 注明各种信号线。
5. 要求用 128K×16 位的 SRAM 芯片设计 512K×16 位的存储器, SRAM 芯片有两个控制端: 当 CS 有效时该片选中。当 W / R=1 时执行读操作, 当 W / R=0 时执行写操作。用 64K×16 位的 EPROM 芯片组成 128K×16 位的只读存储器。试问:
- (1) 数据寄存器多少位?
- (2) 地址寄存器多少位?
- (3) 共需多少片 EPROM?
- (4) 画出此存储器组成框图。
6. 用 8K×8 位的 ROM 芯片和 8K×8 位的 RAM 芯片组成一个 32K×8 位的存储器, 其中 RAM 地址占 24K (地址为 2000H~7FFFH), ROM 地址占 8K (地址为 0000H~1FFFH)。RAM 芯片有两个输入端: 当 CS 有效时, 该片选中, 当 W / R=1 时, 执行读操作; 当

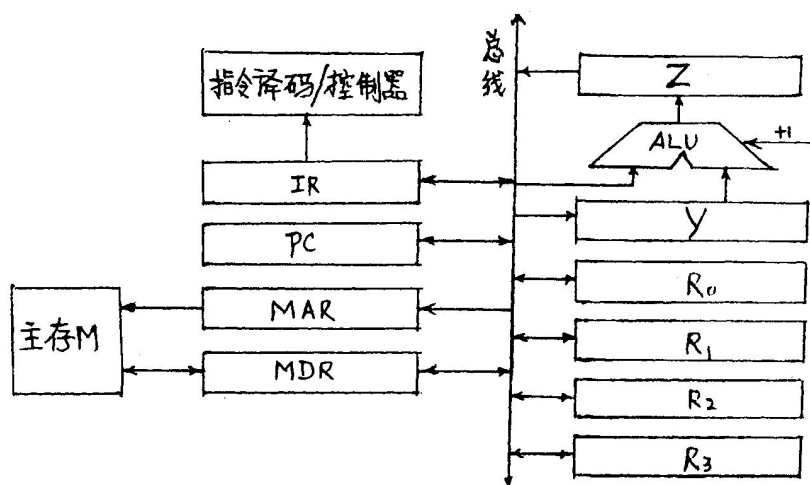
W / R=0 时，执行写操作。ROM 芯片只有一个控制输入端——片选 CS。要求画出此存储器组成结构图。

7. 某机指令字长 16 位。设有单地址指令和双地址指令两类。若每个地址字段为 6 位，双地址指令有 x 条。问单地址指令最多可以有多少条？
8. 若某机要求有：三地址指令 4 条，单地址指令 255 条，零地址指令 16 条。设指令字长为 12 位，每个地址码长为 3 位。问能否以扩展操作码为其编码？如果其中单地址指令为 254 条呢？说明其理由。
9. 单总线 CPU 结构如下图所示，其中有运算部件 ALU、寄存器 Y 和 Z，通用寄存器 R0~R3、指令寄存器 IR、程序计数器 PC、主存地址寄存器 MAR 和主存数据寄存器 MDR 等部件。试拟出 CPU 读取并执行取数指令 LOAD R₀, (A) 的流程。指令中 R₀ 表示目的寻址为寄存器寻址，(A) 表示源寻址为存储器间接寻址。



PC→MAR
 PC+1→PC
 DBUS→MDR→IR
 R2→MAR
 DBUS→MDR
 MDR→R1

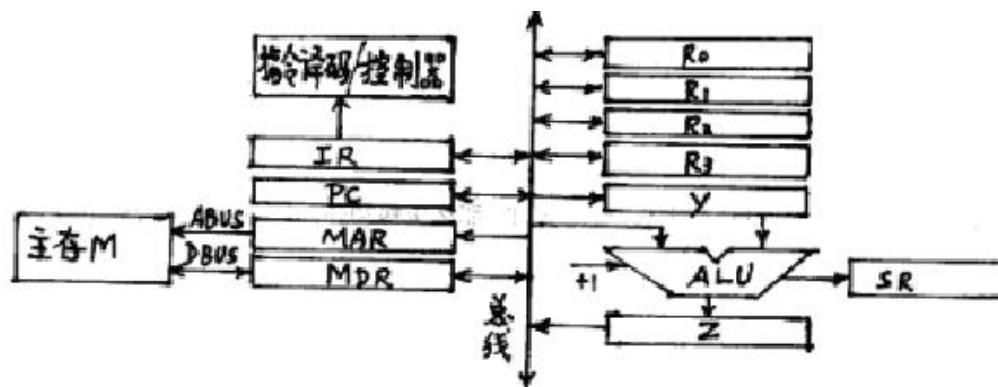
10. 单总线 CPU 结构图如下，其中有运算部件 ALU、寄存器 Y 和 Z、通用寄存器 R₀~R₃、指令寄存器 IR、程序计数器 PC、主存地址寄存器 MAR 和主存数据寄存器 MDR 等部



件，试拟出加法指令 $\text{ADD } R_1, B(R_2)$ 的读取和执行流程。其中 R_1 表示目的寻址为寄存器寻址； $B(R_2)$ 表示源寻址为变址寻址， B 是偏移量， R_2 是变址寄存器。

$\text{PC} \rightarrow \text{MAR}$
 $\text{PC} + 1 \rightarrow \text{PC}$
 $\text{DBUS} \rightarrow \text{MDR}$,
 $\text{MDR} \rightarrow \text{IR}$
 $B(\text{IR 地址段}) \rightarrow Y$
 $R_2 + Y \rightarrow Z$
 $Z \rightarrow \text{MAR}$
 $\text{DBUS} \rightarrow \text{MDR}$,
 $\text{MDR} \rightarrow Y$
 $R_1 + Y \rightarrow Z$
 $Z \rightarrow R_1$

11. 单总线 CPU 结构图如下，其中有运算部件 ALU、寄存器 Y 和 Z、通用寄存器 $R_0 \sim R_3$ 、状态寄存器 SR、指令寄存器 IR、程序计数器 PC、主存地址寄存器 MAR 和主存数据寄存器 MDR 等部件，试拟出存储指令 $\text{STORE } R_1, (A)$ 的读取和执行流程。其中 R_1 表示源寻址为寄存器寻址； (A) 表示目的寻址为存储器间接寻址。



12. 设某机有 4 级中断 A、B、C、D，其硬件排队优先次序为 $A > B > C > D$ ，中断程序的屏蔽位设置如下表（其中“0”为允许，“1”为屏蔽，CPU 状态时屏蔽码为 0000）。

(1) 中断处理次序为什么？

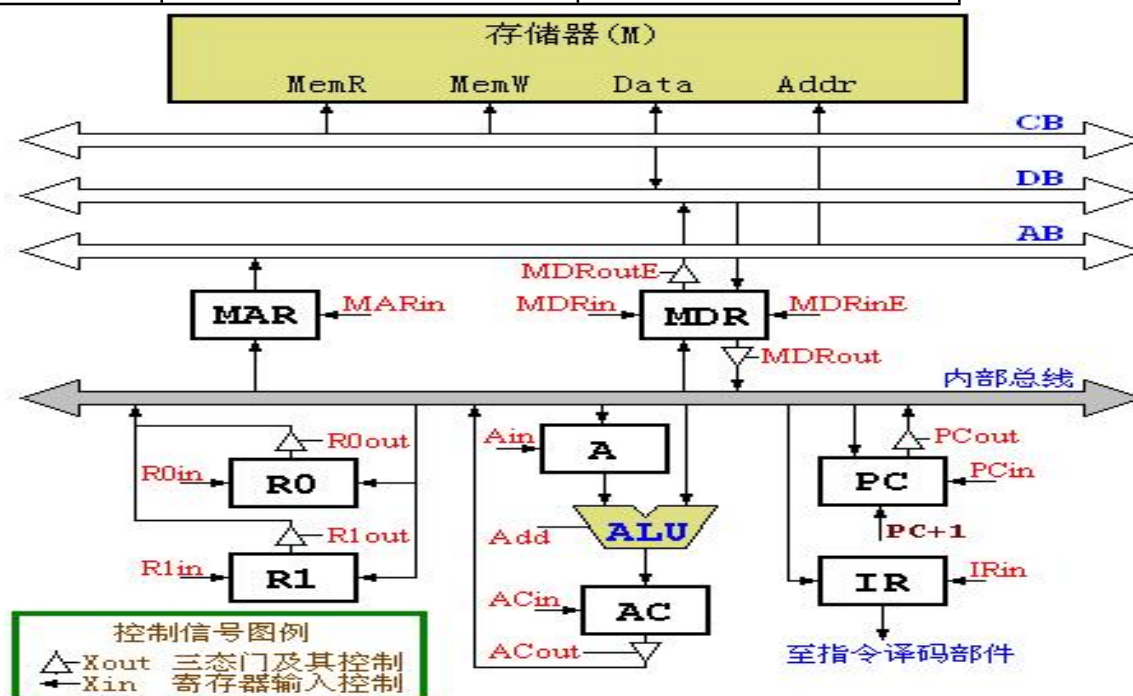
(2) 设 A、B、C、D 同时请求中断，画出 CPU 执行程序的轨迹。

13. 某计算机字长 16 位，采用 16 位定长指令字结构，部分数据通路结构如图。图中所有的控制信号为 1 时表示有效，0 为无效。如控制信号 $\text{MDRinE}=1$ 表示允许数据从 DB 打入 MDR， $\text{MDRin}=1$ 表示允许数据从内总线打入 MDR。假设 MAR 的输出一直处于使能状态。加法指令 “ $\text{ADD}(R_1), R_0$ ” 的功能为： $(R_0) + ((R_1)) \rightarrow ((R_1))$ ，即将 R_0 中的数据与 R_1 内容所指主存单元的内容相加，结果写入 R_1 内容所指的主存单元。

下表给出了上述指令的取指和译码阶段的每个节拍(时钟周期)的功能和有效控制信号。请

按表中描述的方式，用表格列出指令执行阶段每个节拍的功能和有效控制信号。

时钟	功能	有效控制信号
C1	$MAR \leftarrow (PC)$	PCout, MARin
C2	$MDR \leftarrow M(MAR)$ $PC \leftarrow (PC) + 1$	MemR, MDRinE PC+1
C3	$IR \leftarrow (MDR)$	MDRout, IRin
C4	指令译码	无



14、一个有 32 位程序地址空间，页面容量为 1KB，主存的容量为 8MB 的存储系统，问：

- (1) 虚页号字段有多少位？页表将有多少行？
- (2) 页表的每一行有多少位？页表的容量有多少字节？

15、假设在一个采用组相联映像方式的 Cache 中，主存有 B0~B7 共 8 块组成，Cache 有 C0~C3 共 4 块，组内块数为 2 块。每块的大小为 32 个字节，采用 FIFO 块替换算法。在一个程序执行过程中依次访问块地址流如下：

B1, B4, B6, B3, B0, B4, B6, B2, B4, B5

- (1) 写出主存地址的格式，并标出各字段的长度
- (2) 写出 Cache 地址的格式，并标出各字段的长度
- (3) 画出主存与 Cache 之间各个块的映像对应关系
- (4) 列出程序执行过程中 Cache 的块地址流分布情况。并计算 Cache 的块命中率

16. 设主存容量为 1MB，Cache 容量为 16KB，每字块有 16 个字，每字 32 位。

(1)若 Cache 采用直接相联映像，求出主存地址字段中各段的位数。

(2)若 Cache 采用四路组相联映像，求出主存地址字段中各段的位数。

17、有一主存——Cache 层次的存储器，其主存容量 1MB，Cache 容量 64KB，每块 8KB，若采用直接映象方式，

求：①主存的地址格式？②主存地址为 25301H，问它在主存的哪一块？

18、（10 分）已知某 8 位机的主存采用半导体存储器，内存容量为 32KB，若使用 4K×4 位 RAM 芯片组成该机存储器，请计算需要的 RAM 芯片的数量，并画出这些芯片与 CPU 连接示意图。

19、 某 16 位机所使用指令格式和寻址方式如下所示。该机有两个 20 位基值寄存器，四个 16 位变址寄存器，十六个 16 位通用寄存器。指令格式中的 S(源)，D(目标)都是通用寄存器，M 是主存中的一个单元。三种指令的编码方式如下图所示，其中操作码定义为：

MOV (OP)=(A)H， MOV 是传送指令

STA (OP)=(1B)H， STA 为写存储器指令

LDA (OP)=(3C)H， LDA 为加载指令

请完成以下分析：

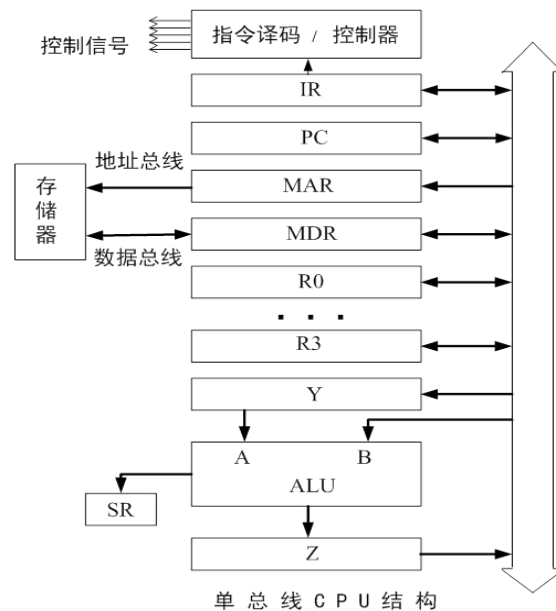


(1) 分析 CPU 完成哪一种操作所花时间最短？哪一种操作花时间最长？第二种指令的执行时间有时会等于第三种指令的执行时间吗？

(2) 下列情况下每个十六进制指令字分别代表什么操作？其中如果有编码不正确，如何改正才能成为合法指令？

- ① (F0F1)H (3CD2)H ② (61C2)H

20、一个 8 位的单总线计算机系统，其中寄存器定义为：指令寄存器 (IR)，程序计数器 (PC)，数据寄存器 (MDR)，地址寄存器 (MAR)，状态寄存器 (SR)，4 个通用寄存器 (R0-R3)，用户不可见暂存器 (Z 和 Y)。假定系统中只有 16 条指令，其中减法指令 SUB (SUB R0, R1) 为单字节指令表示寄存器 R1 与 R0 相减，结果存放到 R0 中；SUBI 为双字节指令 (SUBI R0, R1, I)，功能为 R1 与立即数 I 之差，结果存放到寄存器 R0 中；双字节指令 Load (LOAD R0, R1, I)，是将内存单元地址 (R1+I) 中的内容加载到寄存器 R0 中。(I 为 8 位立即送)



请写出以上 3 条指令执行的微操作序列，要求包含取指令过程。