

# ARDIŞIL DEVRELERE GİRİŞ

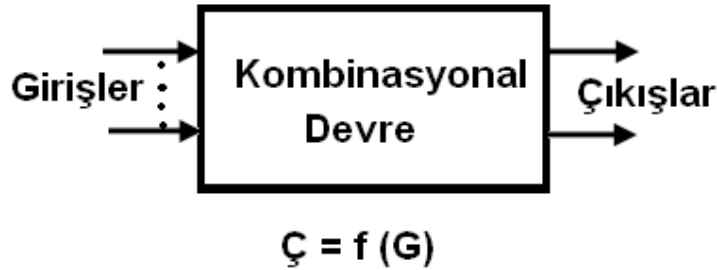
## Ardışıl Devreler

Mantık devreleri çalışma prensibi olarak iki kısımda incelenebilir.

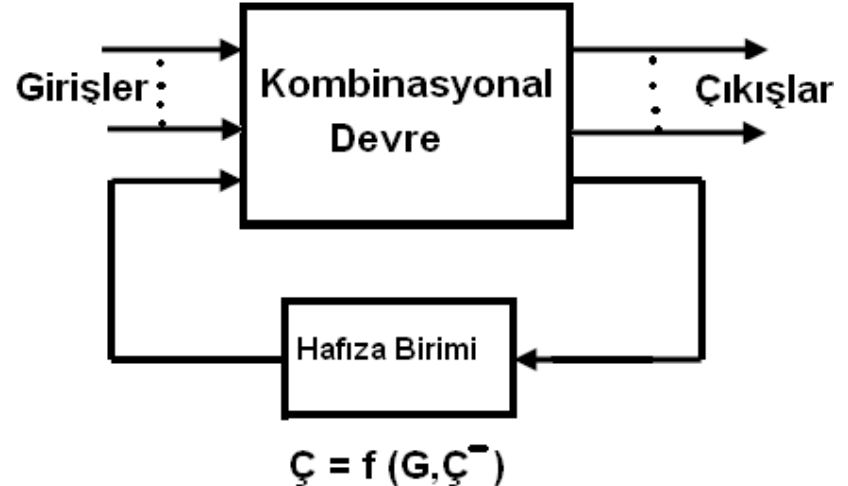
Kombinasyonel devreler. Bu devrelerin en önemli özelliği hafızalarının bulunmamasıdır. Çıkış sadece girişlere bağlıdır.

Ardışıl devreler ise bünyelerinde kullanılan hafıza elemanlarından dolayı geçmiş durumları da hatırlama yeteneğine sahiptirler. Çıkış hem o andaki girişlere, hemde bir zaman önceki çıkışa bağlıdır.

Ardışıl devrelerde Senkron ve Asenkron çalışan Ardışıl devreler olmak üzere iki sınıfa ayrılır. Pratikte daha çok senkron ardışıl devreler ile çalışılır.



a



b

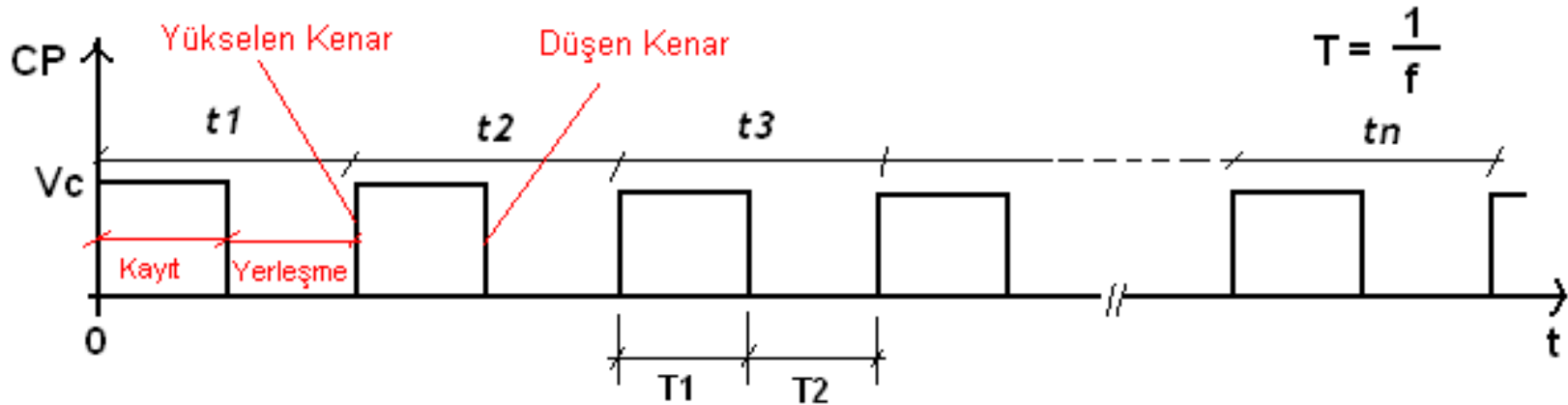
# Ardışıl devrelerle ilgili tanımlamalar

Ardışıl devrelerin tasarımına geçmeden önce bu devrelerde kullanılan bazı önemli elemanların ve tanımlamaların yapılmasında fayda vardır.

## Zamanı tanımlayan senkronlama işareti (Clock – Saat işareti) :

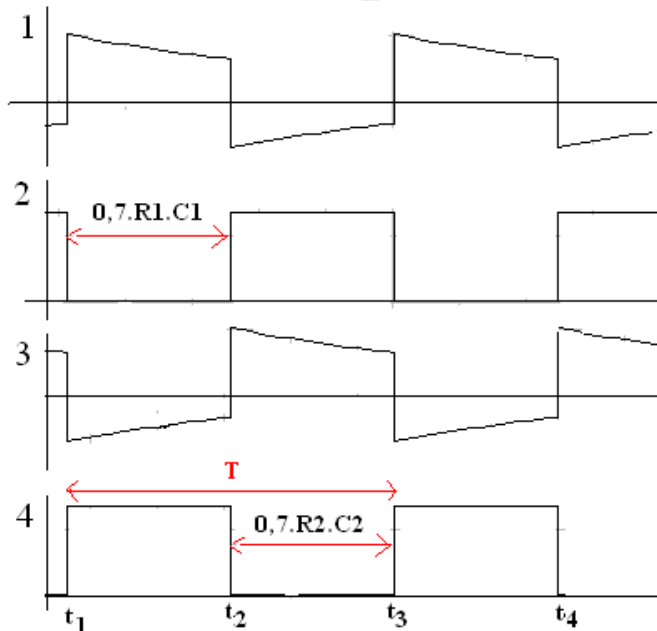
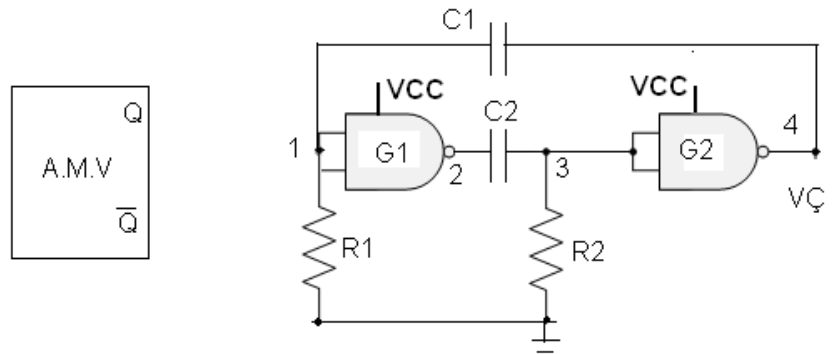
Biribirini izleyen zaman dilimlerini belirler. Böyle bir işaretin geçerlilik oranı G.O (Duty cycle %) aşağıdaki bağıntıyla hesaplanabilir.

$$\% \text{ G.O} = T1 / (T1 + T2) * 100$$



## Astabil Multivibratör (Kararsız ikili – Kare dalga üretici):

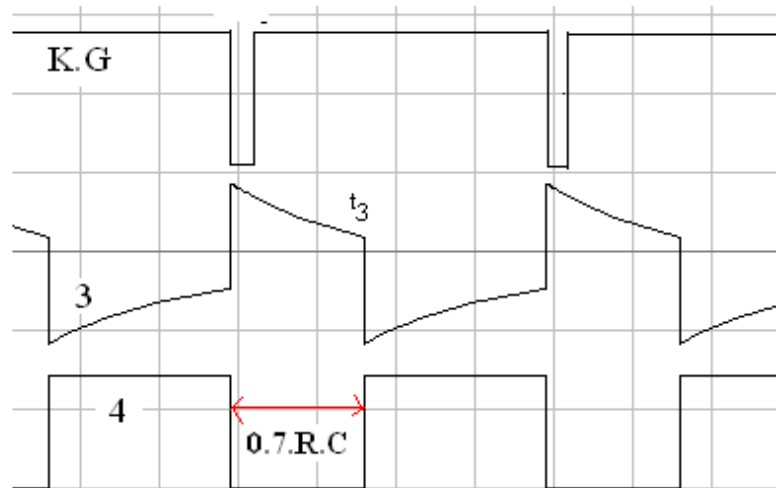
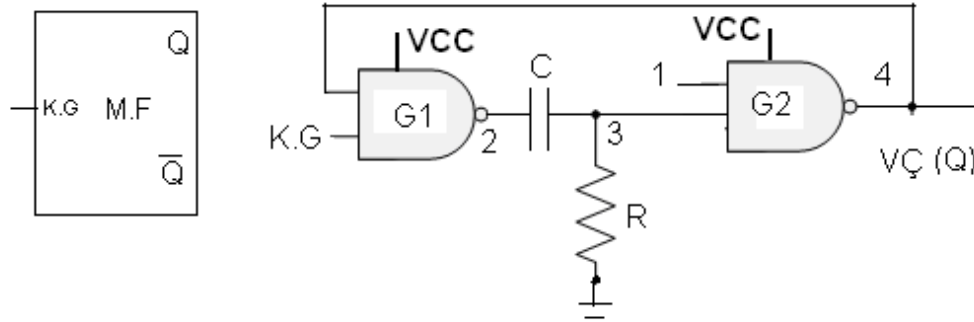
Ardışıl devrelerdeki senkronlama işaretini üreten devrelerdir. Bunların kontrol girişleri yoktur. Devreye enerji uygulandığı andan itibaren çıkışlarında zamana göre değişen iki durumlu işaret oluşur. Kare dalga işaret üretmek için osilatörlerden veya gelişmiş lineer elektronik devrelerden yararlanılabildiği gibi, bu notlarda; Şekil’de sembolü ve prensip şeması verilen devrenin açıklanmasıyla yetinilecektir.



$$T = 0,7.R1.C1 + 0,7.R2.C2$$

## Monostabil Mültivibratör ( Tek Kararlı İkili Devre – Mono Flop) :

Monoflop devrelerin, bir kontrol girişi ve bir çıkışı vardır. Devrenin kontrol girişi değişmedikçe çıkış kararlı konumunu muhafaza eder. Kontrol girişi kısa bir süreliğine değiştirildiği andan itibaren (monostabil devrenin tetiklenmesi) çıkış diğer konuma (kararsız konuma) geçer ve kendi iç zaman sabitesi sonunda ( $0.7.R.C$ ) tekrar kararlı konumuna döner. Bu devrenin sembolü ve bağlaçlarla gerçekleştirilmiş prensip devresi şekilde görülmektedir

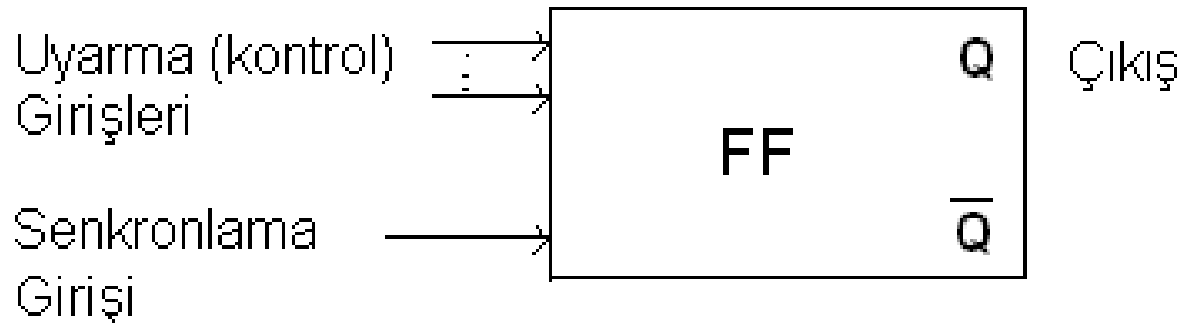


## Bistabil Multivibratör( Çift Kararlı İkili Devre , Flip-Flop) :

Bir Flip Flop devresi, kontrol girişleri ve tek çıkışı olan her iki konumda da kararlı olarak durabilen önemli bir sayısal elektronik devre elemanıdır. Giriş kontrol işareti değişmediği müddetçe, çıkış bulunduğu konumu muhafaza eder.

Değişik şekillerde gerçekleştirilmiş Flip-Flop devreleri olmasına karşılık bu derste bağlaçlar ile gerçekleştirilmiş Flip-Flop devreler üzerinde durulacaktır. Bir devrenin gerçekten Flip-Flop özelliği gösterebilmesi için;

- Çıkışının hem kontrol girişlerine hem de bir zaman dilimi önceki çıkış durumuna bağlı olması gerekir.
- Bir senkronlama girişinin olması gerekir : Devrenin çıkışının rastgele zamanlarda değil de belirli zamanlarda durum değiştirmesini sağlamak için kullanılır.



Yukarıdaki özellikleri de göz önünde bulundurarak FF'ları üç ayrı grupta inceleyebiliriz.

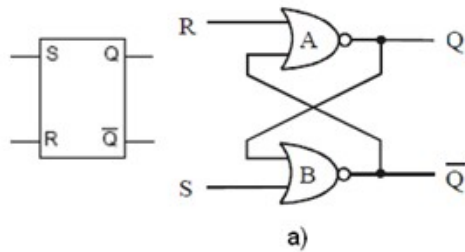
- Tek Hücreli FF'lar (Latch – Mandal-Tutucu).
- Kapılı tip FF'lar (Latch – Mandal-Tutucu).
- Çift Hücreli FF'lar.

## Tek hücreli Flip Floplar:

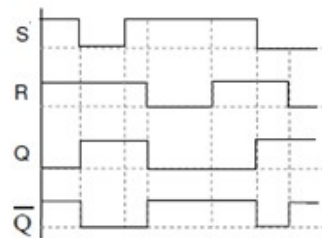
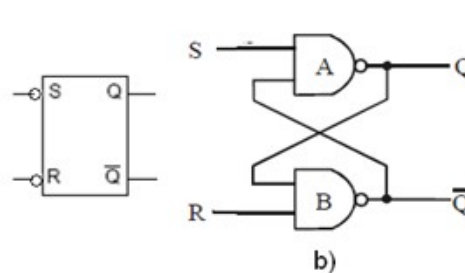
Bunlara Mandal (Latch-Tutucu) denir. En basiti iki adet NOR bağlacından oluşmuş S-R Flip-Flop'tur. İki adet kontrol girişi (S,R) ve Q çıkışı vardır. Şekilde S-R tek hücrelinin sembolü, lojik yapısı ve çıkış tablosu verilmiştir.

Burada  $Q_{n+1}$  ile; R ve S girişleri değiştiği andan sonraki Q çıkışının değeri sembolize edilmiştir.  $Q_n$  ise R-S girişlerine uygulanan işaretin değişmediği durumdaki çıkış değeridir S ve R'nin anlamı FF'yu Set ve Reset etmek için ilgili girişin aktif olması (Lojik 1) gerektiği anlamındadır.

Bu devre tam FF tarifine uymaz. Fakat FF'lar için çekidek devredir.



Girişler		Çıkışlar		Durum
S	R	$Q_{n+1}$	$\bar{Q}_{n+1}$	
0	0	$Q_n$	$\bar{Q}_n$	Değişme yok
0	1	0	1	Silme
1	0	1	0	Kurma
1	1	1	1	Tanımsız

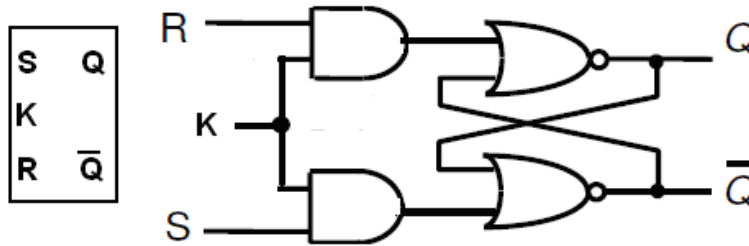


Girişler		Çıkışlar		Durum
S	R	$Q_{n+1}$	$\bar{Q}_{n+1}$	
0	0	1	1	Tanımsız
0	1	1	0	Kurma
1	0	0	1	Silme
1	1	$Q_n$	$\bar{Q}_n$	Değişme yok

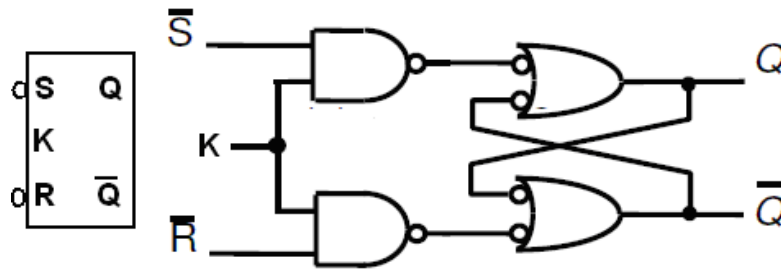


## Kapılı Tip Flip Floplar:

Tek hücreli Flip Flop (Mandal-Tutucu), girişindeki veri değişimlerine sürekli açıktır. Bu durum hızlı çalışacak sistemlerde problem oluşturur. Bu nedenle devreye bir kapı (ENABLE) girişi eklenerek belirli zamanlarda Tutucuya veri kaydedilmesi sağlanabilir. Bu yeni durumda  $S$  ve  $R$  girişleri yalnızca kapı işareti '1' iken çıkışa etki edebilirler. Kapı girişinin "0" iken de  $S$  ve  $R$  girişlerinin çıkışa etki edeceği yapılarda mevcuttur. Kapı girişine uygulanan Kare dalganın "1" olarak kaldığı veya "0" olarak kaldığı durumlarda çıkışın değişmesine düzey (seviye) tetikleme denir. Şekilde Kapılı tip NOR latch ve NAND Latch FF sembolleri ve lojik şemaları ve çıkış tabloları görülmektedir

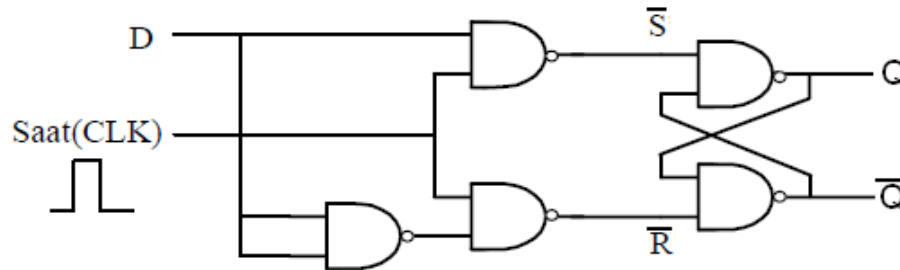


Girişler			Çıkışlar	
K	S	R	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	x	x	$Q_n$	$\bar{Q}_n$
1	0	0	$Q_n$	$\bar{Q}_n$
1	0	1	0	1
1	1	0	1	0
1	1	1	Yasak	Yasak

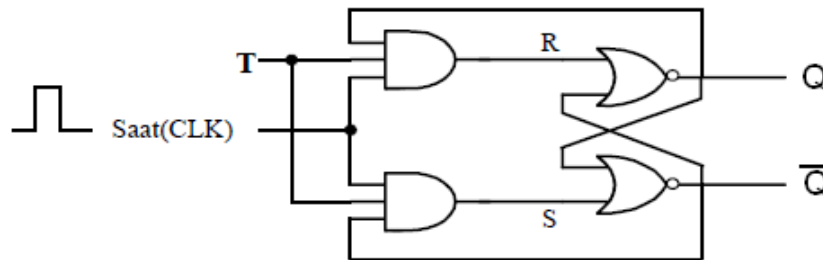


K	S	R	$Q_n$	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	X	X	0	0	1
0	X	X	1	1	0
1	0	0	0	0	1
1	0	0	1	1	0
1	0	1	0	0	1
1	0	1	1	0	1
1	1	0	0	1	0
1	1	0	1	1	0
1	1	1	0	1	1
1	1	1	1	1	1

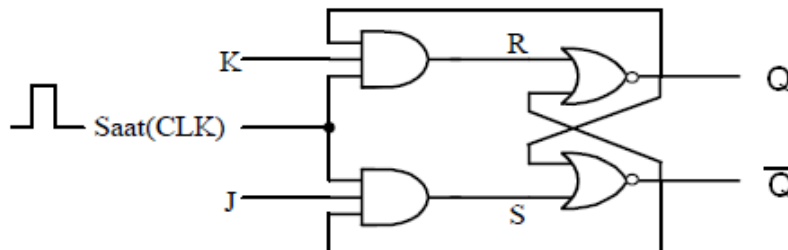
Kapılı tip Flip Flop olarak S-R Ff'un yanı sıra değişik fonksiyonlu FF'lar üretilebilir. Bunlar D (data) Tipi FF, T (Toggle) Tipi FF ve J-K FF'lardır. Bunların lojik şemaları ve çıkış Tabloları aşağıda verilmektedir.



CLK	D	Q <sub>n+1</sub>
0	x	Q <sub>n</sub>
1	1	1
1	0	0

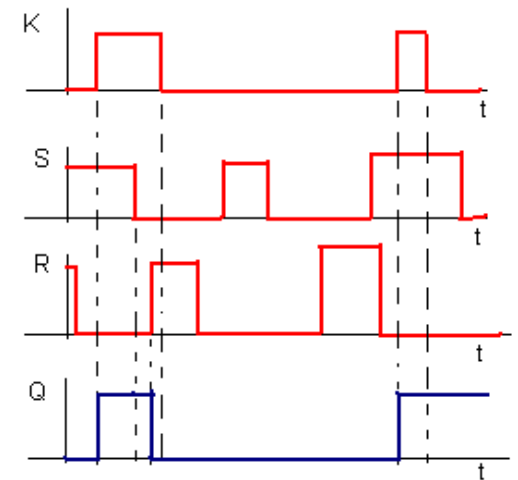
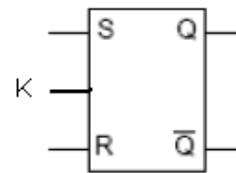
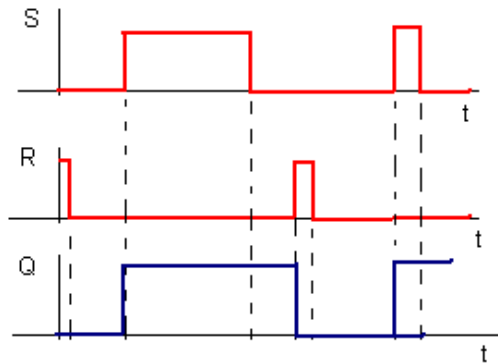
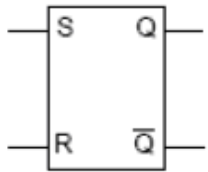


CLK	T	Q <sub>n+1</sub>
0	x	Q <sub>n</sub>
1	1	$\overline{Q_n}$ Toggle
1	0	Q <sub>n</sub>



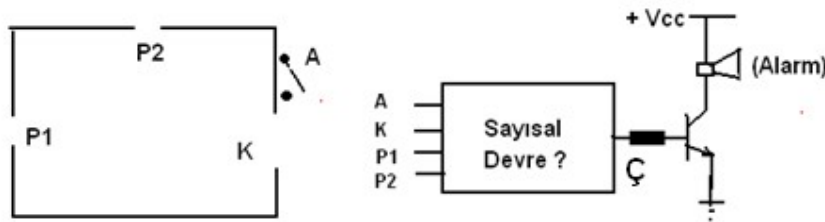
CLK	J	K	Q <sub>n+1</sub>
0	x	x	Q <sub>n</sub>
1	0	0	Q <sub>n</sub>
1	0	1	0
1	1	0	1
1	1	1	$\overline{Q_n}$

# Basit Örnekler



**Örnek:** Aşağıdaki şekilde; iki penceresi,1 kapısı olan dükkana bir alarm devresi oluşturulacaktır. Dükkanın pencereleri ve kapısı kapatıldıktan sonra, kapının yanındaki gizli anahtarın (A) konumuna göre (A anahtarı kapalıysa 1, açıksa 0 sinyali sayısal devreye gelmektedir); herhangi bir pencere veya kapı açıldığı zaman bir alarm zilinın çalması istenmektedir. Pencerelerin ve kapının açık veya kapalı olduğu bilgisi buraya konulmuş sensörlerden gelmektedir ( Pencer açık ise 1, kapalı ise 0. Kapı açık ise 1 kapalı ise 0 bilgisi sayısal devreye gelmektedir).

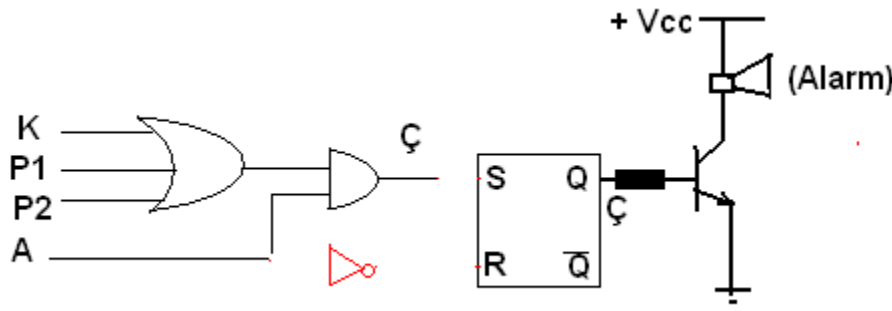
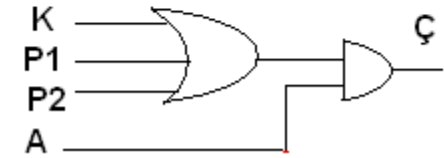
**Çözüm:** Bu problemi önce kombinasyonel lojik devre şeklinde düşünerek çözelim. Bu çözüm sizce uygun mudur? Değilse; 1 adet S-R latch ve 1 adet inverse bağlaç kullanıp çözümü tamamlayınız.



A	K	P1	P2	Ç
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

A \ K	00	01	11	10
00			1	
01			1	1
11			1	1
10			1	1

$$\text{Ç} = A.K + A.P1 + A.P2 = A.(K+P1+P2)$$

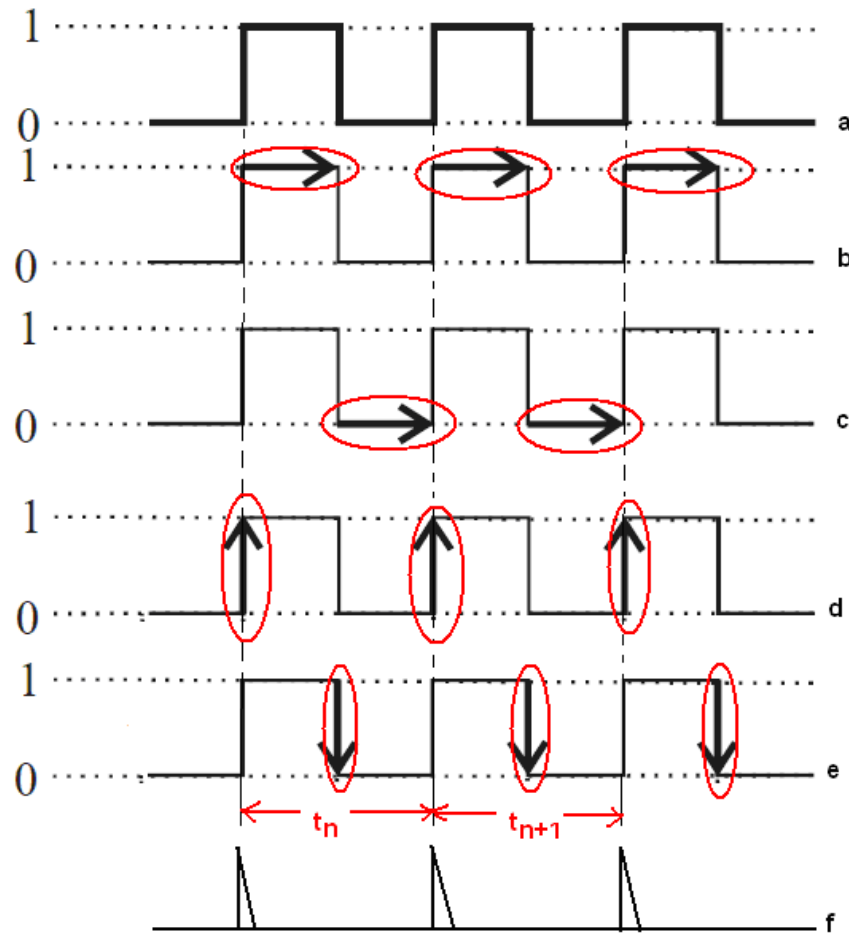


# Flip Floplarda tetikleme:

- Kapılı tip yapı her ne kadar K girişı ile çıkış deęişim zamanlarını kontrol edebilse de, kapı girişinin "1" olduęu zaman boyunca S ve R girişlerine açık bir yapı ortaya çıkmaktadır. Oysa istenen, sadece yazma anlarında S ve R girişlerinin çıkışta etken olmasıdır.
- Kare dalğanın lojik 1 süresini çok küçülttüğümüzü varsayalım. Bu durumda S ve R girişleri çok kısa bir zaman için çıkışta etken olur. Bunu sağlamak için alternatiflerden birisi; K girişine uygulanan kare dalga işaretinin sadece kenar geçişlerinden yararlanmaktır.
- Bu işleme "**Kenar tetikleme**" işlemi denir.

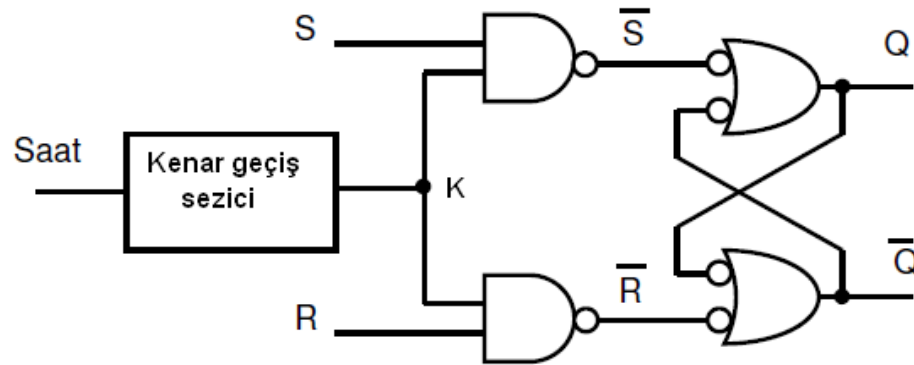
## Kenar tetikleme ve düzey tetikleme

Kapı girişlerine uygulanan işaretler. a) kare dalga, b) "1" seviyeli, c) "0" seviyeli, d) Yükselen kenar, e) Düşen kenarlı, f) Kare dalganın türevi (yükselen kenarlar için)

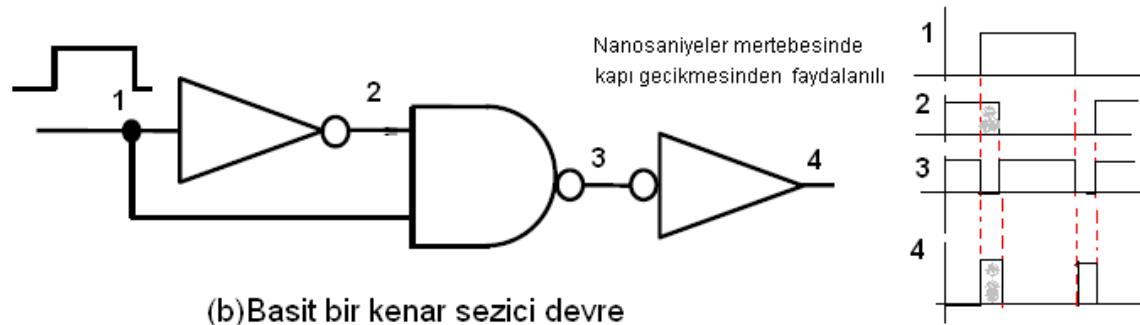


## Basit Bir Kenar Tetikleme Yapısı

Bir S-R Tutucu (latch) devresi ve kapı gecikmelerinden faydalanarak yapılan basit bir kenar sezici devresi görülmektedir



(a) Basitleştirilmiş pozitif kenar tetikli S-R Flip-Flop



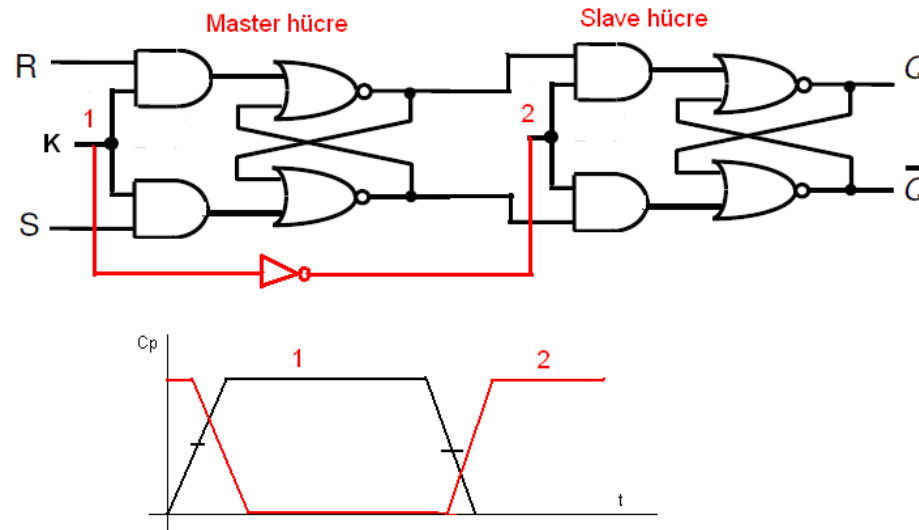
(b) Basit bir kenar sezici devre

## Kenar tetikleme

FF'ların saat darbelerinin kenarlarında tetiklenmesi, üç farklı biçimde yapılabilir. Birincisi bir RC devresiyle (Türev devresi) keskin darbeler (spike) elde etmektir. İkincisi ana ve uydu (master slave – usta köle) , üçüncüsü ise kenar tetiklemeli bellek elemanlarıdır. Bizim için önemli olan son ikisidir.

### Ana- Uydu (Master Slave- Usta Köle) Flip Floplar

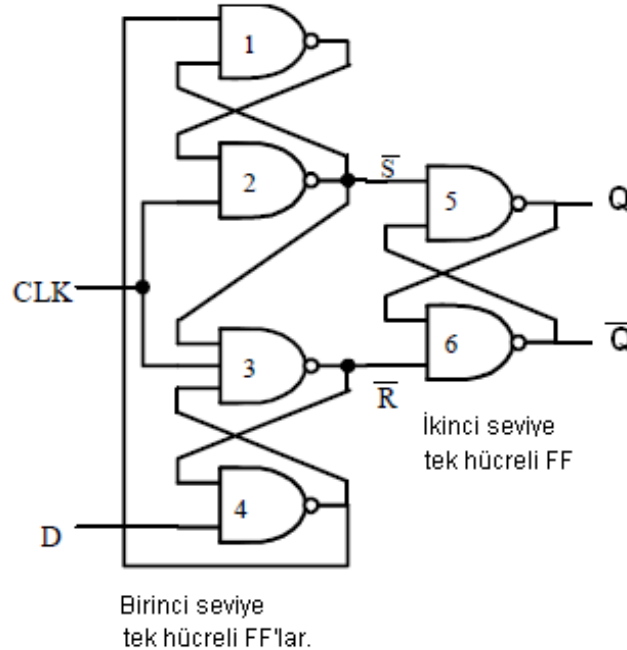
Bunlar çift hücreli FF'lardır. K girişine uygulanan kare dalganın yükselen kenarından itibaren Master hücrenin girişleri aktifleşir. Slave hücrenin girişleri kapanır. Kare dalganın Lojik1 seviyesi boyunca Master hücreye kayıt yapılabilir. Kare dalganın düşen kenarından itibaren ise Master hücreye yapılan kayıt Slave hücreye geçer. Bu Flip-Flopların sakıncası, veri master çıkısına aktarıldıktan sonra giriş değiştiğinde master çıkışı değişir ve çıkışa değişen veri aktarılır. Özetle veri çıkışa aktarılan kadar (vuru tamamlana kadar) giriş sabit kalmalıdır



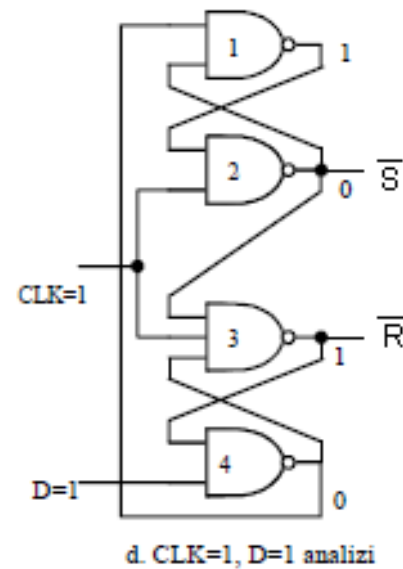
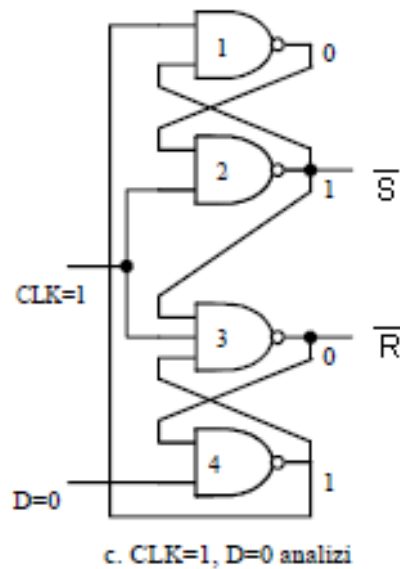
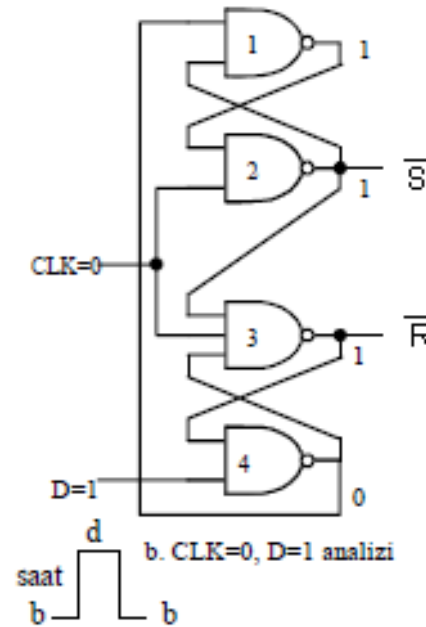
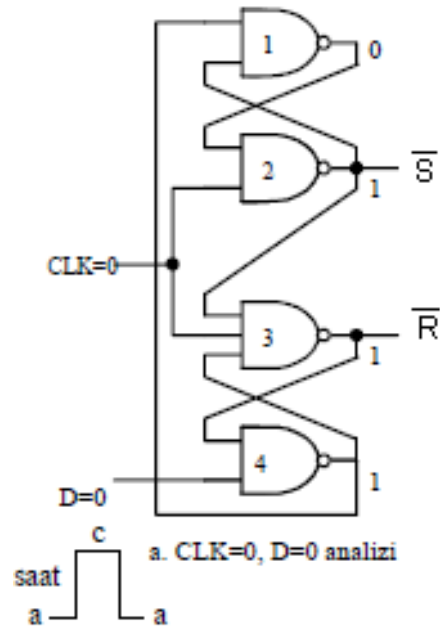


## Kenar tetiklemeli Flip Floplar [R]

Kenar tetiklemeli Flip Floplarda, Saat darbesinin seviyesi belli bir eşik değerini aşarken FF elemanı çalışır ; ondan sonra aynı eşik değere aynı yönden (yükselen veya düşen) ikinci defa gelene kadar FF'lar girişlere kapalıdır, girişlere karşılık vermezler. Darbe kenarı ile tetiklenen **gecikmeli FF'ya** Şekil 8.14 te verilmiştir. Bu devrede temel hücre elemanı (ikinci seviye) girişlerine birer temel hücre elemanı (birinci seviye) bağlanmıştır. Birinci seviyedeki temel bellek elemanları, darbenin düşen kenarında, ikinci seviyedeki temel belleğin durumunu koruması için gereken girişleri **(11)** sağlar. Aynı bellek elemanları darbenin yükselen kenarında ise; ikinci seviyedeki temel belleğin girişinin, çıkışına aktarılmasını sağlar.

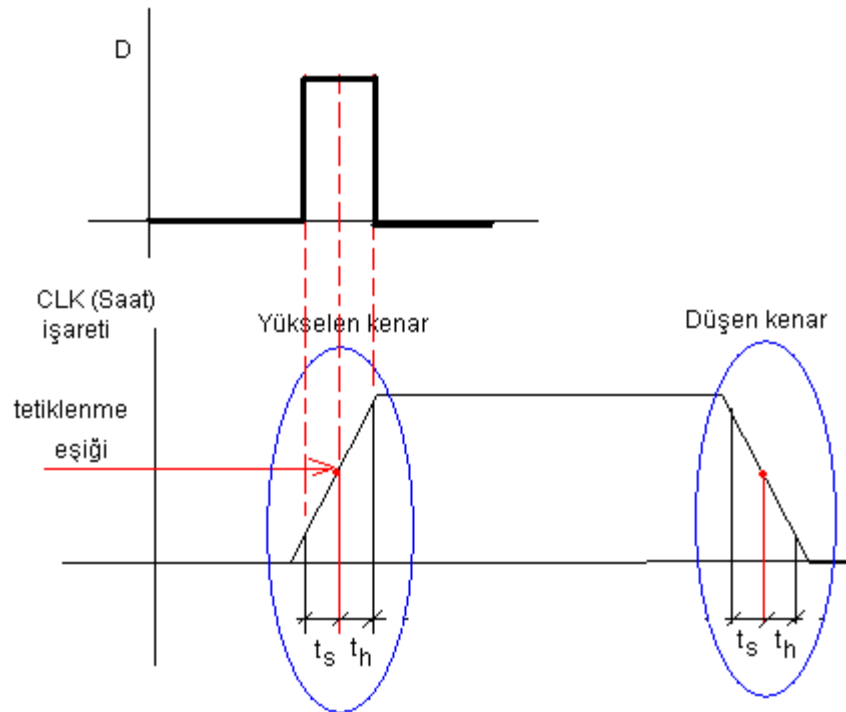


## Darbe kenarı tetiklemeli gecikme bellek elemanı lojik devresinin analizi



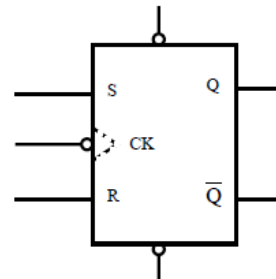
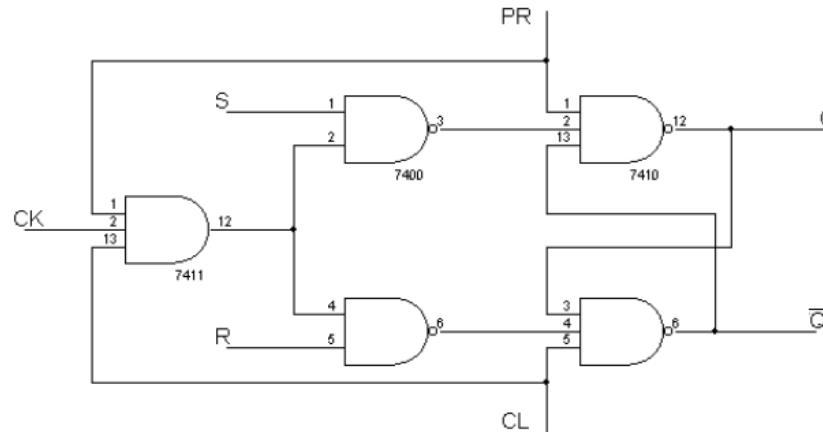
## Kenar Tetiklemeli FF'lerde Garantili Kayıt yapabilmek

Kenar tetiklemeli FF'ların garantili kayıt yapabilmesi için  $t_s$  (set up time- oturma zamanı) ve  $t_h$  (Hold time- Tutma zamanı) kavramları çok önemlidir. FF'ya kaydedilecek bilginin ilgili uçlara, kenar değişimi (Yükselen veya düşen kenar) oluşmadan en az  $t_s$  zaman kadar önceden uygulanması ve kenar değişimi oluşuktan en az  $t_h$  zaman kadar değiştirilmemesi gerekir. Şekil de bu durum gösterilmiştir. Örneğin bir D türü FF'da 1 kaydedebilmek için D girişine uygulayacağımız işaretin, saat işaretine göre lojik 1 süresinin minimum değeri şekilde görülmektedir.



# FF'larda Asenkron Girişler

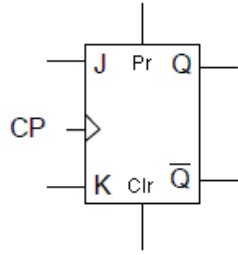
Flip-Flopların **D** , **J-K** , **S-R** ve **T** girislerindeki veriler, Flip-Flopun çıkısına yalnızca saat isaretinin tetikleyen kenarında aktarıldıklarından, bu girişlere eszamanlı girişler denir. Çogu Flip-Flop tümdevresinde ayrıca eszamansız (asenkron) girişler de bulunur. Bu uçlar Birleme (preset -PRE) ve sıfırlama (clear-CLR ) uçları olarak adlandırılır.Bu girişlerle Flip-Flop çıkışları, girişlerden ve saat işaretinden bağımsız olarak birlenebilir veya sıfırlanabilir. Şekilden görüldüğü gibi; tek hücreli FF'u oluşturan NAND bağlaçlarının PRE ve CLR girişleri lojik 1'de tutulduğu sürece çıkışa etki edemezler. Çıkışı diğer girişler(Senkron girişler) belirler. Fakat asenkron girişlerden herhangi birisi lojik 0 olduğunda, ilgili NAND'ın çıkışı diğer girişlere bakılmaksızın 1 olur. Yani PRE girişi 0 yapılırsa FF çıkışı 1, CLR girişi 0 yapılırsa FF çıkışı 0 yapılmış olur.“Asenkron girişlerin her ikisi birden aktif edilmemelidir. Bu durumda FF yanlış çalışır. Şekilde asenkron girişleri de olan değişik fonksiyonlu FF'ların şematik gösterilişi ve çıkış doğruluk tabloları verilmiştir.



PR	CL	CK	S	R	$Q_{n+1}$
0	1	X	X	X	1
1	0	X	X	X	0
1	1	0	X	X	$Q_n$
1	1	1	X	X	$Q_n$
1	1		0	0	$Q_n$
1	1		0	1	0
1	1		1	0	1
1	1		1	1	?

# Değişik tip Asenkron girişli FF yapıları ve çıkış Tabloları

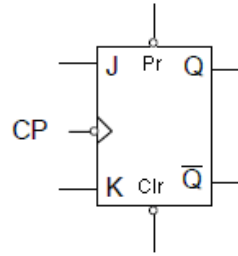
Yükselen kenar tetiklemeli Asenkron girişleri (pasif durumu 0) olan J-K FF



Pr	Clr	CP	J	K	$Q_{n+1}$	$\overline{Q}_{n+1}$
0	1	x	x	x	0	1
1	0	x	x	x	1	0
0	0	↓	x	x	$Q_n$	$\overline{Q}_n$
0	0	↑	0	0	$Q_n$	$\overline{Q}_n$
0	0	↑	0	1	0	1
0	0	↑	1	0	1	0
0	0	↑	1	1	$\overline{Q}_n$	$Q_n$

To

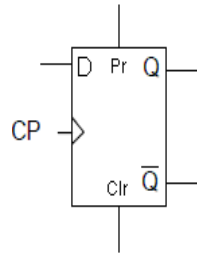
Düşen kenar tetiklemeli Asenkron girişleri (pasif durumu 1) olan J-K FF



Pr	Clr	CP	J	K	$Q_{n+1}$	$\overline{Q}_{n+1}$
1	0	x	x	x	0	1
0	1	x	x	x	1	0
1	1	↑	x	x	$Q_n$	$\overline{Q}_n$
1	1	↓	0	0	$Q_n$	$\overline{Q}_n$
1	1	↓	0	1	0	1
1	1	↓	1	0	1	0
1	1	↓	1	1	$\overline{Q}_n$	$Q_n$

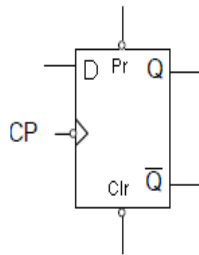
Toggle

Yükselen kenar tetiklemeli Asenkron girişleri (pasif durumu 0) olan D FF



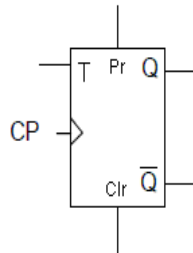
Pr	Clr	CP	D	$Q_{n+1}$	$\overline{Q}_{n+1}$
0	1	x	x	0	1
1	0	x	x	1	0
0	0	↓	x	$Q_n$	$\overline{Q}_n$
0	0	↑	0	0	1
0	0	↑	1	1	0

Düşen kenar tetiklemeli Asenkron girişleri (pasif durumu 1) olan D FF



Pr	Clr	CP	D	$Q_{n+1}$	$\overline{Q}_{n+1}$
1	0	x	x	0	1
0	1	x	x	1	0
1	1	↑	x	$Q_n$	$\overline{Q}_n$
1	1	↓	0	0	1
1	1	↓	1	1	0

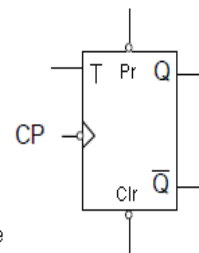
Yükselen kenar tetiklemeli Asenkron girişleri (pasif durumu 0) olan T FF



Pr	Clr	CP	T	$Q_{n+1}$	$\overline{Q}_{n+1}$
0	1	x	x	0	1
1	0	x	x	1	0
0	0	↓	x	$Q_n$	$\overline{Q}_n$
0	0	↑	0	$Q_n$	$\overline{Q}_n$
0	0	↑	1	$\overline{Q}_n$	$Q_n$

Toggle

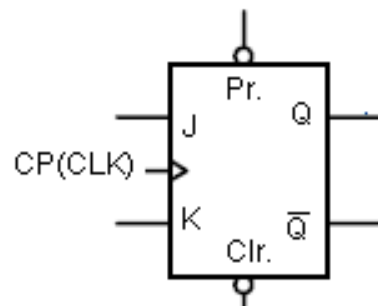
Düşen kenar tetiklemeli Asenkron girişleri (pasif durumu 1) olan T FF



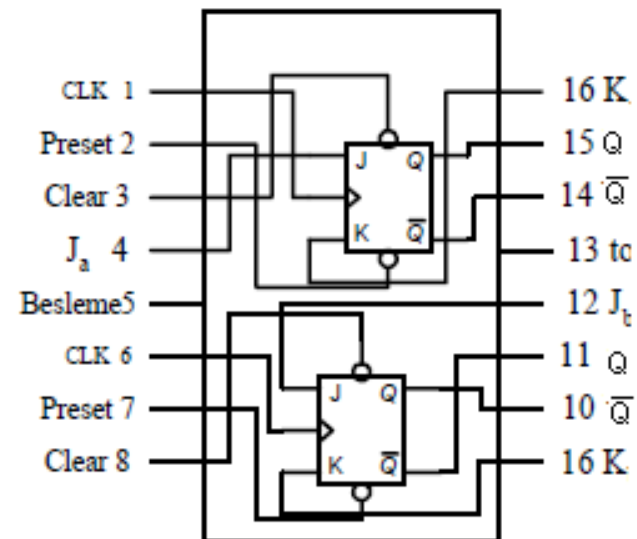
Pr	Clr	CP	T	$Q_{n+1}$	$\overline{Q}_{n+1}$
1	0	x	x	0	1
0	1	x	x	1	0
1	1	↑	x	$Q_n$	$\overline{Q}_n$
1	1	↓	0	$Q_n$	$\overline{Q}_n$
1	1	↓	1	$\overline{Q}_n$	$Q_n$

Toggle

## Örnek bir FF entegre devresi (TTL- 7476)



Girişler					Çıkışlar	
clear	preset	CLK	J	K	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0	x	x	x	kararsız	
0	1	x	x	x	0	1
1	0	x	x	x	1	0
1	1	$\uparrow$	0	0	$Q_n$	$\bar{Q}_n$
1	1	$\uparrow$	0	1	0	1
1	1	$\uparrow$	1	0	1	0
1	1	$\uparrow$	1	1	$\bar{Q}_n$	$Q_n$



# Flip Flop ve LATCH karşılaştırması

- Latch'larda ya saat (Clock) girişi yoktur veya seviye olarak saat girişi vardır. Dolayısıyla LATCH'ler senkronizasyon işareti bulunmayan asenkron ardışıl devrelerde kullanılırlar.

- Flip Flop'larda ise mutlaka bir saat (Clock) girişi vardır. Dolayısıyla girişler bu işaretle senkronize olarak çıkışlarda etkili olurlar. Flip Floplar Senkron ardışıl devrelerde kullanılırlar.

- Flip Flopların en temel iki özelliği aşağıda özetlenebilir.

- Flip Floplar bir bitlik bilgi saklayıcıları olarak kullanılırlar. Hafıza elemanlarının en küçük hücresidirler.

- Flip Floplar kendisine uygulanan saat (Clock) işaretinin frekansını ikiye bölerek çıkışta elde ederler. Dolayısıyla FF'lar frekans bölücü olarak kullanılırlar.

## Flip- Flop'larda Geçiş (Uyarma) Tabloları

Flip-Flop doğruluk tabloları girişlerin durumuna bağlı olarak çıkışların ne olması gerektiğini anlatan tablolardır. Kısaca bir doğruluk tablosu Flip-Flop çalışma şeklini ve özelliklerini tanımlar. Geçiş(uyarma) tablosu ise Flip-Flop'un önceki konumdan bir sonraki konuma geçmesi için girişlerin ne olması gerektiğini gösterir. Doğruluk tabloları yardımı ile geçiş (uyarma) tabloları kolaylıkla çıkarılabilir. Tabloda  **$Q_n$**  mevcut durumu,  **$Q_{n+1}$**  ise bir sonraki durumu göstermektedir. Geçiş tabloları senkron ardışıl devre tasarımında kullanılacağından bilinmesi gerekmektedir.

Geçiş; biribirini izleyen iki zaman diliminde çıkışın alacağı sıralı değer çiftine ( **$Q_n, Q_{n+1}$** ) denir. Literatürde en çok kullanılan geçiş sembolleri aşağıdaki tabloda verilmiştir.

$Q_n$	$Q_{n+1}$	Geçiş Sembolü	Geçiş Sembolü
0	0	0	$\mu 0$
0	1	$\alpha$	$\varepsilon$
1	0	$\beta$	$\delta$
1	1	1	$\mu 1$



# FF'ların Geçiş ve Doğruluk Tabloları özeti

$Q_n$	$Q_{n+1}$	S	R
0	0	0	K
0	1	1	0
1	0	0	1
1	1	K	0

Geçiş (uyarma) Tablosu

S	R	$Q_{n+1}$	$\overline{Q}_{n+1}$
0	0	$Q_n$	$\overline{Q}_n$
0	1	0	1
1	0	1	0
1	1	Tanımsız	

Doğruluk tablosu

$Q_n$	$Q_{n+1}$	D
0	0	0
0	1	1
1	0	0
1	1	1

Geçiş(uyarma) tablosu

D	$Q_{n+1}$	$\overline{Q}_{n+1}$
0	0	1
1	1	0

Doğruluk tablosu

$Q_n$	$Q_{n+1}$	J	K
0	0	0	K
0	1	1	K
1	0	K	1
1	1	K	0

Geçiş (uyarma) Tablosu

J	K	$Q_{n+1}$	$\overline{Q}_{n+1}$
0	0	$Q_n$	$\overline{Q}_n$
0	1	0	1
1	0	1	0
1	1	$\overline{Q}_n$	$Q_n$

Doğruluk tablosu

$Q_n$	$Q_{n+1}$	T
0	0	0
0	1	1
1	0	1
1	1	0

Geçiş (uyarma) Tablosu

T	$Q_{n+1}$	$\overline{Q}_{n+1}$
0	$Q_n$	$\overline{Q}_n$
1	$\overline{Q}_n$	$Q_n$

Doğruluk tablosu

# Asenkron sayıcılar

- Asenkron (ripple ) sayıcılar, ardışıl devrelere en basit örnek olması açısından ilginçtir. Bunlarda tasarım için sistematik bir yol yoktur. Genelde FF'ların kaskad bağlanmasıyla oluşturulurlar ve kumanda edici bir kombinasyon devre bulundurmazlar. Sisteme clock işareti sadece ilk FF'un clock girişine uygulanır. Diğer FF'ların Clock girişleri bir önceki FF'un çıkışına bağlanır. Sistemdeki FF'lar Toggle durumunda çalışır. Sistemdeki FF'lar kaskad (seri) bağlandığı için çıkışlar aynı anda değişemez. Asenkron deyimi bunun içindir. Asenkron sayıcılar girişine uygulanan Clock işaretini Binary tabana göre sayarlar.

Asenkron sayıcılar genelde 3 tiptir.

- İleri (Yukarı) Sayıcı
  - Aşağı (Geri) sayıcı
  - İleri/Geri Sayıcı
- Asenkron sayıcıları tasarlamak için; problemin sözlü anlatımından kaç adet FF kullanılacağı tespit edilir. Probleme göre bu FF çıkışlarının Clock işaretine göre değişimini veren zaman diyagramları çizilir. Bu diyagramı gerçekleştiren FF bağlantıları, kullanılan FF tipi de göz önüne alınarak çizilip problem tasarlanmış olur.

## Örnek tasarım 1: 0-7 arasında ileriye doğru sayan MOD8 asenkron sayıcıyı Düşen kenar tetiklemeli J-K FF'lar ile tasarlayınız.

**Çözüm:** MOD 8'in anlamı sayıcının kaç farklı durumda bulunacağıdır. Buradaki 8 değişik durumu ifade edebilmek için 3 adet FF kullanmalıyız. Şimdi bu FF'ların çıkış dalga şekillerinin clock işaretine göre nasıl değişmesi gerektiğini zaman diyagramı halinde çizelim.

**Not-1:** Çıkış bitlerinin (FF çıkışlarının) yapacağı kombinasyonların hepsi de kullanılıyorsa buna tam sayıcı denir. Tam sayıcılar kolay gerçekleştirilen sayıcılardır.

**Not-2:** İleriye doğru sayan asenkron sayıcı tasarlarken;

I- Yükselen kenar tetiklemeli FF kullanılıyor ise en düşük değerlikli biti oluşturan FF'nın Clock girişine harici Clock işaretini uygula. Diğer Flip-Flop'ların Cp girişlerine bir önceki Flip-Flop'un  $Q'$  çıkışını uygula.

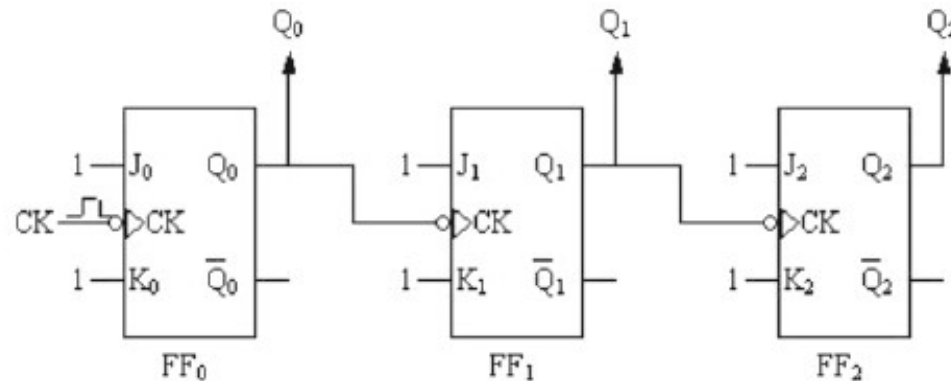
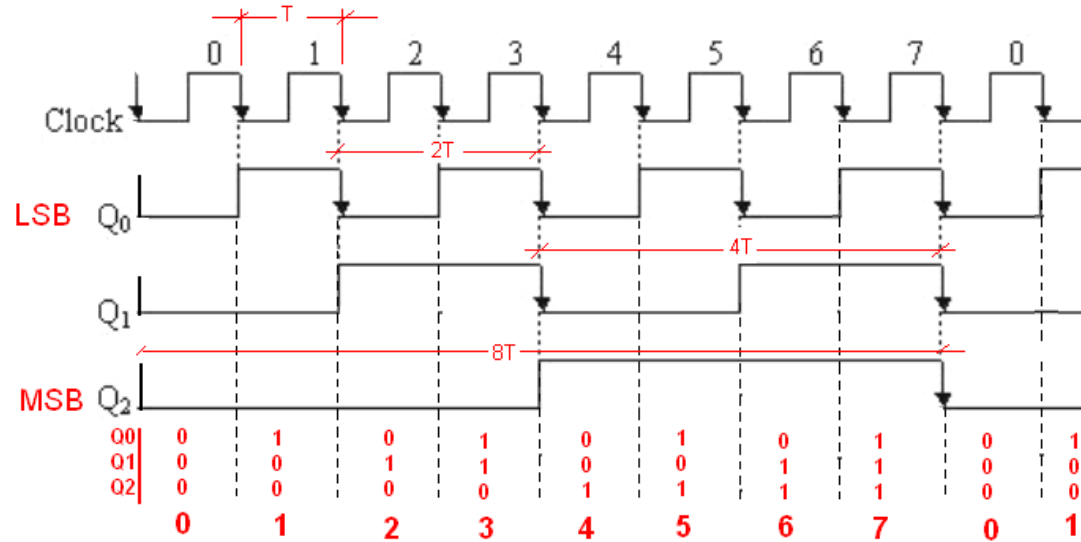
II- Düşen kenar tetiklemeli FF kullanılıyor ise en düşük değerlikli biti oluşturan FF'nın Clock girişine harici Clock işaretini uygula. Diğer Flip-Flop'ların Cp girişlerine bir önceki Flip-Flop'un  $Q$  çıkışını uygula.

**Not-3:** Geriye Doğru sayan asenkron sayıcıyı tasarlarken:

I- Yükselen kenar tetiklemeli FF kullanılıyor ise en düşük değerlikli biti oluşturan FF'nın Clock girişine harici Clock işaretini uygula. Diğer Flip-Flop'ların Cp girişlerine bir önceki Flip-Flop'un  $Q$  çıkışını uygula.

II- Düşen kenar tetiklemeli FF kullanılıyor ise en düşük değerlikli biti oluşturan FF'nın Clock girişine harici Clock işaretini uygula. Diğer Flip-Flop'ların Cp girişlerine bir önceki Flip-Flop'un  $Q'$  çıkışını uygula.

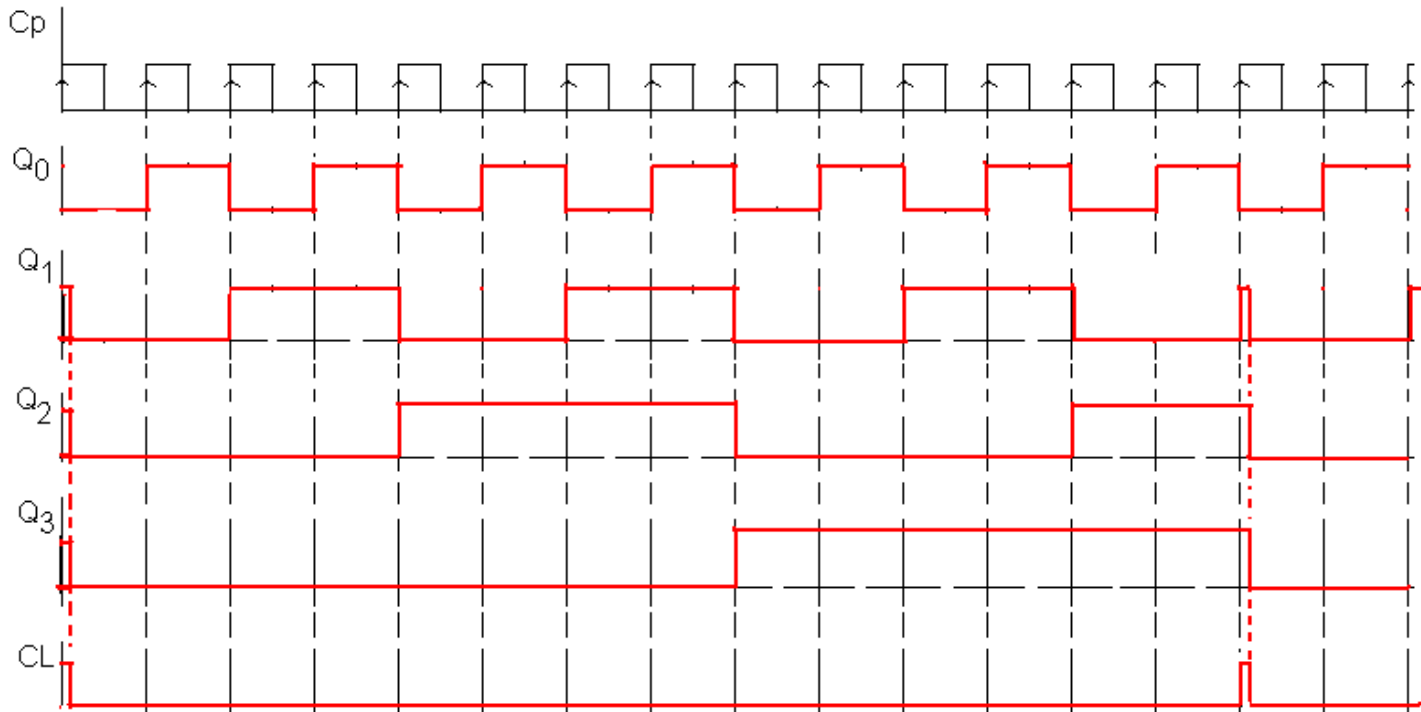
Dikkat ediniz ki; Q0 işareti Clock işaretinin frekansının 2'ye bölünmüş şekli, Q1 işareti Q0'ın, Q2 ise Q1'in frekansının ikiye bölünmüş şeklidir. Buna göre; FF0'ın Clock girişine Clock işaretini, FF1'in Clock girişine Q0 (FF0'ın çıkışı) ve FF2'nin Clock girişine ise Q1 (FF1'in çıkışı) işareti uygulanmalıdır. Yine dikkat ediniz ki her bir çıkış işareti, clock girişine uygulanan işaretin düşen kenarlarında konum değiştiriyor (Toggle oluyor). Bu durum; kullanacağımız FF'un tanım tablosundan yararlanarak uyarma girişlerine nasıl bir işaret uygulayacağımızı belirlemek için kullanılır. Buna göre yapılan uygun bağlantı aşağıda verilmektedir. Problem çözülmüştür.



**Örnek Tasarım II:** 0-13 arasında ileriye doğru sayan MOD14 asenkron sayıcıyı yükselen kenar tetiklemeli, asenkron girişli T tipi FF'lar ile gerçekleştirmek için;

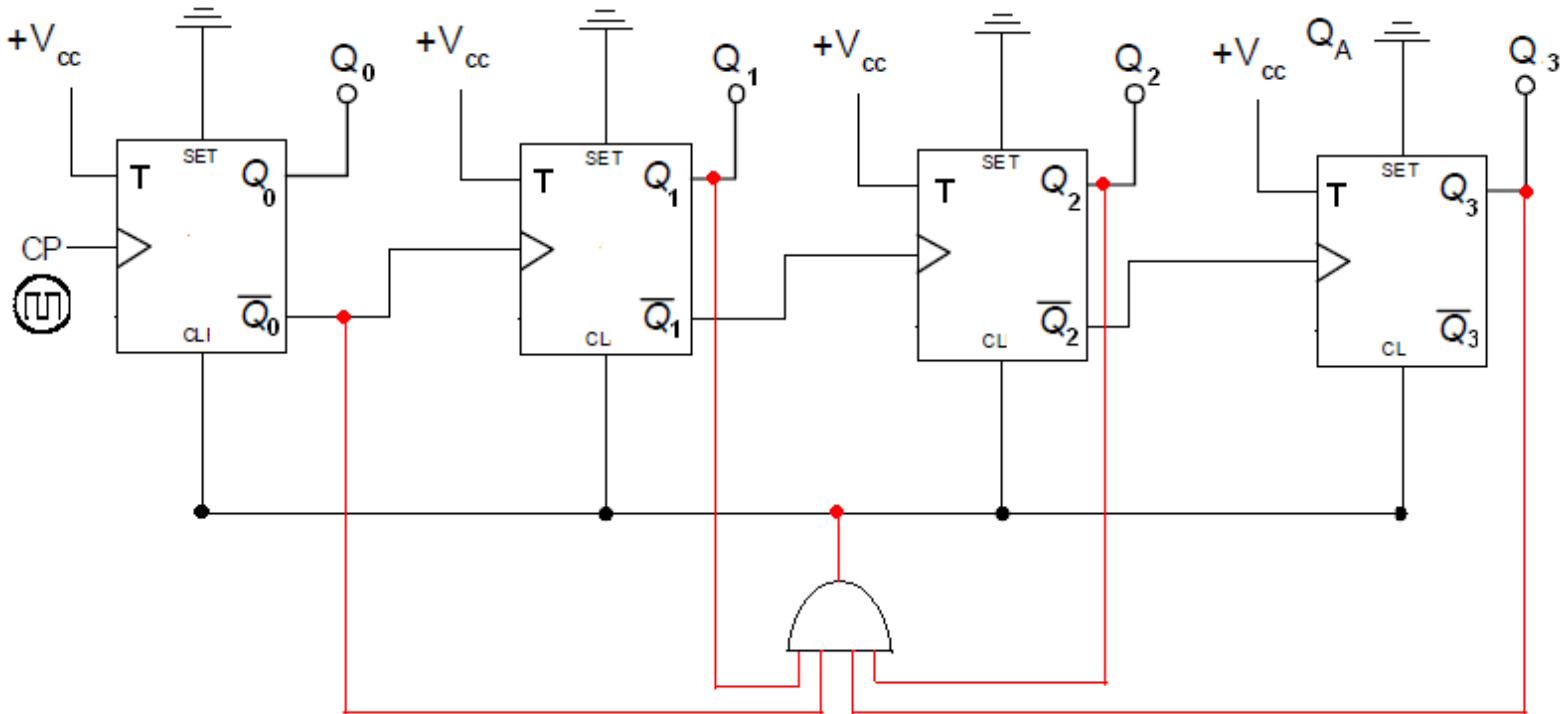
a) Sayıcı çıkışlarının ve kontrol işaretinin, clock işaretine göre değişimini zamana göre çiziniz, b) Varsa kontrol işaretinin denklemini elde ediniz, c) Sayıcının lojik şemasını çiziniz.

**Çözüm:** MOD14 sayıcı olduğuna göre en az 4 FF ile bu problemi çözmeliyiz. Ancak bu bir tam sayıcı değildir. Yani MOD16 değildir. Bunun için sayıcı 13'ü gösterdikten sonra tekrar 0'a dönmelidir. Bunun için çok kullanılan bir yöntem FF'ların asenkron girişlerinden yararlanmaktır. Bunun için 4 bitlik sayıcı dalga şekilleri, 4 bitlik tamsayı gibi çizilir. Ancak 13. Durum 1 periyot devam ettikten sonra 14. durum olduğu anda çıkışların tekrar 0'a dönmesi ve baştan devam etmesi gerekir. 14.durumdan 0 durumuna dönülmesi için;  $CL = Q_3 \cdot Q_2 \cdot Q_1 \cdot Q'_0$  şeklinde bir kontrol denklemi gereklidir.

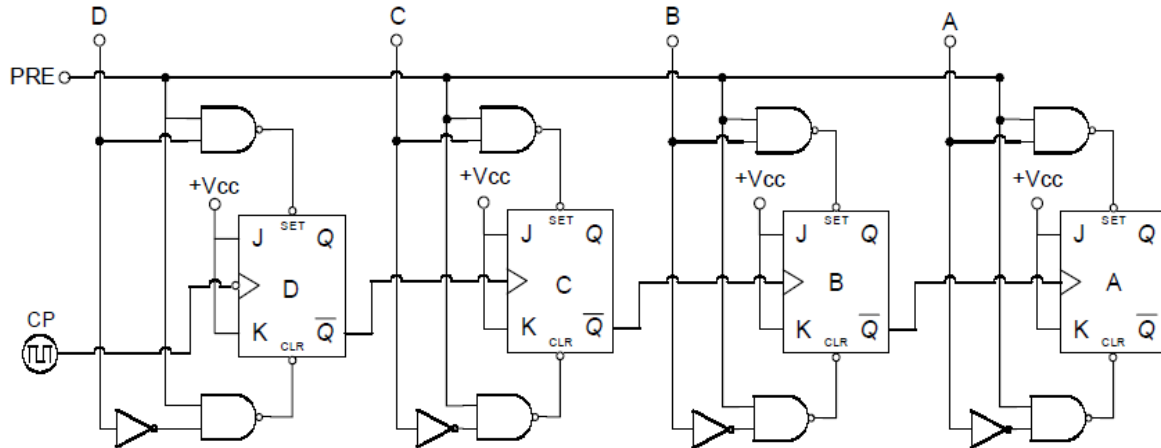
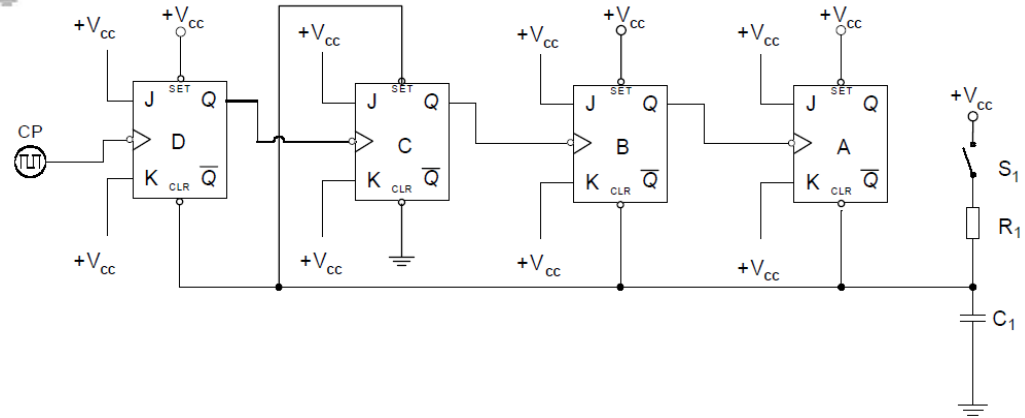
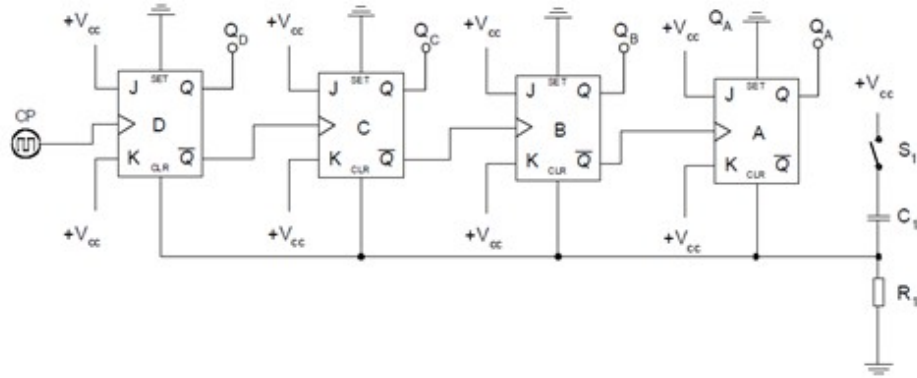


Sayıcının lojik şemasını çizmek için 4 adet FF tam sayıcı gibi bağlanır. Dikkat ediniz ki yükselen kenar tetiklemeli FF kullanılıyor fakat, Q1, Q2, Q3 çıkışları bir önceki FF çıkışının düşen kenarında konum değiştiriyor. Bunun için FF Clock girişlerinin şemadaki gibi bağlanacağı açıktır. Ayrıca her bir T FF'un Toggle çalışması için T kontrol girişlerine Lojik 1 uygulayınız.

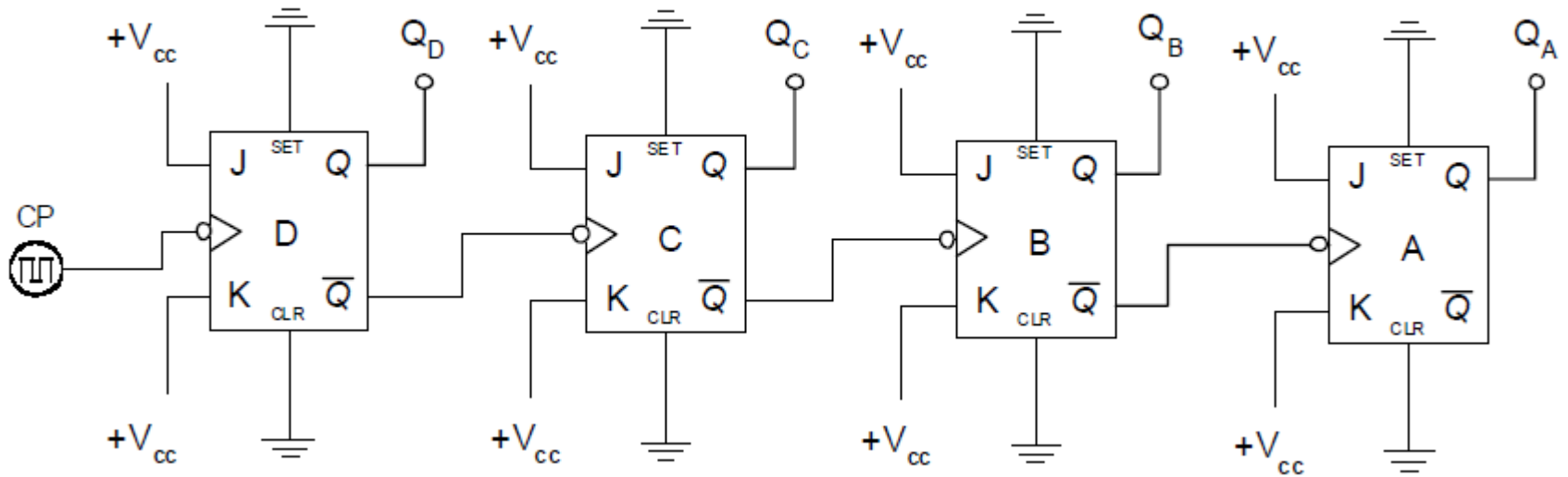
Elde edilen  $CL = Q_3 \cdot Q_2 \cdot Q_1 \cdot Q'_0$  bu işareti, CL girişlerine uygulayarak FF'lar asenkron olarak 0'lannası sağlanır.



Aşağıdaki devreleri analiz ediniz.

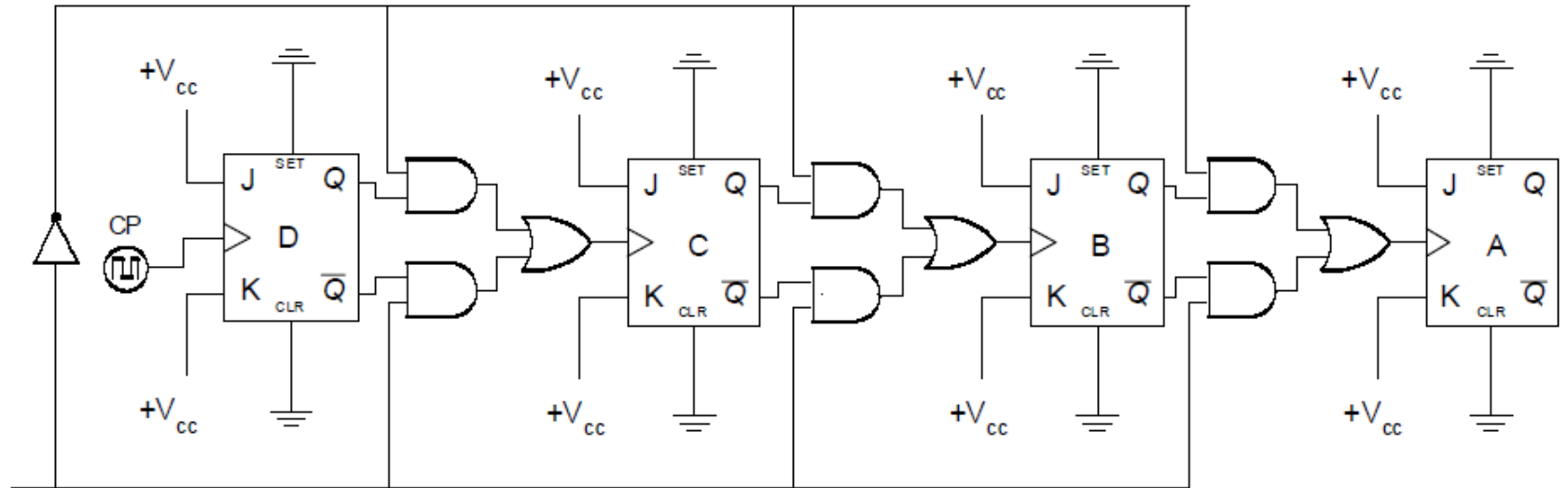


Bu asenkron sayıcı ananliz etmek için tüm çıkış işaretlerinin CP'ya göre değişimini bir pattern için elde ediniz. Bu sayıcının özelliği nedir?





# Bu bir ileri-geri sayıcıdır. Nasıl Çalıştığını açıklayınız



Up/ Down  
Kontrol Girişi

