

PROBLEMAS DEL TEMA 3. Análisis y Diseño de Sistemas Combinacionales

Tipos de problemas para cubrir el contenido de este tema:

1. Diseño y análisis de sistemas combinacionales sencillos
2. Diseñar circuitos aritméticos sencillos como sumadores, restadores, comparadores
3. Diseñar codificadores y decodificadores sencillos
4. Diseñar y analizar el funcionamiento de multiplexores y demultiplexores sencillos
5. Implementar funciones de conmutación con distintos dispositivos lógicos programables

Diseño y análisis de sistemas combinacionales sencillos

1. Las acciones de una compañía están repartidas en poder de cuatro accionistas de la siguiente forma: A, 12%; B, 23%; C, 30%; D, 35%. Las decisiones se toman por mayoría y cada uno de los accionistas tiene un botón particular de la mesa de juntas que se utiliza para las votaciones. Diseñe un circuito combinacional mínimo en forma AND/OR y OR/AND que indique si se aprueban las propuestas presentadas por la junta de accionistas.

-
2. Diseñe un circuito combinacional mínimo en forma AND/OR y OR/AND con 4 entradas (A, B, C, D) y dos salidas (X, Y) que reúna las siguientes características: La salida X debe ser 1 cuando la mayoría de las entradas sea 1 (considerar 1 también el caso de igualdad de las entradas), mientras que Y ha de ser 1 cuando haya dos o tres entradas con valor 1.

-
3. En muchos automóviles, la alarma del cinturón de seguridad se usa también para indicar que se está dejando la llave en el contacto o dejando las luces del coche encendidas, cuando está desocupado. La siguiente proposición describe la forma en que puede funcionar dicho sistema:

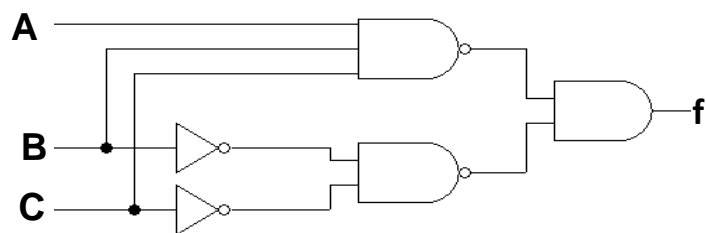
“La alarma suena si la llave está en el contacto y la puerta está abierta y el motor no está funcionando; o si las luces están encendidas y la llave no está en el contacto; o si el cinturón de seguridad del conductor no está ajustado y el motor está funcionando”

Diseñe un circuito combinacional mínimo en forma AND/OR y OR/AND que genere la señal de la alarma, asignando una variable binaria a cada uno de los eventos que se puedan presentar.

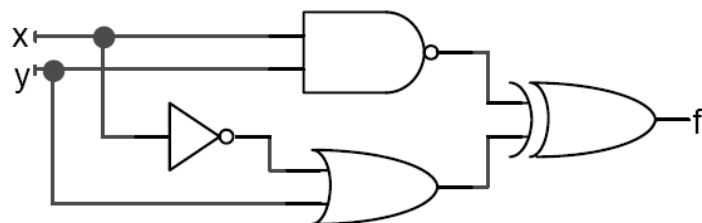
-
4. Diseñe un circuito combinacional mínimo en forma AND/OR y OR/AND que opere con dos datos de dos bits, $A = a_1a_0$ y $B = b_1b_0$, y realice la función $Z = 2 \cdot A \cdot B$.
-

5. Diseñe un circuito combinacional mínimo en forma AND/OR y OR/AND que opere con dos datos de dos bits, $A = a_1a_0$ y $B = b_1b_0$, y realice la función $Z = A^B$.
-

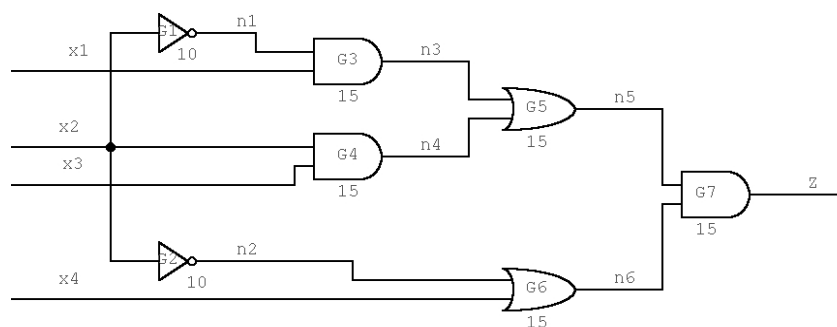
6. Analice el circuito de la figura y obtenga la tabla de verdad de la función de conmutación resultante.



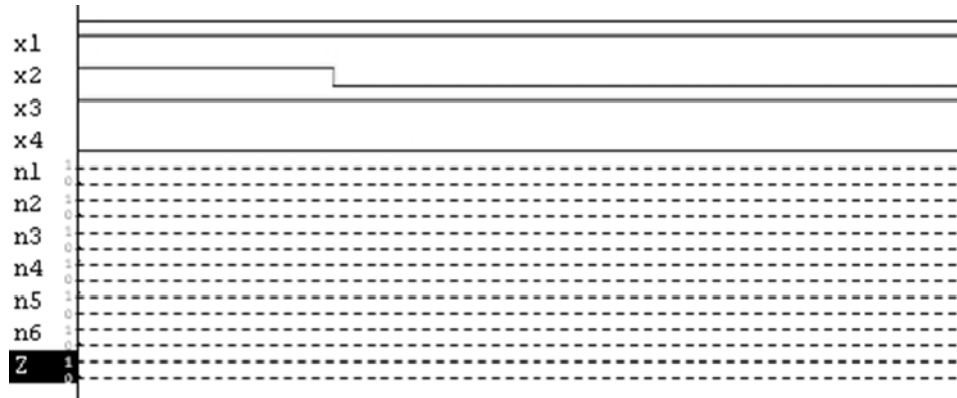
-
7. Analice el circuito de la figura y obtenga la tabla de verdad de la función de conmutación resultante.



-
8. Considere el circuito de la siguiente figura:



- Represente la función Z que realiza el circuito en un mapa-K.
- Diseñe un circuito combinacional mínimo en forma AND/OR y OR/AND que realice la misma función Z .
- Complete el siguiente diagrama de tiempos, teniendo en cuenta el retardo de propagación (en nanosegundos) indicado para cada puerta.



- Se desea diseñar un circuito combinacional mínimo que tenga 4 entradas (y_1, y_0, x_1, x_0) y una salida (z). Los pares de bits " y_1y_0 " y " x_1x_0 " representan números binarios de dos bits, con y_1 y x_1 como los bits más significativos. La única salida del circuito, z , debe ser 1 si y sólo si el número binario x_1x_0 es mayor que o igual al número binario y_1y_0 . Determine una expresión mínima de suma de productos (AND/OR) y producto de sumas (OR/AND) para z .
- Un número primo es aquél, distinto de 0 y 1, que es divisible sólo por sí mismo y por 1. Suponga que los números entre 0 y 15 están representados en binario utilizando 4 bits: $x_3x_2x_1x_0$, en donde x_3 es el bit más significativo. Diseñe un detector de números primos o, en otras palabras, un circuito lógico cuya salida Z será 1 si y sólo si los cuatro bits de entrada representan un número primo. Basar el diseño en la obtención de una expresión mínima de dos niveles como suma de productos (AND/OR) y producto de sumas (OR/AND) para Z .
- Un número primo es aquél que es divisible sólo por sí mismo y por 1. Suponga que los números entre 0 y 9 están representados en BCD (Binary Coded Decimal) utilizando 4 bits: $x_3x_2x_1x_0$, en donde x_3 es el bit más significativo. Diseñe un detector de números primos o, en otras palabras, un circuito lógico cuya salida Z será 1 si y sólo si los cuatro bits de entrada BCD representan un número primo. No cuente el cero como primo. Base el diseño en la obtención de una expresión mínima de dos niveles como suma de productos (AND/OR) y producto de sumas (OR/AND) para Z .

12. Dada la siguiente función de conmutación, en la que “ x_0 ” representa la variable menos significativa:

$$f(x_3, x_2, x_1, x_0) = \sum m(1, 4, 5, 7, 11) + d(0, 12, 14)$$

Minimízela e impleméntela (dibuje los circuitos) mediante síntesis AND/OR (Suma de Productos) y OR/AND (Producto de Sumas).

13. Dada la siguiente función de conmutación, en la que “ x_0 ” representa la variable menos significativa:

$$f(x_3, x_2, x_1, x_0) = \sum m(4, 5, 7, 11) + d(0, 1, 2, 3, 12, 14)$$

Minimízela e impleméntela (dibuje el circuito) mediante síntesis NAND/NAND y NOR/NOR.

14. Un “codificador” de posición de un eje proporciona una señal de 4 bits que indica la posición del eje en incrementos de 30°, utilizando el código que se da en la siguiente tabla. Diseñar un circuito combinacional mínimo con dos niveles de puertas NAND/NAND y NOR/NOR tal que a su salida detecte si la posición del eje corresponde al primer cuadrante (entre 0° y 90°).

Posición del eje (en grados)	Salida del codificador			
	x	y	z	u
0-30	0	0	1	1
30-60	0	0	1	0
60-90	0	1	1	0
90-120	0	1	1	1
120-150	0	1	0	1
150-180	0	1	0	0
180-210	1	1	0	0
210-240	1	1	0	1
240-270	1	1	1	1
270-300	1	1	1	0
300-330	1	0	1	0
330-360	1	0	1	1

NOTA: Se supone que las combinaciones de bits de salida del codificador que no aparecen en la tabla nunca se presentan y se puede tomar como 0 o como un 1, a conveniencia del diseñador.

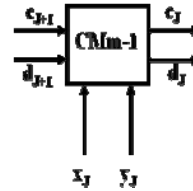
Circuitos aritméticos (sumador/restador, comparador)

15. Diseñar un sumador completo de 1 bit que permita sumar tres sumandos ($S = X+Y+Z$). ¿Cómo sería un sumador de tres datos de 2 bits por dato a partir de de sumadores completos de 1 bit, que sea capaz de generar un resultado de tres bits y posible acarreo?
-

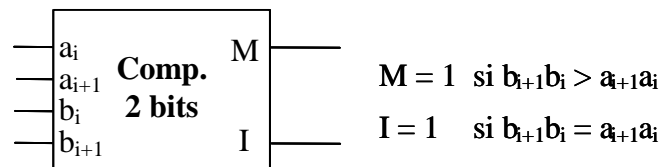
16. Diseñe un comparador binario para números de 2 bits (datos sin signo).

17. Diseñar un comparador de 3 bits, modular, teniendo cada módulo 4 entradas ($x_j, y_j, c_{j+1}, d_{j+1}$) y dos salidas (c_j, d_j) de forma tal que:

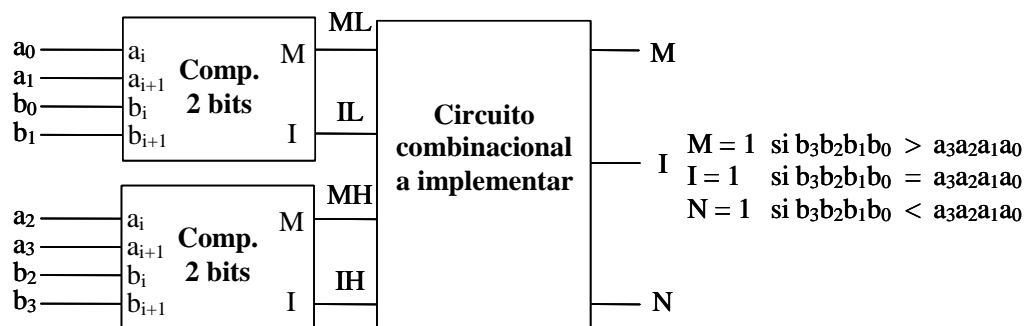
Si $x_j = y_j$; $c_j d_j = 00$
 Si $x_j < y_j$; $c_j d_j = 01$
 Si $x_j > y_j$; $c_j d_j = 10$



18. Se desea diseñar un comparador binario para palabras de 4 bits. Para realizar el diseño dispone de dos comparadores de 2 bits cuyo funcionamiento se indica en la Figura.



Escriba la expresión mínima como Suma de Productos para las funciones M, I y N de salida del circuito combinacional de la Figura para que el circuito globalmente funcione como un comparador binario de 4 bits.



Codificadores/ Decodificadores

19. Diseñar un codificador de decimal a código Gray

GRAY	BCD
0010	0000
0110	0001
0111	0010
1010	0011
0100	0100

1100	0101
1101	0110
1111	0111
1110	1000
1010	1001

20. Diseñe un decodificador binario de 4 a 16 con entrada de habilitación utilizando decodificadores de 2 a 4.

21. Diseñe las funciones f_1 y f_2 con un decodificador de 3 a 8 y las puertas OR que considere necesarias.

$$f_1(x_2, x_1, x_0) = \sum m(0, 2, 3, 6)$$

$$f_2(x_2, x_1, x_0) = \sum m(0, 1, 5, 6)$$

22. Diseñar un conversor de código de GRAY a BCD directamente y con un decodificador + codificador.

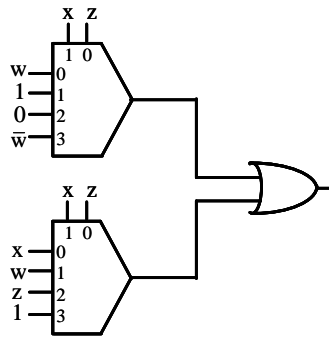
GRAY	BCD
0010	0000
0110	0001
0111	0010
0101	0011
0100	0100
1100	0101
1101	0110
1111	0111
1110	1000
1010	1001

Multiplexores/ Demultiplexores

23. Implemente un multiplexor 8-a-1 a partir de 2 multiplexores 4-a-1 y un multiplexor 2-a-1.

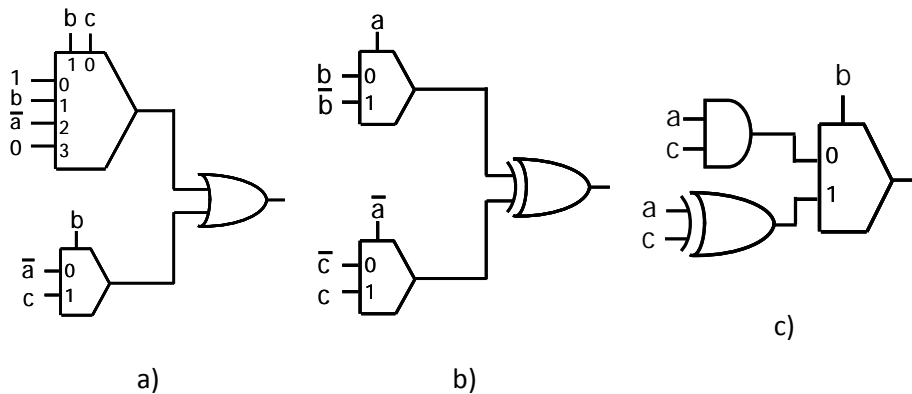
24. Implemente un demultiplexor 1-a-8 a partir de 2 demultiplexores 1-a-4 y un demultiplexor 1-a-2.

25. Obtenga la tabla de verdad y el mapa de Karnaugh de la función que realiza el circuito de la Figura.



Minimice dicha función e implementela utilizando un multiplexor de 8 a 1 (3 variables de control).

26. Analice los siguientes circuitos combinacionales y exprese las funciones de conmutación resultantes como suma de minterms.



Dispositivos lógicos programables

27. Implemente un comparador de 2 bits utilizando una ROM de 16x4.
28. Implemente un circuito sumador completo de 1 bit en una PLA.
29. Dibuje la estructura de una PLA de tamaño: 3x4x2 e indique qué planos son programables.
30. ¿Cuántas funciones se pueden implementar en una ROM de un tamaño $2^3 \times 6$, considerando que dichas funciones dependen del mismo conjunto de variables de entrada? Indique el número de variables máximo que se pueden utilizar con esta ROM.

31. Considere un multiplicador binario para palabras de dos bits, es decir, un circuito con 2 entradas de datos de dos bits $A=a_1a_0$ y $B=b_1b_0$ y una salida de 4 bits $Z=z_3z_2z_1z_0$, que funciona de tal forma que en la salida se obtiene el resultado de multiplicar A por B. Genere las funciones de salida con una ROM de tamaño adecuado.

32. En la siguiente tabla se especifican los valores binarios correspondientes a los 10 dígitos decimales tanto en código BCD como en código con exceso-a-3 (código E3). Realice el diseño utilizando una única memoria ROM de tamaño adecuado. Dibuje tanto la estructura de la ROM como su implementación interna.

Dígito	Código BCD	Código E3
0	0000	0011
1	0001	0100
2	0010	0101
3	0011	0110
4	0100	0111
5	0101	1000
6	0110	1001
7	0111	1010
8	1000	1011
9	1001	1100

33. Dadas las siguientes funciones (F_0, F_1, F_2, F_3) definidas sobre cuatro variables (A, B, C, D), siendo:

$$F_0 = (\bar{A} + \bar{B})(C + D) \quad F_1 = (A + C) \oplus D$$

$$F_2 = (A + \bar{B})C \quad F_3 = C \oplus D$$

Utilice una ROM de tamaño mínimo para generar simultáneamente cuatro funciones

34. Diseñe un circuito combinacional que genere como salidas las funciones f_α, f_β y f_γ , representadas por los siguientes mapas de Karnaugh, con una PLA.

yz \ x	00	01	11	10
0	1 0	1 1	0 3	0 2
1	1 4	1 5	0 7	0 6

f_α

yz \ x	00	01	11	10
0	0 0	1 1	0 3	0 2
1	1 4	1 5	0 7	0 6

f_β

yz \ x	00	01	11	10
0	0 0	1 1	0 3	0 2
1	1 4	0 5	0 7	1 6

f_γ

NOTA: Dibuje la estructura interna a nivel de puertas de los planos programables de la PLA.

35. Un circuito combinacional acepta un número de entrada de 3 bits y genera una salida que es el cuadrado de la entrada. Complete la tabla de verdad para el elevador al cuadrado. Implemente el circuito basando el diseño en una única memoria ROM de 8 palabras de 4 bits, utilizando el menor número posible de puertas lógicas adicionales.

36. Diseñe un conversor de un dato binario de 3 bits a un visualizador de 7 segmentos utilizando una memoria ROM de tamaño adecuado. Dibuje tanto la estructura de la ROM como su implementación interna.
