



دانشگاه صنعتی امیرکبیر

(پلی تکنیک تهران)

دانشکده مهندسی کامپیوتر و فناوری اطلاعات

گزارش فاز نهایی پروژه

درس طراحی سیستم های دیجیتال برنامه پذیر

استاد درس

دکتر صاحب الزمانی

نگارش

آرش حاجی صفی - ۹۶۳۱۰۱۹

مرداد ۱۳۹۹

گزارش طراحی:

کتابخانه pds_utils:

شامل تمامی توابع و ثابت‌هایی است که در طول طراحی ماژول‌ها از آن استفاده نموده‌ام.

تایپ mem برای پیاده‌سازی ماتریس‌ها استفاده می‌شود که ابعاد تعداد سطر و ستون را به صورت زیر به آن می‌دهیم و یک حافظه 2 بعدی با آن ابعاد با اندازه بردارهای Wبیتی در حافظه می‌سازد:

mem(<> integer range <>, integer range)

تابع getProduct دو ماتریس با شماره سطر و ستون می‌گیرد و حاصل ضرب سطر مورد نظر ماتریس اول را در ستون مشخص شده ماتریس دوم برمی‌گرداند.

تابع getMem یک mem با عناصر همگی صفر با ابعاد $n \times m$ برمی‌گرداند

توابع جمع، ضرب و تفریق روی ماتریس‌ها (mem) به صورت overload شده پیاده شده‌اند.

تابع dotMul یک بردار به صورت signed و یک ماتریس را می‌گیرد و بردار را در تک تک درایه‌های ماتریس ضرب می‌کند و ماتریس حاصل را برمی‌گرداند (برای ضرب عدد در ماتریس).

تابع copyMat یک ماتریس را عیناً برمی‌گرداند.

تابع transpose حاصل ترانپاده یک ماتریس را برمی‌گرداند.

تابع initA_with_A12 یک ماتریس با ابعاد ماتریس A از روی ماتریس A12 و X می‌سازد.

توابع readMat و writeMat برای خواندن ماتریس از روی فایل و نوشتن محتویات ماتریس در فایل برای test bench پیاده شده‌اند.

ماژول‌های 1، 2 و 3:

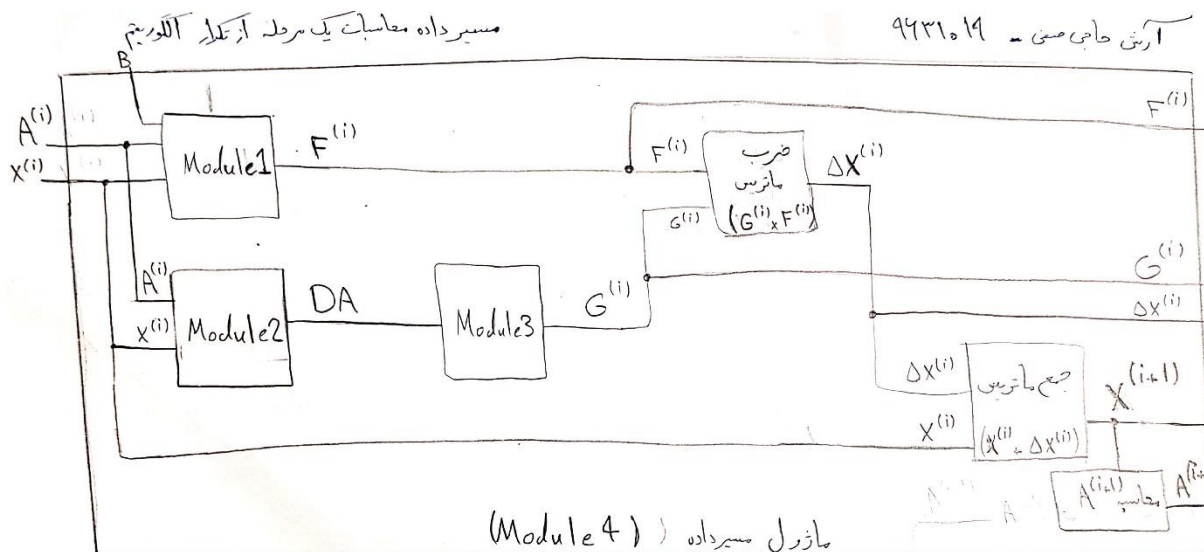
ماژول 1 ماتریس‌های A، B و X را به عنوان ورودی می‌گیرد و حاصل ماتریس F را در خروجی قرار می‌دهد. همچنین این ماتریس پارامترهای n و m را به صورت generic دریافت می‌کند.

ماژول 2 ماتریس‌های A و X را به عنوان ورودی می‌گیرد و حاصل ماتریس DA را در خروجی قرار می‌دهد. همچنین این ماتریس پارامترهای n و m را به صورت generic دریافت می‌کند.

ماژول 3 ماتریس DA را در ورودی می‌گیرد و حاصل ماتریس G را در خروجی قرار می‌دهد. همچنین این ماتریس پارامترهای n و m را به صورت generic دریافت می‌کند.

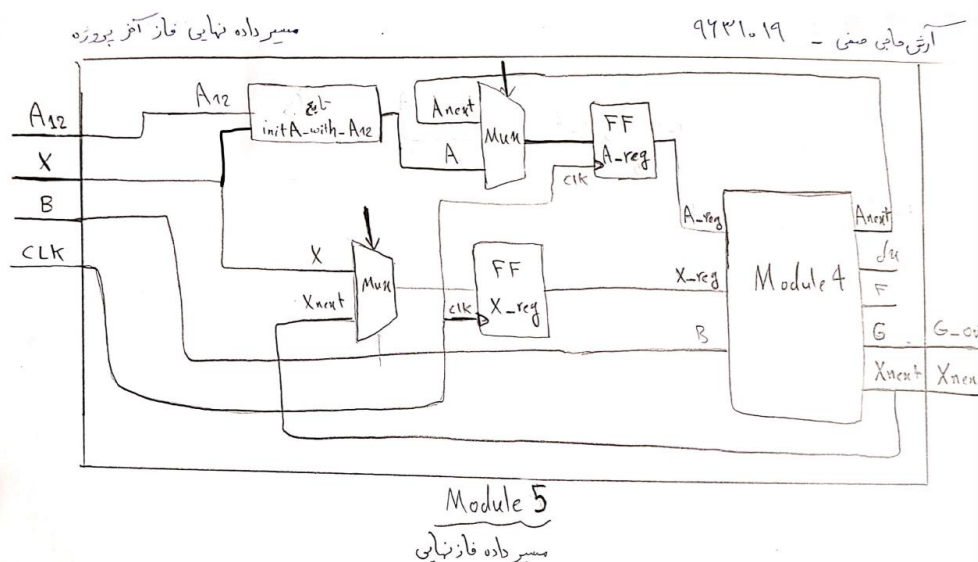
ماژول 4:

این ماژول دقیقاً پیاده‌سازی مسیر داده‌ی زیر است که محاسبات یک مرحله از الگوریتم را انجام می‌دهد:



ماژول 5:

ماژول نهایی ما است که مسیر داده نهایی و واحد کنترل را تشکیل می‌دهد. مسیر داده آن به صورت زیر است:



مسیر داده درونی Module 4 به صورت نمودار جدا رسم شده

به این صورت طراحی شده که در کلاک اول از روی ماتریس A_{12} و ماتریس X ، ماتریس اولیه A را می‌سازد. سپس با استفاده از A و X محاسبات مرحله اول را انجام می‌دهد. سپس در کلاک بعدی جای A اولیه از $A_{next} (A^1)$ و $X_{next} (X^1)$ که از ماژول 4 بدست می‌آیند به عنوان ورودی خود ماژول 4 (به کمک 2 تا رجیستر) استفاده می‌کند و به این ترتیب A و X مرحله بعدی بدست می‌آید. این کار را به همین صورت در لبه بالارونده کلاک تا زمانی انجام می‌دهد که قدر مطلق یکی از عناصر ΔX از عدد ثابت E بزرگتر باشد. وقتی این شرط نقض شود و قدر مطلق همگی عناصر ΔX از عدد ثابت E کوچکتر شود، آپدیت کردن A و X ورودی ماژول 4 متوقف می‌شود و در نتیجه A و X خروجی ماژول 4 جواب نهایی ما هستند و دیگر تغییر نمی‌کنند. نتیجه‌ی حاصل دقیقاً همان نتیجه‌ی حاصل از الگوریتم مورد نظر در صورت پروژه خواهد بود.

خروجی‌های تست بنچ 4 مرحله اول X و G به صورت فایل‌های $G.output.txt$ و $X.output.txt$ در فولدر پروژه قرار داده شده‌اند. این خروجی‌ها با توابع گفته شده در صفحه قبل به صورت اتوماتیک روی فایل نوشته شده‌اند.

مسیر داده نهایی هم به صورت $Final-Data-Path.pdf$ در فولدر پروژه قرار داده شده است.

نتایج هم در فایل $Results.csv$ قرار داده شده‌اند و هم در اینجا آنها را می‌آورم:

16 بیتی

Utilization

Post-Synthesis

Post-Implementation

Graph

Table

Resource	Utilization	Available	Utilization %
LUT	962	1221600	0.08
FF	112	2443200	0.01
DSP	165	2160	7.64
IO	1009	1200	84.08
BUFG	1	128	0.78

Design Timing Summary

Setup	Hold	Pulse Width
Worst Negative Slack (WNS): -49.242 ns	Worst Hold Slack (WHS): 0.062 ns	Worst Pulse Width Slack (WPWS): 2.150 ns
Total Negative Slack (TNS): -64825.384 ns	Total Hold Slack (THS): 0.000 ns	Total Pulse Width Negative Slack (TPWS): 0.000 ns
Number of Failing Endpoints: 1591	Number of Failing Endpoints: 0	Number of Failing Endpoints: 0
Total Number of Endpoints: 1609	Total Number of Endpoints: 1609	Total Number of Endpoints: 209

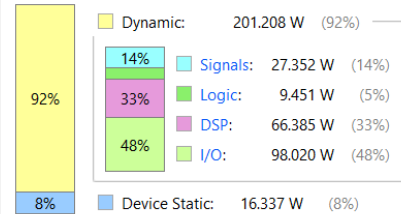
Timing constraints are not met.

Summary

Power estimation from Synthesized netlist. Activity derived from constraints files, simulation files or vectorless analysis. Note: these early estimates can change after implementation.

Total On-Chip Power: 217.546 W (Junction temp exceeded!)
Design Power Budget: Not Specified
Power Budget Margin: N/A
Junction Temperature: 125.0°C
 Thermal Margin: -121.8°C (-133.8 W)
 Effective θ_{JA} : 0.8°C/W
 Power supplied to off-chip devices: 0 W
 Confidence level: Low
[Launch Power Constraint Advisor](#) to find and fix invalid switching activity

On-Chip Power



$$F_{max} = 18435898.3813\text{Hz} = 18.43\text{Mhz}$$

پریود کلاک: 5 نانو ثانیه

32 بیت:

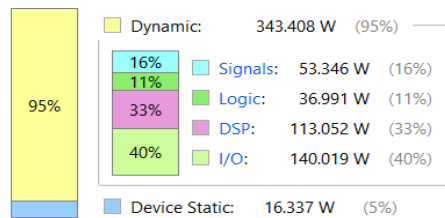
Utilization			
		Post-Synthesis	Post-Implementation
Graph Table			
Resource	Estimation	Available	Utilization %
LUT	5639	1221600	0.46
FF	224	2443200	0.01
DSP	495	2160	22.92
IO	2017	1200	168.08
BUFG	1	128	0.78

Summary

Power estimation from Synthesized netlist. Activity derived from constraints files, simulation files or vectorless analysis. Note: these early estimates can change after implementation.

Total On-Chip Power: 359.745 W (Junction temp exceeded!)
Design Power Budget: Not Specified
Power Budget Margin: N/A
Junction Temperature: 125.0°C
 Thermal Margin: -240.6°C (-276.0 W)
 Effective θ_{JA} : 0.8°C/W
 Power supplied to off-chip devices: 0 W
 Confidence level: Low

On-Chip Power



Design Timing Summary

Setup	Hold	Pulse Width
Worst Negative Slack (WNS): -54.098 ns	Worst Hold Slack (WHS): 0.009 ns	Worst Pulse Width Slack (WPWS): 2.150 ns
Total Negative Slack (TNS): -148606.981 ns	Total Hold Slack (THS): 0.000 ns	Total Pulse Width Negative Slack (TPWS): 0.000 ns
Number of Failing Endpoints: 3575	Number of Failing Endpoints: 0	Number of Failing Endpoints: 0
Total Number of Endpoints: 3575	Total Number of Endpoints: 3575	Total Number of Endpoints: 225

Timing constraints are not met.

$$F_{max} = 16921046.3975\text{Hz} = 16.92\text{Mhz}$$

پریود کلاک: 5 نانو ثانیه

8 بیتی:

Utilization

Post-Synthesis

Post-Implementation

Graph

Table

Resource	Estimation	Available	Utilization %
IO	448	1200	37.33

Power

Summary

On-Chip

Total On-Chip Power:

0.634 W

Junction Temperature:

25.5 °C

Thermal Margin:

59.5 °C (67.4 W)

Effective θ_{JA} :

0.8 °C/W

Power supplied to off-chip devices:

0 W

Confidence level:

High

Implemented Power Report

در مورد 8 بیتی اطلاعات توان و فرکانس و تعداد LUT و DSP را ابزار ارائه نمی‌دهد.

قابل توجه:

علت بالا بودن بسیار زیاد توان مصرفی درگاه‌های بسیار زیاد ورودی و خروجی (همانطور که در آخر ص 1 و ابتدای ص 2 توضیح داده شد) هستند که به دلیل زیبا و خوانا تر شدن کد و عدم **hard code** کردن مقادیر داخلی ماتریس‌ها، برای هر ماتریس یک درگاه قرار داده شده که در مجموع تعداد آنها خیلی زیاد می‌شود.

کدهای مربوط به فاز نهایی پروژه در فولدر module5 قرار گرفته است.