

第5章 BPSK 调制的无线信号的产生

5.1 引言

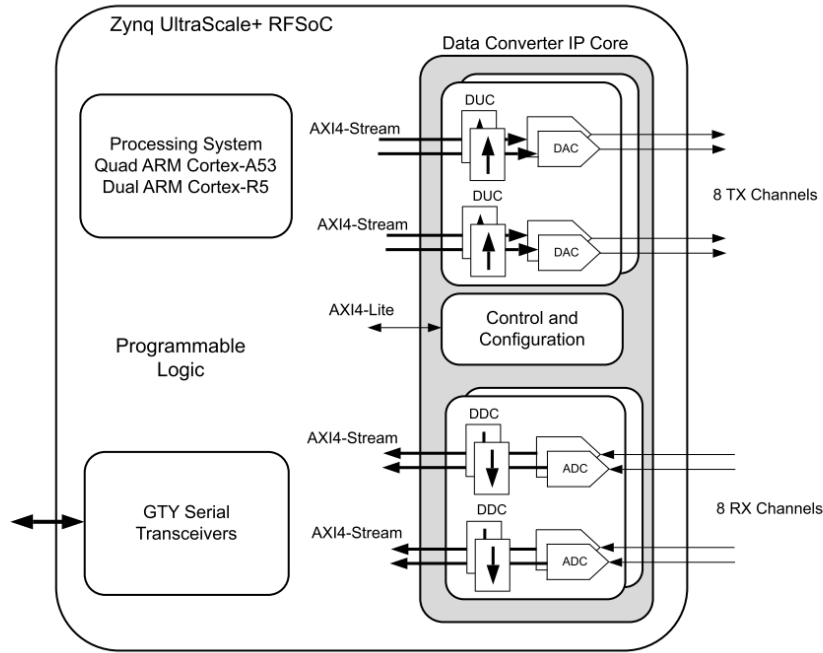
根据项目的任务需求，由目标检测系统处理完的图像数据，应通过 UHF 频段，使用 BPSK 调制方式，进行传输。在软件无线电的概念中，模数/数模转换器应尽量靠近天线，即 BPSK 的调制应该由软件实现，并采用通用的电路，完成调制信号的产生。

5.2 BPSK 调制的 UHF 信号发射机的设计

5.2.1 RFSoc 的软件定义无线电架构

Zynq UltraScale + RFSoc 芯片集成了实现完整功能的软件定义无线电所需的关键子系统，其中包括可直接处理射频信号的高速 RF-DAC 与 RF-ADC。RF-ADC 的采样率可编程，最高采样率可达 4 GS/s，信号带宽高达 4 GHz。RF-DAC 的采样率时钟最高支持 6.554 GS/s，输出信号带宽大于 4 GHz。RF 数据转换器还包括低功耗数字下变频器(DDC)和数字上变频器(DUC)，数字变频器包括了数控振荡器(NCO)和复杂混频器，同时可实现可编程插值、抽取功能。图 5-1 展示了 Zynq UltraScale+RFSoc 所包含的 RF 数据转换器的框图。图 5-1 中阴影部分为 RFSoc 中硬核 IP——RF 数据转换器，该 IP 核通过 AXI4-Lite 接口对其 RF-ADC、RF-DAC、数字变频器、数字滤波器进行参数配置，RF-ADC、RF-DAC 所产生或者其需要的数据通过高性能的 AXI4-Stream 接口进行传输。

ARM 处理器可通过传输任务的具体需要，通过 AXI4-Lite 接口控制 RF 数据转换器各个组成部分的参数，以适应任务需要。RF-DAC、RF-ADC 的采样率很高（在本设计中 RF-DAC 的采样率被设置为 2.048GS/s），数据的吞吐量极大，因此无法通过 ARM 直接产生其需要的数据。因此数据流必须通过 FPGA 处理，ARM 可以控制 FPGA 产生相应的数据，进而实现 ARM 中产生的无线原始数据帧通过 RF 转换器发送。


 图 5-1 RF 数据转换器结构简图^[27]

5.2.2 二进制相移键控(BPSK)调制原理

BPSK 是一种简单的一维调制方案，对于输入为二进制序列的基带信号，其信号 0, 1 的每一次转换，相应的载波正弦信号的相位都会发生 π 弧度的跳变。即，基带信号的 0 和 1 用载波信号的相位 0° 和 180° 表示^[24]。其表达式如公式(5-1)所示

$$s(t) = \left[\sum_{n=-\infty}^{\infty} a_n g(t - nT_b) \right] \cos \omega_c t + \theta_i \quad (5-1)$$

其中 a_n 为基带数字信号二进制双极性序列， T_b 为基带信号的位周期，即代表一个符号的电平持续时间。函数 $g(t - nT_b)$ 为脉宽为 T_b 的单个矩形脉冲。 ω_c 为载波频率， θ_i 为初始相位^[25]。图 5-2 所示的是 BPSK 调制的各个关键信号的波形。

由于这种将基带信号直接控制调制信号的相位的绝对式 BPSK 调制方式，其解调过程中会因为载波恢复时存在 180° 的相位模糊(phase ambiguity)的现象，这会导致解调器解调出基带信号时，有一定概率发生解调信号与基带信号正好相反，即发生了“倒 π ”现象。因此绝对式 BPSK 调制方式在实际中很少采用，而常见的解决办法是采用差分相移键控^[25]。所谓的差分式相移键控，可以理解为，将原始基带信号使用差分编码后，作为“新的”基带信号，控制 BPSK 控制器。

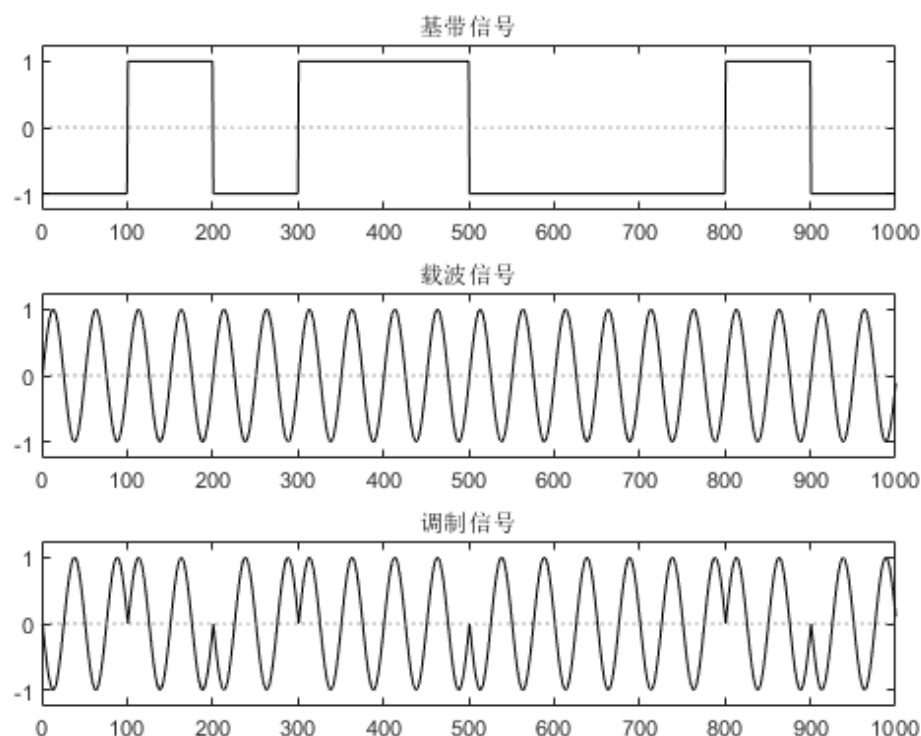


图 5-2 BPSK 调试波形示意图

5.2.3 差分编码

差分编码指的是不归零编码(non-return-to-zero line code, NRZ)的一种形式，单极性的 NRZ 编码就是常见的用高电平表示数字信号“1”，低电平表示数字信号“0”。差分编码就是在这个基础上，用“差分”来表示数字信号。本项目所采用的 NRZM(Non-return-to-zero mark)编码，其规则是：数字信号“1”由物理电平的改变来表示；数字信号“0”由物理电平的没有改变来表示。图 5-3 举例说明了数字信号、NRZ 编码、NRZM 编码之间的表示关系。

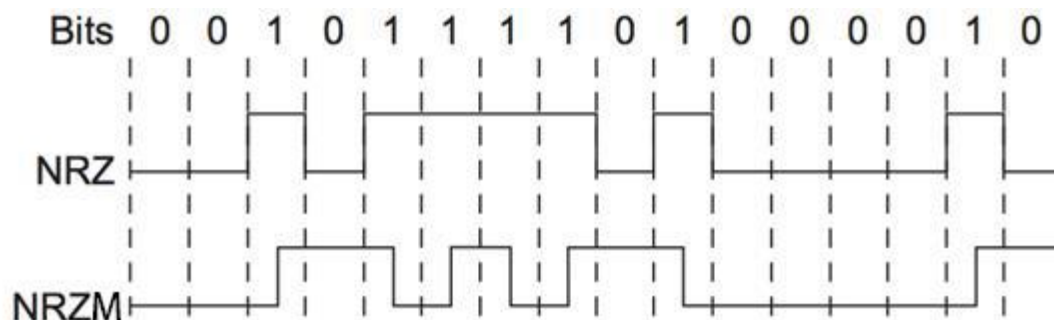


图 5-3 NRZ 编码与 NRZM 编码波形比较

5.2.4 差分式 BPSK 调制器结构

综上所述，结合 RFSoc 的硬件结构，设计了如图 5-4 所示的差分式 BPSK 调制器。

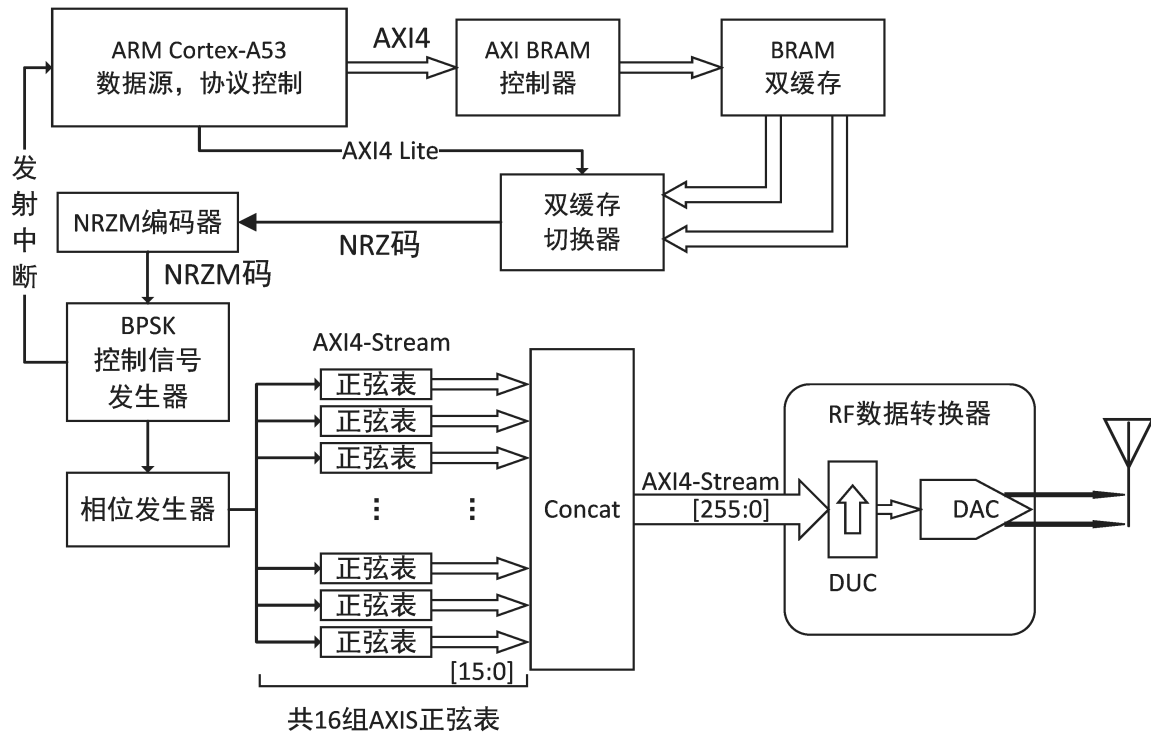


图 5-4 差分式 BPSK 调制器结构图

首先图像数据处理完成后，通过无线发送的数据存储在 ARM 端的 DDR4 内存当中，ARM 处理器根据预先定义的数据传输协议来准备要发送的数据。为了提高内存利用效率，参考了 TCP/IP 数据链路层协议的架构，一包图像完整信息的数据，将被分为固定长度的数据帧，因此 BPSK 控制信号发生器每次发送的数据长度是一个数据帧的长度，并且因为 BPSK 接收机恢复载波信号的原理，需要保证数据发送的期间，帧与帧之间是无数据间隔的。因此在发射机的设计中，引入了一个 BRAM 的双缓存机制，即当一帧数据发送时，ARM 处理器将会把下一帧的数据放到另一个 RAM 当中，如此切换不同的 RAM 以将数据无延迟的源源不断的送入 BPSK 信号发生器当中。BPSK 控制信号发生器是一个并行数据转换为串行数据的过程，相位发生器与正弦表组成了一个传统意义上的直接数字频率合成信号发生器(Direct Digital Synthesis, DDS)其用来产生 RF 载波信号，在本项目中 BPSK 调制器产生的 RF 信号的中心频率为 437MHz，因此 DDS 产生的是一个 437MHz 的正弦信号，而该正弦信号的相位可以通过一个串行信号来控制，这样就组成了一个 BPSK 调制器。而使用

了 16 个正弦表，是为了降低 AXI4-Stream 接口的时钟速率，以提高接口数据的稳定性。下一节将详细介绍 FPGA 实现的细节。

5.3 BPSK 调制器的 FPGA 实现

5.3.1 直接数字频率合成载波信号

5.3.1.1 AXI4-Stream 接口协议简介

在 RF 数据转换器以及直接数字合成器（正弦表模式）两个关键 IP 核均采用了高性能 AXI4-Stream 数据接口进行数据的传输。因此，有必要在介绍 BPSK 调制器实现方法之前介绍一下该接口协议。

AXI4-Stream 是 ARM 公司研发并推出的高级微控制器片内总线(Advanced Microcontroller Bus Architecture, AMBA)中高级可扩展接口(Advanced eXtensible Interface, AXI)中的一部分。AXI4-Stream 协议是一种用来连接需要交换数据的两个部件的标准接口，它可以用于连接一个产生数据的主机和一个接受数据的从机。其特点是非地址映射(memory map)接口，因此没有寻址周期，可无限制的突发(burst)传输^[26]。

AXI4-Stream 接口的信号定义如表 5-1 所示，实际上协议还规定了一些辅助信号用于数据帧的同步，流控制等功能。因为本设计使用的 RF 数据转换器与 DDS 信号发生器均不涉及流控制与帧控制，故本文使用最基本的 AXI4-Stream 接口进行数据传输。

表 5-1 AXI4-Stream 关键信号

信号	源	描述
ACLK	时钟	接口全局时钟信号，接口在 ACLK 的上升沿进行数据采样
ARESETn	复位	接口全局复位信号，低电平有效
TVALID	主机	该信号表示主机正在驱动数据线
TREADY	从机	该信号表示从机在当前周期可以接收数据，当 TVALID 与 TREADY 同时为高时，表示当前周期的数据已经被传输
TDATA[8n-1:0]	主机	TDATA 是数据线，协议规定该数据线每次可传输整数个字节

5.3.1.2 RF 数据转换器数据格式

5.3.1.1 中已经阐述了 RF 数据转换器采用的是 AXI4-Stream 接口，其接口的主时钟速率与几个因素有关：RF-DAC 的采样率、插值率、数据接口的数据格式。DAC 工作模式及参数设计如表 5-2 所示。

表 5-2 RF-DAC 关键配置参数

项目	值
DAC 采样率($DAC_{DataRate}$)	2048 MHz
DAC 输出模式	Real
插值($InterpolationRate$)	1x
AXI4-Stream 周期采样数($PL_{NumWords}$)	16

由表 5-2 的配置可知，DAC 的采样率为 2048MHz，插值率为 1x，因此 AXI4-Stream 数据接口给 DAC 的数据率也应该满足 2048M 字/s，但是 AXI4-Stream 周期采样数为 16，因此在一个 AXI4-Stream 数据周期内，同时向 DAC 发送 16 个字。由手册中提供的总线时钟计算公式：

$$PL_{clock} = \frac{DAC_{DataRate}}{InterpolationRate \times PL_{NumWords}} \quad (5-2)$$

因此，我们根据公式(5-2)很容易地就能计算出 AXI4-Stream 总线主时钟速率应为 2048Mhz / 16 = 128MHz。

虽然 RF-DAC 的精度为 14 位，但是在 AXI4 总线协议中规定了传输的过程中是以整数字节传输数据的，因此 RF-DAC 的数据还是以 16 位为一个数据字进行传输。RF-DAC 的数据格式被规定如表 5-3 所示。

表 5-3 RF-DAC 数据格式

	AXI4-Stream I/F		RF-DAC 数据(<<2)	
	Hex	Dec	Hex	Dec
正值	0x7FFF	32767	0x7FFC	8191
	0x0001	1	0x0004	1
0	0x0000	0	0x0000	0
负值	0xFFFF	-1	0xFFFC	-1
	0x8000	-32768	0x8000	-8192

在根据表 5-3 阐述内容可以确定每个采样点的数据格式，在总线上数据传输时，每次会传输 16 点的数据，这 16 点数据的时序图如图 5-5 所示。可知，每次数据采样周期需要把 16 个采样点中 1 号采样点放到低 16 位上，把 16 号采样点放在高 16

位上，这也就解释了为什么本文设计载波信号发生器的时候采用了 16 个正弦表同步查表产生数据。

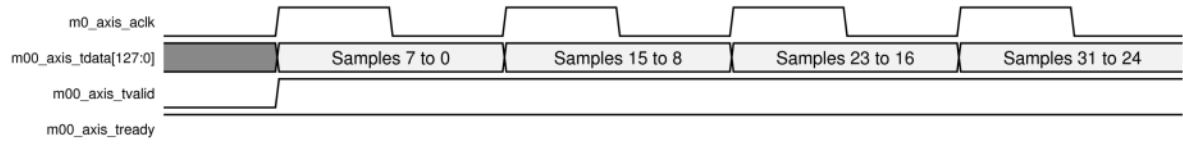


图 5-5 RF-DAC 在每周期 8 次采样时的时序图^[27]

5.3.1.3 直接数字频率合成载波信号的原理

DDS 信号产生的理论基础是“奈奎斯特采样定理”。在定理中可知当抽样频率大于等于模拟信号最高频率两倍时，就可以从离散序列无失真的信号中恢复出原始模拟信号^[28]。典型的 DDS 信号发生器的结构如图 5-6 所示。由相位累加器，数据寄存器，正弦查找表与数模转换器组成。其中相位累加器、数据寄存器和正弦查找表共同组成了数控振荡器。

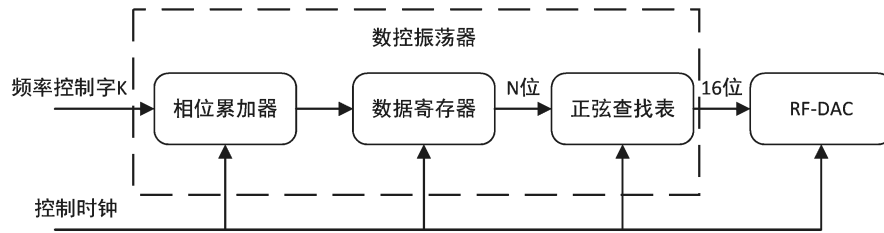


图 5-6 典型 DDS 结构

DDS 产生信号的频率与频率控制字 K 、相位累加器的位宽 N (也是正弦查找表的相位输入位宽)、采样时钟频率 f_c 有关。最终产生的正弦信号的频率 f_o 可由公式(5-3)计算。

$$f_o = \frac{K}{2^N} f_c \quad (5-3)$$

本项目中要求 BPSK 调制器工作在 UHF 频段，最终确定工作中心频率为 437MHz，根据公式(5-3)，我们可以计算 DDS 的频率控制字 $K = \frac{f_o}{f_c} 2^N = \frac{437\text{MHz}}{2048\text{MHz}} 2^{12} = 874$ 。

结合 BPSK 调制原理，可以利用一个电平信号控制，当输入为低电平的时候数据寄存器的输出值等于相位累加器；当输入为高电平时，此时相位应该在原来的基础上加 90° ，即数据寄存器的输出比相位累加器多 $2^{12}/4 = 2^{10}$ 。

根据图 5-6 描述的原理，就可以设计中心频率为 437MHz 的载波信号发生器，只要设计一个将并行数据信号转为串行控制信号来控制载波信号发生的相位控制引脚即可。

5.3.2 BPSK 控制信号发生器

5.3.1 中已经说明了 BPSK 调制的载波信号的产生原理，及相位控制原理，因此只需要将基带信号转为串行控制信号，即可完成 BPSK 调制的任务。项目要求中，提出 BPSK 调制的基带信号的要求如表 5-4。其中串行控制信号的码速率为 9600 bit/s，每次发送的数据帧的数据长度为 152Byte，同时要求每帧数据必须以同步字 0x1ACFFC1D 开始，这个同步字用于接收机的帧数据同步，没有这个同步字，接收机会认为该帧为无效帧，从而丢弃数据。接收机同时要求数据帧之间是连续的，即发送时数据帧与数据帧之间没有时间上的间隔，这是由于接收机在接收时需要首先从信号中恢复出无线信号的载波相位，之后才能进行数据解调，因此接收机要求 BPSK 信号要稳定且持续，否则接收机的无法确定载波信号的相位，难以解调信号。

表 5-4 BPSK 调制基带信号要求

项目	值
码速率	9600 bit/s
帧长度	152 Byte
帧同步字	0x1ACFFC1D
帧间隔	连续
编码格式	NRZM

针对项目的提出的 BPSK 调制信号的要求，提出了如图 5-7 的控制信号发生器的结构。

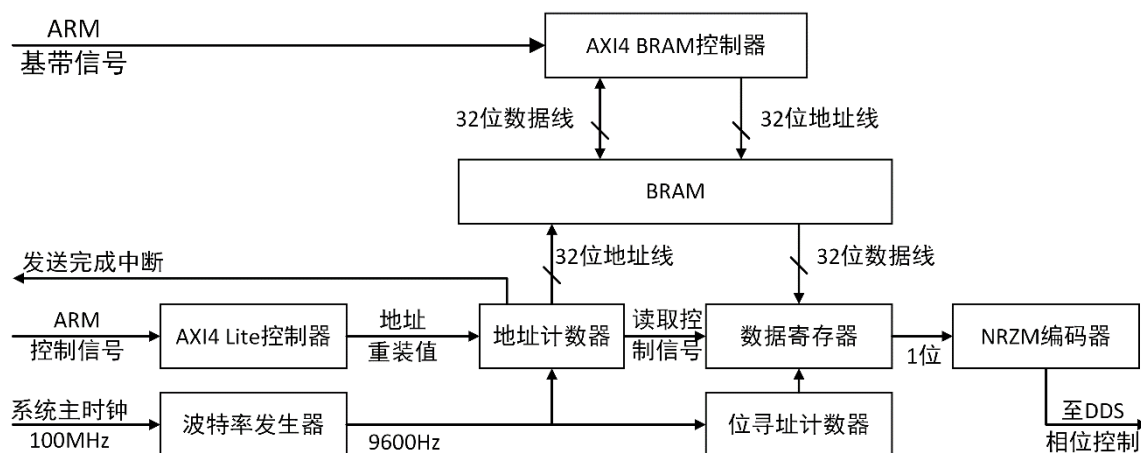


图 5-7 BPSK 控制信号发生器结构图

5.2.4 节提及的双缓存并不是采用了两个并行的 Block RAM 存储器，而是利用一个双端口可同时读写的 Block RAM 的两块不同的存储区域作为“双缓存”，因为双端口 Block RAM 的特性，双端口可以同时读写，可以每次双端口同时读写不同的存

存储空间即可实现缓存的目的。由于 BPSK 解调器在刚开始工作时，需要一段时间进行恢复载波信号的工作，因此如果 BPSK 发射机在开始上电时就发送数据，会导致数据的最开始几帧的丢失。所以，在设计时还设计了一个“空白数据帧”，用于在 BPSK 发射机上电时，以及要发送的数据没有准备好时，发射机将发射“空白数据帧”到信道中，以满足解调器的帧与帧之间不得中断的要求。

图 5-7 中，ARM 产生的基带信号的数据将通过 AXI 接口通过 AXI BRAM 控制器写入到 Block RAM 中，写入完成后，会通过 AXI4 Lite 发送控制信号给 AXI4 Lite 控制器，用于配置 BPSK 发射机的启动状态，以及当前的发射机发送的数据在 Block RAM 中哪片地址区域。当控制器收到了由 ARM 发出的控制信号之后，地址计数器与位寻址计数器开始根据波特率发生器产生的 9600Hz 的波特率信号进行计数。位寻址计数器在波特率时钟的上升沿加 1，计数到 32 时溢出清零。地址计数器每 32 个波特率时钟加 1，满 152 会产生一个发送完成中断，同时计数器溢出，计数器的重装值将从 AXI4 Lite 控制器中获取。

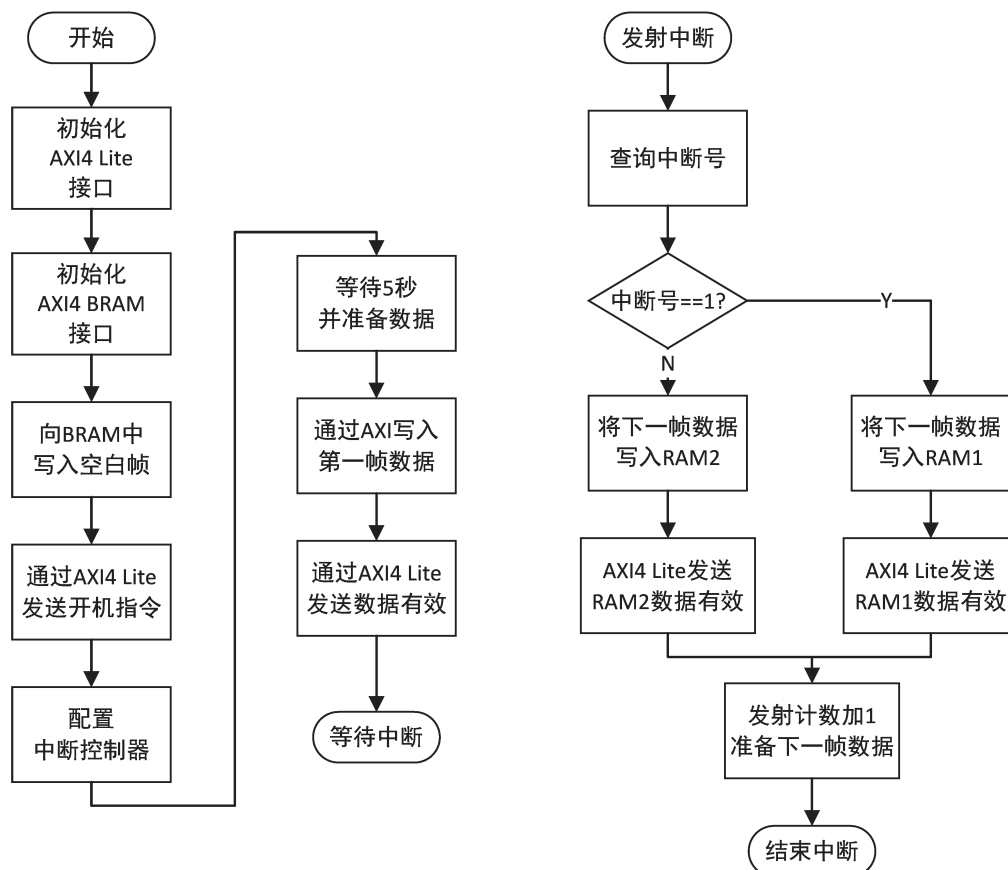


图 5-8 双缓存 ARM 控制流程

双缓存机制依赖着 ARM 的控制，图 5-8 展示了 ARM 的控制流程，首先当 ARM 控制器准备发送数据时，首先需要初始两条控制总线(AXI4 BRAM 与 AXI4 Lite)，之后需要向 BRAM 中写入“空白帧数据”，这时启动 BPSK 发射机，BPSK 发射机启

动后，检测到 RAM1 与 RAM2 的数据无效，就会自动发送处在 RAM0 的空白数据帧的数据，并在每次发送完一帧之后，会主动检查 RAM1 与 RAM2 数据有效信号，如果检测到有效数据信号置位后，下一帧会自动发送有效帧，否则将会继续发送空帧。

ARM 在启动发射机之后，开始准备待发送的数据，并将第一帧写入到 RAM1 当中缓存起来，并将 RAM1 数据有效信号通过 AXI4 Lite 接口发送到 FPGA 端的控制器上。之后 ARM 系统进入中断处理模式，每次 FPGA 发送当前帧最后 4 个字节的时候，会产生一个发送完成中断到 ARM，ARM 接收到中断之后，首先需要查询中断号来判断是哪个 RAM 区域的数据被发送完成了，查询之后，ARM 将要发送的数据发送至另一个 RAM 缓存区域，发送完成后并发送 RAM 数据有效信号。之后准备下一帧数据并等待下一个发送完成中断。

5.4 无线传输协议与软件控制流程

在图像数据传输时，图像数据的大小并不是帧协议长度的整数倍，因此在数据传输的最后一帧出现数据无法填满一个数据帧的情况，因此简单的把图像数据拆分在传输，并不能解决数据完整性的问题。所以需要使用一个简单的数据帧控制协议来控制数据帧的传输过程。

KISS 协议是由 Mike Chepponis 和 Phil Karn 两人提出的一个非常简单数据帧传输控制协议。KISS 协议只简单定义了如表 5-5 所示的四个控制字。KISS 协议的控制过程是这样的，在数据帧传输的过程中使用 C0h 表示数据帧的开头和结尾，同样的，数据帧的空白区域也可以用 C0h 进行补齐。这样带来了一个问题，那就是图像数据中也可能存在 C0h，因此 KISS 协议中引入了一个转义符 DBh，同时定义了 C0h 的转义后为 DCh，DBh 转义后为 DDh。通俗来讲，就是将数据区中 8 位数据 C0h 替换为 DBDCh，数据区中 8 位数据 DBh 替换为 DBDDh。

表 5-5 KISS 协议控制字

控制字符缩写	描述	表示值
FEND	数据帧开始/结束	C0h
FESC	转义符	DBh
TFEND	转义的数据帧开始/结束	DCh
TFESC	转义的转义符	DDh

根据表 5-5 的 KISS 协议的规则，就可以解决图像数据在传输过程中最后一帧的数据对齐问题。在 ARM 处理器中，帧协议控制程序的工作流程如下：

- 1) 遍历图像数据，确定全部数据中 C0h 与 DBh 的数量 K
- 2) 申请内存空间，其大小为图片数据大小+K
- 3) 遍历图像数据，将转义后的图像数据放入 2)中申请的内存空间
- 4) 在上一步产生的数据每次出去 146 字节，在头尾加入帧控制字 C0h（数据帧总长度为 148），若不足 146 字节，则添加 C0h 使数据长度为 146 字节
- 5) 传输完成，释放内存空间，结束传输

5.5 BPSK 发射机的仿真与测试

5.5.1 载波信号发生的仿真与测试

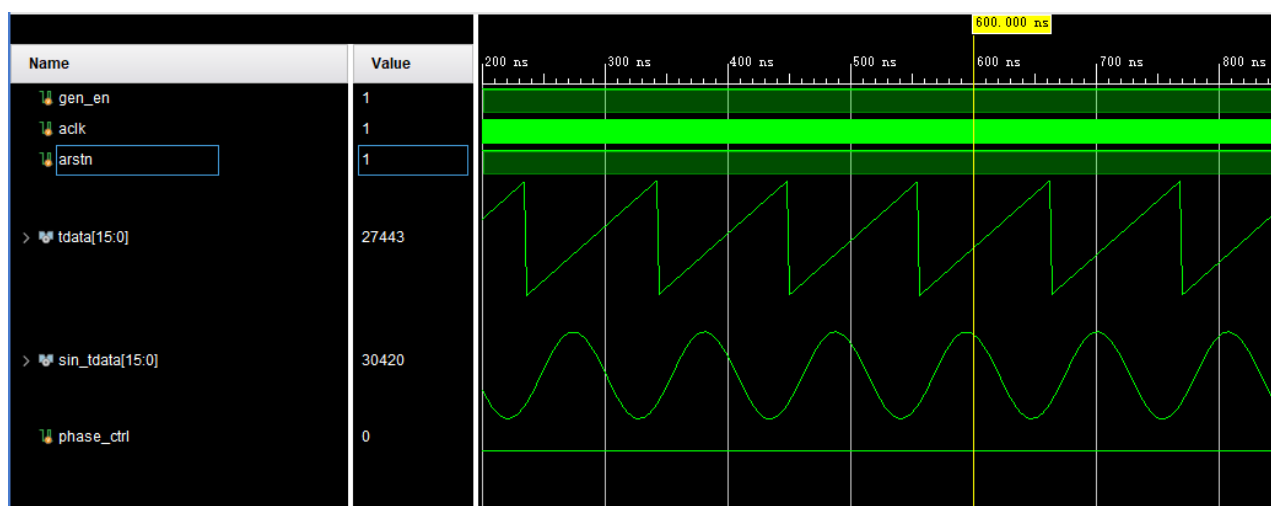


图 5-9 载波正弦信号的产生仿真图

如图 5-9 所示，仿真了相位累加器和正弦查找表，其中 `tdata[15:0]` 是相位累加器的输出；`sin_tdata[15:0]` 是正弦查找表的输出，由于正弦查找表中数据输出接口有 FIFO 用于缓存数据，因此输出的正弦相位与输入的相位累加器产生的相位拥有一个固定的相位差。

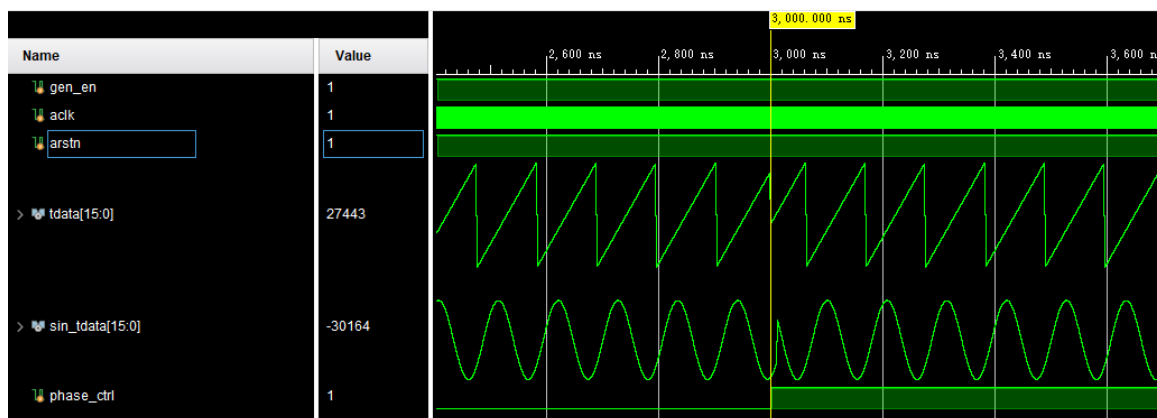


图 5-10 载波相位的突变仿真

如图 5-10 所示，仿真了键控相位的功能，其中“phase_ctrl”信号是相位控制信号，当该信号发生变化时，正弦信号的相位应该发生突变。在图中光标位置，“phase_ctrl”信号发生了改变，相位累加器产生的相位值发生即时突变。由于正弦查找表的数据缓存设计，其输出的正弦信号的相位突变位置略有延迟。

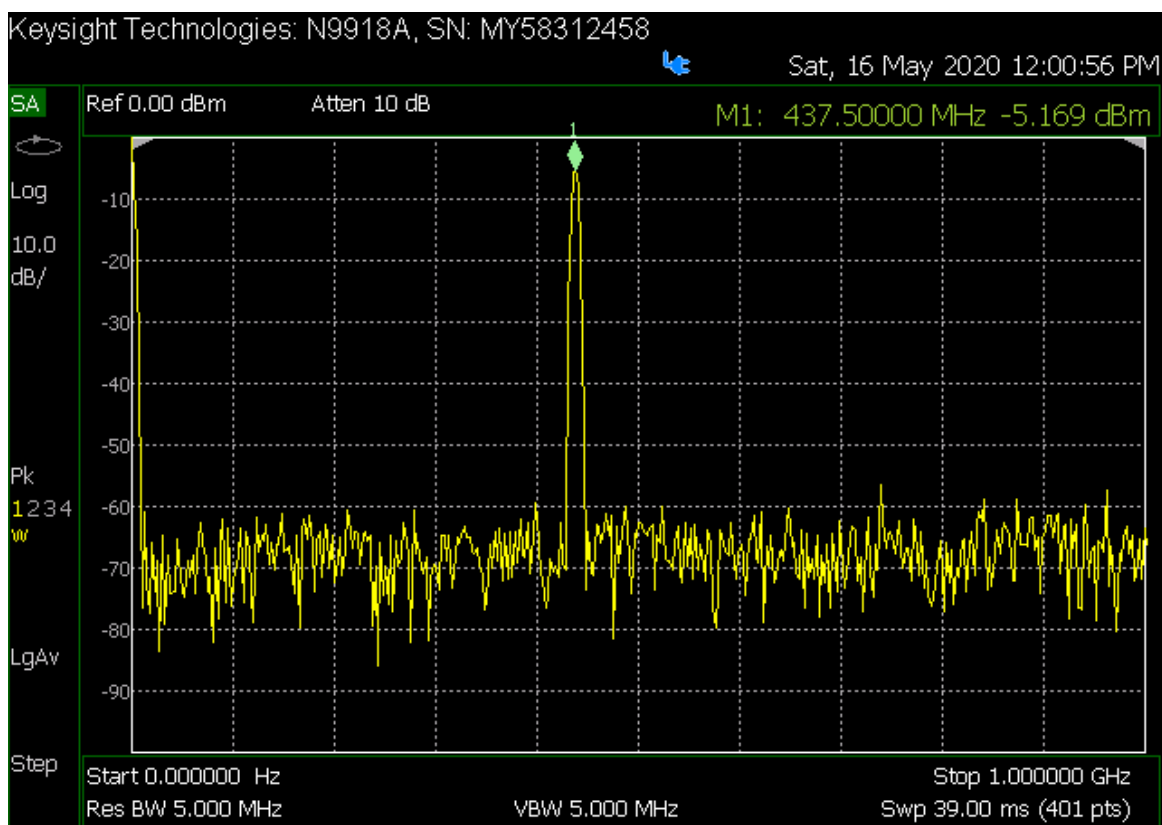


图 5-11 载波信号频谱

如图 5-11 所示，将载波信号直接通过 RF 接口输出，并使用频谱仪观察。频谱仪设置频率范围为 0Hz~1GHz，添加测量光标 M1，测得正弦信号中心频率为 437.5MHz，0~1GHz 范围内无杂散信号。

5.5.2 BPSK 调制的测试

BPSK 接收机采用 USRP B210 软件无线电收发信机，使用 GNU Radio 编写解调功能。连接如图 5-12 所示。使用射频电缆将 ZCU111 评估板的 RF 输出接口、射频衰减器和 USRP B210 软件无线电收发信机进行连接。其中射频衰减器用于对 ZCU111 评估板的输出射频信号功率进行衰减，测试时设置衰减值为 13dB。USRP B210 通过 USB 接口与计算机通信，BPSK 解调将在计算机上进行。

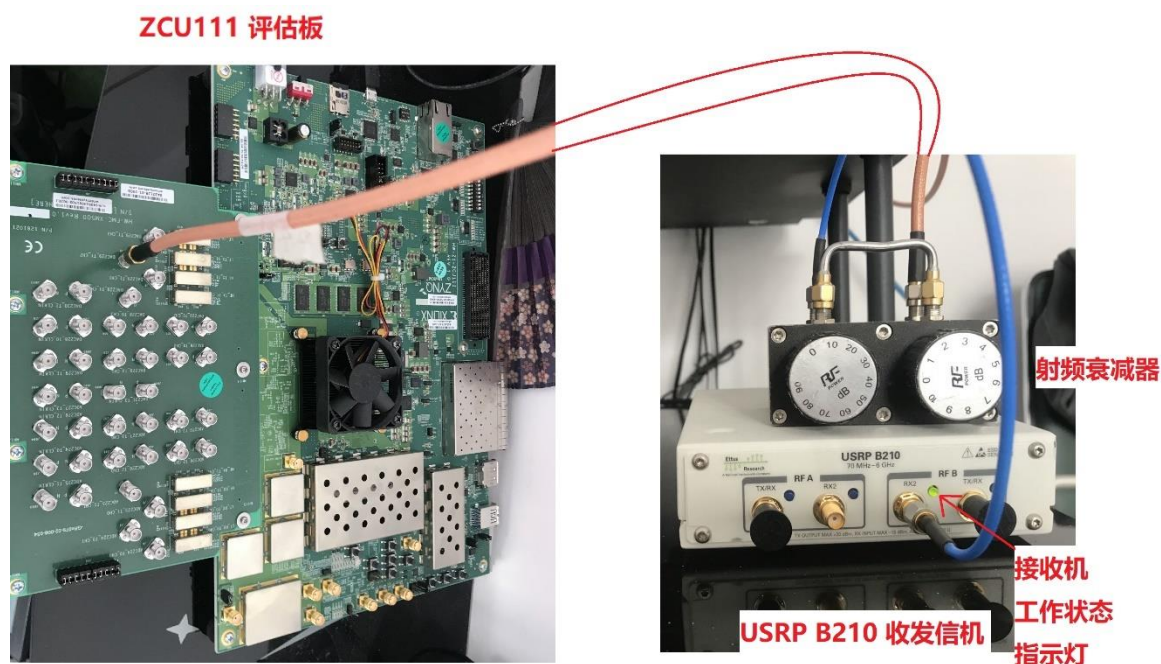


图 5-12 BPSK 通信测试电路

如图 5-13 所示，是计算机运行的 BPSK 解调程序 GNU Radio 运行界面。图中区域 1 为瀑布频谱图，图中可观察到信号中心频率稳定，时域上连续发射没有间隔；图中区域 2 为 BPSK 解调星座图，可见星座图稳定收敛于 0° 和 180° 说明解调过程正常稳定；图中区域 3 为数据解调后的显示区，解调后的数据将以 8 位为单位使用 16 进制数显示。这里发射的是 KISS 协议规定的“空数据帧”，即数据区以 C0h 填充，数据帧长度为 148 字节。

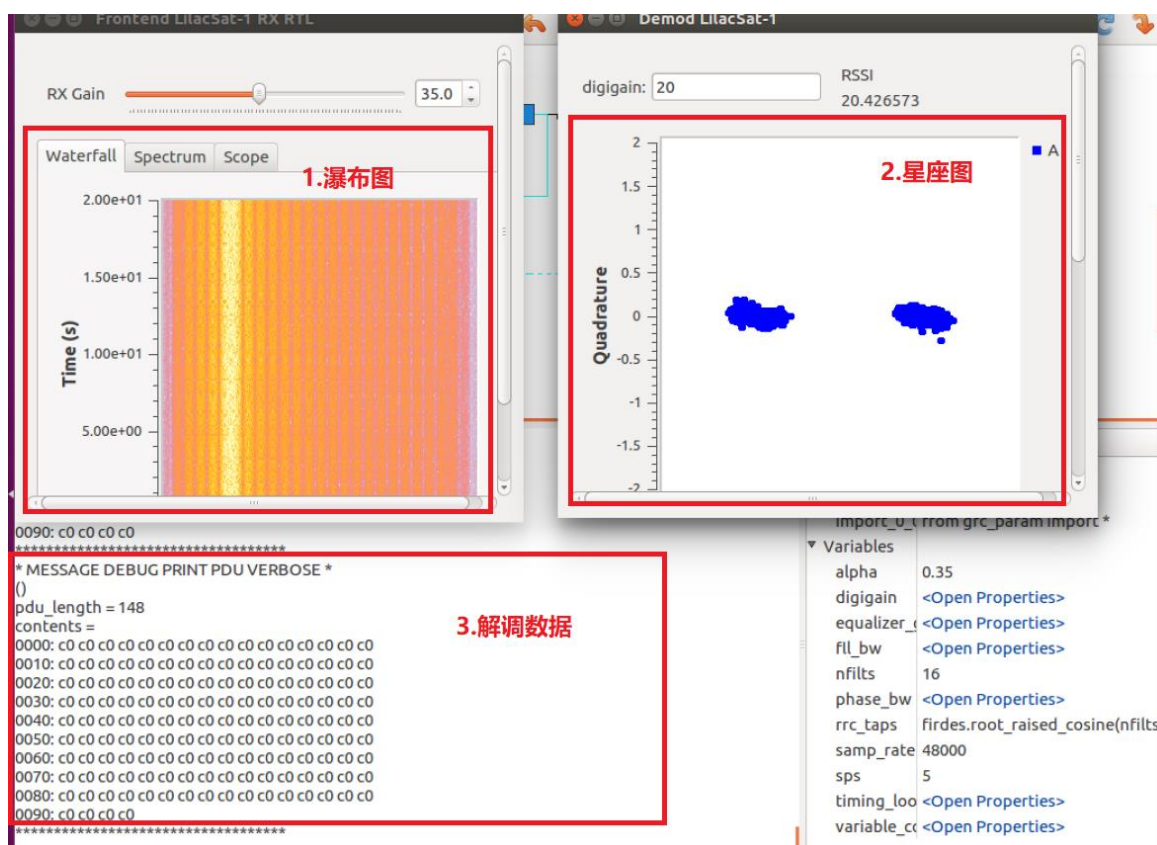


图 5-13 GNU Radio 软件解调 BPSK 数据帧

5.6 本章小结

本章根据 BPSK 调制的原理，结合 RFSoc 软件无线电架构，提出了 BPSK 发射机的组成并实现调制功能，最终通过仿真、仪器测试、接收测试验证了系统的可行性。