

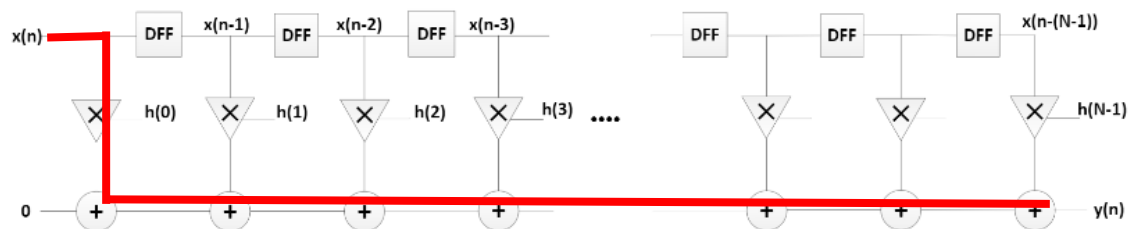
CVSD HW2 Report

B03505028 電機四 徐晨皓

此次作業總共分為 5 個 modules 來實作，分別為 **FAS** (Top module)、**FIR_FILTER** (Finite Impulse Response Filter)、**STP** (Serial To Parallel)、**FFT** (Fast Fourier Transformation)、以及 **ANALYST** (Analysis)。以下將分別介紹除了 Top Module 外的四個 modules。

一、FIR_FILTER

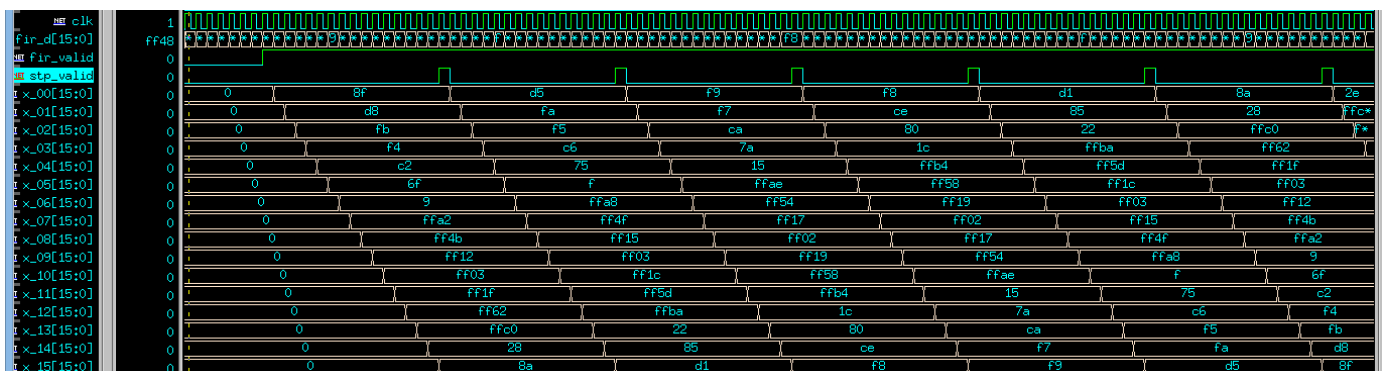
此模組參考本次作業說明檔之架構 (圖一) 實作。因為未對此架構進行優化，因此 critical path 相當長。控制方面，以一個計數器 (counter) 來記錄目前模組儲存的有效資料數量，若超出某值即將 fir_valid 設為 1。



圖一、FIR_FILTER 架構圖。紅線為 critical path。

二、STP

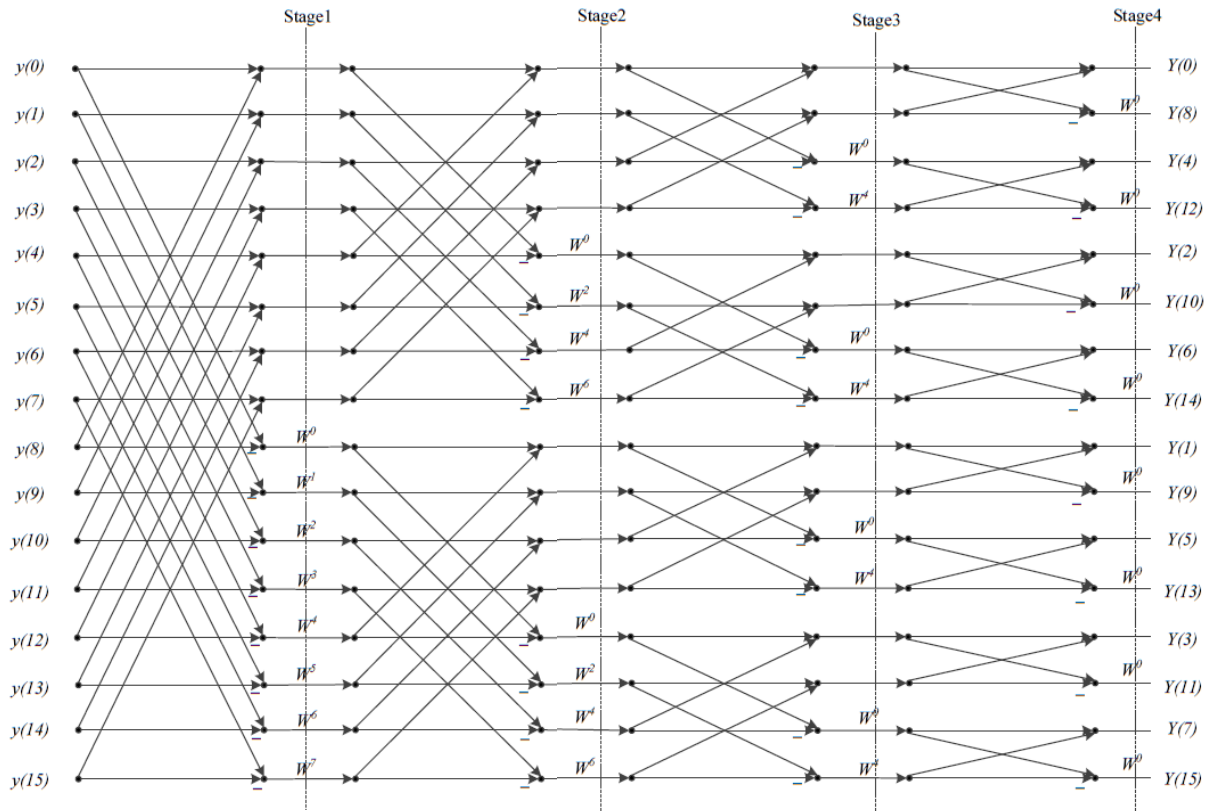
此模組為銜接 FIR_FILTER 和 FFT 的過渡模組。目的是將原為串列的資料轉成平行的資料。在此模組裡有一計數器，當蒐集到 16 組有效的 FIR 資料，就會將 stp_valid 設為 1，表示目前的平行輸出是有效的，讓後面 FFT 可以處理這組平行資料。圖二為 STP 之波形圖。



圖二、STP 波形圖。

三、FFT

參考作業說明檔之架構圖後，將 FFT 的計算拆成 4 stages (圖三)，並且將每個 stage 的每筆資料的實部以及虛部分開存，方便計算。另外，由於要讓每筆資料在每個 stage 的浮點位置相同，若無需乘上 W_1 ，那筆就會額外乘上 32'h00010000。由於此模組的計算較多，因此採用 for loop 的寫法，增加 code 的可讀性。



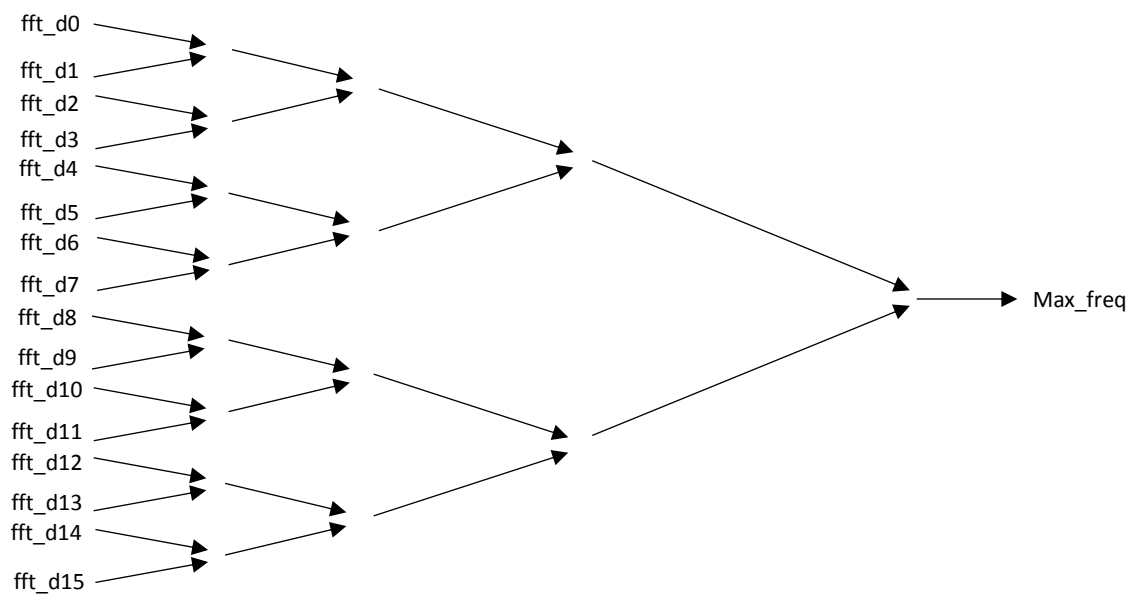
圖三、FFT 計算架構圖。

四、ANALYST

此部分將 FFT 輸出的 16 筆資料，進行大小比對，並輸出最大的頻段。為了節省計算時間，此部分採用對數時間複雜度(log time complexity)的演算法。將每兩筆資料進行比對，下一階段亦是兩兩比對(圖四)。比對過程中，紀錄上一次比對之較大的數值以及其對應之頻段。

五、圖片來源

圖一、圖三修改自本次作業說明檔。



圖四、ANALSYT 計算架構圖。