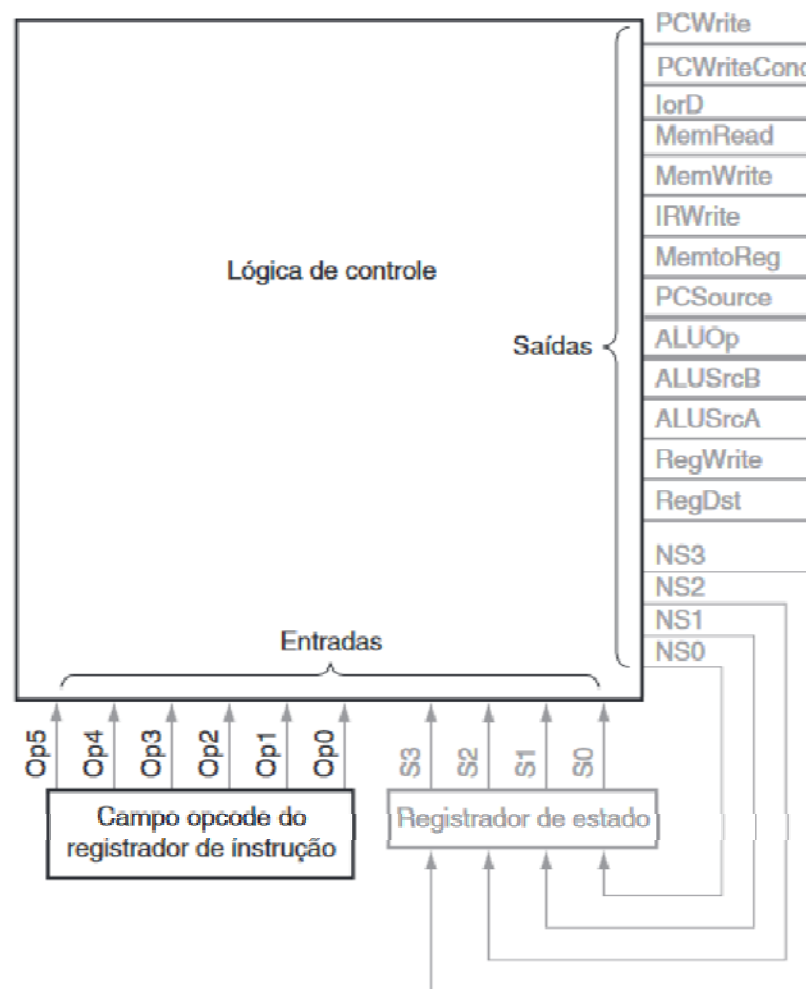


# Datapath Multiciclo

## □ Máquina de Estados Moore



# Datapath Multiciclo

## □ Tabela de Transição de Estados

Estado Atual	Opcode	Próximo Estado
0	-	1
1	'lw' ou 'sw'	2
1	tipo R	6
1	'beq'	8
1	'j'	9
2	'lw'	3
2	'sw'	5
3	-	4
4	-	0
5	-	0
6	-	7
7	-	0
8	-	0
9	-	0

# Datapath Multiciclo

## □ Tabela de Atribuição de Estados

Estado	Flip-Flop			
	$Q_3$	$Q_2$	$Q_1$	$Q_0$
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

# Datapath Multiciclo

## □ Tabela de Transição de Estados

Estado Atual	Opcode	Próximo Estado
0000	-	0001
0001	LW	0010
0001	SW	0010
0001	TIPO r	0110
0001	BEQ	1000
0001	J	1001
0010	LW	0011
0010	SW	0101
0011	-	0100
0100	-	0000
0101	-	0000
0110	-	0111
0111	-	0000
1000	-	0000
1001	-	0000

# Datapath Multiciclo

## □ Tabela de Transição de Estados

Estado Atual				Opcode (Entrada)						Próximo Estado			
S3	S2	S1	S0	OP5	OP4	OP3	OP2	OP1	OP0	NS3	NS2	NS1	NS0
0	0	0	0							0	0	0	1
0	0	0	1	1	0	0	0	1	1	0	0	1	0
0	0	0	1	1	0	1	0	1	1	0	0	1	0
0	0	0	1	0	0	0	0	0	0	0	1	1	0
0	0	0	1	0	0	0	1	0	0	1	0	0	0
0	0	0	1	0	0	0	0	1	0	1	0	0	1
0	0	1	0	1	0	0	0	1	1	0	0	1	1
0	0	1	0	1	0	1	0	1	1	0	1	0	1
0	0	1	1							0	1	0	0
0	1	0	0							0	0	0	0
0	1	0	1							0	0	0	0
0	1	1	0							0	1	1	1
0	1	1	1							0	0	0	0
1	0	0	0							0	0	0	0
1	0	0	1							0	0	0	0

# Datapath Multiciclo

## □ Tabela de Transição de Estados

Estado Atual				Opcode (Entrada)						Próximo Estado			
S3	S2	S1	S0	OP5	OP4	OP3	OP2	OP1	OP0	NS3	NS2	NS1	NS0
0	0	0	0							0	0	0	1
0	0	0	1	1	0	0	0	1	1	0	0	1	0
0	0	0	1	1	0	1	0	1	1	0	0	1	0
0	0	0	1	0	0	0	0	0	0	0	1	1	0
0	0	0	1	0	0	0	1	0	0	1	0	0	0
0	0	0	1	0	0	0	0	1	0	1	0	0	1
0	0	1	0	1	0	0	0	1	1	0	0	1	1
0	0	1	0	1	0	1	0	1	1	0	1	0	1
0	0	1	1							0	1	0	0
0	1	0	0							0	0	0	0
0	1	0	1							0	0	0	0
0	1	1	0							0	1	1	1
0	1	1	1							0	0	0	0
1	0	0	0							0	0	0	0
1	0	0	1							0	0	0	0

$$\begin{aligned}
 NS0 = & S3' \cdot S2' \cdot S1' \cdot S0' + \\
 & S3' \cdot S2' \cdot S1' \cdot S0 \cdot OP5' \cdot OP4' \cdot OP3' \cdot OP2' \cdot OP1 \cdot OP0' + \\
 & S3' \cdot S2' \cdot S1 \cdot S0' \cdot OP5 \cdot OP4' \cdot OP3' \cdot OP2' \cdot OP1 \cdot OP0 + \\
 & S3' \cdot S2' \cdot S1 \cdot S0' \cdot OP5 \cdot OP4' \cdot OP3 \cdot OP2' \cdot OP1 \cdot OP0 + \\
 & S3' \cdot S2 \cdot S1 \cdot S0'
 \end{aligned}$$

# Datapath Multiciclo

## □ Sinais de controle (saída)

Saída	Estados atuais
EscrevePC	state0 + state9
EscrevePCCond	state8
louD	state3 + state5
LeMem	state0 + state3
EscreveMem	state5
EscreveIR	state0
MemparaReg	state4
OrigPC1	state9
OrigPC0	state8
OpALU1	state6
OpALU0	state8
OrigBALU1	state1 + state2
OrigBALU0	state0 + state1
OrigAALU	state2 + state6 + state8
EscreveReg	state4 + state7
RegDst	state7

# Datapath Multiciclo

## □ Sinais de controle (saída)

Estado Atual				Opcode (Entrada)						Próximo Estado				EscrevePC	EscrevePCor	Ioud	LeMem	EscreveMem	EscreveR	MemparaReg	OrigPC1	OrigPC0	OPALU1	OPALU0	OrigBALU1	OrigBALU0	OrigALU	EscreveReg	RegDst
S3	S2	S1	S0	OP5	OP4	OP3	OP2	OP1	OP0	NS3	NS2	NS1	NS0																
0	0	0	0							0	0	0	1	1			1		1						1				
0	0	0	1	1	0	0	0	1	1	0	0	1	0											1	1				
0	0	0	1	1	0	1	0	1	1	0	0	1	0											1	1				
0	0	0	1	0	0	0	0	0	0	0	1	1	0											1	1				
0	0	0	1	0	0	0	1	0	0	1	0	0	0											1	1				
0	0	0	1	0	0	0	0	1	0	1	0	0	1											1	1				
0	0	1	0	1	0	0	0	1	1	0	0	1	1											1		1			
0	0	1	0	1	0	1	0	1	1	0	1	0	1											1		1			
0	0	1	1							0	1	0	0			1	1												
0	1	0	0							0	0	0	0						1								1		
0	1	0	1							0	0	0	0			1		1											
0	1	1	0							0	1	1	1										1				1		
0	1	1	1							0	0	0	0														1	1	
1	0	0	0							0	0	0	0		1							1		1			1		
1	0	0	1							0	0	0	0	1							1								



# Datapath Multiciclo

## □ Sinais de controle (saída)

Estado Atual				Opcode (Entrada)						Próximo Estado				EscrevePC	EscrevePCor	Ioud	LeMem	EscreveMem	EscreveR	MemparaReg	OrigPC1	OrigPC0	OPALU1	OPALU0	OrigBALU1	OrigBALU0	OrigALU	EscreveReg	RegDst
S3	S2	S1	S0	OP5	OP4	OP3	OP2	OP1	OP0	NS3	NS2	NS1	NS0																
0	0	0	0							0	0	0	1	1			1		1						1				
0	0	0	1	1	0	0	0	1	1	0	0	1	0											1	1				
0	0	0	1	1	0	1	0	1	1	0	0	1	0											1	1				
0	0	0	1	0	0	0	0	0	0	0	1	1	0											1	1				
0	0	0	1	0	0	0	1	0	0	1	0	0	0											1	1				
0	0	0	1	0	0	0	0	1	0	1	0	0	1											1	1				
0	0	1	0	1	0	0	0	1	1	0	0	1	1											1		1			
0	0	1	0	1	0	1	0	1	1	0	1	0	1											1		1			
0	0	1	1							0	1	0	0			1	1												
0	1	0	0							0	0	0	0						1								1		
0	1	0	1							0	0	0	0			1		1											
0	1	1	0							0	1	1	1										1				1		
0	1	1	1							0	0	0	0														1	1	
1	0	0	0							0	0	0	0		1							1		1		1			
1	0	0	1							0	0	0	0	1							1								

$$\text{EscrevePC} = S3' \cdot S2' \cdot S1' \cdot S0' + S31 \cdot S2' \cdot S1' \cdot S0$$

# Datapath Multiciclo

---

- ▣ Acelera a execução de algumas instruções
  - Ex: jump não utiliza todos os estágios do datapath
  - Ex: Type-R não acessa a memória de dados
- ▣ Não acelera a execução das instruções mais complexas (ex: lw)

# Datapath Multiciclo

---

- É possível melhorar ainda mais o desempenho?
- Sim:
  1. Processo de fabricação
  2. Exploração de Paralelismo
  3. **Microarquitetura Avançada**
    - **Pipelining**