

# Avaliação de arquitetura baseada no Intel i7-930 com variações no compartilhamento e tamanho da cache L2

Daniel Gunna  
Felipe Coelho  
Leonardo Palis  
Marcelo Santos Jr  
Paulo Victor

# Agenda:

- I) Introdução;
- II) Metodologia;
- III) Resultados Obtidos;
- IV) Conclusão;

# I) Introdução

- Processadores Intel Core i7 estão muito presentes no mercado atual.



# I) Introdução

- Superescalar Simulator (SESC).
  - Escrito em C++
  - Possui emulador construído a partir do MINT (MIPS)
  - Modela um pipeline com despacho fora de ordem
    - Previsão de desvios;
    - Caches;
    - Barramentos;
    - Outros componentes de um processador moderno necessário para simulação precisa.

# I) Introdução

- Processador Analisado: Intel® Core™ i7-930
  - 4 núcleos
  - 8 threads no total
  - Frequência de 2.8 GHz
  - Tecnologia de Intel Hyper-Threading
  - Caches:
    - 32KB L1 Dados, 32KB L1 Instruções por core
    - L2 de 4x256KB
    - L3 de 8MB



# I) Introdução

- As configurações do i7 não podem ser completamente simuladas no SESC;
- Processador Simulado:
  - Frequência de 2.8 GHz;
  - Cache L1 64KB para dados e instruções;
  - Cache L2 256KB para cada núcleo individual;
  - Tamanho do chip;

## II) Metodologia

- As simulações foram feitas utilizando o SESC
- Os testes foram conduzidos variando o tamanho da Cache L2 do processador e a quantidade de núcleos envolvidas no processamento.
- Utilizou-se a carga de trabalho **Ocean**, do benchmark SPLASH, para realizar os testes.

### III) Resultados Obtidos

Configuração simulada i7-930C			
Nº de Núcleos	Miss Rate L1	Simulation Time	Execution Time
1	12.96% (Dados) 0.05% (Instruções)	769.420 msec	1381.040 secs
2	12.86% (Dados) 0.06% (Instruções)	377.694 msec	1428.420 secs
4	12.59%(Dados) 0.09% (Instruções)	157.890 msec	1488.370 secs



### III) Resultados Obtidos

Configuração simulada i7-930				
Nº de Núcleos	Cache Miss L2	Direct Memory Access	Média de Ciclos p/ núcleo	IPC Médio
1	14458878	95.40% (Dados) 78.09% (Instruções)	2154377238	0.22
2	6973605	47.70% (Dados) 39.12% (Instruções)	1057496331,5	0.23
4	10431123	19.50% (Instruções) 23.76% (Dados)	442022062	0.28

### III) Resultados Obtidos

#### Configuração Cache L2 - 4mb compartilhado

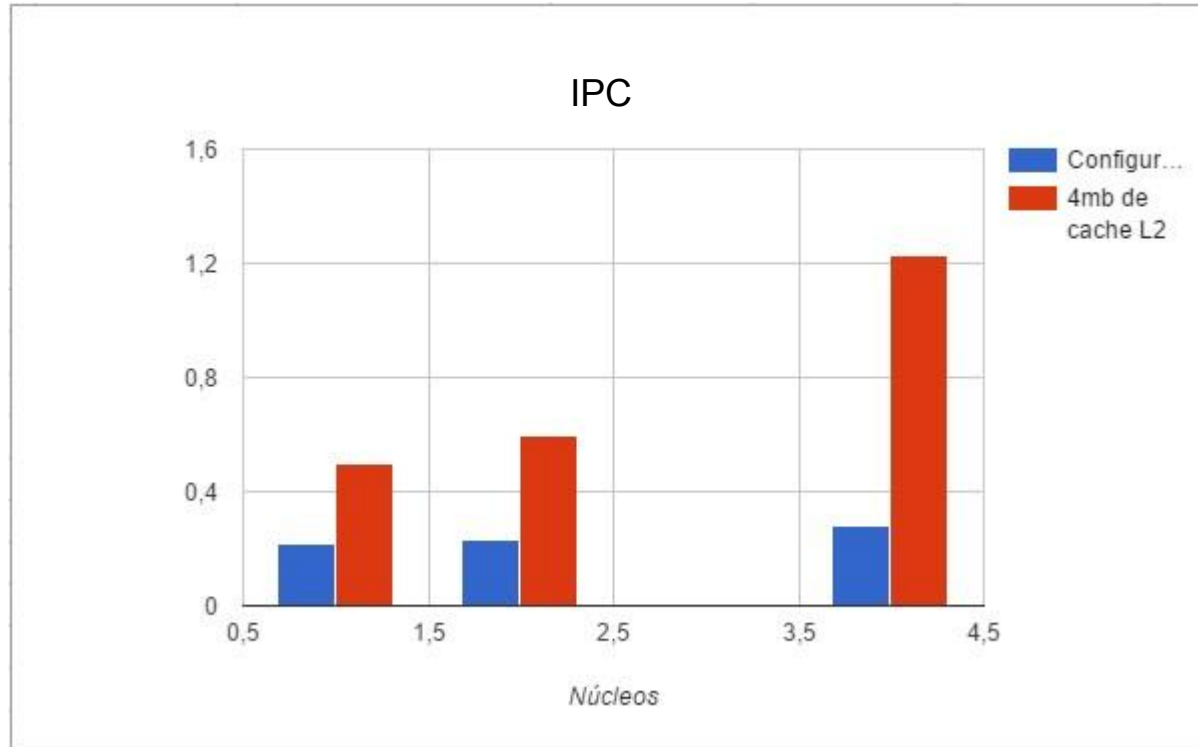
Nº de Núcleos	Miss Rate L1	Simulation Time	Execution Time
1	12.96% (Dados) 0.01% (Instruções)	339.079 msec	990.970 secs
2	12.80% (Dados) 0.02% (Instruções)	144.210 msec	1021.220 secs
4	12.97% (Dados) 0.03% (Instruções)	35.328 msec	1114.410 secs

### III) Resultados Obtidos

#### Configuração Cache L2 - 4Mb compartilhado

Nº de Núcleos	Cache Miss L2	Direct Memory Access	Média de Ciclos p/ núcleo	IPC Médio
1	33625918	95.40% (Dados) 78.09% (Instruções)	949420184	0.5
2	18803106	47.70% (Dados) 39.12% (Instruções)	403740558,5	0.6
4	889051	23.86% (Dados) 19.67% (Instruções)	98791274,75	1.23

### III) Resultados Obtidos



## IV) Conclusão

- A partir dos resultados, foi possível observar:
  - A variação da cache L2 impactou no tempo de execução final.
  - O tamanho da cache possibilitou mais instruções por ciclo pois diminui a quantidade de cache miss no nível dois.