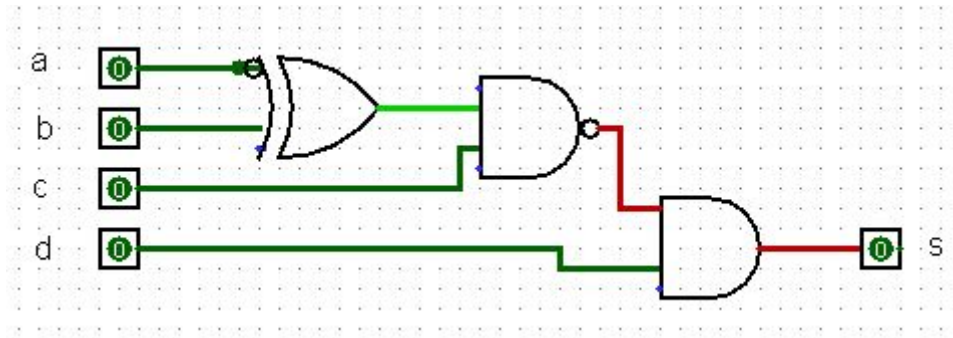


SISTEMA EMBARCADOS

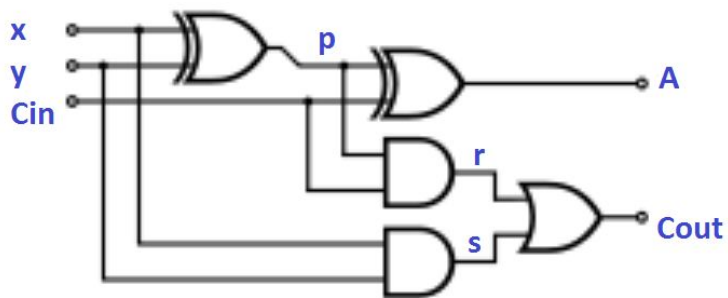
EXERCÍCIOS SOBRE FPGA

Todos os exercícios devem ser implementados no simulador Modelsim, usar a linguagem de descrição de hardware Verilog e devem ser testados por meio de um algoritmo de teste “test bench” apropriado a cada caso.

1- Implemente o circuito lógico abaixo no Modelsim.



2- Implemente um somador completo de 1-bit da figura abaixo.



3- Com base no somador de 1-bit do exercício anterior, implemente um contador completo de 4 bits.

4- Desenvolva um Flip Flop tipo D.