密级状态： 绝密（　　）　秘密（　　）　内部资料（　　）　公开（ √ ）

Rockchip RK3528 硬件设计指南

（福州硬件开发中心）

文件状态： [ ] 草稿 [ ] 正在修改 [√] 正式发布	**文件标识：**	
	当前版本：	V1.0
	作　　者：	福州硬件开发中心
	完成日期：	2023-05-25
	审　　核：	
	审核日期：	

瑞芯微电子股份有限公司
Rockchip Electronics Co.,Ltd.

免责声明

本文档按“现状”提供，瑞芯微电子股份有限公司（“本公司”，下同）不对本文档的任何陈述、信息和内容的准确性、可靠性、完整性、适销性、特定目的性和非侵权性提供任何明示或暗示的声明或保证。本文档仅作为使用指导的参考。

由于产品版本升级或其他原因，本文档将可能在未经任何通知的情况下，不定期进行更新或修改。

商标声明

“Rockchip”、“瑞芯微”、“瑞芯”均为本公司的注册商标，归本公司所有。

本文档可能提及的其他所有注册商标或商标，由其各自拥有者所有。

版权所有 © 2023 瑞芯微电子股份有限公司

超越合理使用范畴，非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

瑞芯微电子股份有限公司
地址：　福建省福州市铜盘路软件园 A 区 18 号
网址：　www.rock-chips.com
客户服务电话：　+86-591-83991906
客户服务传真：　+86-591-83951833
客户服务邮箱：　fae@rock-chips.com

Rockchip Confidential

前言

概述

本文档主要介绍 RK3528 处理器硬件设计的要点及注意事项，旨在帮助 RK 客户缩短产品的设计周期、提高产品的设计稳定性及降低故障率。请客户参考本指南的要求进行硬件设计，同时尽量使用 RK 发布的相关核心模板。如因特殊原因需要更改的，请严格按照高速数字电路设计要求以及 RK 产品 PCB 设计要求进行。

芯片型号

本文档对应的芯片型号为：**RK3528**

适用对象

本文档主要适用于以下工程师：

- 硬件开发工程师
- Layout 工程师
- 技术支持工程师
- 测试工程师

Rockchip Confidential

更改记录

修订记录累积了每次文档更新的说明，最新版本的文档包含以前所有文档版本的更新内容。

版本	修改人	修改日期	修改说明	备注
V1.0	福州硬件开发中心	2023.05.25	首次发布	

Rockchip Confidential

目录

前言 ..... **II**
更改记录 ..... **III**
目录 ..... **IV**
图片索引 ..... **VII**
表格索引 ..... **XII**
1 系统概述 **1**
1.1 概述 1
1.2 芯片框图 2
1.3 应用框图 3
2 原理图设计建议 **4**
2.1 最小系统设计 4
2.1.1 时钟电路 4
2.1.2 NPOR 电路 5
2.1.3 系统启动引导顺序 6
2.1.4 系统初始化配置信号 6
2.1.5 JTAG 和 UART Debug 电路 7
2.1.6 DDR 电路 9
2.1.7 eMMC 电路 18
2.1.8 FSPI Flash 电路 21
2.1.9 GPIO 电路 22
2.2 电源设计 23
2.2.1 RK3528 电源介绍 23
2.2.2 电源设计建议 25
2.2.3 RK3528 分立电源方案介绍 34
2.3 功能接口设计指南 36
2.3.1 SDMMC/SDIO 36
2.3.2 SARADC 电路 40
2.3.3 OTP 电路 41
2.3.4 PCIE2.0/USB 电路 41
2.3.5 视频输入接口电路 48
2.3.6 视频输出接口电路 49
2.3.7 音频相关电路设计 54
2.3.8 以太网接口电路 61
2.3.9 UART 接口电路 68
2.3.10 SPI 接口电路 70
2.3.11 I2C 接口电路 70
2.3.12 PWM 接口电路 71
2.3.13 RK3528 未使用模块的管脚处理 73

Rockchip Confidential

3 PCB 设计建议 74
3.1 PCB 叠层设计 74
3.1.1 4 层 PTH 板叠层 74
3.1.2 RK3528 扇出设计 75
3.2 通用布线建议 78
3.3 接口 PCB 设计建议 87
3.3.1 Clock/Reset 电路 PCB 设计 87
3.3.2 Power 电路 PCB 设计 88
3.3.3 DRAM 电路 PCB 设计 113
3.3.1 PCIE2.0 127
3.3.2 HDMI 2.0 129
3.3.3 USB 2.0 130
3.3.4 USB 3.0 130
3.3.5 eMMC 131
3.3.6 SDMMC 132
3.3.7 SDIO 133
3.3.8 FSPI 133
3.3.9 RGMII 133
3.3.10 100base-t 134
3.3.11 ACODEC&CVBS 设计 134
3.3.12 音频接口电路 PCB 设计 135
3.3.13 WIFI/BT PCB 设计 135
4 热设计建议 138
4.1 热仿真结果 138
4.1.1 结果概要 138
4.1.2 PCB 描述 138
4.1.3 术语解释 138
4.2 芯片内部热控制方式 140
4.2.1 温度控制策略 140
4.2.2 温度控制配置 140
4.3 电路热设计参考 140
4.3.1 电路原理图热设计参考 140
4.3.2 PCB 热设计参考 140
5 ESD/EMI 防护设计 142
5.1 概述 142
5.2 术语解释 142
5.3 ESD 防护 142
5.4 EMI 防护 143
6 焊接工艺 145
6.1 概述 145
6.2 术语解释 145

Rockchip Confidential

6.3 回流焊要求 145
6.3.1 焊膏成分要求 145
6.3.2 SMT 曲线 145
6.3.3 SMT 建议曲线 147
7 包装和存放条件 148
7.1 概述 148
7.2 术语解释 148
7.3 防潮包装 148
7.4 产品存放 149
7.4.1 存放环境 149
7.4.2 暴露时间 149
7.5 潮敏产品使用 150

Rockchip Confidential

图片索引

图 1-1 RK3528 芯片框图 2
图 1-2 RK3528 OTT 应用框图 3
图 2-1 RK3528 晶体连接方式及器件参数 4
图 2-2 RK3528 引导顺序选择 6
图 2-3 RK3528 SDMMC/CPU JTAG 复用管脚以及 SDMMC DET 管脚 7
图 2-4 RK3528 JTAG 连接示意图 8
图 2-5 RK3528 CPU JTAG 管脚 8
图 2-6 RK3528 UART0 M0 管脚 9
图 2-7 RK3528 Debug UART0 连接示意图 9
图 2-8 RK3528 DDR_RZQ 管脚 12
图 2-9 2CS 4 颗粒 DDR3/DDR4 Fly-by + T 混合拓扑结构 13
图 2-10 2CS 4 颗粒 DDR3/DDR4 Fly-by + T 拓扑 CLKP/CLKN 端接 13
图 2-11 1CS 2 颗粒 DDR3/DDR3L/DDR4 Fly-b 拓扑结构 14
图 2-12 1CS 2 颗粒 DDR3/DDR4 Fly-b 拓扑结构 CLKP/CLKN 端接 14
图 2-15 1 颗粒 LPDDR3/LPDDR4/LPDDR4X 点对点拓扑结构 15
图 2-16 1 颗粒 LPDDR3/LPDDR4/LPDDR4X 点对点拓扑结构 CLKP/CLKN 端接 15
图 2-17 VCC_DDR FB 采参数调整 16
图 2-18 LPDDR4/LPDDR4x 兼容设计电源选择 16
图 2-19 DDR3 SDRAM 上电时序 17
图 2-20 LPDDR3 SDRAM 上电时序 17
图 2-21 DDR4 SDRAM 上电时序 17
图 2-22 LPDDR4/4x SDRAM 上电时序 18
图 2-23 eMMC 连接示意图 19
图 2-24 eMMC 颗粒上下电时序 20
图 2-25 FSPI Flash 连接示意图 21
图 2-26 RK3528 芯片 PLL 电源管脚 26
图 2-27 RK3528 芯片 DDR PHY PLL 电源管脚 26
图 2-28 RK3528 芯片 PMU_LOGIC_DVDD 电源管脚 27
图 2-29 RK3528 芯片 CPU_DVDD 电源管脚 27
图 2-30 LOGIC_DVDD 电源电容 28
图 2-31 RK3528 芯片 GPU_DVDD 电源管脚 28
图 2-32 RK3528 芯片在 DDR3/DDR3L/DDR4/LPDDR3/LPDDR4 模式下的 DDR 电源管脚 29
图 2-33 RK3528 芯片在 LPDDR4/4x 模式下的电源滤波电容 29
图 2-34 RK3528 USB2.0 PHY 电源管脚 30
图 2-35 RK3528 PCIE2.0/USB3.0 Combo PHY 电源管脚 30
图 2-36 RK3528 ACODEC&VDAC PHY 电源管脚 31
图 2-37 RK3528 FEPHY 电源管脚 32
图 2-38 RK3528 HDMI2.0 PHY 电源管脚 32
图 2-39 RK3528 SARADC 电源管脚 33
图 2-40 RK3528 OTP 电源管脚 33
图 2-41 RK3528 分立电源架构 34
图 2-42 RK3528 分立电源上电时序表 35
图 2-43 RK3528 分立电源 上电时序图 35
图 2-44 RK3528 SD 卡 1.8V/3.3V 电源切换 FB 参数 37
图 2-45 RK3528 SDMMC 接口管脚 37
图 2-46 SD Card 接口电路 38
图 2-47 RK3528 SDIO0 接口功能管脚 39
图 2-48 RK3528 SDIO1 接口功能管脚 39
图 2-49 SARADC INx 接口 41
图 2-50 RK3528 SARADC 单按键电路 41

Rockchip Confidential

图 2-51 RK3528 OTP 电源管脚 41
图 2-52 PCIE/USB PHY 与 PCIE/USB Controller 的内部复用关系 42
图 2-53 USB2.0 OTG0 管脚 43
图 2-54 USB2.0 HOST1 管脚 43
图 2-55 USB30 OTG0 管脚 43
图 2-56 PCIe2.0 管脚 44
图 2-57 RK3528 USB20_OTG0 电路 44
图 2-58 USB20_OTG0_VBUSDET 检测电路 45
图 2-59 USB2.0 信号串接 2.2ohm 电阻电路 45
图 2-60 USB2.0 信号串共模电感电路 45
图 2-61 USB20_OTG0_ID 脚电路 46
图 2-62 USB 5V 限流电路 46
图 2-63 USB 座子 ESD 电路 46
图 2-64 RK3528 TSI 功能管脚 48
图 2-65 RK3528 TSI 两种模式 48
图 2-66 RK3528 VOP 和视频接口输出路径图 49
图 2-67 RK3528 HDMI PHY 管脚 50
图 2-68 RK3528 HDMI _REXT 管脚 50
图 2-69 RK3528 HDMI_TX_HPD/SCL/SDA/CEC 功能管脚 50
图 2-70 RK3528 HDMI_TX_HPD 电路 51
图 2-71 HDMI CEC 协议要求 51
图 2-72 HDMI 5V 电源 51
图 2-73 HDMI TX 座子 ESD 电路 52
图 2-78 RK3528 ACODEC PHY 管脚 58
图 2-79 RK3528 AUDIO 电路图 59
图 2-80 RK3528 AUDIO 接口 59
图 2-81 3.5mm 耳机座区别 59
图 2-82 RK3528 ACODEC 输出驱动喇叭 60
图 2-83 RK3528 ACODEC 输出示意图 60
图 2-84 RK3528 I2S 输出示意图 60
图 2-85 MIC 输入电路示意图 61
图 2-86 RK3528 外接 CODEC 音频方案示意图 61
图 2-87 RK3528 内置 FEPHY 电路图 62
图 2-88 RK3528 RJ45 接口 62
图 2-89 RK3528 GMAC0 功能管脚 63
图 2-90 RGMII 连接示意图 1 64
图 2-91 RGMII 连接示意图 2 65
图 2-92 RMII 连接示意图 1 65
图 2-93 RMII 连接示意图 2 66
图 2-94 RMII 连接示意图 3 66
图 2-95 RMII 连接示意图 4 67
图 2-96 RMII 连接示意图 5 67
图 2-97 红外接收头电路 73
图 3-1 6 层 PTH 板叠层 74
图 3-2 6 层 PTH 板阻抗线参考值 75
图 3-3 RK3528 扇出示意图 1 75
图 3-4 RK3528 扇出示意图 2 76
图 3-5 RK3528 扇出示意图 3 76
图 3-6 RK3528 扇出示意图 4 77
图 3-7 差分对时延差示意图 78
图 3-8 不完整参考平面示意图 78
图 3-9 参考层挖空示意图 79
Rockchip Confidential

图 3-10 走线与同层地铜皮间距示意图 79
图 3-11 过孔尾桩示意图 80
图 3-12 跨区示意图 80
图 3-13 地通孔示意图 81
图 3-14 ESD 器件地通孔示意图 81
图 3-15 绕线补偿示意图 82
图 3-16 差分对内绕线补偿示意图 82
图 3-17 差分换层过孔示意图 83
图 3-18 单端信号换层过孔示意图 83
图 3-19 对称走线示意图 83
图 3-20 连接器焊盘通孔示意图 84
图 3-21 焊盘铺铜示意图 84
图 3-22 连接器地铜皮示意图 85
图 3-23 蛇形绕线示意图 85
图 3-24 走线残桩示意图 85
图 3-25 跨电源平面示意图 86
图 3-26 BGA 处 GND 过孔数量示意图 86
图 3-27 RK3528 晶体布局和走线 87
图 3-28 分立电源 DC/DC 布局和走线 88
图 3-29 RK3528 芯片 VDD_ARM 的电源远端反馈设计 89
图 3-30 DC/DC 远端反馈设计示意图 89
图 3-31 RK3528 芯片 VDD_CPU 的电源管脚走线和过孔 90
图 3-32 RK3528 芯片 VDD_CPU 的电源管脚背面去耦电容放置情况 90
图 3-33 BIG 电源地过孔放置图 91
图 3-34 DCDC 换层过孔数量示意图 91
图 3-35 去耦电容过孔数量示意图 92
图 3-36 铜皮宽度示意图 92
图 3-37 电容数量示意图 93
图 3-38 电源过孔数量示意图 93
图 3-39 电源管脚 40mil 范围内的 GND 过孔数量示意图 94
图 3-40 BGA 下方铜皮示意图 94
图 3-41 VDD_ARM 电源建议 PDN 要求 95
图 3-42 RK3528 芯片 VDD_LOGIC&VDD_GPU 的电源管脚走线和过孔 96
图 3-43 RK3528 芯片 VDD_LOGIC&VDD_GPU 的电源管脚背面去耦电容放置情况 96
图 3-44 RK3528 芯片 VDD_LOGIC&VDD_GPU 电源地过孔放置图 97
图 3-45 DCDC 换层过孔数量示意图 97
图 3-46 去耦电容过孔数量示意图 98
图 3-47 铜皮宽度示意图 98
图 3-48 电容数量示意图 98
图 3-49 电源过孔数量示意图 99
图 3-50 电源管脚 40mil 范围内的 GND 过孔数量示意图 99
图 3-51 BGA 下方铜皮示意图 100
图 3-52 VDD_GPU 和 VDD_LOGIC 的合并电源建议 PDN 要求 100
图 3-53 RK3528 芯片 VCC_DDR 的电源管脚走线和过孔 101
图 3-54 RK3528 芯片 VCC_DDR 的电源管脚背面去耦电容放置情况 101
图 3-55 VCC_DDR 电源地过孔放置图 102
图 3-56 DCDC 换层过孔数量示意图 102
图 3-57 去耦电容过孔数量示意图 103
图 3-58 DDR 颗粒电源管脚对应的过孔数量示意图 103
图 3-59 电容数量示意图 104
图 3-60 电源过孔数量示意图 104
图 3-61 电源管脚 40mil 范围内的 GND 过孔数量示意图 105
Rockchip Confidential

图 3-62 BGA 下方铜皮示意图 105
图 3-63 RK3528 VCC_DDR 电源建议 PDN 要求 106
图 3-64 DDR 颗粒 VCC_DDR 电源建议 PDN 要求 106
图 3-65 DCDC 换层过孔数量示意图 107
图 3-66 去耦电容过孔数量示意图 107
图 3-67 DDR 颗粒电源管脚对应的过孔数量示意图 108
图 3-68 电容数量示意图 108
图 3-69 电源过孔数量示意图 109
图 3-70 电源管脚 40mil 范围内的 GND 过孔数量示意图 109
图 3-71 RK3528 VCC0V6_DDR 电源建议 PDN 要求 110
图 3-72 DDR 颗粒 VCC0V6_DDR 电源建议 PDN 要求 110
图 3-73 RK3528 芯片 VSS 的管脚走线和过孔 111
图 3-74 RK3528 芯片地层覆铜情况 112
图 3-75 电源电容靠近电源过孔放置示意图 112
图 3-76 电源电容 GND 管脚对应的 GND 过孔数量示意图 113
图 3-77 模板的 GND 过孔设计 113
图 3-78 第四层的 DQ、DQS 信号参考 GND 平面示意图 114
图 3-79 一根 DQ 包地处理示意图 114
图 3-80 两根 DQ 包地处理示意图 115
图 3-81 走线和参考层边缘距离图示 115
图 3-82 信号 GND 回流过孔示意图 116
图 3-83 DQS 信号包地处理示意图 116
图 3-84 CLK 信号包地处理示意图 117
图 3-85 CKE、CS、ODT 信号包地示意图 117
图 3-86 第三层地址控制线包地处理示意图 118
图 3-87 第四层地址控制线包地处理示意图 118
图 3-88 信号绕线图示 119
图 3-89 过孔示意图 119
图 3-90 排过孔对铜皮破坏示意图 120
图 3-91 电容管脚对应的过孔数量示意图 120
图 3-92 过孔靠近管脚放置示意图 120
图 3-93 电源层被一排过孔大面积破坏示意图 121
图 3-94 电源层被走线破坏示意图 121
图 3-95 去耦电容靠近电源管脚放置示意图 122
图 3-96 一个 GND 管脚至少一个 GND 过孔示意图 122
图 3-97 缝合电容示意图 123
图 3-98 VREF 电源和信号线的空气间距示意图 123
图 3-99 链式拓扑示意图 124
图 3-100 链式拓扑设计要点 124
图 3-101 有空间的位置拉大信号间距示意图 124
图 3-102 GND 过孔数量示意图 128
图 3-103 包地线示意图 128
图 3-104 GND 过孔数量示意图 129
图 3-105 包地线示意图 130
图 3-106 GND 过孔数量示意图 131
图 3-107 包地线示意图 131
图 3-108 包地线示意图 132
图 3-109 第四层走线参考第三层 GND 平面示意图 132
图 3-110 包地线示意图 133
图 3-111 ACODEC 走线示意图 134
图 3-112 WIFI 模块的电感电容走线示意图 136
图 3-113 WIFI 模块天线走线示意图 136
Rockchip Confidential

图 4-1 θ_{JA} 的定义 139
图 4-2 θ_{JC} 的定义 139
图 4-3 θ_{JB} 的定义 139
图 6-1 回流焊曲线分类 146
图 6-2 无铅工艺器件封装体耐热标准 146
图 6-3 无铅回流焊接工艺曲线 146
图 6-4 无铅回流焊接工艺建议曲线参数 147
图 7-1 芯片干燥真空包装 149
图 7-2 六点湿度卡 149
Rockchip Confidential

表格索引

表 2-1 RK3528 24MHz 时钟要求 5
表 2-2 RK3528 系统初始化配置信号描述 7
表 2-3 RK3528 JTAG Debug 接口信号 7
表 2-4 RK3528 DDR PHY I/O Map 表 10
表 2-5 RK3528 eMMC 接口设计 19
表 2-6 RK3528 FSPI 接口设计 22
表 2-7 RK3528 GPIO 电源脚描述 23
表 2-8 RK3528 芯片电源需求表 23
表 2-9 RK3528 第一次上电各模块供电要求表 25
表 2-10 RK3528 内部 PLL 介绍 26
表 2-11 RK3528 峰值电流表 36
表 2-12 SDMMC0 接口设计 38
表 2-13 SDIO 接口设计 40
表 2-14 RK3528 USB2.0/USB3.0 接口设计 47
表 2-15 RK3528 CIF 接口设计 49
表 2-16 RK3528 HDMI TX 接口设计 53
表 2-17 RK3528 对外引出的音频接口以及 IO 复用情况 54
表 2-18 RK3528 I2S0 接口信号描述 55
表 2-19 RK3528 I2S1 接口信号描述 56
表 2-20 RK3528 PDM_CLK 频率与采样率对照表 57
表 2-21 RK3528 PDM 接口信号描述 57
表 2-22 RK3528 SPDIF_TX 接口信号描述 58
表 2-23 RK3528 RGMII/RMII 接口设计 63
表 2-24 RK3528 UART 接口分布 68
表 2-25 RK3528 UART 流控接口分布 69
表 2-26 RK3528 UART 接口设计 70
表 2-27 RK3528 SPI 接口分布 70
表 2-28 RK3528 SPI 接口设计 70
表 2-29 RK3528 I2C 接口分布 71
表 2-30 RK3528 I2C 接口设计 71
表 2-31 RK3528 PWM 接口分布 72
表 3-1 VDD_ARM 电源 PDN 目标阻抗建议值 94
表 3-2 VDD_GPU 和 VDD_LOGIC 合并电源 PDN 目标阻抗建议值 100
表 3-3 RK3528 VCC_DDR 电源 PDN 目标阻抗建议值 106
表 3-4 DDR 颗粒 VCC_DDR 电源 PDN 目标阻抗建议值 106
表 3-5 RK3528 VCC0V6_DDR 电源 PDN 目标阻抗建议值 110
表 3-6 DDR 颗粒 VCC0V6_DDR 电源 PDN 目标阻抗建议值 110
表 3-7 LPDDR3 走线要求 125
表 3-8 DDR3/DDR3L 走线要求 125
表 3-9 DDR4 走线要求 126
表 3-10 LPDDR4 走线要求 126
表 3-11 LPDDR4X 走线要求 127
表 3-12 布线要求-PCIE2.0 127
表 3-13 布线要求-HDMI2.0 129
表 3-14 布线要求-USB2.0 130
表 3-15 布线要求-USB3.0 130
表 3-16 布线要求-eMMC 131
表 3-17 布线要求-SDMMC 132
表 3-18 布线要求- SDIO 133
表 3-19 布线要求- FSPI 133

Rockchip Confidential

表 3-20 布线要求-RGMII 133
表 3-21 布线要求-100base-t 134
表 4-1 RK3528 热阻仿真报告结果 138
表 4-2 RK3528 热阻仿真的 PCB 结构 138
表 7-1 暴露时间参照表（MSL） 150
表 7-2 RK3528 Re-bake 参考表 150
Rockchip Confidential

1 系统概述

1.1 概述

RK3528 是一颗高性能、高集成度、低成本的四核应用处理器芯片，专为 Smart IPTV/OTT/DBS 和高端多媒体应用设计的。四核 Cortex-A53 集成了单独的 Neon 和 FPU 协处理器，还集成共享 L2 缓存，以此大幅度提高系统性能。

内置 ARM Mali-450 GPU，支持高分辨率显示器，能够完全兼容 OpenGL ES1.1/2.0、OpenVG 等图形程序。

RK3528 具有高性能的 32bit 外部存储器接口，支持 LPDDR3/DDR3/DDR3L/DDR4/LPDDR4/LPDDR4X。

高级视频解码器支持高达 10bit 像素 4K/60FPS 超高清视频播放，兼容 H.265、H.264、VP9、AVS2 等视频标准。高级视频编码器支持 1080P/60FPS 高清视频捕获，支持 H.265、H.264 编码。

显示控制器可以在 HDMI 输出（支持 HDR10、VIVID HDR、CEC、HDCP2.2）和 CVBS 输出之间灵活切换。

RK3528 还提供了一套丰富的外设接口 SDMMC/SDIO/PCIE2.0/USB3.0/RGMII/I2S/PDM/UART/I2C/PWM/SPI 等，可以灵活支持各类应用场景。

Rockchip Confidential

1.2 芯片框图

图 1-1 RK3528 芯片框图

Rock

1.3 应用框图

图 1-2 RK3528 OTT 应用框图

以上是 RK3528 芯片方案的举例应用框图，更详细的请参考 RK 发布的参考设计原理图。

Rockchip

2 原理图设计建议

2.1 最小系统设计

2.1.1 时钟电路

RK3528 芯片内部的振荡器电路与外置的 24MHz 晶体一起构成系统时钟，如图 2-1 所示。XOUT24M 网络务必串接 22ohm 电阻，用于限流，防止过驱。XOUT24M 和 XIN24M 网络之间的 1M 电阻不可随意修改。

图 2-1 RK3528 晶体连接方式及器件参数

注意

Note1：选用晶体的 CL 值不超过 12pF。

Note2：晶体负载电容请根据实际使用的晶体的 CL 电容值选择，并控制常温下的频率容限在 20ppm 以内；

18pF 为我司选用晶体所对应容值，并不为通用值，负载电容材质建议采用 COG 或 NPO；

建议采用贴片 4Pin 晶体，其中 2 个 GND 管脚与 PCB 板的地充分连接，加强时钟抗 ESD 干扰能力。

Rockchip Confidential

另外，系统时钟还可以直接由外部的有源晶体电路产生时钟，通过 OSC_SOC_XIN 脚输入，时钟参数如下表 2-1 所示：

表 2-1 RK3528 24MHz 时钟要求

参数	规范			描述
	最小	最大	单位	
频率	24.000000		MHz	
频率偏差	+/-20		ppm	Frequency tolerance
时钟幅度	1.8		V	峰峰值
工作温度	-20	80	℃	
ESR	/	40	Ohm	

RK3528 可向外设提供工作时钟：

- REF_CLK_OUT_M0/M1：预留时钟输出引脚，输出时钟为 24MHz；
- TEST_CLK_OUT：时钟测试引脚，可以测试芯片内部部分模块的 CLK 频率；
- CLK_32K_OUT_M0/M1：32.768KHz 时钟输出，可提供给 WIFI/BT、PCIe 等设备当休眠或工作时钟；
- ETH_CLK_25M_OUT：25MHz 时钟输出，可提供给 Ethernet PHY 等设备当工作时钟；
- HSM_CLK_OUT_M0/M1：默认 4.5MHz 时钟输出，Hardware Securite Module 工作时钟；
- RGMII1_CLK：可以输出 125Mhz 或是 50Mhz 时钟频率， 为外部以太网 PHY 提供工作时钟；

注意

以上时钟所处的 IO Domain 与外设的 IO 电平必须匹配，如果不匹配，必须增加电平转换电路。

请根据外设设备时钟需求评估是否可以满足。

2.1.2 NPOR 电路

RK3528 芯片内部集成 POR(Power on Reset)电路，主要功能是产生 SOC 的上电复位信号以及电源状态的监测信号。如图 2-3 所示，芯片 PIN 1J12 通过电阻 R1110 上拉到 VCC_3V3 电源，作为内部 NPOR 的电压比较器的输入参考，电容 C1100 用于消抖。

芯片的硬件复位检测输入通过 PIN 1J12 (NPOR)管脚输入，必须由外部控制，低电平有效。

NPOR_L 网络的上拉电源必须和 NPOR 管脚所在的 IO 电源域（PMUIO_VCC3V3）保持一致。

图 2-3 RK3528 复位检测输入

Rockchip Confidential

2.1.3 系统启动引导顺序

RK3528 芯片支持多种启动引导方式，在芯片复位结束后，芯片内部集成的引导代码可以在如下接口设备进行引导，具体引导顺序可根据实际应用需求进行选择（见下文中“**引导顺序选择**”描述）

- Serial Flash(FSPI)
- eMMC
- SDMMC Card

如果在上述设备中没有引导代码，可以通过 USB2.0 OTG 接口信号将系统代码下载到这些设备中。

引导顺序选择：

RK3528 的 Boot 启动顺序可以通过 SARADC_IN0 Pin(PIN AA10)进行设置，从不同接口对应的外设启动，如下表所示硬件通过配置不同的上下拉电阻值，设计 LEVEL1-LEVEL10 十种模式的外设引导顺序，可根据实际应用需求进行对应配置，具体描述详见第 2.3.2 小节。

TABLE

Item	Rup	Rdown	ADC	BOOT MODE
LEVEL1	DNP	100K	0	USB (Maskrom mode)
LEVEL2	100K	12K	114	
LEVEL3	100K	27K	228	FSPI--USB
LEVEL4	100K	51K	342	
LEVEL5	100K	82K	456	
LEVEL6	100K	120K	570	EMMC--USB
LEVEL7	100K	200K	683	EMMC--SD Card--USB
LEVEL8	100K	330K	796	SD Card--USB
LEVEL9	100K	820K	910	
LEVEL10	100K	DNP	1023	FSPI--EMMC--SD Card--USB

图 2-2 RK3528 引导顺序选择

按照以上 LEVEL1 设置，SARADC_IN0_BOOT 对地短路，可使设备进入 Maskrom 状态，无需再通过短路 EMMC_CLK/DATA 进入 Maskrom；SARADC_IN1 用于对地短路进入 Recovery 状态；其它 SARADC 口可根据应用需求配置。

注意

Note1：SARADC_IN0 为 BOOT 配置专用引脚，不可作为其他功能使用

2.1.4 系统初始化配置信号

RK3528 中有一个重要信号会影响系统的启动配置，需要在上电前配置完毕并保持状态稳定：

- SDMMC_DET 管脚(Pin D21)：决定 VCCIO2_VCC 电源域相关的 IO 是 SDMMC 还是 JTAG 功能；在系统复位结束后，芯片会根据这个管脚的输入电平配置相应模块的默认开机功能。

  RK3528 的 CPU JTAG 功能与 SDMMC 功能复用在一起，通过 SDMMC_DET 管脚来切换 IOMUX 的功能，故该管脚也需要在上电前完成配置，否则 CPU JTAG 功能无输出会影响到引导阶段的调试，而 SDMMC 无输出会影响到 SDMMC boot 功能。

Rockchip Confidential

图 2-3 RK3528 SDMMC/CPU JTAG 复用管脚以及 SDMMC DET 管脚

- SDMMC_DET 该管脚检测为高电平，则对应 IO 切换到 CPU JTAG 功能；
- 当检测到为低电平（大部分 SD 卡插入会拉低该管脚，如果不是需要特殊处理），对应 IO 切换为 SDMMC 功能；
- 系统起来后，可切换成由寄存器来控制 IOMUX，那么该管脚可以释放出来；
- 为方便查询，这个管脚的配置状态与功能对应如下表所示：

表 2-2 RK3528 系统初始化配置信号描述

信号名	内部上下拉	描述
SDMMC_DETN	上拉	SDMMC/CPU JATG 管脚复用选择控制信号： 0：识别为 SD 卡插入，SDMMC/CPU JATG 管脚复用为 SDMMC 功能； 1：未识别为 SD 卡插入，SDMMC/CPU JATG 管脚复用为 CPU JTAG 功能（Default）

2.1.5 JTAG 和 UART Debug 电路

RK3528 芯片的 ARM JTAG 接口符合 IEEE1149.1 标准，PC 可通过 SWD 模式（两线模式）连接 DSTREAM 仿真器，调试芯片内部的 ARM Core。

在引导阶段要通过连接仿真器时，需要保证 SDMMC_DETN 管脚处于高电平，否则无法进入 JTAG 调试模式，该管理的配置见上节描述。

系统起来后，会切换成由寄存器控制 IOMUX，CPU JTAG 接口说明如下表所示：

表 2-3 RK3528 JTAG Debug 接口信号

信号名	描述
JTAG_CPU_TCK_M0/M1	ARM Cortex-A53 SWD 时钟输入
JTAG_CPU_TMS_M0/M1	ARM Cortex-A53 SWD 模式选择输入
JTAG_MCU_TCK_M0/M1	MCU SWD 时钟输入
JTAG_MCU_TMS_M0/M1	MCU SWD 模式选择输入

Rockchip Confidential

JTAG 的连接方式及标准连接器管脚定义如下图所示：

图 2-4 RK3528 JTAG 连接示意图

如果没有 SD Card 功能，建议 CPU JTAG 功能预留方便 Debug。

预留 IO 可以选择下列中任意一种，分布在 VCCIO2_VCC(PIN 1B14) 和 VCCIO4_VCC(PIN 1J3) 电源域上。一般 JTAG 外设电平是 3.3V 的， 所以需要注意 IO 电平一致性。

图 2-5 RK3528 CPU JTAG 管脚

RK3528 的 MCU_JTAG 模块暂不对外开放，无需进行特别处理。

RK3528 UART Debug 默认选择 UART0_RX_M0/UART0_TX_M0，默认波特率为 1500000bps。

图 2-6 RK3528 UART0 M0 管脚

UART0_RX_M0/UART0_TX_M0 串接的 100 ohm 电阻不得删减，并增加 TVS 管，加强抗静电浪涌能力，防止开发调试过程损坏芯片管脚，能预留 2.54mm 插针建议尽量预留，如果无条件，建议使用 0.7mm 以上测试点，方便焊接。

图 2-7 RK3528 Debug UART0 连接示意图

2.1.6 DDR 电路

2.1.6.1 DDR 控制器介绍

RK3528 DDR 控制器接口支持 JEDEC SDRAM 标准接口，控制器有如下特点：

- 兼容 DDR3/DDR3L/LPDDR3/DDR4/LPDDR4/LPDDR4X 等标准；
- 支持 32bits 数据总线宽度，2ranks（片选），最大总寻址地址 4GB；
- 两个 16bits 组成一个 32bits 通道，支持非对称性设计，如 1GB+2GB 组合；
- 支持 Power Down、Self Refresh 等模式；
- 具有动态 PVT 补偿的可编程输出和 ODT 阻抗调整。

2.1.6.2 电路设计建议

RK3528 DDR PHY 和各 DRAM 颗粒原理图需要和参考设计图一致，包含电源去耦电容。

RK3528 可支持 DDR3/DDR3L、LPDDR3、DDR4 和 LPDDR4/LPDDR4X，这些 DRAM 具有不同 I/O

Rockchip Confidential

信号，根据 DRAM 类型选择对应的信号，RK3528 DDR PHY I/O Map 表如下：

表 2-4 RK3528 DDR PHY I/O Map 表

DDRPHY	DDR4	LPDDR4/LPDDR4X	DDR3	LPDDR3
DDRPHY_A_DQ0	DDR4_DQL6_A	LPDDR4_DQ0_A	DDR3_D4	LPDDR3_D0
DDRPHY_A_DQ1	DDR4_DQL2_A	LPDDR4_DQ1_A	DDR3_D0	LPDDR3_D1
DDRPHY_A_DQ2	DDR4_DQL0_A	LPDDR4_DQ2_A	DDR3_D2	LPDDR3_D2
DDRPHY_A_DQ3	DDR4_DQL1_A	LPDDR4_DQ3_A	DDR3_D1	LPDDR3_D3
DDRPHY_A_DQ4	DDR4_DQL4_A	LPDDR4_DQ4_A	DDR3_D6	LPDDR3_D4
DDRPHY_A_DQ5	DDR4_DQL5_A	LPDDR4_DQ5_A	DDR3_D7	LPDDR3_D5
DDRPHY_A_DQ6	DDR4_DQL7_A	LPDDR4_DQ6_A	DDR3_D5	LPDDR3_D6
DDRPHY_A_DQ7	DDR4_DQL3_A	LPDDR4_DQ7_A	DDR3_D3	LPDDR3_D7
DDRPHY_A_DM0	DDR4_DML_A	LPDDR4_DM0_A	DDR3_DM0	LPDDR3_DM0
DDRPHY_A_DQS0	DDR4_DQSL_P_A	LPDDR4_DQS0P_A	DDR3_DQS0P	LPDDR3_DQS0P
DDRPHY_A_DQSB0	DDR4_DQSL_N_A	LPDDR4_DQS0N_A	DDR3_DQS0N	LPDDR3_DQS0N
DDRPHY_A_DQ8	DDR4_DQU1_A	LPDDR4_DQ8_A	DDR3_D12	LPDDR3_D19
DDRPHY_A_DQ9	DDR4_DQU5_A	LPDDR4_DQ9_A	DDR3_D14	LPDDR3_D16
DDRPHY_A_DQ10	DDR4_DQU0_A	LPDDR4_DQ10_A	DDR3_D15	LPDDR3_D21
DDRPHY_A_DQ11	DDR4_DQU2_A	LPDDR4_DQ11_A	DDR3_D9	LPDDR3_D17
DDRPHY_A_DQ12	DDR4_DQU7_A	LPDDR4_DQ12_A	DDR3_D10	LPDDR3_D20
DDRPHY_A_DQ13	DDR4_DQU3_A	LPDDR4_DQ13_A	DDR3_D8	LPDDR3_D23
DDRPHY_A_DQ14	DDR4_DQU4_A	LPDDR4_DQ14_A	DDR3_D13	LPDDR3_D22
DDRPHY_A_DQ15	DDR4_DQU6_A	LPDDR4_DQ15_A	DDR3_D11	LPDDR3_D18
DDRPHY_A_DM1	DDR4_DMU_A	LPDDR4_DM1_A	DDR3_DM1	LPDDR3_DM2
DDRPHY_A_DQS1	DDR4_DQSU_P_A	LPDDR4_DQS1P_A	DDR3_DQS1P	LPDDR3_DQS2P
DDRPHY_A_DQSB1	DDR4_DQSU_N_A	LPDDR4_DQS1N_A	DDR3_DQS1N	LPDDR3_DQS2N
DDRPHY_B_DQ0	DDR4_DQU4_B	LPDDR4_DQ0_B	DDR3_D29	LPDDR3_D14
DDRPHY_B_DQ1	DDR4_DQU0_B	LPDDR4_DQ1_B	DDR3_D31	LPDDR3_D12
DDRPHY_B_DQ2	DDR4_DQU1_B	LPDDR4_DQ2_B	DDR3_D28	LPDDR3_D13
DDRPHY_B_DQ3	DDR4_DQU5_B	LPDDR4_DQ3_B	DDR3_D30	LPDDR3_D8
DDRPHY_B_DQ4	DDR4_DQU7_B	LPDDR4_DQ4_B	DDR3_D26	LPDDR3_D9
DDRPHY_B_DQ5	DDR4_DQU3_B	LPDDR4_DQ5_B	DDR3_D24	LPDDR3_D15
DDRPHY_B_DQ6	DDR4_DQU6_B	LPDDR4_DQ6_B	DDR3_D27	LPDDR3_D10
DDRPHY_B_DQ7	DDR4_DQU2_B	LPDDR4_DQ7_B	DDR3_D25	LPDDR3_D11
DDRPHY_B_DM0	DDR4_DMU_B	LPDDR4_DM0_B	DDR3_DM3	LPDDR3_DM1
DDRPHY_B_DQS0	DDR4_DQSU_P_B	LPDDR4_DQS0P_B	DDR3_DQS3P	LPDDR3_DQS1P
DDRPHY_B_DQSB0	DDR4_DQSU_N_B	LPDDR4_DQS0N_B	DDR3_DQS3N	LPDDR3_DQS1N
DDRPHY_B_DQ8	DDR4_DQL1_B	LPDDR4_DQ8_B	DDR3_D17	LPDDR3_D27
DDRPHY_B_DQ9	DDR4_DQL3_B	LPDDR4_DQ9_B	DDR3_D19	LPDDR3_D26
DDRPHY_B_DQ10	DDR4_DQL4_B	LPDDR4_DQ10_B	DDR3_D18	LPDDR3_D30

Rockchip Confidential

DDRPHY	DDR4	LPDDR4/LPDDR4X	DDR3	LPDDR3
DDRPHY_B_DQ11	DDR4_DQL6_B	LPDDR4_DQ11_B	DDR3_D22	LPDDR3_D31
DDRPHY_B_DQ12	DDR4_DQL0_B	LPDDR4_DQ12_B	DDR3_D16	LPDDR3_D28
DDRPHY_B_DQ13	DDR4_DQL2_B	LPDDR4_DQ13_B	DDR3_D20	LPDDR3_D24
DDRPHY_B_DQ14	DDR4_DQL7_B	LPDDR4_DQ14_B	DDR3_D21	LPDDR3_D25
DDRPHY_B_DQ15	DDR4_DQL5_B	LPDDR4_DQ15_B	DDR3_D23	LPDDR3_D29
DDRPHY_B_DM1	DDR4_DML_B	LPDDR4_DM1_B	DDR3_DM2	LPDDR3_DM3
DDRPHY_B_DQS1	DDR4_DQSL_P_B	LPDDR4_DQS1P_B	DDR3_DQS2P	LPDDR3_DQS3P
DDRPHY_B_DQSB1	DDR4_DQSL_N_B	LPDDR4_DQS1N_B	DDR3_DQS2N	LPDDR3_DQS3N
DDRPHY_A0	DDR4_A0	LPDDR4_ODT1_CA_B	DDR3_A9	LPDDR3_ODT2
DDRPHY_A1	DDR4_A1	LPDDR4_CKE1_A	DDR3_A14	------
DDRPHY_A2	DDR4_A2	LPDDR4_ODT0_CA_B	DDR3_A13	LPDDR3_ODT3
DDRPHY_A3	DDR4_A3	LPDDR4_CKE0_A	DDR3_A1	------
DDRPHY_A4	DDR4_A4	LPDDR4_A0_B	DDR3_A2	LPDDR3_A5
DDRPHY_A5	DDR4_A5	LPDDR4_A1_A	DDR3_A4	------
DDRPHY_A6	DDR4_A6	LPDDR4_CS1N_B	DDR3_A3	LPDDR3_CSN2
DDRPHY_A7	DDR4_A7	LPDDR4_A4_A	DDR3_A6	------
DDRPHY_A8	DDR4_A8	LPDDR4_A4_B	DDR3_A5	LPDDR3_A6
DDRPHY_A9	DDR4_A9	LPDDR4_CLKP_A	DDR3_A11	LPDDR3_A2
DDRPHY_A10	DDR4_A10	LPDDR4_A1_B	DDR3_A0	------
DDRPHY_A11	DDR4_A11	LPDDR4_A5_B	DDR3_A7	LPDDR3_A7
DDRPHY_A12	DDR4_A12	LPDDR4_A2_A	DDR3_A10	LPDDR3_A4
DDRPHY_A13	DDR4_A13	LPDDR4_CLKN_A	DDR3_A8	LPDDR3_A3
DDRPHY_A14	DDR4_WEN/A14	LPDDR4_CS0N_B	DDR3_ODT0	LPDDR3_CSN3
DDRPHY_A15	DDR4_CASN/A15	LPDDR4_A3_A	DDR3_BA1	LPDDR3_A0
DDRPHY_A16	DDR4_RASN/A16	LPDDR4_A0_A	DDR3_CKE0	------
DDRPHY_ACTN	DDR4_ACTN	LPDDR4_A2_B	DDR3_CSN0	LPDDR3_A9
DDRPHY_BA0	DDR4_BA0	LPDDR4_CKE0_B	DDR3_BA2	LPDDR3_CKE0
DDRPHY_BA1	DDR4_BA1	LPDDR4_A5_A	DDR3_A12	LPDDR3_A1
DDRPHY_BG0	DDR4_BG0	LPDDR4_A3_B	DDR3_BA0	LPDDR3_A8
DDRPHY_BG1	DDR4_BG1	------	DDR33_A15	------
DDRPHY_CKE	DDR4_CKE	LPDDR4_CKE1_B	DDR3_RASN	------
DDRPHY_CK	DDR4_CLKP	LPDDR4_CLKP_B	DDR3_CLKP	LPDDR3_CLKP
DDRPHY_CKB	DDR4_CLKN	LPDDR4_CLKN_B	DDR3_CLKN	LPDDR3_CLKN
DDRPHY_CSB0	DDR4_CSN0	LPDDR4_CS1N_A	DDR3_CASN	LPDDR3_CSN1
DDRPHY_CSB1	DDR4_CSN1	LPDDR4_CS0N_A	DDR3_CSN1	LPDDR3_CSN0
DDRPHY_ODT0	DDR4_ODT0	LPDDR4_ODT1_CA_A	DDR3_WEN	LPDDR3_ODT0
DDRPHY_ODT1	DDR4_ODT1	LPDDR4_ODT0_CA_A	DDR33_ODT1	LPDDR3_ODT1
DDRPHY_RESETN	DDR4_RESETN	LPDDR4_RESETN	DDR3_RESETN	------

Rockchip Confidential

- DDR3/DDR3L 时：

支持 Byte 间整组对调；支持 Byte 内的 DQ 对调；CA 顺序不可对调，必须按参考图上分配；

如果要使用总位宽 16bit 模板以及要支持总位宽 16bit/32bit 兼容的模板，那么必须使用 RK 提供的模板，不允许不一样。

- LPDDR3 时：

必须保持颗粒端 D0-D7 和主控的 LPDDR3_D0-D7 对应一一连接，以及关联的 DQS,DM 的对应关系，不支持调整；

其它 Byte 间支持整组对调；

其它 Byte 内的 DQ 支持对调；

CA 顺序不可对调，必须按参考图上分配。

- DDR4 时：

支持 Byte 间整组对调；支持 Byte 内的 DQ 对调；CA 顺序不可对调，必须按参考图上分配；

如果要使用总位宽 16bit 模板以及要支持总位宽 16bit/32bit 兼容的模板，那么必须使用 RK 提供的模板，不允许不一样。

- LPDDR4/LPDDR4x 时：

DQ,CA 顺序全部不支持对调，必须按参考图上分配。

RK3528 DDR PHY 的 DDR_RZQ(PIN 1C3)管脚接法：

- 当使用 DDR3/DDR3L/DDR4/LPDDR3 颗粒时，DDR_RZQ 管脚必须接 120ohm 1%电阻到地
- 当使用 LPDDR4/LPDDR4x 颗粒时，DDR_RZQ 管脚必须接 120ohm 1%电阻到 DDRPHY_VDDQ 电源（即 VCC_DDR）

图 2-8 RK3528 DDR_RZQ 管脚

2.1.6.3 DDR 颗粒外围电路设计

- DDR3/DDR3L/DDR4/LPDDR3 的颗粒 ZQ 必须接一个 240ohm 1%对地
- LPDDR4 的颗粒 ZQ 必须接一个 240ohm 1%到 VCC_DDR 电源上
- LPDDR4x 的颗粒 ZQ 必须接一个 240ohm 1%到 VCC0V6_DDR 电源上
- DDR 颗粒 RESET 管脚建议预留一个 1nF 电容，提高抗 ESD 干扰能力。
- DDR4 16bit 颗粒模板时，预留了支持 DDP（Dual-Die Package）颗粒，默认参数配置为 SDP（Single-Die Package）颗粒，如果需贴 DDP 颗粒，那么要注意以下参数同步更新：
  - DDR4 M9 pin connect to DDR_BG1 net of RK3528
  - DDR4 T7 pin connect to GND
  - DDR4 E9 pin connect to GND by 240ohm 1% resistor

Rockchip Confidential

2.1.6.4 DDR 拓扑结构与匹配方式设计

- DDR3/DDR3L/DDR4 4 颗 16bit 2CS 时，4 层板 PCB 设计。DQ 采用 T 拓扑结构(一驱二)，CA 采用 Fly-by + T 混合拓扑结构（一驱四）

图 2-9 2CS 4 颗粒 DDR3/DDR4 Fly-by + T 混合拓扑结构

时钟匹配方式：在走线末端放置 RC 电路见下图，可提高信号质量以及降低 EMI。

图 2-10 2CS 4 颗粒 DDR3/DDR4 Fly-by + T 拓扑 CLKP/CLKN 端接

Rockchip Confidential

- DDR3/DDR3L/DDR4 2 颗 16bit 1CS 时，4 层板 PCB 设计。拓扑结构一：DQ 采用点对点连接(一驱一)，CA 采用 Fly-by 拓扑结构（一驱二）

图 2-11 1CS 2 颗粒 DDR3/DDR3L/DDR4 Fly-b 拓扑结构

时钟匹配方式：在走线末端放置 RC 电路见下图，可提高信号质量以及降低 EMI。

图 2-12 1CS 2 颗粒 DDR3/DDR4 Fly-b 拓扑结构 CLKP/CLKN 端接

Rockchip Confidential

- LPDDR3　1 颗 32bit 时，DQ,CA 采用点对点拓扑结构
- LPDDR4　1 颗 32bit 时，DQ,CA 采用点对点拓扑结构
- LPDDR4x 1 颗 32bit 时，DQ,CA 采用点对点拓扑结构

图 2-15 1 颗粒 LPDDR3/LPDDR4/LPDDR4X 点对点拓扑结构

匹配方式：LPDDR4 颗粒 DQ,CLK,CMD,CA 都支持 ODT，全部点对点连接即可。

匹配方式：LPDDR4x 颗粒 DQ,CLK,CMD,CA 都支持 ODT，全部点对点连接即可。

LPDDR3 时钟匹配方式：在走线末端放置 RC 电路见下图，可提高信号质量以及降低 EMI。

图 2-16 1 颗粒 LPDDR3/LPDDR4/LPDDR4X 点对点拓扑结构 CLKP/CLKN 端接

2.1.6.5 DDR 电源设计和上电时序要求

RK3528 DDR PHY 供电电源汇总如下：

RK3528 DDR PHY 有两组供电电源，DDRPHY_VDDQ 和 DDRPHY_VDDQL

- DDR3 颗粒时：DDRPHY_VDDQ 供 1.5V， DDRPHY_VDDQL 供 1.5V
- DDR3L 颗粒时：DDRPHY_VDDQ 供 1.35V，DDRPHY_VDDQL 供 1.35V
- LPDDR3 颗粒时：DDRPHY_VDDQ 供 1.2V， DDRPHY_VDDQL 供 1.2V（为提高兼容性实际供 1.25V）
- DDR4 颗粒时：DDRPHY_VDDQ 供 1.2V， DDRPHY_VDDQL 供 1.2V

Rockchip Confidential

- LPDDR4 颗粒时：DDRPHY_VDDQ 供 1.1V， DDRPHY_VDDQL 供 1.1V
- LPDDR4x 颗粒时：DDRPHY_VDDQ 供 1.1V， DDRPHY_VDDQL 供 0.6V

供电电路注意点：

- VCC_DDR 采用独立 BUCK TMI3112H 供电，务必注意，根据实际使用 DRAM 颗粒，同步修改 FB 的分压电阻阻值，使得 VCC_DDR 输出电压与颗粒相匹配。

图 2-17 VCC_DDR FB 采参数调整

RK3528 设计需要注意，LPDDR4 和 LPDDR4X 颗粒必须根据实际物料选择相应的电路。

- 贴 LPDDR4 颗粒时，只需要贴下图 R3004 电阻，R3012 不贴；
- 贴 LPDDR4x 颗粒时，只需要贴下图 R3012 电阻，R3004 不贴。

	R3004	R3012
LPDDR4	0R	DNP
LPDDR4X	DNP	0R

图 2-18 LPDDR4/LPDDR4x 兼容设计电源选择

Rockchip Confidential

各类型的 DRAM 上电时序要求，请参考各 JEDEC 标准。

- DDR3/DDR3L SDRAM 的上电时序如下图所示：

1. Apply power (RESET# is recommended to be maintained below 0.2 x VDD; all other inputs may be undefined). RESET# needs to be maintained for minimum 200 us with stable power. CKE is pulled "Low" anytime before RESET# being de-asserted (min. time 10 ns). The power voltage ramp time between 300 mv to VDDmin must be no greater than 200 ms; and during the ramp, VDD > VDDQ and (VDD - VDDQ) < 0.3 volts.
   - VDD and VDDQ are driven from a single power converter output, AND
   - The voltage levels on all pins other than VDD, VDDQ, VSS, VSSQ must be less than or equal to VDDQ and VDD on one side and must be larger than or equal to VSSQ and VSS on the other side. In addition, VTT is limited to 0.95 V max once power ramp is finished, AND
   - Vref tracks VDDQ/2.

OR

- Apply VDD without any slope reversal before or at the same time as VDDQ.
- Apply VDDQ without any slope reversal before or at the same time as VTT & Vref.
- The voltage levels on all pins other than VDD, VDDQ, VSS, VSSQ must be less than or equal to VDDQ and VDD on one side and must be larger than or equal to VSSQ and VSS on the other side.

图 2-19 DDR3 SDRAM 上电时序

- LPDDR3 SDRAM 的上电时序如下图所示：

After...	Applicable Conditions
Ta is reached	V_{DD1} must be greater than V_{DD2}—200mV
	V_{DD1} and V_{DD2} must be greater than V_{DDCA}—200mV
	V_{DD1} and V_{DD2} must be greater than V_{DDQ}—200mV
	V_{Ref} must always be less than all other supply voltages

图 2-20 LPDDR3 SDRAM 上电时序

- DDR4 SDRAM 的上电时序如下图所示：

1. Apply power (RESET_n is recommended to be maintained below 0.2 x VDD; all other inputs may be undefined). RESET_n needs to be maintained for minimum 200us with stable power. CKE is pulled " Low" anytime before RESET_n being de-asserted (min. time 10ns) . The power voltage ramp time between 300mV to V_{DD} min must be no greater than 200ms; and during the ramp, $V_{DD} \geq V_{DDQ}$ and (V_{DD}-V_{DDQ}) < 0.3volts. VPP must ramp at the same time or earlier than VDD and VPP must be equal to or higher than VDD at all times.
   - V_{DD} and V_{DDQ} are driven from a single power converter output, AND
   - The voltage levels on all pins other than V_{DD},V_{DDQ},V_{SS},V_{SSQ} must be less than or equal to V_{DDQ} and V_{DD} on one side and must be larger than or equal to V_{SSQ} and V_{SS} on the other side. In addition, V_{TT} is limited to TBDV max once power ramp is finished, AND
   - VrefCA tracks TBD.

   or
   - Apply V_{DD} without any slope reversal before or at the same time as V_{DDQ}
   - Apply V_{DDQ} without any slope reversal before or at the same time as V_{TT} & VrefCA.
   - Apply VPP without any slope reversal before or at the same time as VDD.
   - The voltage levels on all pins other than V_{DD},V_{DDQ},V_{SS},V_{SSQ} must be less than or equal to V_{DDQ} and V_{DD} on one side and must be larger than or equal to V_{SSQ} and V_{SS} on the other side.

图 2-21 DDR4 SDRAM 上电时序

- LPDDR4/4x SDRAM 的上电时序如下图所示：

1. While applying power (after Ta), RESET_n is recommended to be LOW (≤0.2 x V_{DD2}) and all other inputs must be between VILmin and VIHmax. The device outputs remain at High-Z while RESET_n is held LOW. Power supply voltage ramp requirements are provided in Table 5. V_{DD1} must ramp at the same time or earlier than V_{DD2}. V_{DD2} must ramp at the same time or earlier than V_{DDQ}.

Table 5 — Voltage Ramp Conditions

After	Applicable Conditions
Ta is reached	V_{DD1} must be greater than V_{DD2}
	V_{DD2} must be greater than V_{DDQ} - 200 mV

NOTE 1 Ta is the point when any power supply first reaches 300 mV.
NOTE 2 Voltage ramp conditions in Table 5 apply between Ta and power-off (controlled or uncontrolled).
NOTE 3 Tb is the point at which all supply and reference voltages are within their defined ranges.
NOTE 4 Power ramp duration tINIT0 (Tb-Ta) must not exceed 20ms.
NOTE 5 The voltage difference between any of V_{SS} and V_{SSQ} pins must not excess 100 mV.

图 2-22 LPDDR4/4x SDRAM 上电时序

2.1.6.6 DDR 支持的型号列表

RK3528 DDR 颗粒支持列表请参考瑞芯微电子《Rockchip_Support_List_DDR》文档（请联系我司 FAE 窗口索取）。

2.1.7 eMMC 电路

2.1.7.1 eMMC 控制器介绍

RK3528 eMMC 控制器有如下特点：

- 兼容 5.1、5.0、4.51、4.41 规范；
- 支持 1bit、4bit、8bit 三种数据总线宽度；
- 支持 HS400 模式，向下兼容 HS200、DDR50 等模式；
- 支持 CMD Queue。

2.1.7.2 eMMC 电路设计建议

RK3528 eMMC 接口和 FSPI Flash 接口复用，在 eMMC 接口设计时，eMMC 信号接法请按参考原理图，包含各路电源去耦电容。

使用 eMMC 时，引导代码放置在 eMMC 里。

2.1.7.3 eMMC 拓扑结构与匹配方式设计

eMMC 连接示意图：

Rockchip Confidential

图 2-23 eMMC 连接示意图

eMMC 接口上下拉和匹配设计推荐如下表所示。

表 2-5 RK3528 eMMC 接口设计

信号	芯片内部上下拉	连接方式	描述（芯片端）
eMMC_D[7：0]	上拉	直连，D0 外部需要接上拉电阻，阻值推荐 10K ohm，其它 Data 使用 RK3528 芯片内部的上拉电阻	eMMC 数据发送/接收
eMMC_CLK	下拉	在 RK3528 端串联 22ohm 电阻	eMMC 时钟发送
eMMC_CMD	上拉	直连，外部需要接上拉电阻，阻值推荐 10K ohm	eMMC 命令发送/接收
eMMC_DATA_Strobe	下拉	在 eMMC 端串联 0ohm 电阻，并需要预留 47K ohm 下拉电阻	eMMC 数据和命令接收参考 Strobe

2.1.7.4 eMMC 上电时序要求

RK3528 芯片 eMMC 接口属于 VCCIO1_VCC 电源域（支持 1.8V 或 3.3V），只有一组供电，并无时序要求。

eMMC 颗粒有两组电源，上电时序请参考 JEDEC 标准：

Rockchip Confidential

图 2-24 eMMC 颗粒上下电时序

2.1.7.5 eMMC 支持的型号列表

RK3528 eMMC 颗粒支持列表请参考瑞芯微电子《RKeMMCSupportList》文档（请联系我司 FAE 窗口索取）。

Rockchip Confidential

2.1.8 FSPI Flash 电路

2.1.8.1 FSPI Flash（支持 Boot）接口介绍

FSPI 是一种灵活的串行接口控制器，RK3528 芯片中有 1 个 FSPI 控制器，可用来连接 FSPI 设备。RK3528 FSPI 控制器有如下特点：

- 支持串行 NOR Flash，串行 Nand Flash；
- 支持 SDR 模式；
- 支持 1 线，2 线以及 4 线模式。

注意：

RK3528 FSPI 接口用于接 Boot 的 SPI Flash/Memory 设备，不建议用于接其它功能的 SPI 外设！

2.1.8.2 FSPI Flash 电路设计建议

RK3528 FSPI Flash 接口和 EMMC 接口是复用的， 电源域 VCCIO1_VCC（支持 1.8V 或 3.3V）。在 FSPI Flash 接口设计时，FSPI Flash 信号接法请按参考原理图，包含各路电源去耦电容。使用 FSPI Flash 时，引导代码放置在 FSPI Flash 里。

2.1.8.3 FSPI Flash 拓扑结构与匹配方式设计

FSPI Flash 连接示意图：

图 2-25 FSPI Flash 连接示意图

Rockchip Confidential

FSPI 接口上下拉和匹配设计推荐如下表所示：

表 2-6 RK3528 FSPI 接口设计

信号	芯片内部上下拉	连接方式	描述（芯片端）
FSPI_D[3：0]	D2 上拉 D0/D1/D3 上拉	直连；D2，D3 外部需要预留上拉电阻，预留阻值推荐 10K ohm	FSPI 数据发送/接收
FSPI0_CLK	下拉	在 RK3528 端串联 22ohm 电阻	FSPI 时钟发送
FSPI0_CSN0/CSN1	上拉	直连	FSPI 片选信号

2.1.8.4 FSPI 上电时序要求

RK3528 芯片 FSPI Flash 接口只有一组供电，并无时序要求。

SPI Flash 只有一路电源，电源必须和所选的 FSPI 接口对应的电源域电源同一个。

2.1.8.5 SPI Flash 支持的型号列表

RK3528 SPI Flash 颗粒支持列表请参考瑞芯微电子《RK_SpiNor_and_SLC_Nand_SupportList》文档（请联系我司 FAE 窗口索取）。

2.1.9 GPIO 电路

2.1.9.1 GPIO Pin 名说明

比如下图功能 TSI0_SYNC、I2S0_MCLK_M0 和功能 RGMII1_CLK 复用在 GPIO3_B4 上面，分配时只能选择其中一个功能使用。

- 除了引导相关的 GPIO，剩下 IO 复位默认为输入；
- GPIOx_xx_u 其中_u 表示这个 IO 复位默认状态为内部上拉；
- GPIOx_xx_d 其中_d 表示这个 IO 复位默认状态为内部下拉；
- GPIOx_xx_z 其中_z 表示这个 IO 复位默认状态为高阻；
- 各功能 name 后缀有加_M0 或 M1 或_M2 代表同一个功能复用到不同 IO 上，同时只能选择其中一个，比如选择 UART2 功能时，必须选择 UART2_TX_M0 和 UART2_RX_M0 组合，不支持 UART2_TX_M0 和 UART2_RX_M1 组合，对所有功能有不同 IOMUX 的都是这样的约束。

2.1.9.2 GPIO 驱动能力

RK3528 中，GPIO 提供多档驱动强度可调，分别是大部分 Level 0-5 以及部分 GPIO 是 Level 0-3 的调节档位，具体请参考《RK3528_PinOut》文档。另外根据 GPIO 的类型不同，初始默认驱动强度也不同，请参考芯片 TRM 进行配置修改，也可以参考《RK3528_PinOut》文档中表 5 中的“SupportDriveStrength”和“Default IO DriveStrength”列。

Rockchip Confidential

2.1.9.3 GPIO 电源

在 RK3528 中，有只支持 3.3V 和支持 1.8V/3.3V 两种电压可配置的两种类型的 GPIO。

GPIO 电源域的电源脚描述如下：

表 2-7 RK3528 GPIO 电源脚描述

电源域	GPIO 类型	管脚名	描述
PMUIO	3.3V	PMUIO_VCC3V3	3.3V Only IO supply for this GPIO domain (group).
VCCIOn_VCC(n=0-4)	1.8V/3.3V	VCCIO0_VCC	1.8V or 3.3V IO supply for this GPIO domain (group).

其中 PMUIO 为固定电平电源域，不可进行配置。

VCCIOn_VCC(n=0-4)电源域 RK3528 芯片可以自动识别硬件配置的电压，不需要软件根据硬件供电电压进行配置。

如：VCCIO0 电源域配置成 1.8V，VCCIO0_VCC=1.8V;若要配置成 3.3V，VCCIO0_VCC=3.3V。

注意事项：

- 另外还要注意电源域的 IO 电平要与对接外设芯片/器件的 IO 电平保持一致；
- 各电源域的供电管脚需就近放置至少 1 个 100nF 去耦电容，详细设计见参考原理图，不得随意删除；
- 若一个电源域里的所有 IO 都不使用，那么这个电源域的供电电源可以不供电，该脚悬空即可。

2.2 电源设计

2.2.1 RK3528 电源介绍

2.2.1.1 RK3528 芯片电源需求

表 2-8 RK3528 芯片电源需求表

模块	电源管脚	描述
PLL	PMU_PLL_AVDD0V9、PMU_PLL_AVDD1V8	系统 PLL、DDR PLL 电源
PMU_DVDD	PMU_LOGIC_DVDD	PMU 逻辑电源
DDR PLL	DDR_PLL_AVDD1V8	DDR PHY PLL 电源
DDR VDDQ	DDR VDDQ	DDR IO 电源（除了 ck\cke\reset 电源外）
DDR VDDQL	DDR VDDQL	LPDDR4/4X_CKE &RESET 的电源
CPU_DVDD	CPU_DVDD	A53_0，A53_1，A53_2，A53_3 电源
GPU_DVDD	GPU_DVDD	GPU 电源
LOGIC_DVDD	LOGIC_DVDD	逻辑电源
IO	VCCIO0_VCC、VCCIO2_VCC、VCCIO3_VCC、VCCIO4_VCC	各个 GPIO 的电源
IO	PMUIO_VCC3V3	PMUIO 电源

Rockchip Confidential

模块	电源管脚	描述
IO	VCCIO1_VCC	EMMCIO 电源
USB2.0 PHY	USB20_DVDD0V9、USB20_AVDD1V8、USB20_AVDD3V3	USB2.0 HOST 和 USB2.0 OTG PHY 电源
PCIe2.0/U3 Combo PHY	PCIE20_USB30_AVDD0V9、PCIE20_USB30_AVDD1V8	PCIe20/U3 Combo PHY 电源
SARADC	SARADC_AVDD1V8	SAR ADC 和 TSADC 的电源
OTP	OTP_VCC1V8	OTP 电源
HDMI TX PHY	HDMI_TX_DVDD0V9、HDMI_TX0_AVDD1V8	HDMI2.0 PHY 电源
ACODEC PHY	ACODEC_AVDD1V8	ACODEC PHY 电源
VDAC PHY	VDAC_AVDD1V8	VDAC PHY 电源
FEPHY PHY	FEPHY_AVDD0V9、FEPHY_AVDD1V8、FEPHY_AVDD3V3	FEPHY PHY 电源

2.2.1.2 RK3528 芯片上电时序要求

理论上遵循同一模块低压先上、高压后上；相同模块相同电压一起上电原则，不同模块间无时序要求，待最后一个电压上电稳定后，RESETn 至少保证 10mS 才能释放。

参考图推荐的典型上电顺序如下：

- 数字电源：

PMU_PLL_AVDD0V9→ PMU_LOGIC_DVDD→ LOGIC_DVDD →
PMU_PLL_AVDD1V8→CPU_DVDD/GPU_DVDD

- SARADC：

LOGIC_DVDD → SARADC_AVDD1V8

- OTP：

LOGIC_DVDD → OTP_VCC1V8

- USB PHY：

LOGIC_DVDD /USB20_DVDD0V9 → USB20_AVDD1V8 → USB20_AVDD3V3

- PCIE20/U3 Combo PHY：

PCIE20_USB30_AVDD0V9→ PCIE20_USB30_AVDD1V8

- HDMI PHY：

LOGIC_DVDD/ HDMI_TX_DVDD0V9→ HDMI_TX0_AVDD1V8

- DDR PHY：

LOGIC_DVDD → DDR_PLL_AVDD1V8→ DDR_VDDQL/DDR_VDDQ

- FEPHY PHY：

FEPHY_AVDD0V9 → FEPHY_AVDD1V8→ FEPHY_AVDD3V3

- VDAC：

LOGIC_DVDD → VDAC_AVDD1V8

按照参考原理图分配的电源网络名，总体推荐上电时序如下：

PMU_PLL_AVDD0V9 、 LOGIC_DVDD 、 USB20_DVDD0V9 、 PCIE20_USB30_AVDD0V9 、 HDMI_TX_DVDD0V9、FEPHY_AVDD0V9、CPU_DVDD、GPU_DVDD

→ PMU_PLL_AVDD1V8 、 DDR_PLL_AVDD1V8 、 SARADC_AVDD1V8 、 OTP_VCC1V8 、

Rockchip Confidential

USB20_AVDD1V8 、 PCIE20_USB30_AVDD1V8 、 HDMI_TX0_AVDD1V8 、 FEPHY_AVDD1V8 、VDAC_AVDD1V8、ACODEC_AVDD1V8

→FEPHY_AVDD3V3、USB20_AVDD3V3、PMUIO_VCC3V3

→ VCC_DDR （DDR VDDQ/ DDR VDDQL） → RESETn

备注：实际应用中 VCC_1V8 供电源为 VCC_3V3， 风险是可控的，因为 VCC_1V8 会比 VCC_3V3 更早达到系统工作需求电平。

2.2.1.3 RK3528 芯片下电时序要求

下电过程，RESETn 须先拉低动作，然后各路电源随着下电。

2.2.2 电源设计建议

2.2.2.1 上电和待机电路方案

RK3528 第一次上电各模块供电情况如下表：

表 2-9 RK3528 第一次上电各模块供电要求表

模块	电源管脚	第一次上电供电要求
PLL	PMU_PLL_AVDD0V9、PMU_PLL_AVDD1V8	必须供电
PMU_DVDD	PMU_LOGIC_DVDD	必须供电
DDR PLL	DDR_PLL_AVDD1V8	必须供电
DDR VDDQ	DDR VDDQ	必须供电
DDR VDDQL	DDR VDDQL	必须供电
CPU_DVDD	CPU_DVDD	可以不供电
GPU_DVDD	GPU_DVDD	可以不供电
LOGIC_DVDD	LOGIC_DVDD	必须供电
IO	VCCIO0_VCC、VCCIO2_VCC、VCCIO3_VCC、VCCIO4_VCC	可以不供电
IO	PMUIO_VCC3V3	必须供电
IO	VCCIO1_VCC	必须供电
USB2.0 PHY	USB20_DVDD0V9、USB20_AVDD1V8、USB20_AVDD3V3	必须供电
PCIe2.0/U3 Combo PHY	PCIE20_USB30_AVDD0V9、PCIE20_USB30_AVDD1V8	必须供电
SARADC	SARADC_AVDD1V8	必须供电
OTP	OTP_VCC1V8	必须供电
HDMI TX PHY	HDMI_TX_DVDD0V9、HDMI_TX0_AVDD1V8	可以不供电
Acodec PHY	ACODEC_AVDD1V8	可以不供电
VDAC PHY	VDAC_AVDD1V8	可以不供电
FEPHY PHY	FEPHY_AVDD0V9、FEPHY_AVDD1V8、FEPHY_AVDD3V3	可以不供电

Rockchip Confidential

2.2.2.2 PLL 电源

RK3528 芯片 PLL 分布两部分，分配如下：

表 2-10 RK3528 内部 PLL 介绍

模块	电源	待机状态
DDR&PMU 单元内	PMU_PLL_AVDD0V9、PMU_PLL_AVDD1V8	不可关断电源
DDR PHY PLL	DDR_PLL_AVDD1V8	不可关断电源

- PMU_PLL_AVDD0V9：峰值电流 10mA
- PMU_PLL_AVDD1V8：峰值电流 10mA
- DDR_PLL_AVDD1V8：峰值电流 5mA

电源上建议使用 LDO 供电：

- 0.9V AC requirement：<20mV；
- 1.8V AC requirement：<50mV

稳定的 PLL 电源有助于提高芯片工作稳定性，且去耦电容应靠近管脚摆放，具体电容数量和容量参考原理图，请勿随意调整。

图 2-26 RK3528 芯片 PLL 电源管脚

图 2-27 RK3528 芯片 DDR PHY PLL 电源管脚

Rockchip Confidential

2.2.2.3 PMU LOGIC_DVDD 电源

RK3528 的 PMU_LOGIC_DVDD 电源给内部 PMU 单元的 LOGIC 供电，峰值电流 50mA，请勿删减 RK3528 芯片参考设计原理图中的去耦电容。

图 2-28 RK3528 芯片 PMU_LOGIC_DVDD 电源管脚

2.2.2.4 CPU_DVDD 电源

RK3528 的 CPU_DVDD 电源是给 A53 的 CORE1~CORE4 单元供电，采用 DC/DC 电源供电，可支持动态调频调压功能，默认供电电压 0.9V。峰值电流可达 1.5A 以上，请勿删减 RK3528 芯片参考设计原理图中的去耦电容。

对 DC/DC BUCK 的主要要求如下：

- 输出电流大于 1.5A 并留有 30%的余量；
- 输出电压精度要求在±1.5%；
- BUCK 瞬态响应要求：Iload=BUCK Max 电流*10%~BUCK Max 电流*80% 跳变，斜率 1A/us，纹波要求±5%以内；
- 如果对整机功耗敏感的，还需要考虑一下效率问题。

Layout 时将下图绿线到芯片之间的这些电容放置在 RK3528 芯片背面， CPU_DVDD 电源总电容容量需大于 30uF，以保证电源纹波在+/-5%以内，避免大负载情况下引起电源纹波偏大。

图 2-29 RK3528 芯片 CPU_DVDD 电源管脚

2.2.2.5 LOGIC_DVDD 电源

RK3528 的 LOGIC_DVDD 电源给内部的逻辑单元供电，采用 DC/DC 电源独立供电，可支持动态调频调压功能，默认固定电压供电。峰值电流可达 1.5A 以上，请勿删减 RK3528 芯片参考设计原理图中的去耦电容。

对 DC/DC BUCK 的主要要求如下：

- 输出电流大于等于 1.5A 并留有 30%的余量；；
- 输出电压精度要求在±1.5%；

Rockchip Confidential

- BUCK 瞬态响应要求：Iload=BUCK Max 电流*10%~BUCK Max 电流*80% 跳变，斜率 1A/us，纹波要求±5%以内；
- 如果对整机功耗敏感的，还需要考虑一下效率问题。

Layout 时将下图绿线到芯片之间的这些电容放置在 RK3528 芯片背面， LOGIC_DVDD 电源总电容容量需大于 30uF，避免大负载情况下引起电源纹波偏大。

图 2-30 LOGIC_DVDD 电源电容

2.2.2.6 GPU_DVDD 电源

RK3528 的 GPU_DVDD 电源给内部的 GPU 单元供电，采用 DC/DC 电源独立供电，可支持动态调频调压功能，默认固定电压供电。请勿删减 RK3528 芯片参考设计原理图中的去耦电容。

实际产品设计，GPU_DVDD 和 LOGIC_DVDD 可以合并供电。

对 DC/DC BUCK 的主要要求如下：

- 输出电流大于等于 0.5A 并留有 30%的余量；
- 输出电压精度要求在±1.5%；
- BUCK 瞬态响应要求：Iload=BUCK Max 电流*10%~BUCK Max 电流*80% 跳变，斜率 1A/us，纹波要求±5%以内；
- 如果对整机功耗敏感的，还需要考虑一下效率问题。

Layout 时将下图绿线到芯片位置的这些电容放置在 RK3528 芯片背面，GPU_DVDD 电源总电容容量需大于 10uF，以保证电源纹波在+/-5%以内，避免大负载情况下引起电源纹波偏大。

图 2-31 RK3528 芯片 GPU_DVDD 电源管脚

2.2.2.7 DDR_VDDQ/DDR_VDDQL 电源

RK3528 芯片的 DDR PHY 接口支持 DDR3/DDR3L/DDR4/LPDDR4/LPDDR4x 电平标准，RK3528 DDR PHY 有两组供电电源，DDRPHY_VDDQ 和 DDRPHY_VDDQL，供电介绍请参见 **2.1.6.5 DDR 电源设计和上电时序要求**。产品设计时请根据颗粒使用情况，确认符合设计要求。

Rockchip Confidential

同样，采用 DC/DC 电源供电；使用不同颗粒峰值电流不同，请根据实际颗粒选择，评估峰值电流，单颗 LPDDR3 或单颗 LPDDR4 或单颗 LPDDR4x 或两颗 16bit DDR3/3L 或两颗 16bit DDR4 时，可选用 1A DC/DC 即可；2 颗以上的 DDR3 或 DDR4，建议选用 2A 以上 DC/DC，另外请勿删减 RK3528 芯片参考设计原理图中的去耦电容。

图 2-32 RK3528 芯片在 DDR3/DDR3L/DDR4/LPDDR3/LPDDR4 模式下的 DDR 电源管脚

Layout 时将下图的绿色虚线内滤波电容放置在 RK3528 芯片背面，以保证电源纹波在 80mV 以内，避免大负载情况下引起电源纹波偏大。

图 2-33 RK3528 芯片在 LPDDR4/4x 模式下的电源滤波电容

2.2.2.8 USB2.0 PHY 电源

RK3528 2 个 USB2.0 接口，具体接法请见 **2.3.4 USB2.0/USB 电路** 单元介绍。

USB20_DVDD0V9，USB20_AVDD1V8，USB20_AVDD3V3 电源是给 USB20_HOST1_DP/M、USB20_OTG0_DP/M PHY 供电，请勿删减 RK3528 芯片参考设计原理图中的去耦电容。

图 2-34 RK3528 USB2.0 PHY 电源管脚

- USB20_DVDD0V9：峰值电流 5mA
- USB20_AVDD1V8：峰值电流 30mA
- USB20_AVDD3V3：峰值电流 10mA

电源上建议使用 LDO 供电：

- 0.9V AC requirement：<25mV；
- 1.8V AC requirement：<50mV；
- 3.3V AC requirement：<200mV

稳定的电源有助于提高芯片工作稳定性，且去耦电容应靠近管脚摆放，具体电容数量和容量参考原理图，请勿随意调整。

由于 RK3528 芯片固件必须从 USB20_OTG0_DP/M 接口下载，因此第一次上电，USB20_DVDD0V9，USB20_AVDD1V8，USB20_AVDD3V3 必须供电。

2.2.2.9 PCIE2.0/USB3.0 Combo PHY 电源

RK3528 有 1 个 PCIE2.0/USB3.0 的 Combo PHY 接口：

PCIE20_USB30_AVDD0V9，PCIE20_USB30_AVDD1V8 的电源是给 PCIE2.0/USB3.0 的 Combo PHY 的供电，请勿删减 RK3528 芯片参考设计原理图中的去耦电容。

图 2-35 RK3528 PCIE2.0/USB3.0 Combo PHY 电源管脚

Rockchip Confidential

- PCIE20_USB30_AVDD0V9： 峰值电流 50mA
- PCIE20_USB30_AVDD1V8： 峰值电流 20mA

电源上建议使用 LDO 供电：

- 0.9V AC requirement：<20mV
- 1.8V AC requirement：<50mV

稳定的电源有助于提高芯片工作稳定性，且去耦电容应靠近管脚摆放，具体电容数量和容量参考原理图，请勿随意调整。

此功能不用时，由于 RK3528 内部 PLL 模块的需要供电,内部有逻辑关系的存在，所以 PCIE2.0/USB3.0 的 PHY 口也必须供电。

2.2.2.10 ACODEC&VDAC PHY 电源

RK3528 有 1 个集成 Acodec PHY 接口和 1 个 VDAC PHY 接口。

ACOCEC_AVDD1V8 和 VDAC_AVDD1V8 是 ACODEC&VDAC PHY 供电的，请勿删减 RK3528 芯片参考设计原理图中的去耦电容。如下图绿色虚线左侧电容布局需要靠近芯片管脚。

图 2-36 RK3528 ACODEC&VDAC PHY 电源管脚

- ACOCEC_AVDD1V8：峰值电流 5mA
- VDAC_AVDD1V8： 峰值电流 5mA

电源上建议使用 LDO 供电：

- 1.8V AC requirement：<50mV

稳定的电源有助于提高芯片工作稳定性，且去耦电容应靠近管脚摆放，具体电容数量和容量参考原理图，请勿随意调整。

ACODEC&VDAC 功能如果都不使用，那么 ACOCEC_AVDD1V8 和 VDAC_AVDD1V8 可以不供电，建议悬空处理。

2.2.2.11 FEPHY 电源

RK3528 有 1 个 FEPHY 接口，FEPHY_AVDD0V9， FEPHY_AVDD1V8，FEPHY_AVDD3V3 这 3 路电源是给 FEPHY 供电，请勿删减 RK3528 芯片参考设计原理图中的去耦电容。如下图绿色虚线左侧电容布局需要靠近芯片管脚。

Rockchip Confidential

图 2-37 RK3528 FEPHY 电源管脚

- FEPHY_AVDD0V9 ：峰值电流 5mA
- FEPHY_AVDD1V8 ：峰值电流 30mA
- FEPHY_AVDD3V3 ：峰值电流 10mA

电源上建议使用 LDO 供电：

- 0.9V AC requirement：<20mV
- 1.8V AC requirement：<50mV
- 3.3V AC requirement：<200mV

稳定的电源有助于提高芯片工作稳定性，且去耦电容应靠近管脚摆放，具体电容数量和容量参考原理图，请勿随意调整。

FEPHY 功能如果都不使用，那么 FEPHY_AVDD0V9、FEPHY_AVDD1V8 和 FEPHY_AVDD3V3 可以不供电，建议悬空处理。

2.2.2.12 HDMI 电源

RK3528 有 1 个 HDMI PHY 接口，支持 HDMI2.0 4K/60fps。

HDMI_TX_DVDD0V9，HDMI_TX_AVDD1V8 电源是给 HDMI 的 PHY 供电，请勿删减 RK3528 芯片参考设计原理图中的去耦电容。

图 2-38 RK3528 HDMI2.0 PHY 电源管脚

Rockchip Confidential

- HDMI_TX_DVDD0V9：峰值电流为 10mA
- HDMI_TX_AVDD1V8：峰值电流为 20mA

电源上建议使用 LDO 供电：

- 0.9V AC requirement：<20mV
- 1.8V AC requirement：<50mV

稳定的电源有助于提高芯片工作稳定性，且去耦电容应靠近管脚摆放，具体电容数量和容量参考原理图，请勿随意调整。

HDMI 功能如果都不使用，那么 HDMI_TX_DVDD0V9 和 HDMI_TX_AVDD1V8 可以不供电，建议悬空处理。

2.2.2.13 SARADC/OTP 电源

RK3528 有 1 个 SARADC，有 4 路输入，SARADC_AVDD1V8 是给 SARADC 和 TSADC 供电，请勿删减 RK3528 芯片参考设计原理图中的去耦电容。

- SARADC_AVDD1V8：峰值电流：1.5mA

电源上建议使用 LDO 供电：

- PSRR@1KHz 要大于 65dB
- 1.8V AC requirement：<50mV

图 2-39 RK3528 SARADC 电源管脚

RK3528 有 1 个 OTP，OTP_VCC18 是给 OTP 供电，请勿删减 RK3528 芯片参考设计原理图中的电容。

- OTP_VCC1V8：峰值电流 60mA

电源上可以使用 LDO 或 DC/DC 为 OTP 供电。

稳定的电源有助于提高芯片工作稳定性，且去耦电容应靠近管脚摆放，具体电容数量和容量参考原理图，请勿随意调整。

图 2-40 RK3528 OTP 电源管脚

Rockchip Confidential

2.2.3 RK3528 分立电源方案介绍

2.2.3.1 RK3528+分立电源 Power Tree

分立电源方案,产品设计中 GPU_DVDD 和 LOGIC_DVDD 合并供电，以此省一路 DC/DC 电路，降低成本。

图 2-41 RK3528 分立电源架构

Rockchip

2.2.3.2 分立电源上电时序

RK3528 采用分立电源，DCIN_12V 输入经过 DC/DC 转为 5.2V，再分别经过 DC/DC 和 LDO 输出系统需要的各路电压，所有电源开机默认都是供电的。

Power Supply	EXT BUCK&LDO	Supply Limit	Power Name	Time Slot	Default Voltage	Default ON/OFF	Sleep ON/OFF	Peak Current	Sleep Current
VCC5V0_SYS	BUCK1	2.0A	VDD_LOGIC VDD_GPU	Slot:1	0.9V	ON	ON	TBD	TBD
VCC5V0_SYS	BUCK2	2.0A	VDD_ARM	Slot:1	0.95V	ON	ON	TBD	TBD
VCC5V0_SYS	LDO1	0.3A	VDD_0V9	Slot:1	0.9V	ON	ON	TBD	TBD
VCC_3V3	LDO2	1.0A	VCC_1V8	Slot:2	1.8V	ON	ON	TBD	TBD
VCC5V0_SYS	BUCK3	2.0A	VCC_3V3	Slot:2	3.3V	ON	ON	TBD	TBD
VCC5V0_SYS	BUCK4	2.0A	VCC_DDR	Slot:2	ADJ FB=0.6V	ON	ON	TBD	TBD
VCC12V_DCIN	BUCK5	3.0A	VCC5V0_SYS	Slot:0	5.2V	ON	ON	TBD	TBD

图 2-42 RK3528 分立电源上电时序表

图 2-43 RK3528 分立电源 上电时序图

2.2.3.3 核心模块峰值电流表

以下数据为各核心模块工作的峰值电流，供评估电源方案和 PCB Layout 使用，仅供参考。

注意：不能简单的全部加起来算成 SOC 的峰值电流，要评估散热方案，请根据实际场景的工作平均电流进行。

表 2-11 RK3528 峰值电流表

RK3528 核心模块极限电流				
环境：芯片 TSADC 温度 100℃； 散热情况：裸板，无散热片； 测试方法：开发板工作稳定后，运行 15 分钟记录； 运行场景：不同模块在运行各自极限场景下测试所得，仅供参考； 注意：以下数据为内部研发板上的测试数据，仅供设计参考，不代表芯片的最终能力。功耗与产品实际应用场景强相关，如需深度优化，可与技术支持人员进一步探讨；				
核心模块极限电流	电源网络	电压（V）	峰值电流（A）	峰值功率 (W)
	VDD_CPU	1.025	1.40	1.44
	VDD_LOGIC	0.9	1.00	0.90
	VDD_GPU	0.855	1.00	0.86
	VCC_DDR	1.2	0.90	1.09

说明：

1、表格数据 DDR 颗粒类型 DDR4，VCC_DDR 包含 DDR_VDDQ 和 DDR_VDDQL。

2、VDD_LOGIC 和 VDD_GPU 独立供电测试峰值电流。

2.3 功能接口设计指南

2.3.1 SDMMC/SDIO

RK3528 集成了 1 个 SDMMC 控制器和 2 个 SDIO 控制器，均可支持 SDIO3.0 协议，以及 MMC V4.51 协议。其中 SDIO0 和 SDIO1 最高可支持 200MHz，SDMMC 最高只支持到 150MHz。

2.3.1.1 SDMMC 接口

- SDMMC 接口复用在 VCCIO2 电源域；
- 支持 System Boot，默认分配接 SD 卡功能；
- SDMMC 与 JTAG 等功能复用在一起，默认通过 SDMMC_DET 状态进行功能选择，具体请参考 2.1.5 小节描述；
- VCCIO2 供电电源，需要外部提供 3.3V 或 1.8V 供电；
- 当接 SD 卡时：如果只要支持 SD2.0 模式：可直接供 3.3V 电源；如果要支持 SD2.0 模式兼容 SD3.0 模式：默认供 3.3V 电源，待和 SD 卡协商跑 SD3.0 模式后，供电电压需要切换成 1.8V 供电， 通过调整 DC/DC 的 FB 分压电阻参数实现。
- 当接 SDIO 设备时：根据外设以及实际运行的模式供 1.8V 或 3.3V；

Rockchip Confidential

图 2-44 RK3528 SD 卡 1.8V/3.3V 电源切换 FB 参数

图 2-45 RK3528 SDMMC 接口管脚

- 当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件；
- 当接 SD 卡使用时，需要注意以下问题：
  1) SD 卡的 VDD 脚供电电压为 3.3V，去耦电容不得删减，布局时，要靠近卡座放置；
  2) SDMMC_D[3：0]，SDMMC_CMD，SDMMC_CLK 需串接 22ohm 电阻，SDMMC_DET 串接 100ohm 电阻；
  3) SDMMC_D[3：0]，SDMMC_CMD，SDMMC_CLK，SDMMC_DET 信号在 SD 卡位置需要放置 ESD 器件，需要支持 SD3.0 模式，ESD 器件的结电容必须小于 1pF，如只需支持 SD2.0 模式，ESD 器件的结电容可放宽到 9pF。

Rockchip Confidential

图 2-46 SD Card 接口电路

4) SDMMC 接口上下拉和匹配设计推荐如表：

表 2-12 SDMMC0 接口设计

信号	内部上下拉	连接方式	描述（芯片端）
SDMMC0_D[3：0]	上拉	串联 22ohm 电阻 使用对应 IO 内部上拉电阻	SD 数据发送/接收
SDMMC0_CLK	下拉	串联 22ohm 电阻	SD 时钟发送
SDMMC0_CMD	上拉	串联 22ohm 电阻 使用对应 IO 内部上拉电阻	SD 命令发送/接收
SDMMC0_DET	上拉	串联 100ohm 电阻 使用对应 IO 内部上拉电阻	SD 卡插入检测

2.3.1.2 SDIO 接口

- SDIO 接口有两个 SDIO0 和 SDIO1，分别在 VCCIO0 电源域，和 VCCIO3 电源域，两组 SDIO 对称的设计都是 20 个信号，包含 UART、I2S、GPIO 相关控制信号，满足 SDIO WIFI 外设需求的全部信号。
- 不支持 System Boot；
- VCCIO0 和 VCCIO3 供电电源为 1.8V or 3.3V，根据外设需要选择对应的电压，需要注意和外设的 IO 保持一致。

Rockchip Confidential

图 2-47 RK3528 SDIO0 接口功能管脚

图 2-48 RK3528 SDIO1 接口功能管脚

- SDIO 接口上下拉和匹配设计推荐如表：

表 2-13 SDIO 接口设计

信号	内部上下拉	连接方式	描述（芯片端）
SDIO0/1_D[3：0]	下拉	串联 22ohm 电阻，走线较短时可删除 使用对应 IO 内部上拉电阻	SD 数据发送/接收
SDIO0/1_CLK	下拉	串联 22ohm 电阻	SD 时钟发送
SDIO0/1_CMD	下拉	串联 22ohm 电阻，走线较短时可删除 使用对应 IO 内部上拉电阻	SD 命令发送/接收

当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件。

2.3.1.3 SDIO 接 WIFI 时注意点

- 请确保模组的 IO 电平与 CPU 的 IO 电平保持一致，否则需要做电平匹配处理；
- 晶体负载电容请根据实际使用的晶体的 CL 电容值选择，并控制常温下的频率容限在 10ppm 以内；
- 天线预留 π 型电路用于天线匹配调节；
- 确认 PCM 与 UART 接口的连接方向，如 IN 和 OUT、TXD 和 RXD；
- 如果需要使用 32.768k 时钟输入的模组，需要注意时钟幅度。
- WIFI 有多种模式兼容，实际贴片时，必须根据实际模组选贴，不得随意贴片

2.3.2 SARADC 电路

RK3528 集成了一个分辨率为 10bit 的 SARADC 控制器，速度达到 1MS/s，输入电压范围为 0-1.8V，可提供 4 路 SARADC 输入。

SARADC_IN0 专用于 SYSTEM BOOT 启动顺序的设置，不能用于其它功能，通过上下拉电阻分压采样得到的值，用来判断从哪个接口进行 BOOT，设置如下表：（Rup/Rdown 代表上、下拉电阻）

TABLE

Item	Rup	Rdown	ADC	BOOT MODE
LEVEL1	DNP	100K	0	USB (Maskrom mode)
LEVEL2	100K	12K	114	
LEVEL3	100K	27K	228	FSPI--USB
LEVEL4	100K	51K	342	
LEVEL5	100K	82K	456	
LEVEL6	100K	120K	570	EMMC--USB
LEVEL7	100K	200K	683	EMMC--SD Card--USB
LEVEL8	100K	330K	796	SD Card--USB
LEVEL9	100K	820K	910	
LEVEL10	100K	DNP	1023	FSPI--EMMC--SD Card--USB

若 Rup=DNP，Rdown=100K；RK3528 设备连接好 USB 线，此时上电，系统可以直接进入 Maskrom。

SARADC_IN1 当作按键的键值输入采样，并复用为 Recovery 模式按键（不可修改）。

SARADC_IN1 通过 10Kohm 上拉电阻上拉到 VCC_1V8，默认为高电平（1.8V），在没有按键动作且

Rockchip Confidential

系统已经烧录固件的前提下，上电直接进入系统；若系统启动时 Recovery 模式按键处于按下状态，即将 SARADC_IN1 保持为低电平（0V），则 RK3528 进入 Loader 烧写模式，当 PC 识别到 USB 设备时，松开按键使 SARADC_IN1 恢复为高电平（1.8V），即可进行固件烧写。因此，在产品未有按键情况下，SARADC_IN1 悬空时，会不定态，可能会影响开机，所以 SARADC_IN1 的 10Kohm 上拉电阻必须保留，不可删减，保证默认的正常启动判断；为了方便开发，SARADC_IN1 建议预留按键或预留测试点。

图 2-49 SARADC INx 接口

RK3528 SARADC 设计注意点：

- SARADC_AVDD1V8 电源的去耦电容不得删减，布局时，要靠近 RK3528 管脚放置；
- SARADC_IN[3：0]有使用，靠近管脚必须增加 1nF 电容消抖；
- 用于按键采集时，靠近按键需做 ESD 防护，而且 0 键值的必须串接 100ohm 电阻加强抗静电浪涌能力（如果只有一个键时，ESD 必须靠近按键，先经过 ESD→100ohm 电阻→1nF→芯片管脚）。

图 2-50 RK3528 SARADC 单按键电路

2.3.3 OTP 电路

RK3528 内部有 8Kbit 空间和高位 1Kbit 的地址非安全空间用于编程。支持编写，读取以及空闲模式，这几个模式 OTP_VCC1V8 管脚都必须供电。

OTP_VCC1V8 电源的去耦电容不得删减，布局时，要靠近 RK3528 管脚放置。

图 2-51 RK3528 OTP 电源管脚

2.3.4 PCIE2.0/USB 电路

RK3528 芯片内置 1 个 USB3.0 OTG0 控制器，1 个 USB2.0 HOST1 控制器；有 1 个 PCIE2.0 控制器。

Rockchip Confidential

有 2 个 USB2.0 PHY，一个 PCIE2.0/USB3 Combo PHY。

这些控制器与 PHY 的内部复用关系如下：

- USB2.0 HOST1 控制器和 USB2.0 PHY 组合，外部接口是 USB2.0 HOST1。
- USB3.0 OTG0 控制器可以与 USB2.0 PHY 组合，外部接口是 USB2.0 OTG0。
- USB3.0 OTG0 控制器可以与 PCIE2.0/USB3 Combo PHY 和 USB2.0 PHY 组合，外部接口是 USB3.0 OTG0。
- PCIE2.0 控制器和 PCIE2.0/USB3 Combo PHY 组合，外部接口是 RC Mode PCIe Slot。

概况起来：组合方式有 2 种：

- 1 x USB2.0 HOST1 + 1 x USB2.0 OTG0 + PCIE2.0
- 1 x USB2.0 HOST1 + 1 x USB3.0 OTG0

图 2-52 PCIE/USB PHY 与 PCIE/USB Controller 的内部复用关系

USB2.0 OTG0 控制器支持 HS/FS/LS，信号名见下图的红色方框内；RK3528 目前仅此接口支持做 Fireware 的 Download，应用中请务必要预留出此接口。

图 2-53 USB2.0 OTG0 管脚

注意

仅 USB2.0_OTG_DM/USB2.0_OTG0_DP 支持 Download Firmware，如果产品不用这个接口，在调试与生产过程中必须要预留此接口，注意：USB20_OTG0_VBUSDET 也必须连接！

USB2.0 HOST1控制器，使用USB2.0 HOST1 PHY，下图框内信号组成USB2.0 HOST1接口。

图 2-54 USB2.0 HOST1 管脚

USB3.0 OTG0控制器，使用PCIE2.0/USB3 Combo PHY和USB2.0 PHY，下图框内信号组成USB3.0 OTG0接口。

图 2-55 USB30 OTG0 管脚

PCIE2.0 控制器和 PCIE2.0/USB3 Combo PHY 组合，下图框内信号组成 RC Mode PCIe Slot。

Rc Confidential

图 2-56 PCIe2.0 管脚

USB2.0/USB3.0 设计中请注意：

- USB2.0_OTG_DM/USB2.0_OTG0_DP 是系统固件烧写口，如果产品不用这个接口，在调试与生产过程中必须要预留此接口，不然会无法调试及生产烧写固件；
- USB20_OTG0_ID 内部有大概 200Kohm 电阻上拉到 USB20_AVDD1V8；
- USB20_OTG0_VBUSDET 是 OTG 和 Device 模式检测脚，高为 DEVICE 设备，2.7-3.3V，TYP：3.0V，建议在管脚放置一个 100nF 电容。

OTG 模式可以设置以下三种模式：

- OTG 模式：根据 ID 脚状态自动切换是 device 模式或 HOST 模式，ID 高为 device，ID 拉低为 HOST，处在 device 模式时，还会判断 VBUSDET 脚是否为高（大于 2.3V），如果为高，才会拉高 DP，开始枚举；
- Device 模式：设置为这个模式时，无需 ID 脚，只需判断 VBUSDET 脚是否为高（大于 2.3V），如果为高，才会拉高 DP，开始枚举；
- HOST 模式：设置为这个模式时，ID 和 VBUSDET 状态都无需要关心。（如果产品只需要 HOST 模式，但是由于仅 USB2.0_OTG_DM/USB2.0_OTG0_DP 是系统固件烧写口，在调试与生产过程都需要用这个口，烧写和 adb 调试时，需要设置成 device 模式，因此 USB20_OTG0_VBUSDET 信号也必须接）。

在 uboot 起来前默认为 device 模式，进 uboot 后，可根据实际需求配置这三种模式。

图 2-57 RK3528 USB20_OTG0 电路

Rockchip Confidential

若用 Micro USB2.0 接口，则需要通过 USB 连接器上的 5V 来识别是否有其他设备接入或接入到其他设备，需要采用如下电路：

图 2-58 USB20_OTG0_VBUSDET 检测电路

- 为提高 USB 性能，PHY 各路电源的去耦电容不得删除，布局时请靠近管脚放置；
- 为加强抗静电和浪涌能力，信号上必须预留 ESD 器件，USB2.0 信号的 ESD 寄生电容不得超过 3pF，另外 USB2.0 信号的 DP/DM 串接 2.2ohm 电阻，加强抗静电浪涌能力，不得删减，见下图，举例 USB2.0_OTG_DM/DP，其它 USB2.0 接口也需要同样处理；

图 2-59 USB2.0 信号串接 2.2ohm 电阻电路

- 为抑制电磁辐射，可以考虑在信号线上预留共模电感（Common mode choke），在调试过程中根据实际情况选择使用电阻或者共模电感，见下图，举例 USB2.0_OTG_DM/DP，其它 USB2.0 接口也需要同样处理。

图 2-60 USB2.0 信号串共模电感电路

Rockchip Confidential

如果有用 USB20_OTG0_ID 信号，为加强抗静电和浪涌能力，信号上必须预留 ESD 器件，而且串接 100ohm 电阻，不得删减，见下图：

图 2-61 USB20_OTG0_ID 脚电路

当 HOST 功能时，5V 电源建议增加限流开关，限流大小根据应用需要可调整，限流开关使用 3.3V 的 GPIO 控制，建议 5V 电源增加 22uF 和 100nF 以上的电容滤波；若 USB 口可能接移动硬盘，建议滤波电容增加到 100uF 以上。

图 2-62 USB 5V 限流电路

USB3.0 协议要求在 SSTXP/N 线上增加 100nF 交流耦合电容，AC 耦合电容建议使用 0201 封装，更低的 ESR 和 ESL，也可减少线路上的阻抗变化。

USB 座子所有信号都必须增加 ESD 器件，布局时靠近 USB 连接器放置。对于 SSTXP/N，SSRXP/N 信号，ESD 寄生电容不得超过 0.3pF。

图 2-63 USB 座子 ESD 电路

Rockchip Confidential

USB2.0/USB3.0 接口匹配设计推荐如下表所示：

表 2- 14 RK3528 USB2.0/USB3.0 接口设计

信号	连接方式	说明
USB20_OTG0_DP/DM	串接 2.2ohm 电阻	USB HS/FS/LS 模式的数据输入/输出
USB30_OTG0_SSTXN/SSTXP	串接 100nF 电容（建议 0201 封装）	USB SS 模式的数据输出
USB30_OTG0_SSRXN/SSRXP	串接 0ohm 电阻	USB SS 模式的数据输入
USB20_OTG0_ID	串接 100ohm 电阻（外部要上拉，上拉电源需要接到和 USB20_AVDD_1V8 同一个电源上）	USB OTG ID 识别，Micro-USB 接口时需要使用
USB20_OTG0_VBUSDET	电阻分压检测	USB OTG 插入检测
USB20_HOST1_DP/DM	串联 2.2ohm 电阻	USB HS/FS/LS 模式的数据输入/输出

Rockchip Confidential

2.3.5 视频输入接口电路

2.3.5.1 TSI 接口

RK3528 支持两组 TSI 输入，TSI 接口分布在 VCCIO3 电源域上，实际产品设计中，需要根据产品外设 IO 电平必须与其保持一致，否则会造成通信异常或无法工作。

下图框内信号是 TSI 输入信号：

图 2-64 RK3528 TSI 功能管脚

TSI 接口支持 2 路 TSI 流串行输入，最大支持 96 个 硬件 PID 过滤器，支持 DVB-CSA/AES/DES 解扰算法。

一串一并和两串，两种模式信号选择如下：

Mode	Parallel+Serial	Serial+Serial
TSI0_D0	TSI0_D0	TSI0_D0
TSI0_D1	TSI0_D1	Leave floating
TSI0_D2	TSI0_D2	Leave floating
TSI0_D3	TSI0_D3	Leave floating
TSI0_D4	TSI0_D4	Leave floating
TSI0_D5	TSI0_D5	Leave floating
TSI0_D6	TSI0_D6	Leave floating
TSI0_D7	TSI0_D7	Leave floating
TSI0_CLKIN	TSI0_CLKIN	TSI0_CLKIN
TSI0_VALID	TSI0_VALID	TSI0_VALID
TSI0_SYNC	TSI0_SYNC	TSI0_SYNC
TSI0_FAIL	TSI0_FAIL or Leave floating	TSI0_FAIL or Leave floating
TSI1_D0	TSI1_D0	TSI1_D0
TSI1_CLKIN	TSI1_CLKIN	TSI1_CLKIN
TSI1_VALID	TSI1_VALID	TSI1_VALID
TSI1_SYNC	TSI1_SYNC	TSI1_SYNC

图 2-65 RK3528 TSI 两种模式

Rockchip Confidential

TSI 接口上下拉和匹配设计推荐如表：

表 2-15 RK3528 CIF 接口设计

信号	内部上下拉	连接方式	描述（芯片端）
TSI0_D[7:0]	下拉	串接 22ohm 电阻，靠近设备端	TSI 数据输入
TSI0_CLKIN	下拉	串接 22ohm 电阻，靠近设备端	TSI 时钟输入
TSI0_VALID	下拉	串接 22ohm 电阻，靠近设备端	TSI 包有效位标记输入
TSI0_SYNC	下拉	串接 22ohm 电阻，靠近设备端	TSI 包发送开始标记位输入
TSI0_FAIL	下拉	串接 22ohm 电阻，靠近芯片端	TSI 数据错误标记位输入
TSI1_D0	下拉	串接 22ohm 电阻，靠近设备端	TSI 数据输入
TSI1_CLKIN	下拉	串接 22ohm 电阻，靠近设备端	TSI 时钟输入
TSI1_VALID	下拉	串接 22ohm 电阻，靠近设备端	TSI 包有效位标记输入
TSI1_SYNC	下拉	串接 22ohm 电阻，靠近设备端	TSI 包发送开始标记位输入

当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 ESD 器件。

2.3.6 视频输出接口电路

RK3528 芯片的 VOP 控制器，有 2 个 Port 输出，支持 HDMI /CVBS 视频接口输出。

VOP 和视频接口输出路径图：

图 2-66 RK3528 VOP 和视频接口输出路径图

2.3.6.1 HDMI 接口

RK3528 有 1 个 HDMI PHY 接口,支持 HDMI2.0 TX 模式：最大分辨率支持 4K@60Hz，支持 RGB/YCbCr444/YCbCr420(Up to 10bit)格式。

Rockchip Confidential

图 2-67 RK3528 HDMI PHY 管脚

HDMI_REXT 是 HDMI PHY 的外置参考电阻管脚，外接对地 1kohm 精度为 1%的电阻，不得更改电阻值，布局时靠近 RK3528 芯片管脚放置。

图 2-68 RK3528 HDMI _REXT 管脚

HDMI_TX_HPD 复用到 PMUIO 电源域的 GPIO 上，电平支持 5V 耐压。

HDMI_TX_SCL/ SDA 复用到 PMUIO 电源域的 GPIO 上，电平支持 5V 耐压。

HDMI_TX_CEC 复用到 PMUIO 电源域的 GPIO 上，电平为 3.3V。

图 2-69 RK3528 HDMI_TX_HPD/SCL/SDA/CEC 功能管脚

HPD 信号在 HDMI 座子端，需要串接 1Kohm 电阻，加强抗静电浪涌能力，预留对地 100Kohm 电阻。

Rockchip Confidential

图 2-70 RK3528 HDMI_TX_HPD 电路

CEC 协议规定是 3.3V 电平，且协议要求，往 CEC 管脚通过 27K 电阻加 3.3V 电压，漏电不允许超过 1.8uA。RK3528 内部有 27K 上拉电阻。

Test ID 7-15: CEC Line Degradation

Reference	Requirement
[HDMI: Table 4-40] CEC line Electrical Specifications for all Configurations	A device with power removed (from the CEC circuitry) shall not degrade communication between other CEC devices (e.g. the line shall not be pulled down by the powered off device). Maximum CEC line leakage current must be ≤1.8μA

图 2-71 HDMI CEC 协议要求

D5000 二极管不得删减，用来防止 Sink 端漏电到 VCC5V0_SYS。

图 2-72 HDMI 5V 电源

HDMI 座子的 Pin18 电压需保证在 4.8-5.3V 之间，管脚需放置 1uF 去耦电容，不得删减，布局时，靠近 HDMI 座子管脚放置。

为加强抗静电能力，信号上必须预留 ESD 器件，HDMI2.1 TMDS 信号的 ESD 寄生电容不得超过 0.4pF，其它信号的 ESD 寄生电容建议使用不超过 1pF。

Rockchip Confidential

图 2-73 HDMI TX 座子 ESD 电路

RK3528 HDMI 接口模拟部分是按 HDMI2.1 设计的，存在 Data 边沿太快，如果测试 TMDS 的话有要求边沿的摆率，所以这项指标会可能失败，功能上是不影响的，但如果有过 HDMI 认证及 EMI 测试的话，建议预留如下图电路：Data P/N 对地 1pF 电容，串接 4.7R 电阻。Clk 串接共模电感。

图 2-74 HDMI 边沿过快预留电路

HDMI TX 接口匹配设计推荐如下表所示。

表 2-16 RK3528 HDMI TX 接口设计

信号	连接方式	说明
HDMI_TX_D0P/D0N	串联 2.2ohm 电阻	TMDS 数据 Lane0 输出
HDMI_TX_D1P/D1N	串联 2.2ohm 电阻	TMDS 数据 Lane1 输出
HDMI_TX_D2P/D2N	串联 2.2ohm 电阻	TMDS 数据 Lane2 输出
HDMI_TX_CLKP/CLKN	串联 2.2ohm 电阻	TMDS 时钟输出
HDMI_TX_REXT	对地 1kohm 精度为 1%的电阻	HDMI_TX PHY 的外置参考电阻
HDMI_TX_HPD	串联 1kohm 电阻	HDMI 插入检测
HDMI_TX_CEC	串联 22ohm 电阻	HDMI CEC 信号
HDMI_TX_SCL	串联 100ohm 电阻，并且上拉 1.8kohm 电阻到 VCC5V_HDMI_TX	HDMI DDC 时钟
HDMI_TX_SDA	串联 100ohm 电阻，并且上拉 1.8kohm 电阻到 VCC5V_HDMI_TX	HDMI DDC 数据输入输出

2.3.6.2 CVBS 接口

RK3528 支持一个 CVBS，最大输出分辨率可达 720x576@60Hz。

CVBS VDAC_IOUTP 引脚必须接 75ohm 1%电阻到地，靠近 RK3528 放置；VDAC_IOUTN 引脚接地。

VDAC_IREF 是 CVBS PHY 的外置参考电阻管脚，外接对地 1kohm 精度为 1%的电阻，不得更改电阻值，布局时靠近 RK3528 芯片管脚放置。

图 2-75 RK3528 CVBS PHY 管脚

VDAC 采样时钟为 27MHz，电容 C5100 与电感 L5100 组成 LC 并联谐振电路，主要是为了阻止 CVBS 输出信号上的 27MHz 频率成分通过，LC 并联谐振电路在本振频率处阻抗最大（如下图阻抗特性曲线），电路参数设计的本振频率在 27MHz 左右，根据如下计算公式本振频率为 26.5258MHz，接近 CVBS 采样时钟 27MHz。

$$f = \frac{1}{2 \bullet \pi \bullet \sqrt{L \bullet C}} = \frac{1}{2 \bullet \pi \bullet \sqrt{1.8uH \bullet 20pF}} = 26.5258MHz$$

Rockchip Confidential

电容 C5101、C5102 用来滤除电路的高频杂波成分（复合视频信号带宽为 6MHz）。下图 LC 并联谐振及其滤波电路使得输出波形更平滑有助于改善 EMI 等问题。

为加强抗静电能力，信号上必须预留 ESD 器件，靠近连接器引脚放置。

图 2- 76 RK3528 CVBS 电路

表 2–12 RK3528 CVBS 接口设计

信号及复用情况	默认上下拉	连接方式	所属电源域
VDAC_IOUTP	NA	对地 75ohm 1%电阻	VDAC_IOUTP 输出
VDAC_IOUTN	NA	接地	VDAC_IOUTN 输出
VDAC_IREF	NA	串接 1K 精密电阻对地	VDAC 外置参考电阻

2.3.7 音频相关电路设计

RK3528 总共提供了 4 组 I2S 接口、1 组 PDM 接口、1 个 SPDIF TX 接口。

其中，对外提供了 2 组 I2S 接口、1 组 PDM 接口、1 个 SPDIF TX 接口，这些接口的 IO 域复用情况以及所属电源域如下表所示，供用户灵活分配选用。

表 2- 17 RK3528 对外引出的音频接口以及 IO 复用情况

对外接口	第一处复用 (M0)	第二处复用 (M1)	第三处复用 (M2)	所属内部电源域
I2S0	VCCIO3	VCCIO0	--	PD_VPU
I2S1	VCCIO4	--	--	PD_RKVENC
PDM	VCCIO4	--	--	PD_RKVENC
SPDIF_TX	VCCIO4 GPIO4_A1	VCCIO0 GPIO1_C3	VCCIO3 GPIO3_C3	PD_RKVENC

其余未引出的音频接口用于视频输入/输出接口的配套使用，其内部分配对应关系在 **2.3.7.1 音频子系统框图**章节的框图中体现。这些音频接口的内部电源域从属情况如下，与其配套对应的视频接口所属电源域一致：

- I2S2 属于 PD_VPU；
- I2S3 属于 PD_VO；

Rockchip Confidential

2.3.7.1 音频子系统框图

图 2-77 RK3528 音频子系统框图

2.3.7.2 I2S 数字音频接口

I2S 作为应用最广泛的数字音频接口，可用于音频 ADC、音频 DAC、音频 Codec、DSP 等外设的通讯，也可为视频输入/输出接口提供集成的音频输入与输出支持。

RK3528 两组 I2S 接口均可支持主从模式，16 至 32bits 的位宽，最高到 192kHz 的采样率。这些模式的格式、时序可参考 TRM 文档详细说明。

2.3.7.2.1 I2S0 数字音频接口

I2S0 接口包含独立的 2 通道输出和 2 通道输入，对于输出数据 SDO 和输入数据 SDI，同时参考一组位/帧时钟 SCLK/LRCK。

I2S0 接口支持主从工作模式，软件可配置。支持 3 种 I2S 格式（常规、左对齐、右对齐）；支持 4 种 PCM 格式（early、late1、late2、late3）。

该组 I2S 引脚复用在两个不同的电源域，I2S0_M0 复用在 VCCIO3，I2S0_M1 复用在 VCCIO0，两处均可整组完整引出所有信号。两处复用不能同时使用，每次只能用其中一组。需要核对 I2S 外设的 IO 电平，使其匹配对应的 IO 电源域供电。

I2S0 接口上下拉和匹配设计推荐如表所示。

表 2-18 RK3528 I2S0 接口信号描述

信号	默认上下拉	连接方式	描述（芯片端）
I2S0_MCLK_M0	下拉	串联 22ohm 电阻	I2S 系统时钟输出
I2S0_SCLK_M0	下拉	串联 22ohm 电阻	I2S 连续串行时钟，位时钟
I2S0_LRCK_M0	下拉	串联 22ohm 电阻	I2S 帧时钟，用于声道选择
I2S0_SDI_M0	下拉	直连	I2S 串行数据输入
I2S0_SDO_M0	下拉	直连	I2S 串行数据输出
I2S0_MCLK_M1	下拉	串联 22ohm 电阻	I2S 系统时钟输出
I2S0_SCLK_M1	下拉	串联 22ohm 电阻	I2S 连续串行时钟，位时钟
I2S0_LRCK_M1	下拉	串联 22ohm 电阻	I2S 帧时钟，用于声道选择

Rockchip Confidential

信号	默认上下拉	连接方式	描述（芯片端）
I2S0_SDI_M1	下拉	直连	I2S 串行数据输入
I2S0_SDO_M1	下拉	直连	I2S 串行数据输出

- 为提高 I2S 接口性能，对应 VCCIO 电源域的去耦电容不得删除，布局时请靠近管脚放置；
- 当通过连接器实现板对板连接时，建议时钟/控制/信号都串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件。

2.3.7.2.2 I2S1 数字音频接口

I2S1 接口包含独立的 8 通道输出和 8 通道输入，对于输出数据 SDOx 和输入数据 SDIx，同时参考一组位/帧时钟 SCLK/LRCK。

I2S1 接口支持主从工作模式，软件可配置。支持 3 种 I2S 格式（常规、左对齐、右对齐）；支持 4 种 PCM 格式（early、late1、late2、late3）。

该组 I2S 引脚没有复用，都在电源域 VCCIO4 上。需要核对 I2S 外设的 IO 电平，使其匹配对应的 IO 电源域供电。

I2S1 接口上下拉和匹配设计推荐如表所示：

表 2-19 RK3528 I2S1 接口信号描述

信号	默认上下拉	连接方式	描述（芯片端）
I2S1_MCLK	下拉	串联 22ohm 电阻	I2S 系统时钟输出
I2S1_SCLK	下拉	串联 22ohm 电阻	I2S 连续串行时钟，位时钟
I2S1_LRCK	下拉	串联 22ohm 电阻	I2S 帧时钟，用于声道选择
I2S1_SDO0	下拉	直连	I2S 串行数据 0 输出
I2S1_SDO1	下拉	直连	I2S 串行数据 1 输出
I2S1_SDO2	下拉	直连	I2S 串行数据 2 输出
I2S1_SDO3	下拉	直连	I2S 串行数据 3 输出
I2S1_SDI0	下拉	直连	I2S 串行数据 0 输入
I2S1_SDI1	下拉	直连	I2S 串行数据 1 输入
I2S1_SDI2	下拉	直连	I2S 串行数据 2 输入
I2S1_SDI3	下拉	直连	I2S 串行数据 3 输入

- 为提高 I2S 接口性能， 对应 VCCIO 电源域的去耦电容不得删除，布局时请靠近管脚放置；
- 当通过连接器实现板对板连接时，建议时钟/控制/信号都串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件。

2.3.7.3 PDM 数字音频接口

RK3528 提供了 1 组 PDM 接口，可对外引出。

PDM 工作在主接收模式（master receive mode，即 RK3528 提供 PDM 时钟、接收数据）支持 8 通道输入能力，16 至 24bits 的位宽，最高到 192kHz 的采样率。

PDM 接口通常用于接入数字麦克风，或者通过 PDM 接口的模拟音频 ADC 对模拟麦克风进行录音。

下图是 PDM 接口的数据格式，PDM_DATA 由 Data(R)和 Data(L)组成，PDM 是 1bit 采样接口，分别在 CLK 的上升沿、下降沿采样 Data(L)和 Data(R)，即每根 PDM_SDIx 数据线可传输两个声道的音频数据。

Rockchip Confidential

图 2-78 RK3528 PDM 接口数据格式

常见的采样率与 PDM_CLK 的对应关系如下表，在硬件调测时可以对照进行参考：

表 2-20 RK3528 PDM_CLK 频率与采样率对照表

PDM_CLK 频率	采样率
3.072MHz	12kHz，24kHz，48kHz，96kHz，192kHz
2.8224MHz	11.025kHz，22.05kHz，44.1kHz，88.2kHz，176.4kHz
2.048MHz	8kHz，16kHz，32kHz，64kHz，128kHz

PDM 引脚没有复用，都在电源域 VCCIO4 上。需要核对 PDM 外设的 IO 电平，使其匹配对应的 IO 电源域供电。

PDM 接口上下拉和匹配设计推荐如表所示。为改善 PCB 走线对时钟的影响，提供了两个同源同相的 PDM 时钟，PDM_CLK0 和 PDM_CLK1，可根据 layout 走线的需求分配使用，避免单一 CLK 走线情况下分支的影响。

表 2-21 RK3528 PDM 接口信号描述

信号	默认上下拉	连接方式	描述（芯片端）
PDM_CLK0	下拉	串联 22ohm 电阻	PDM 时钟 0
PDM_CLK1	下拉	串联 22ohm 电阻	PDM 时钟 1
PDM_SDI0	下拉	直连	PDM 数据输入 0
PDM_SDI1	下拉	直连	PDM 数据输入 1
PDM_SDI2	下拉	直连	PDM 数据输入 2
PDM_SDI3	下拉	直连	PDM 数据输入 3

- 为提高 PDM 接口性能，对应 VCCIO 电源域的去耦电容不得删除，布局时请靠近管脚放置；
- 当通过连接器实现板对板连接时，建议时钟/控制/信号都串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件。

2.3.7.4 SPDIF TX 数字音频接口

RK3528 提供了 1 组 SPDIF_TX 接口，SPDIF_TX 引脚复用在三个不同的电源域，SPDIF_TX_M0 复用在 VCCIO4，GPIO4_A1；SPDIF_TX_M1 复用在 VCCIO0，GPIO1_C3 ；SPDIF_TX_M2 复用在 VCCIO3，GPIO3_C3。需要核对 SPDIF_TX 外设的 IO 电平，使其匹配对应的 IO 电源域供电。

SPDIF 接口上下拉和匹配设计推荐如表所示：

Rockchip Confidential

表 2-22 RK3528 SPDIF_TX 接口信号描述

信号及复用情况	默认上下拉	连接方式	所属电源域
SPDIF_TX_M0	下拉	串联 22ohm 电阻	VCCIO4
SPDIF_TX_M1	下拉	串联 22ohm 电阻	VCCIO0
SPDIF_TX_M2	下拉	串联 22ohm 电阻	VCCIO3

- 为提高 SPDIF 接口性能，对应 VCCIO 电源域的去耦电容不得删除，布局时请靠近管脚放置；
- 当通过连接器实现板对板连接时，建议时钟/控制/信号都串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件。

2.3.7.5 ACODEC 音频接口

RK3528 支持 1 对 LINEOUT_L/R 立体声输出。

ACODEC_VCM 是 ACODEC PHY 的共模电压管脚，外接对地 4.7uF 电容，不得更改电阻值，布局时靠近 RK3528 芯片管脚放置。

图 2-78 RK3528 ACODEC PHY 管脚

在驱动双立体声音，ACODEC LINEOUT_L/R 输出需串联 4.7uF 电容，靠近功放放置，最大输出电压约 1.56Vpp（552mVrms），为了满足输出 2Vrms 的指标，功放这边需要放大约 4 倍，具体的电路图根据功放选择来设计。ACODEC LINEOUT_L/R 需要和 GND 类差分走线，见 3.3.14 章节详细说明。

图 2-79 RK3528 AUDIO 电路图

目前市面上，Audio 3.5mm 四段式耳机座有两种结构，国标（OMTP）和美标（CTIA），信号连接需要参照耳机座子对应的规格书，本文示意图默认按照国标的四段式耳机接法，如下图所示。

图 2-80 RK3528 AUDIO 接口

图 2-81 3.5mm 耳机座区别

在驱动喇叭时，LINEOUT_L/R 可以选择接其中一个，或者两个信号串联电容后，接到功放的同一输入端（放大倍数会变大一倍），功放的放大倍数根据功放选型以及需求自行设置，电路如下图所示。

Rockchip Confidential

图 2-82 RK3528 ACODEC 输出驱动喇叭

表 2–12 RK3528 ACODEC 接口设计

信号及复用情况	默认上下拉	连接方式	所属电源域
ACODEC_LINEOUT_L	NA	串接 4.7uF 电容	LINEOUT 输出
ACODEC_LINEOUT_R	NA	串接 4.7uF 电容	LINEOUT 输出
ACODEC_VCM	NA	串接 4.7uF 电容对地	ACODEC 内部参考基准

2.3.7.6 音频外设的设计参考

本章节对于常用的音频场景，给出了设计建议，用户可参考使用。

2.3.7.6.1 放音设备、耳机、喇叭

对于喇叭放音需求，默认实现方案，使用 RK3528 内部的 ACODEC DAC 实现模拟输出，再通过音频功放实现功率放大驱动喇叭，如下图所示。

图 2-83 RK3528 ACODEC 输出示意图

另外，RK3528 也可以通过 I2S 信号，连接音频 DAC 实现模拟输出，再通过音频功放实现功率放大驱动喇叭，如下图所示。

图 2-84 RK3528 I2S 输出示意图

Rockchip Confidential

2.3.7.6.2 录音设备、麦克风

对于录音的需求，可以使用 PDM 接口连接 PDM 麦，或者使用 I2S/PDM 接口的 ADC，外接模拟 MIC 来实现。

图 2-85 MIC 输入电路示意图

另外，也可以使用集成 ADC、DAC 的 Codec 来实现相关功能，如下图所示，对于更复杂的带 4G 通话、蓝牙通话等功能的设计参考，现阶段请联系 RK 获取：

图 2-86 RK3528 外接 CODEC 音频方案示意图

2.3.8 以太网接口电路

RK3528 芯片集成 1 个 GMAC 控制器、1 个 EMAC 控制器和 FEPHY。

2.3.8.1 FEPHY 接口

RK3528 内部集成的 FEPHY，可以通过 MDI 信号，连接到变压器和 RJ45 接口。

FEPHY_REXT 是 FEPHY 的外置参考电阻管脚，外接对地 6.04kohm 精度为 1%的电阻，不得更改电阻值，布局时靠近 RK3528 芯片管脚放置。

Rockchip Confidential

图 2-87 RK3528 内置 FEPHY 电路图

图 2-88 RK3528 RJ45 接口

表 2–11 RK3528 FEPHY 接口设计

信号	内部上下拉	连接方式	描述（芯片端）
FEPHY_RXP/_RXN	NA	串联 0ohm 电阻直连	数据接收差分对信号
FEPHY_TXP/TXN	NA	串联 0ohm 电阻直连	数据发送差分对信号
FEPHY_EXTR	NA	串联 6.04K 精密电阻接地	参考电阻

设计注意点：

- 差分信号上所串接的 0ohm 电阻不可以省掉， 需要预留。
- REXT 电阻靠近芯片放置。

2.3.8.2 RGMII 接口电路

GMAC 控制器支持以下功能：

- 支持 10/100/1000 Mbps 数据传输速率的 RGMII 接口；
- 支持 10/100 Mbps 数据传输速率的 RMII 接口。

GMAC 的 RGMII/RMII 接口工作在 VCCIO3 电源域。

Rockchip Confidential

图 2-89 RK3528 GMAC0 功能管脚

RGMII/RMII 接口设计中请注意：

- GMAC 可支持 1.8V 或 3.3V 电平，由 VCCIO3_VCC（Pin 1M13）决定，Pin 1M13 接 1.8V 电源即是 1.8V 电平，Pin 1M13 接 3.3V 电源即是 3.3V 电平；
- 有条件建议 RGMII/RMII 采用 1.8V 电平，能获得更好的信号质量；
- 为提高 RGMII/RMII 接口性能，所在 VCCIO3 电源的去耦电容不得删除，布局时请靠近管脚放置；
- ETH_REFCLKO_25M 需在 RK3528 端预留串接 0 ohm 电阻，根据实际情况有条件提高信号质量；
- TXD0-TXD3，TXCLK，TXEN 需在 RK3528 端预留串接 0 ohm 电阻，根据实际情况有条件提高信号质量；
- RXD0-RXD3，RXCLK，RXDV 需在 PHY 端串接 22 ohm 电阻，以提高信号质量；
- RGMII/RMII 接口上下拉和匹配设计推荐如表：

表 2-23 RK3528 RGMII/RMII 接口设计

信号	IO类型(芯片端)	连接方式	RGMII接口	信号描述	RMII接口	信号描述
GMAC1_TXD[3:0]	输出	预留串接0ohm电阻，靠近RK3528端	RGMIIx_TXD[3：0]	数据发送	RMIIx_TXD[1：0]	数据发送
GMAC1_TXCLK	输出	预留串接0ohm电阻，靠近RK3528端	RGMIIx_TXCLK	数据发送参考时钟	--	--
GMAC1_TXEN	输出	预留串接0ohm电阻，靠近RK3528端	RGMIIx_TXEN	数据发送使能（上升沿）和数据发送错误（下降沿）	RMIIx_TXEN	数据发送使用信号
GMAC1_RXD[3:0]	输入	串接22ohm电阻，靠近PHY端	RGMIIx_RXD[3：0]	数据接收	RMIIx_RXD[1：0]	数据接收
GMAC1_RXCLK	输入	串接22ohm电阻，靠近PHY端	RGMIIx_RXCLK	数据接收参考时钟	--	--

Rockchip Confidential

GMAC1_RXDV	输入	串接22ohm电阻，靠近PHY端	RGMIIx_RXDV	数据接收有效（上升沿）和接收错误（下降沿）	RMIIx_RXDV_CRS	数据接收有效和载波侦听
GMAC1_MCLKINOUT	输入/输出	输出模式：预留串接0ohm电阻，靠近RK3528端 输入模式：串接22ohm电阻，靠近PHY端	RGMIIx_MCLKIN_125M	PHY送125MHz给MAC，可选	RMII_MCLKIN_50M or RMII_MCLKOUT_50M	RMII数据发送和数据接收参考时钟
ETH_REFCLKO_25M	输出	预留串接0ohm电阻，靠近RK3528端	ETHx_REFCLKO_25M	RK3528提供25MHz时钟替代PHY晶体	ETHx_REFCLKO_25M	RK3528提供25MHz时钟替代PHY晶体
GMAC1_MDC	输出	预留串接0ohm电阻，靠近RK3528端	RGMIIx_MDC	管理数据时钟	RMIIx_MDC	管理数据时钟
GMAC1_MDIO	输入/输出	外部上拉1.5K-1.8Kohm电阻	RGMIIx_MDIO	管理数据输出/输入	RMIIx_MDIO	管理数据输出/输入

- 当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm-100ohm之间，具体以能满足SI测试为准)，并预留TVS器件；
- RGMII连接示意图1（以RK631为例），具体电路请见参考图(GEPHY工作时钟使用外置25MHz晶体)：

图 2-90 RGMII连接示意图1

- RGMII连接示意图2（以RK631为例），具体电路请见参考图(GEPHY工作时钟使用RK3528提供的25MHz)：

Rockchip Confiden

图 2-91 RGMII 连接示意图 2

- RMII 连接示图 1（以 RTL8201F 为例），具体电路请见参考图(GMAC1_MCLKINOUT 采用输出模式，即当 FEPHY 工作时钟也当 RMII 接口的参考时钟，有些 FEPHY 不支持这个模式，需注意)：

图 2-92 RMII 连接示意图 1

- RMII 连接示意图 2，具体电路请见参考图(FEPHY 工作时钟使用 25MHz 晶体，

Rockchip Confidential

GMAC1_MCLKINOUT 采用输出模式，当 RMII 接口的参考时钟，FEPHY 的 TXCLK 需要配置为输入模式)：

图 2-93 RMII 连接示意图 2

- RMII 连接示图 3（以 RTL8201F 为例），具体电路请见参考图(使用 RK3528 提供的 25MHz 替代 FEPHY 晶体，GMAC1_MCLKINOUT 采用输出模式，当 RMII 接口的参考时钟，FEPHY 的 TXCLK 需要配置为输入模式)：

图 2-94 RMII 连接示意图 3

- RMII 连接示图 4，具体电路请见参考图(FEPHY 工作时钟使用外置 25MHz 晶体，

Rockchip Confidential

GMAC1_MCLKINOUT 采用输入模式，RMII 接口的参考时钟由 FEPHY 提供，FEPHY 的 TXCLK 需要配置为输出模式)：

图 2-95 RMII 连接示意图 4

- RMII 连接示图 5（以 RTL8201F 为例），具体电路请见参考图(使用 RK3528 提供的 25MHz 替代 FEPHY 晶体，GMAC1_MCLKINOUT 采用输入模式，RMII 接口的参考时钟由 FEPHY 提供，FEPHY 的 TXCLK 需要配置为输出模式)：

图 2-96 RMII 连接示意图 5

- 在 RGMII 模式下，RK3528 芯片内部 TX/RX 时钟路径集成了 delayline，支持调整；参考图默认

Rockchip Confidential

配置是：TXCLK 与 data 之间时序由 MAC 来控制，RXCLK 与 data 之间时序由 PHY 来控制（如使用 RK631 即 RXCLK 默认开启 2nS delay，其它 PHY 要注意这个配置）；

- Ethernet PHY 的 Reset 信号需要用 GPIO 来控制，GPIO 电平必须和 PHY IO 电平匹配，靠近 PHY 管脚必须增加 100nF 电容，加强抗静电能力，注意： RK631 的复位管脚只支持 3.3V 电平；
- RK631 的 INTB/PMEB 为开漏输出，外部必须增加上拉电阻；
- PHY 使用外置晶体时，晶体电容请根据实际使用的晶体的负载电容值选择，控制频偏在+/-20ppm 以内；
- RK631 的 RSET 管脚外接电阻为 2.49K ohm 精度为 1%，不得随意修改；
- MDIO 必须外部加上拉电阻，推荐 1.5-1.8Kohm，上拉电源必须和 IO 电源保持一致；
- RK631 的变压器中心抽头的连接必须按照参考图接，如果换其它 Ethernet PHY，那么变压器中心抽头的连接，建议参考各 Ethernet PHY 厂家的参考设计，因为不同的 PHY 厂家会有不同的连接方式；
- 1000pF 隔离电容建议采用高压安规电容，有足够大的电气间隙保证雷击的安全性；
- 网络变压器高压侧的 75 ohm 电阻建议采用 0805 以上的封装；
- 雷击防护等级达到 4KV 以上需要增加防雷管，普通的隔离变压器只能满足 2KV 等级要求；
- 如果有雷击差分测试要求，MDI 差分对间需要增加 TVS 管；
- 务必确认 RJ45 封装和原理图是否一致，RJ45 有分 Tab down 和 Tab up，信号顺序刚好是相反，如果使用 RK631 建议采用 Tab down，MDI 顺序是顺的；
- PHY 的初始化硬件配置必须和实际需求匹配。

2.3.9 UART 接口电路

RK3528 芯片拥有 8 个 UART 控制器，支持以下功能：

- 均包含两个 64 字节的 FIFO 用于数据接收和传输；
- 支持 115.2Kbps、460.8Kbps、921.6Kbps、1.5Mbps、3Mbps、4Mbps；
- 支持可编程波特率，支持非整数时钟分频器；
- 支持基于中断或基于 DMA 的模式；
- 支持 5-8 位宽度传输。

考虑不同产品应用灵活性，8 个 UART 分别复用在几个不同的电源域，用后缀_M0/_M1 区分不同复用位置。_M0/_M1 不能同时使用，分配时只能选择其中一组，例如：选择了 UART0_M0，就不能再选择 UART0_M1。

RK3528 UART 接口分布情况：

表 2-24 RK3528 UART 接口分布

UART 编号	复用情况	复用电源域
UART0	M0，M1	M0：VCCIO0 M1：VCCIO1
UART1	M0，M1	M0：VCCIO4 M1：VCCIO4

Rockchip Confidential

UART 编号	复用情况	复用电源域
UART2	M0，M1	M0：VCCIO3 M1：VCCIO0
UART3	M0，M1	M0：VCCIO4 M1：VCCIO4
UART4	--	VCCIO2
UART5	M0，M1	M0：VCCIO0 M1：VCCIO1
UART6	M0，M1	M0：VCCIO3 M1：VCCIO3
UART7	M1，M2	M0：VCCIO3 M1：VCCIO0

表 2-25 RK3528 UART 流控接口分布

UART编号	复用情况	复用电源域
UART0_RTSN UART0_CTSN	--	--
UART1_RTSN UART1_CTSN	--	VCCIO4
UART2_RTSN UART2_CTSN	M0 · M1	M0：VCCIO3 M1：VCCIO0
UART3_RTSN UART3_CTSN	--	VCCIO4
UART4_RTSN UART4_CTSN	--	VCCIO2
UART5_RTSN UART5_CTSN	M0，M1	M0：VCCIO0 M1：VCCIO1
UART6_RTSN UART6_CTSN	--	VCCIO3
UART7_RTSN UART7_CTSN	M0，M1	M0：VCCIO3 M1：VCCIO0

其中 UART0 M0 默认是 RK3528 的 Debug UART。

根据 UART 外设的 IO 电平，调整对应的电源域供电，必须保持一致。

Rockchip Confidential

UART 接口匹配设计推荐如表：

表 2-26 RK3528 UART 接口设计

信号	连接方式	描述（芯片端）
UARTx_RX	直连	UART 数据输入
UARTx_TX	直连	UART 数据输出
UARTx_CTSn	直连	UART 允许发送信号
UARTx_RTSn	直连	UART 请求发送信号

当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件。

2.3.10 SPI 接口电路

RK3528 芯片除了 FSPI 控制器外，还拥有 2 个通用 SPI 控制器，支持以下功能：

- 支持 master 和 slave 两种模式；
- 支持 4、8、16 位串行数据传输；
- 支持全双工和半双工模式传输。

2 个 SPI 没有复用，RK3528 SPI 接口分布情况：

表 2-27 RK3528 SPI 接口分布

SPI编号	复用情况	复用电源域
SPI0	--	VCCIO4
SPI1	--	VCCIO0

根据 SPI 外设的 IO 电平，调整对应的电源域供电，必须保持一致。

SPI 接口匹配设计推荐如表：

表 2-28 RK3528 SPI 接口设计

信号	连接方式	描述（芯片端）
SPIx_CLK	直连	SPI 时钟
SPIx_MOSI	直连	SPI 数据输出(Master)
SPIx_MISO	直连	SPI 数据输入(Master)
SPIx_CS0	直连	SPI 片选 0
SPIx_CS1	直连	SPI 片选 1

当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件。

2.3.11 I2C 接口电路

RK3528 芯片拥有 8 个 I2C 控制器，支持以下功能：

- 支持 I2C 总线主模式；
- 支持软件可编程时钟频率和传输速率高达 400Kbit/s；
- 支持 7 位和 10 位寻址模式。

考虑不同产品应用灵活性，8 个 I2C 分别复用在几个不同的电源域，用后缀_M0/_M1 区分不同复用位

Rockchip Confidential

置。_M0/_M1 不能同时使用，分配时只能选择其中一组，例如：选择了 I2C1_M0，就不能再选择 I2C1_M1。

RK3528 I2C 接口分布情况如下表：

表 2-29 RK3528 I2C 接口分布

I2C编号	复用情况	复用电源域
I2C0	M0，M1	M0：VCCIO4 M1：VCCIO4
I2C1	M0，M1	M0：VCCIO4 M1：VCCIO4
I2C2	M1	M1：VCCIO0
I2C3	M0，M1	M0：VCCIO0 M1：VCCIO3
I2C4	--	VCCIO2
I2C5	M0，M1	M0：VCCIO0 M1：VCCIO1
I2C6	M0，M1	M0：VCCIO3 M1：VCCIO1
I2C7	--	VCCIO2
HDMI_TX_I2C	--	PMUIO0

HDMI_TX_SCL/HDMI_TX_SDA 是 HDMI TX 的 I2C/DDC 总线，为专用总线。

根据 I2C 外设的 IO 电平，调整对应的电源域供电，必须保持一致。

I2C 信号 SCL、SDA 需要外接上拉电阻，根据总线负载不同，选择不同阻值的电阻，推荐接 2.2kohm 上拉电阻。

I2C 总线上各设备地址不要冲突，上拉电源必须和电源保持一致。

I2C 接口匹配设计推荐如表：

表 2-30 RK3528 I2C 接口设计

信号	连接方式	描述（芯片端）
I2Cx_SCL	直连	I2C 时钟
I2Cx_SDA	直连	I2C 数据输出/输入

当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件。

2.3.12 PWM 接口电路

RK3528 芯片集成了 2 个独立的 PWM 控制器，每个控制器有 4 个通道，最多可以有 8 个 PWM 通道，支持以下功能：

- 支持捕获模式；
- 支持连续模式或一次性模式；
- PWM3、PWM7 支持 IR 输入功能；
- 每个通道都有两种时钟输入可选，一个是从晶振输入的固定频率，一个是从 PLL 总线分频，频率可配置的。

Rockchip Confidential

考虑不同产品应用灵活性，8 个 PWM 分别复用在几个不同的电源域，用后缀_M0/_M1/_M2 区分不同复用位置。

RK3528 PWM 接口分布情况如下表所示：

表 2-31 RK3528 PWM 接口分布

PWM 编号	复用情况	复用电源域
PWM0	M0，M1	M0：VCCIO4 M1：VCCIO0
PWM1	M0，M1	M0：VCCIO4 M1：VCCIO0
PWM2	M0，M1	M0：VCCIO4 M1：VCCIO0
PWM3	M0，M1	M0：VCCIO4 M1：VCCIO2
PWM4	M0，M1	M0：VCCIO4 M1：VCCIO0
PWM5	M0，M1	M0：VCCIO4 M1：VCCIO3
PWM6	M0，M1，M2	M0：VCCIO4 M1：VCCIO0 M2：VCCIO3
PWM7	M0，M1	M0：VCCIO4 M1：VCCIO0

- 根据 PWM 外设的 IO 电平，调整对应的电源域供电，必须保持一致；
- 当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件；
- 当红外接收头信号输入时，需要注意以下：
  - 选择 PWM3/PWM7 当红外接收头输入；
  - 红外接收头的电源需要 22-100ohm 电阻和 10uF 以上电容进行 RC 滤波；
  - 红外接收头默认采用 38KHz，如果换成其它频率软件需要相应稍调；
  - 红外接收头输出脚电平必须和 RK3528 IO 电平匹配；
  - 红外接收头输出脚建议串 22 ohm 电阻并对 1nF 电容，再连接到 RK3528，加强抗静电浪涌能力；

Rockchip Confidential

图 2-97 红外接收头电路

- 红外接收头布局时，应远离无线模块天线，如 WIFI 天线，以免无线传输数据时，影响红外信号接收；
- 红外接收头布局应避开板上 LED 光源直射，避免 LED 闪烁频率影响红外接收；
- IR 信号建议全程包地处理，无法包地处理，建议和其它信号间隔：≥2 倍线宽。

2.3.13 RK3528 未使用模块的管脚处理

请见《RK3528_Methods for Processing Unused Pins_V10》文档。

Rockchip Confidential

3 PCB 设计建议

3.1 PCB 叠层设计

为了减少在高速信号传输过程中的反射现象，必须在信号源、接收端以及传输线上保持阻抗的匹配。单端信号线的具体阻抗取决于它的线宽尺寸以及与参考平面之间的相对位置。特定阻抗要求的差分对间的线宽/线距则取决于选择的 PCB 叠层结构。由于最小线宽和最小线距是取决于 PCB 类型以及成本要求，受此限制，选择的 PCB 叠层结构必须能实现板上的所有阻抗需求，包括内层和外层、单端和差分线等。

层的定义设计原则：

- 主芯片相邻层为地平面，提供器件面布线参考平面；
- 所有信号层尽可能与地平面相邻；
- 尽量避免两信号层直接相邻；
- 主电源尽可能与其对应地相邻；
- 原则上应该采用对称结构设计。对称的含义包括：介质层厚度及种类、铜箔厚度、图形分布类型（大铜箔层、线路层）的对称。

PCB 的层定义推荐方案：具体的 PCB 层设置时，要对以上原则进行灵活掌握，根据实际的需求，确定层的排布，切忌生搬硬套。以下给出常见的层排布推荐方案，供参考。在层设置时，若有相邻布线层，可通过增大相邻布线层的间距，来降低层间串扰。对于跨分割的情况，确保关键信号必须有相对完整的参考地平面或提供必要的桥接措施。

RK3528 目前使用 4 层通孔的 PCB 叠层，以下叠层结构作为范例，可以给客户在叠层结构的选择和评估上提供帮助。如果选择其他类型的叠层结构，请根据 PCB 厂商给出的规格，重新计算阻抗。

3.1.1 4 层 PTH 板叠层

在 4 层 PTH 板叠层设计中，顶层信号 L1 的参考平面为 L2，底层信号 L4 的参考平面为 L3。建议层叠为 TOP-Gnd-Power-Bottom，建议全部采用 1oZ。

下图为 1.6mm 板厚的参考叠层及特征阻抗线线宽。

Layer No.	sig/pln	Copper thk. before process (oz)	Construction	Finished thikness (um)	Finished thikness (mil)	Tolerance	Dk (1GHz)
S/M				18	0.71	+/-10	3.5
1	TOP	1		35	1.38	+/-10	
			PP 1080X1(RC68%)	81	3.19	+/-14	4.2
2	GND	1		35	1.38	+/-10	
			Core	1300	51.18	+/-30	4.5
3	POWER	1		35	1.38	+/-10	
			PP 1080X1(RC68%)	81	3.19	+/-14	4.2
4	BOTTOM	1		35	1.38	+/-10	
S/M				18	0.71	+/-10	3.5
			总计：	1638	64.49		

图 3-1 6 层 PTH 板叠层

Rockchip Confidential

层数	阻抗属性	线宽 mil	线距 mil	伴随地间距 mil	伴随地宽度 mil	铜厚(成品) OZ	要求阻抗 Ohm	参考层	计算值 Ohm	备注
L1/L4	特性	5				1	50	L2/L3	49.94	计算值 带绿油 55.28
L1/L4	差分	3.8	6			1	100	L2/L3	100.23	
L1/L4	差分	4	4			1	90	L2/L3	90.66	
L1/L4	差分	23		5	20	1	50	L3/L2	50.35	挖掉相邻层

图 3-2 6 层 PTH 板阻抗线参考值

3.1.2 RK3528 扇出设计

- 最外面三圈的 Ball 扇出设计

靠最外圈 ball，可以从 TOP 层走 4mil 线宽出去；第二圈的信号从两个 Ball 中间走 4mil 线宽走线出去，建议设置栅格，从两个 ball 正中间走线出去；由于第一圈部分球位挖除，可以走出 4 根线，第三圈的信号从第二圈的两个 Ball 中间走 4mil 线宽走线，再经过第一圈挖除球位的区域走线出去。

图 3-3 RK3528 扇出示意图 1

Rockchip Confidential

- 内圈的 Ball 扇出设计

如果第一、二、三圈信号都有使用，那么第四圈开始，需要换层到内层，务必换层过孔规则放置，并且建议间隔 2-4 排换层过孔，空一排不放置换层过孔，给地平面以及电源平面留出尽量大的通道。

如下图地层平面覆铜情况，有多条通道和外面的地连接，有利于 SI/PI 以及散热。

图 3-4 RK3528 扇出示意图 2

如下图电源层平面覆铜情况，有规则的放置过孔，可使各种电源有尽量大覆铜通道，有效提高电源供电质量。

图 3-5 RK3528 扇出示意图 3

Rockchip Confidential

如下图 Bottom 层走线（内层走线类似），换层过孔按栅格设置，放在 Ball 正中间，可在两个过孔之间走 3.5mil 线宽扇出。

图 3-6 RK3528 扇出示意图 4

Rockchip Confidential

3.2 通用布线建议

（1）走线长度应包含过孔和封装。

（2）差分对内时延差是指同一对差分信号的 2 根走线之间的时延差；而差分对间时延差是指不同差分对之间的时延差。信号间距是指空气间距。

图 3-7 差分对时延差示意图

（3）高速信号走线应参考 GND 平面，且应保证 GND 参考平面完整且连续。如下设计需要注意避免。

图 3-8 不完整参考平面示意图

（4）由于表贴器件的焊盘会导致阻抗降低，为减小阻抗突变的影响，建议在表贴焊盘的正下方按焊盘大小挖去一层参考层。常用的表贴器件有：电容、ESD、共模抑制电感、连接器等等。

图 3-9 参考层挖空示意图

（5）建议走线距离同层的地铜皮大等于 3 倍线宽。

图 3-10 走线与同层地铜皮间距示意图

（6）避免过孔残桩效应，尤其是残桩长度超过 12mil 时，建议通过仿真来评估过孔残桩对信号完整性的影响。

图 3-11 过孔尾桩示意图

（7）避免高速信号跨区，建议高速信号距离参考平面的边沿至少有 40mil。

图 3-12 跨区示意图

（8）建议不要在高速信号上放置测试点。

（9）走线尽量减少拐角，拐角建议用 135 度代替 90 度。

（10）耦合电容尽量靠近连接器放置。

（11）串接电阻应靠近发送端器件放置，如 eMMC 时钟信号上的串接电阻，推荐放在靠近 CPU 侧

Rockchip Confidential

（400mil 以内）。

（12）建议在 IC（如 eMMC 颗粒、FLASH 颗粒等）的地焊盘各打 1 个地通孔。

图 3-13 地通孔示意图

（13）避免在时钟器件（如晶体、晶振、时钟发生器、时钟分发器）、开关电源、磁类器件等周边布线。

（14）移除所有非功能焊盘。

（15）建议 ESD 器件的每个地焊盘都打一个地通孔，且通孔要尽量靠近焊盘。

图 3-14 ESD 器件地通孔示意图

Rockchip Confidential

（16）差分信号要求对内等长，即 P、N 之间的时延差要尽可能小。因此，当差分线 P、N 之间出现时延差时，就近绕线补偿。绕线尺寸需要特别注意，应满足如下图所示要求，以降低阻抗突变带来的影响。

图 3-15 绕线补偿示意图

（17）在差分线对内出现不等长（300mil 以内）尽早作绕线补偿。

图 3-16 差分对内绕线补偿示意图

（18）走线换层，且换层前后参考层为地平面时，需要在信号过孔旁边放一个伴随过孔，以保证回流路径的连续性。对于差分信号，信号过孔、回流过孔均应对称放置；对于单端信号，建议在信号过孔旁边放置一个回流过孔以降低过孔之间的串扰。

Rockchip Confidential

图 3-17 差分换层过孔示意图

图 3-18 单端信号换层过孔示意图

（19）差分对应对称走线。

图 3-19 对称走线示意图

Rockchip Confidential

（20）建议在高速连接器的每个地焊盘至少打一个地通孔，最好是两个地通孔，并且通孔要尽量靠近焊盘。

图 3-20 连接器焊盘通孔示意图

（21）连接器位置铺铜时，注意地铜皮不要超过地焊盘。

图 3-21 焊盘铺铜示意图

Rockchip Confidential

（22）连接器的地铜皮距离信号 PAD 至少要大等于 3 倍线宽。

图 3-22 连接器地铜皮示意图

（23）建议按下图走蛇形绕线，以降低绕线带来的串扰。

图 3-23 蛇形绕线示意图

（24）尽量减小残桩长度，建议残桩长度为零。

图 3-24 走线残桩示意图

Rockchip Confidential

（25）当走线的参考平面有跨电源层时，建议在 2 个电源层分别加对地电容以改善回流路径。

图 3-25 跨电源平面示意图

（26）建议在 RK3528 BGA 区域，大概每 1.4 个地焊盘建议有 1 个地过孔，且地过孔需要把地焊盘和所有的地平面连接起来。

图 3-26 BGA 处 GND 过孔数量示意图

3.3 接口 PCB 设计建议

3.3.1 Clock/Reset 电路 PCB 设计

在时钟电路的 PCB 设计中，请注意：

- 晶体电路布局需要优先考虑，布局时应与芯片在同一层并尽量靠近放置以避免打过孔，晶体走线尽可能的短，远离干扰源，尽量远离板边缘；
- 晶体以及时钟信号需要全程包地处理，包地线每隔 200-300mil 至少添加一个 GND 过孔，并且必须保证邻层的地参考面完整；
- 晶体电路布局时如果与芯片不同层放置，晶体走线及必须全程包地处理，避免被干扰；
- 时钟走线 Xin 和 Xout 以及晶体下方投影区域禁止任何走线，避免噪声耦合进入时钟电路；
- 晶体下方的顶层，可以围绕放置地环。地环通过过孔与相邻的接地层连接，以隔离噪声；
- 晶体下方的第二层保持完整的地参考平面，避免任何走线分割，有助于隔离噪声保持晶体输出的；

图 3-27 RK3528 晶体布局和走线

- PMU_PLL_AVDD0V9，PMU_PLL_AVDD1V8，OSC_1V8 电源的去耦电容，必须放在芯片管脚背面，走线时，尽量形成先经过电容焊盘再到芯片管脚。

在 Reset 电路的 PCB 设计中，请注意：

- 在布局时，RESETn 复位信号远离板边缘和金属接插件，以防止因 ESD 引起的异常而导致复位模块死机；
- RESETn 的滤波电容应尽量靠近芯片管脚布局，信号需先经过电容，再进入芯片，注意滤波电容的地焊盘必须有一个 0402 地过孔，空间允许建议打两个以上，更良好的接地；
- RESETn 信号应远离 DCDC、RF 等强干扰信号，以防止受到干扰。如果走线较长，建议包地处理，并且包地线每隔 400mil 至少添加一个 GND 过孔；
- RESETn 按键的 TVS 保护二级管应尽量靠近按键放置，信号拓扑为：按键→TVS→100 ohm→电容（靠近 CPU）→CPU；
- 出现 ESD 现象时，ESD 电流必须先经过 TVS 器件衰减。

Rockchip Confidential

3.3.2 Power 电路 PCB 设计

RK3528 采用分离电源方案，整体布局时从电源质量角度上看 BUCK 尽量靠近 RK3528（考虑散热设计时，需要适当放置，不要太靠近也不能离的太远，建议间隔 20mm-50mm 之间，尽量不放置在板边，对散热不利），摆放方向时，需要使 BUCK 输出到 RK3528 的走线（覆铜）是顺的，不要存在交叉。

3.3.2.1 分立电源的 DC-DC PCB 设计

输入电容 Cin、输出电容 Cout 放置于 Vin pin、Vout pin 与 DC/DC 的 GND 之间，尽量减小 Vin、Vout 与 DC/DC 的 GND 之间的环路面积，这样可以减小电源的 EMI 幅度，大大提高 DCDC 电路的稳定性，如下图：

图 3-28 分立电源 DC/DC 布局和走线

输入电容 Cin、输出电容 Cout 以及 DC/DC 的 GND，要尽量多打一些过孔，建议 4 个以上的 0503 过孔，如果 Vin，Vout 电源有换层，建议过孔也要多打一些过孔，建议 4 个以上的 0503 过孔（和电流有关系，下面会相关描述）。电感要尽量靠近 DC/DC，走线要尽量粗而短，FB 端的电阻地尽量远离干扰源。

3.3.2.2 DC-DC 电源远端反馈设计

100ohm 反馈电阻需要靠近输出电容放置，电阻一端连接到 DC-DC 输出电容，另一端连接到 DC-DC 的 VOUT 反馈脚上，并同时连接到 RK3528 电源管脚同一电源网络的最远端负载处。反馈线宽度使用 4mil，必须与电源覆铜伴随走线，以避免干扰；反馈线与其他信号间隔 6mil 以上，比如 VDD_ARM 电源覆铜及反馈线走线示意图，其它路电源类似处理。

Rockchip Confidential

图 3-29 RK3528 芯片 VDD_ARM 的电源远端反馈设计

图 3-30 DC/DC 远端反馈设计示意图

3.3.2.3 RK3528 VDD_CPU 电源 PCB 设计

VDD_CPU 的覆铜宽度需满足芯片的电流需求，连接到芯片电源管脚的覆铜足够宽，路径不能被过孔分割太严重，必须计算有效线宽，确认连接到 CPU 每个电源 PIN 脚的路径都足够。

VDD_CPU 的电源在外围换层时，要尽可能的多打电源过孔，降低换层过孔带来的压降；

每个去耦电容的 GND 管脚建议≧一个 GND 过孔，每个电源管脚建议≧一个电源过孔。对于 0603 或者 0805 封装的电容，建议一个管脚对应两个过孔。过孔要靠近管脚放置，否则会影响去耦效果 。

RK3528 芯片 VDD_CPU 的电源管脚，建议≧5 个电源过孔，并且顶层走“井”字形，交叉连接，建议走线线宽 10mil。

Rockchip Confidential

图 3-31 RK3528 芯片 VDD_CPU 的电源管脚走线和过孔

原理图上靠近 RK3528 的 VDD_CPU 电源管脚的去耦电容务必放在对应的电源管脚背面，其余的去耦电容尽量靠近 RK3528。

图 3-32 RK3528 芯片 VDD_CPU 的电源管脚背面去耦电容放置情况

VDD_CPU 电流比较大，有效过流宽度需要≧60mil；外围区域宽度建议大于 100mil。需要有一层电源平面和一层相邻的 GND 回流平面，且两个平面的间距建议小于 5mil。平面的作用一方面降低压降，另一方面电源平面和相邻层 GND 平面间的平面电容可以有效降低高频的 PDN。电源铜皮建议用一盎司的铜皮，有助于减小电流密度。

Confidential

图 3-33 BIG 电源地过孔放置图

（1）DCDC 输出处，电源换层 0503 过孔数量建议≥6 个。

图 3-34 DCDC 换层过孔数量示意图

（2）DCDC 处去耦电容，电源和 GND 焊盘，每个焊盘建议有两个过孔。不建议删除电容。

图 3-35 去耦电容过孔数量示意图

（3）DCDC 到 3528 芯片下方的铜皮宽度建议≧200mil。直流电阻建议≦5 毫欧。

图 3-36 铜皮宽度示意图

Rockchip Confidential

（4）原理图上靠近 RK3528 电源管脚的去耦电容务必放在对应的电源管脚背面。

图 3-37 电容数量示意图

（5）RK3528 电源管脚建议的电源过孔数量≧5 个。

图 3-38 电源过孔数量示意图

Rockchip Confidential

（6）电源管脚 40mil 范围内（过孔中心到过孔中心的间距）的 GND 过孔数量要求至少≧4，建议≧5。

图 3-39 电源管脚 40mil 范围内的 GND 过孔数量示意图

（7）RK3528 BGA 下方铜皮的有效宽度≧55mil

图 3-40 BGA 下方铜皮示意图

（8）VDD_ARM 电源 PDN 目标阻抗建议值如下表：

表 3-1 VDD_ARM 电源 PDN 目标阻抗建议值

频率	阻抗值（单位：欧）
100Khz~1Mhz	≦0.03
1Mhz ~30Mhz	≦0.06
30Mhz~100Mhz	≦0.17

Rockchip Confidential

图 3-41 VDD_ARM 电源建议 PDN 要求

3.3.2.4 RK3528 VDD_LOGIC&VDD_GPU 电源 PCB 设计

VDD_LOGIC 覆铜宽度需满足芯片的电流需求，连接到芯片电源管脚的覆铜足够宽，路径不能被过孔分割太严重，必须计算有效线宽，确认连接到 CPU 每个电源 PIN 脚的路径都足够。

VDD_LOGIC 的电源在外围换层时，要尽可能的多打电源过孔，降低换层过孔带来的压降；

每个去耦电容的 GND 管脚建议≧一个 GND 过孔，每个电源管脚建议≧一个电源过孔。对于 0603 或者 0805 封装的电容，建议一个管脚对应两个过孔。过孔要靠近管脚放置，否则会影响去耦效果 。

RK3528 芯片 VDD_LOGIC 的电源管脚，建议≧6 个电源过孔，并且顶层走“井”字形，交叉连接，建议走线线宽 10mil。

RK3528 VDD_GPU 和 VDD_LOGIC PCB 合并供电。

VDD_GPU 覆铜宽度需满足芯片的电流需求，连接到芯片电源管脚的覆铜足够宽，路径不能被过孔分割太严重，必须计算有效线宽，确认连接到 CPU 每个电源 PIN 脚的路径都足够。

每个去耦电容的 GND 管脚建议≧一个 GND 过孔，每个电源管脚建议≧一个电源过孔。对于 0603 或者 0805 封装的电容，建议一个管脚对应两个过孔。过孔要靠近管脚放置，否则会影响去耦效果 。

RK3528 芯片 VDD_GPU 的电源管脚，建议≧4 个电源过孔，并且顶层走“井”字形，交叉连接，建议走线线宽 10mil。

Rockchip Confidential

图 3-42 RK3528 芯片 VDD_LOGIC&VDD_GPU 的电源管脚走线和过孔

原理图上靠近 RK3528 的 VDD_LOGIC 电源管脚的去耦电容务必放在对应的电源管脚背面，其余的去耦电容尽量靠近 RK3528。

图 3-43 RK3528 芯片 VDD_LOGIC&VDD_GPU 的电源管脚背面去耦电容放置情况

VDD_LOGIC 电流比较大，有效过流宽度需要≧30mil；外围区域宽度建议大于 100mil。需要有一层电源平面和一层相邻的 GND 回流平面，且两个平面的间距建议小于 5mil。平面的作用一方面降低压降，另一方面电源平面和相邻层 GND 平面间的平面电容可以有效降低高频的 PDN。电源铜皮建议用一盎司的铜皮，有助于减小电流密度。

Rockchip Confidential

CPU 区域，LOGIC 电源过孔 40mil 范围(过孔中心到过孔中心间距)内的 GND 过孔数量，建议≧12。

图 3-44 RK3528 芯片 VDD_LOGIC&VDD_GPU 电源地过孔放置图

（1）为了降低成本，VDD_GPU 和 VDD_LOGIC 电源做了合并处理。DCDC 输出处，电源换层 0503 过孔数量建议≧6 个。

图 3-45 DCDC 换层过孔数量示意图

（2）DCDC 处去耦电容，电源和 GND 焊盘，每个焊盘建议有两个过孔。不建议删除电容。

图 3-46 去耦电容过孔数量示意图

（3）DCDC 到 3528 芯片下方的铜皮宽度建议≧200mil。直流电阻建议≦5 毫欧。

图 3-47 铜皮宽度示意图

（4）原理图上靠近 RK3528 电源管脚的去耦电容务必放在对应的电源管脚背面。

图 3-48 电容数量示意图

Rockchip Internal

（5）RK3528 电源管脚要求的电源过孔数量≧10 个。

图 3-49 电源过孔数量示意图

（6）电源管脚 40mil 范围内的 GND 过孔数量要求≧9。

图 3-50 电源管脚 40mil 范围内的 GND 过孔数量示意图

（7）RK3528 BGA 下方铜皮的有效宽度≧55mil

Rockchip Confidential

图 3-51 BGA 下方铜皮示意图

（8）VDD_GPU 和 VDD_LOGIC 合并电源 PDN 目标阻抗建议值如下表：

表 3-2 VDD_GPU 和 VDD_LOGIC 合并电源 PDN 目标阻抗建议值

频率	阻抗值（单位：欧）
100Khz~1Mhz	≦0.03
1Mhz ~30Mhz	≦0.035
30Mhz~100Mhz	≦0.085

图 3-52 VDD_GPU 和 VDD_LOGIC 的合并电源建议 PDN 要求

3.3.2.5 RK3528 VCC_DDR 电源 PCB 设计

VCC_DDR 的覆铜宽度需满足芯片的电流需求，连接到芯片电源管脚的覆铜足够宽，路径不能被过孔分割太严重，必须计算有效线宽，确认连接到 CPU 每个电源 PIN 脚的路径都足够。

VCC_DDR 的电源在外围换层时，要尽可能的多打电源过孔，降低换层过孔带来的压降；

每个去耦电容的 GND 管脚建议≧一个 GND 过孔，每个电源管脚建议≧一个电源过孔。对于 0603 或者 0805 封装的电容，建议一个管脚对应两个过孔。过孔要靠近管脚放置，否则会影响去耦效果 。

RK3528 芯片 VCC_DDR 的电源管脚，建议≧8 个电源过孔，并且顶层走“井”字形，交叉连接，建

Rc nfidential

议走线线宽 10mil。

图 3-53 RK3528 芯片 VCC_DDR 的电源管脚走线和过孔

原理图上靠近 RK3528 的 VCC_DDR 电源管脚的去耦电容务必放在对应的电源管脚背面，其余的去耦电容尽量靠近 RK3528。

图 3-54 RK3528 芯片 VCC_DDR 的电源管脚背面去耦电容放置情况

VCC_DDR 电流比较大，有效过流宽度需要≧30mil；外围区域宽度建议大于 100mil。需要有一层电源平面和一层相邻的 GND 回流平面，且两个平面的间距建议小于 5mil。平面的作用一方面降低压降，另一方面电源平面和相邻层 GND 平面间的平面电容可以有效降低高频的 PDN。电源铜皮建议用一盎司的铜皮，

有助于减小电流密度。

CPU 区域，VCC_DDR 电源过孔 50mil 范围(过孔中心到过孔中心间距)内的 GND 过孔数量，建议≧12。

图 3-55 VCC_DDR 电源地过孔放置图

（1）DCDC 输出处，电源换层 0503 过孔数量建议≧6 个。

图 3-56 DCDC 换层过孔数量示意图

（2）DCDC 处去耦电容，电源和 GND 焊盘，每个焊盘建议有两个过孔。不建议删除电容。

图 3-57 去耦电容过孔数量示意图

（3）DDR 颗粒电源管脚对应的电源过孔数量，建议直接拷贝我司模板，不建议改动。我司设计举例如下：一个电源管脚≧0.9 个电源过孔。

图 3-58 DDR 颗粒电源管脚对应的过孔数量示意图

Rockchip Confidential

（4）原理图上靠近 RK3528 电源管脚的去耦电容务必放在对应的电源管脚背面。

图 3-59 电容数量示意图

（5）RK3528 电源管脚对应的过孔数量，建议直接拷贝我司模板，不建议改动。我司设计举例如下：1.5 个电源管脚＞1 个电源过孔。

图 3-60 电源过孔数量示意图

Rockchip Confidential

（6）RK3528 电源管脚 40mil 范围内的 GND 过孔数量建议＞电源管脚数量。

图 3-61 电源管脚 40mil 范围内的 GND 过孔数量示意图

（7）RK3528 BGA 下方铜皮的有效宽度≧40mil

图 3-62 BGA 下方铜皮示意图

（8）VCC_DDR 直流电阻建议≦5 毫欧。

Rockchip Confidential

（9）RK3528 VCC_DDR 电源 PDN 目标阻抗建议值如下表：

表 3-3 RK3528 VCC_DDR 电源 PDN 目标阻抗建议值

频率	阻抗值（单位：欧）
100Khz~1Mhz	≦0.025
1Mhz ~30Mhz	≦0.035
30Mhz~100Mhz	≦0.1

图 3-63 RK3528 VCC_DDR 电源建议 PDN 要求

（10）DDR 颗粒 VCC_DDR 电源 PDN 目标阻抗建议值如下表：

表 3-4 DDR 颗粒 VCC_DDR 电源 PDN 目标阻抗建议值

频率	阻抗值（单位：欧）
100Khz~1Mhz	≦0.025
1Mhz ~30Mhz	≦0.03
30Mhz~100Mhz	≦0.06

图 3-64 DDR 颗粒 VCC_DDR 电源建议 PDN 要求

Copyright © 2023Rockchip Electronics Co.， Ltd

3.3.2.6 RK3528 VCC0V6_DDR 电源 PCB 设计

（1）DCDC 输出处，电源换层过孔 0503 过孔数量建议≧6 个。

图 3-65 DCDC 换层过孔数量示意图

（2）DCDC 处去耦电容，电源和 GND 焊盘，每个焊盘建议有两个过孔。不建议删除电容。

图 3-66 去耦电容过孔数量示意图

（3）DDR 颗粒电源管脚对应的电源过孔数量，建议直接拷贝我司模板，不建议改动。我司设计举例如下：一个电源管脚≧0.9 个电源过孔。

Rockchip Confidential

图 3-67 DDR 颗粒电源管脚对应的过孔数量示意图

（4）原理图上靠近 RK3528 电源管脚的去耦电容务必放在对应的电源管脚背面。

图 3-68 电容数量示意图

（5）RK3528 电源管脚对应的过孔数量，建议直接拷贝我司模板，不建议改动。我司设计举例如下：1.25 个电源管脚≧1 个电源过孔。

图 3-69 电源过孔数量示意图

（6）RK3528 电源管脚 40mil 范围内的 GND 过孔数量建议≧电源管脚数量。

图 3-70 电源管脚 40mil 范围内的 GND 过孔数量示意图

（7）VCC0V6_DDR 电源直流电阻≦15 毫欧

Rockchip Confidential

（8）RK3528 VCC0V6_DDR 电源 PDN 目标阻抗建议值如下表：

表 3-5 RK3528 VCC0V6_DDR 电源 PDN 目标阻抗建议值

频率	阻抗值（单位：欧）
100Khz~1Mhz	≦0.03
1Mhz ~30Mhz	≦0.045
30Mhz~100Mhz	≦0.12

图 3-71 RK3528 VCC0V6_DDR 电源建议 PDN 要求

（9）DDR 颗粒 VCC0V6_DDR 电源 PDN 目标阻抗建议值如下表：

表 3-6 DDR 颗粒 VCC0V6_DDR 电源 PDN 目标阻抗建议值

频率	阻抗值（单位：欧）
100Khz~1Mhz	≦0.025
1Mhz ~30Mhz	≦0.035
30Mhz~100Mhz	≦0.05

图 3-72 DDR 颗粒 VCC0V6_DDR 电源建议 PDN 要求

3.3.2.7 RK3528 GND 管脚 PCB 设计

RK3528 芯片的 GND 管脚，至少保证每 2 个 ball 需要对应一个过孔，尽量 1.5 个 Ball 对应一个过孔，提供更优的 SI，PI 条件，以及对散热也有帮助。

RK3528 芯片的相邻层必须是一个完整的 GND 平面，保证主参考地靠近 CPU 的 Ball，用于保证电源完整性以及加强 PCB 的散热。

RK3528 芯片下方相同网络的 GND Ball 在顶层走“井”字形，交叉连接，建议走线线宽 10mil。

图 3-73 RK3528 芯片 VSS 的管脚走线和过孔

在 Layout 时，RK3528 的各信号放置换层过孔时，要求打在 Ball 间隔的正中间，要有规律的放置，如图，GND 层的覆铜情况，RK3528 芯片中间的地有大面积的铜皮和外面地铜皮连接，一方面有利于电源，信号完整性，另外一方面有利于芯片散热。

Rockchip Confidential

图 3-74 RK3528 芯片地层覆铜情况

3.3.2.8 RK3528 其它电源的 PCB 设计

RK3528 其它电源，原理图上靠近 RK3528 的去耦电容，必须放在芯片管脚背面。电容一个 GND 焊盘建议对应的一个 GND 过孔，最差情况下至少保证两个 GND 焊盘有一个 GND 过孔，避免多次出现最差情况下的设计。

高速接口和 PLL 的电源需要保证电容靠近电源过孔，容值小的电容比如 100nF 电容和电源过孔的间距（过孔中心到电容焊盘边缘的距离）建议≦12mil。1uF 的电容和电源过孔的间距建议≦50mil。同时每个电容的 GND 管脚建议对应一个 GND 过孔。

图 3-75 电源电容靠近电源过孔放置示意图

Rockchip Confidential

图 3-76 电源电容 GND 管脚对应的 GND 过孔数量示意图

3.3.3 DRAM 电路 PCB 设计

由于 RK3528 DDR 接口速率很高，PCB 设计难度大，所以强烈建议使用 RK 提供的 DDR 模板和对应的 DDR 固件。DDR 模板是经过严格的仿真和测试验证后发布的。如果自行设计 PCB，请参考如下 PCB 设计建议，强烈建议进行仿真优化后再发板。

DDR 接口 PCB 设计难度大，所以强烈建议使用我们提供的 DDR 模板和对应的 DDR 固件。DDR 模板是经过严格的仿真和测试验证后发布的。如果自己设计 PCB，请参考如下 PCB 设计建议，建议仿真优化后再发板。

（1） RK3528 DDR 区域 GND 管脚，对应的 GND 过孔数量，建议严格参考模板设计，不能删减 GND 过孔，举例如下。

图 3-77 模板的 GND 过孔设计

Rockchip Confidential

（2）为保证 DQ、DQS 信号质量，建议优先选择 GND 平面作为参考平面。下图为 4 层 PCB，芯片在第一层，我司模板设计的时候会让第四层的 DQ 和 DQS 信号参考第三层的 GND 平面，而不是参考第三层的电源平面。同时第四层的 DQ 和 DQS 信号建议做包地处理，可以一根 DQ 包地，或者两根 DQ 包地。包地线每隔≦500mil 建议加一个 GND 过孔。且信号换层过孔 25mil 范围内（过孔中心到过孔中心的间距）需要加 GND 回流过孔。

图 3-78 第四层的 DQ、DQS 信号参考 GND 平面示意图

图 3-79 一根 DQ 包地处理示意图

图 3-80 两根 DQ 包地处理示意图

（3）走线距离参考层的边缘越近，信号的回流会越差，走线和参考层边缘的距离建议≧12mil。

图 3-81 走线和参考层边缘距离图示

（4）信号换层前后，参考层都为 GND 平面时，在信号过孔 25mil（过孔中心到过孔中心的间距）范围内需要添加 GND 回流过孔，改善信号回流路径。GND 过孔需要把信号换层前后 GND 参考平面连接起来。

Rockchip Confidential

图 3-82 信号 GND 回流过孔示意图

（5）DQS 和 CLK 信号，从发送到接收整个链路建议做包地处理，包地线每隔≦500mil 建议加一个 GND 过孔。

图 3-83 DQS 信号包地处理示意图

Rockchip Confidential

图 3-84 CLK 信号包地处理示意图

（6）CKE、CS、ODT 信号从发送到接收整个链路，建议做包地处理。建议每隔≦600mil，加一个 GND 过孔。信号换层过孔 25mil 范围内（过孔中心到过孔中心的间距），建议加 GND 回流过孔，保证回流的连续性。

图 3-85 CKE、CS、ODT 信号包地示意图

（7）4 层 PCB，对于 4 颗 DDR 颗粒的设计，地址和控制信号只能走在第三层，第三层一般为电源平面。对于第三层的地址控制线，建议两两做包地处理。对于第四层的地址控制线，由于参考电源平面，建议通过包地处理来改善信号质量。从第一次换层过孔到接收端整个链路，建议每隔≦600mil，加一个 GND 过孔。信号换层过孔 25mil 范围内（过孔中点间距），建议加 GND 回流过孔，保证回流的连续性。

Rockchip Confidential

图 3-86 第三层地址控制线包地处理示意图

图 3-87 第四层地址控制线包地处理示意图

Rockchip Confidential

（8）绕线自身的串扰会影响信号质量，走线绕等长时建议 S≧3W。

图 3-88 信号绕线图示

（9）在做等长时，需要考虑过孔的延时。

图 3-89 过孔示意图

（10）非功能焊盘会破坏铜皮，以及增大过孔的寄生电容，需要删除过孔的非功能焊盘。

Rockchip Confidential

（11）避免连排过孔对铜皮的破坏。

图 3-90 排过孔对铜皮破坏示意图

（12）每个电容焊盘建议至少一个过孔，对于 0603 或者 0805 封装的电容建议一个焊盘对应两个过孔。

图 3-91 电容管脚对应的过孔数量示意图

（13）过孔靠近管脚放置，可以减小回路电感。

图 3-92 过孔靠近管脚放置示意图

Rockchip Confidential

（14）电容建议均匀放置。

（15）避免电源层被走线或者连排过孔破坏。

图 3-93 电源层被一排过孔大面积破坏示意图

图 3-94 电源层被走线破坏示意图

Rockchip Confidential

（16）去耦电容要靠近电源管脚放置

图 3-95 去耦电容靠近电源管脚放置示意图

（17）DDR 颗粒 GND 管脚，建议一个管脚至少一个 GND 过孔。

图 3-96 一个 GND 管脚至少一个 GND 过孔示意图

（18）如果信号线的参考层存在从 GND 层切换到电源层，又从电源层切换到 GND 层换层的情况。由于面积限制，无法通过做包地来改善信号质量，可以通过加缝合电容来改善信号质量。建议 3~4 个信号过孔至少有一个缝合电容。

Rockchip Confidential

图 3-97 缝合电容示意图

（19）建议信号线和过孔焊盘或者钻孔的距离≧6mil。

（20）VREF 电源对噪声比较敏感，VREF 电源和信号线的空气间距建议≧12mil。

图 3-98 VREF 电源和信号线的空气间距示意图

（21）RK3528 地址控制线会用到链式拓扑，设计要点如下

Rockchip Confidential

图 3-99 链式拓扑示意图

图 3-100 链式拓扑设计要点

（22）有空间的地方，走线间距拉大些，可以减少串扰。

图 3-101 有空间的位置拉大信号间距示意图

3.3.3.1 LPDDR3

表 3-7 LPDDR3 走线要求

参数	要求
单端信号阻抗	50 Ohm ± 10%
差分信号阻抗	100 Ohm ± 10%
DQ 和 DQS 之间的等长（同一个 Byte 内）	≤ 600mil
DM 和 DQS 之间的等长（同一个 Byte 内）	≤600mil
地址、控制线和 CLK 之间的等长	≤60mil
DQS_P 和 DQS_N 之间的等长 （同一个 Byte 内）	≤ 12mil
CLK_P 和 CLK_N 之间的等长	≤12mil
DQS 和 CLK 之间的等长	≤1700mil
不同 Byte 之间的间距（airgap）	≥2 倍走线宽度
同一个 Byte 内 DQ 和 DQ 之间的间距（airgap）	≥2 倍走线宽度
同一个 Byte 内 DQ 和 DQS 之间的间距（airgap）	建议≥3 倍走线宽度 至少 2 倍走线宽度
地址、控制线之间的间距（airgap）	≥2 倍走线宽度
CLK 和其他信号线之间的间距（airgap）	建议≥3 倍走线宽度 至少 2 倍走线宽度

3.3.3.2 DDR3/DDR3L

表 3-8 DDR3/DDR3L 走线要求

参数	要求
单端信号阻抗	50 Ohm ± 10%
差分信号阻抗	100 Ohm ± 10%
DQ 和 DQS 之间的等长（同一个 Byte 内）	≤ 600mil
DM 和 DQS 之间的等长（同一个 Byte 内）	≤600mil
CS、ODT、CKE 和 CLK 之间的等长	≤60mil
除 CS、ODT、CKE 之外的地址、控制线和 CLK 之间的等长	≤600mil
DQS_P 和 DQS_N 之间的等长 （同一个 Byte 内）	≤ 12mil
CLK_P 和 CLK_N 之间的等长	≤12mil
DQS 和 CLK 之间的等长	≤2000mil
不同 Byte 之间的间距（airgap）	≥2 倍走线宽度
同一个 Byte 内 DQ 和 DQ 之间的间距（airgap）	≥2 倍走线宽度
同一个 Byte 内 DQ 和 DQS 之间的间距（airgap）	建议≥3 倍走线宽度 至少 2 倍走线宽度
地址、控制线之间的间距（airgap）	≥2 倍走线宽度
CLK 和其他信号线之间的间距（airgap）	建议≥3 倍走线宽度 至少 2 倍走线宽度

Rockchip Confidential

3.3.3.3 DDR4

表 3-9 DDR4 走线要求

参数	要求
单端信号阻抗	50 Ohm ± 10%
差分信号阻抗	100 Ohm ± 10%
DQ 和 DQS 之间的等长（同一个 Byte 内）	≤ 600mil
DM 和 DQS 之间的等长（同一个 Byte 内）	≤600mil
CS、ODT、CKE 和 CLK 之间的等长	≤60mil
除 CS、ODT、CKE 之外的地址、控制线和 CLK 之间的等长	≤600mil
DQS_P 和 DQS_N 之间的等长 （同一个 Byte 内）	≤ 12mil
CLK_P 和 CLK_N 之间的等长	≤12mil
DQS 和 CLK 之间的等长	≤2000mil
不同 Byte 之间的间距（airgap）	≥2 倍走线宽度
同一个 Byte 内 DQ 和 DQ 之间的间距（airgap）	≥2 倍走线宽度
同一个 Byte 内 DQ 和 DQS 之间的间距（airgap）	建议≥3 倍走线宽度 至少 2 倍走线宽度
地址、控制线之间的间距（airgap）	≥2 倍走线宽度
CLK 和其他信号线之间的间距（airgap）	建议≥3 倍走线宽度 至少 2 倍走线宽度

3.3.3.4 LPDDR4

表 3-10 LPDDR4 走线要求

参数	要求
单端信号阻抗	50 Ohm ± 10%
差分信号阻抗	100 Ohm ± 10%
DQ 和 DQS 之间的等长（同一个 Byte 内）	≤ 600mil
DM 和 DQS 之间的等长（同一个 Byte 内）	≤600mil
地址、控制线和 CLK 之间的等长	≤600mil
DQS_P 和 DQS_N 之间的等长 （同一个 Byte 内）	≤ 12mil
CLK_P 和 CLK_N 之间的等长	≤12mil
DQS 和 CLK 之间的等长	≤1700mil
不同 Byte 之间的间距（airgap）	≥2 倍走线宽度
同一个 Byte 内 DQ 和 DQ 之间的间距（airgap）	≥2 倍走线宽度
同一个 Byte 内 DQ 和 DQS 之间的间距（airgap）	建议≥3 倍走线宽度 至少 2 倍走线宽度
地址、控制线之间的间距（airgap）	≥2 倍走线宽度
CLK 和其他信号线之间的间距（airgap）	建议≥3 倍走线宽度 至少 2 倍走线宽度

Rockchip Confidential

3.3.3.5 LPDDR4X

表 3-11 LPDDR4X 走线要求

参数	要求
单端信号阻抗	50 Ohm ± 10%
差分信号阻抗	100 Ohm ± 10%
DQ 和 DQS 之间的等长（同一个 Byte 内）	≤ 600mil
DM 和 DQS 之间的等长（同一个 Byte 内）	≤600mil
地址、控制线和 CLK 之间的等长	≤600mil
DQS_P 和 DQS_N 之间的等长 （同一个 Byte 内）	≤ 12mil
CLK_P 和 CLK_N 之间的等长	≤12mil
DQS 和 CLK 之间的等长	≤1700mil
不同 Byte 之间的间距（airgap）	≥2 倍走线宽度
同一个 Byte 内 DQ 和 DQ 之间的间距（airgap）	≥2 倍走线宽度
同一个 Byte 内 DQ 和 DQS 之间的间距（airgap）	建议≥3 倍走线宽度 至少 2 倍走线宽度
地址、控制线之间的间距（airgap）	≥2 倍走线宽度
CLK 和其他信号线之间的间距（airgap）	建议≥3 倍走线宽度 至少 2 倍走线宽度

3.3.1 PCIE2.0

表 3-12 布线要求-PCIE2.0

参数	要求
走线阻抗	差分90ohm ±10%
差分对内最大时延差	<6mil
差分对间等长要求	<6inches
走线长度	<6inches
电容要求	100nF ±20%， 建议用0201封装
差分对间间距（airgap）	建议大于等于4倍PCI-E线宽
差分对内最大时延差(REFCLK)	<12mil
走线阻抗(REFCLK)	差分100ohm±10%
PCI-E与其它信号间距 （airgap）	建议大于等于5倍PCI-E线宽，至少要4倍PCI-E线宽
各信号所允许过孔数量	建议不超过2个

Rockchip Confidential

（1）RK3528 BGA 区域 PCIE 接口的 GND 过孔数量要求如下，不建议删减过孔数量，会影响信号质量。

图 3-102 GND 过孔数量示意图

（2）建议 PCIE2.0 接口信号整组做包地处理，包地线每隔≤300mil 打一个 GND 过孔。PCIE2.0 信号需要参考完整的 GND 平面。

图 3-103 包地线示意图

3.3.2 HDMI 2.0

表 3-13 布线要求-HDMI2.0

参数	要求
走线阻抗	差分 100ohm ±10%
差分对内最大时延差	<6mil
差分对间等长要求	<480mil
走线长度	<5 inches
差分对间间距	建议大于等于 4 倍 HDMI 线宽
HDMI 与其它信号间距（airgap）	建议大于等于 4 倍 HDMI 线宽
各信号所允许过孔数量	建议不超过 2 个
ESD	I/O 对地电容不超过 0.2pF

（1）RK3528 BGA 区域 HDMI 接口的 GND 过孔数量要求如下，不建议删减过孔数量，会影响信号质量。

图 3-104 GND 过孔数量示意图

（2）建议 HDMI2.0 信号整组做包地处理，CLK 信号单独包地处理，包地线每隔≦300mil 打一个 GND 过孔。HDMI2.0 信号需要参考完整的 GND 平面。

Rockchip Confidential

图 3-105 包地线示意图

3.3.3 USB 2.0

表 3-14 布线要求-USB2.0

参数	要求
走线阻抗	差分90ohm ±10%
差分对内最大时延差	<20mil
走线长度	<6 inches
各信号所允许过孔数量	建议不超过4个，不得超过6个

3.3.4 USB 3.0

表 3-15 布线要求-USB3.0

参数	要求
走线阻抗	差分90ohm ±10%
差分对内最大时延差	<6mil
走线长度	Host设备<6 inches，Device和OTG设备<5 inches
电容要求	100nF ±20%， 建议用0201封装
差分对间间距（airgap）	建议大于等于4倍USB线宽
USB与其它信号间距 （airgap）	建议大于等于4倍USB线宽
各信号所允许过孔数量	建议不超过2个
ESD	I/O对地电容不超过0.2pF

Rockchip Confidential

（1）RK3528 BGA 区域 USB3.0 接口的 GND 过孔数量要求如下，不建议删减过孔数量，会影响信号质量。

图 3-106 GND 过孔数量示意图

（2）建议 USB3.0 接口信号整组做包地处理，包地线每隔≦300mil 打一个 GND 过孔。USB3.0 信号需要参考完整的 GND 平面。

图 3-107 包地线示意图

3.3.5 eMMC

表 3-16 布线要求-eMMC

参数	要求
走线阻抗	单端50ohm±10%
时钟（CLK、STRB）与数据之间等长	<120mil
走线长度	<3 inches
eMMC信号线之间间距（airgap）	至少2倍eMMC线宽
eMMC与其它信号间距 （airgap）	建议3倍线宽，至少2倍eMMC线宽
各信号所允许过孔数量	建议不超过2个

Rockchip Confidential

（1）CLK 和 STRB 信号建议做包地处理，包地线每隔≦500mil 打一个 GND 过孔，举例如下：

图 3-108 包地线示意图

（2）为保证信号质量，信号建议参考 GND 平面。我司的参考设计，第一层信号参考第二层 GND 平面；第四层的信号参考第三层的 GND 平面，如下图所示。

图 3-109 第四层走线参考第三层 GND 平面示意图

3.3.6 SDMMC

表 3-17 布线要求-SDMMC

参数	要求
走线阻抗	单端50ohm ±10%
时钟与数据之间等长	<120mil
走线长度	<4 inches（50Mhz＜CLK频率≦200Mhz） <6 inches（CLK频率≦50Mhz）
SDMMC信号线之间间距（airgap）	至少2倍SDMMC线宽
各信号所允许过孔数量	建议不超过2个

Rockchip Confidential

3.3.7 SDIO

表 3-18 布线要求- SDIO

参数	要求
走线阻抗	单端50ohm ±10%
时钟与数据之间等长	<120mil
走线长度	<4 inches（50Mhz＜CLK频率≦200Mhz） <6 inches（CLK频率≦50Mhz）
SDIO信号线之间间距（airgap）	至少2倍SDIO线宽
各信号所允许过孔数量	建议不超过2个

3.3.8 FSPI

表 3-19 布线要求- FSPI

参数	要求
走线阻抗	单端50ohm ±10%
时钟与数据等长	<200mil
走线长度	<4 inches
FSPI信号线之间间距（airgap）	至少2倍线宽

3.3.9 RGMII

表 3-20 布线要求-RGMII

参数	要求
走线阻抗	单端50ohm ±10%
(TXD{0-3}，TXEN) to TXCLK等长	<120mil
(RXD{0-3}，RXDV) to RXCLK等长	<120mil
走线长度	<6 inches
RGMII信号线之间间距（airgap）	建议≥2倍RGMII线宽
RGMII与其它信号间距（airgap）	建议3倍RGMII线宽，至少2倍倍RGMII线宽

（1）CLK 信号建议做包地处理，包地线每隔≦500mil 打一个 GND 过孔，举例如下：

图 3-110 包地线示意图

Rockchip Confidential

3.3.10 100base-t

表 3-21 布线要求-100base-t

参数	要求
走线阻抗	差分100ohm ±10%
差分对内最大时延差	<20mil
差分对对间间距（airgap）	建议大于等于3倍线宽
100base-t与其它信号间距 （airgap）	建议大于等于3倍线宽
走线长度	<4inches
各信号所允许过孔数量	建议不超过2个

3.3.11 ACODEC&CVBS 设计

- 整体布局时，PA 和 AV 座子尽量靠近芯片放置，尽量缩短 ACODEC&CVBS 模拟信号走线；
- PA 芯片电源的去耦电容，都需要尽量靠近 PA 芯片各电源管脚放置；
- ACODEC&CVBS 走线线宽尽量加粗，建议 12mil 以上；
- CVBS 75ohm 电阻必须靠近芯片放置；
- CVBS 滤波电路必须靠近 AV 座子放置；
- ACODEC&CVBS 信号要求全程分开包地处理，包地的走线间隔 300mil 以内必须有地过孔；
- ACODEC&CVBS 信号相邻层必须为地平面，不得为电源平面；
- ACODEC&CVBS 信号都请远离 DRAM 等高速信号线，避开干扰信号如 PWM 及 DC-DC 的功率电感，禁止在高速信号线相邻层走线；禁止在高速信号线附近打孔换层；走线不要穿过电感区域；远离 RF 信号和器件；
- ACODEC 的走线， 和 GND 需要走类差分的模式。如下图：AOL/AOR 从 PA 端（终端位置）各伴随 GND 走线，在尽量靠近 SOC 端（源端位置）处汇合，接到芯片底部的 GNDBALL。

图 3-111 ACODEC 走线示意图

- AV 座子所有信号 TVS 管应尽量靠近连接座放置，信号拓扑为：AV 座→TVS→芯片管脚；出现 ESD 现象时，ESD 电流必须先经过 TVS 器件衰减；TVS 器件走线上不要有残桩(Stub)；
- TVS 的地管脚建议尽量增加地过孔，至少保证 2 个 0.4*0.2mm 的过孔，加强静电泄放能力。

Rockchip Confidential

3.3.12 音频接口电路 PCB 设计

对于 RK3528 平台的数字音频接口，走线要求如下：

- 所有 CLK 信号建议串接 22ohm 电阻，并靠近 RK3528 放置，提高信号质量；
- 所有 CLK 信号走线不得挨在一起，避免串扰；需要独立包地，包地的走线间隔 300mil 以内必须有地过孔；
- 芯片的各 IO 电源域的去耦电容务必放在对应的电源管脚背面；对于单面贴的情况，靠近芯片最近处放置；
- 对于一个 I2S 接口接多个设备的情况，相关的 CLK 应按照菊花链走线拓扑连接；
- 对于一个 PDM 接口接多个设备的情况，相关的 CLK 应按照菊花链走线拓扑连接；如果 GPIO 充裕情况下，PDM 接口一组内的两个 CLK 都可以使用，以优化走线分支；
- SPDIF 信号建议全程包地处理，包地的走线间隔 300mil 以内必须有地过孔。

对于外设的相关音频信号走线要求，以对应器件的设计指南为准，如果没有强调的，可参考以下说明：

- 喇叭的 SPKP/SPKN 信号耦合走线，并整组包地，线宽根据输出的峰值电流进行计算，并尽量缩短走线以控制线阻；
- 喇叭的功放输出如有放置磁珠、LC 滤波等器件，建议靠近功放输出放置，可优化 EMI；
- Headphone 的左右声道输出应独立包地，避免串扰，优化隔离度，建议走线宽度大于 10mil；
- 麦克风单端连接时，MIC 信号单独走线并分别包地；
- 麦克风差分连接时，特别大多数伪差分的情况，也要按照差分走线，并整组包地；
- 麦克风信号的走线建议线宽 8mil 以上；
- 所有音频信号都应原理 LCD、DRAM 等高速信号线。禁止在高速信号线相邻层走线，音频信号的相邻层必须为地平面，禁止在高速信号线附近打孔换层；
- 所有音频信号线走线应远离电感区域、远离 RF 信号和器件；
- 对于耳机座、麦克风的 TVS 保护二极管，放置上尽量靠近连接座，信号拓扑为：耳机座/麦克风→TVS→IC；这样使得发生 ESD 现象时，ESD 电流先经过 TVS 器件衰减；TVS 器件走线上不要有残桩，TVS 的地管脚建议尽量增加地过孔，至少保证两个 0.4mm*0.2mm 的过孔，加强静电泄放能力。

3.3.13 WIFI/BT PCB 设计

- 整体布局时，WIFI 模组适当放置，模组远离 DDR、HDMI、USB、LCD 电路以及喇叭等易干扰模块或连接座；
- 模组下方 TOP 层不允许走线，需保证参考面为完整的地平面，SDIO/PCIe/UART/PCM 信号线建议绕过模组投影区域后连接到模组管脚；
- 晶体电路布局需要优先考虑，布局时应与芯片在同一层并尽量靠近放置以避免打过孔，晶体走线尽可能的短，远离干扰源，尽量天线区域；
- 晶体以及时钟信号需要全程包地处理，包地线每隔 100mil 至少添加一个 GND 过孔，并且必须保证邻层的地参考面完整；
- 晶体电路布局时如果与芯片不同层放置，晶体走线及必须全程包地处理，避免被干扰；
- 32.768k 单独走线并做包地处理，并且包地线每隔 400mil 至少添加一个 GND 过孔；
- SDIO WIFI 时，SDIO 信号 PCB 设计要求见：3.4.10 章节要求；

Rockchip Confidential

- PCIe WIFI 时，PCIe 信号 PCB 设计要求见：3.4.4 章节要求；
- 模组的电感布局时，请注意走线经电感出来后，先经过电容，再进入模组电源管脚；

图 3-112 WIFI 模块的电感电容走线示意图

- 模组的电源去耦电容必须靠近模组电源管脚；
- 模组的 VBAT 管脚走线宽度必须大于 40mil；
- 天线布线越长，能量损耗越大，因此在设计时，天线路径越短越好，不能有分支出现，尽量不换层；
- 天线匹配电路必须靠近天线座，天线走线 50 欧，保证参考地完整，阻抗不要突变，下方不允许有其他信号线或电源；走线的伴随地需要与主地参考面使用地墙连接；

图 3-113 WIFI 模块天线走线示意图

Rockchip Confidential

- 模组的天线以及天线走线区域下方所有层都不允许其它信号线或电源；
- 如果是 2X2 MIMO 天线接口，两个天线口之间的出线方向需要考虑两个天线的位置，两个天线的位置需要尽量远离避免干扰，并考虑垂直放置以避免互相干扰。

Rockchip Confidential

4 热设计建议

良好的热设计对 RK3528 的产品性能的提高、系统的稳定性、产品的安全性尤其重要。

4.1 热仿真结果

针对 RK3528 WBBGA401L_13.5x13.3mm_Pitch 0.6mm/0.65mm 的封装，基于 EVB 的 4 层板 PCB 采用有限元建模法（Finite Element Modeling ，FEM），可以得出热阻的仿真报告。该报告基于 JEDEC JESD51-2 标准给出，应用时的系统设计及环境可能与 JEDEC JESD51-2 标准不同，需要根据应用条件做出分析。

注意

热阻是在 PCB 没有散热片条件下的参考值，具体温度跟单板的设计、大小、厚度、材质以及其他物理因素有关系。

4.1.1 结果概要

热阻仿真结果如下表：

表 4-1 RK3528 热阻仿真报告结果

Package (PI-ED-FCCSP)	θ_{JA}(℃/W)	θ_{JB}(℃/W)	θ_{JC}(℃/W)
JEDEC PCB	22.81	9.295	6.874

注：数据为仿真数据仅供参考，请以实物测试为准。

4.1.2 PCB 描述

热阻仿真用的 PCB 结构如下表：

表 4-2 RK3528 热阻仿真的 PCB 结构

JEDEC PCB	PCB Dimension（L x W）	140 x 180mm
	PCB Thickness	1.6mm
	Number of Cu Layer	4-layers

4.1.3 术语解释

本章中的的术语解释如下：

- T_J： The maximum junction temperature；
- T_A： The ambient or environment temperature；
- T_C： The maximum compound surface temperature；
- T_B： The maximum surface temperature of PCB bottom；
- P： Total input power

Rockchip Confidential

The thermal parameter can be define as following

1. *Junction to ambient thermal resistance,* θ_{JA}, **defined as:**

$$\theta_{JA} = \frac{T_J - T_A}{P} \quad ; \qquad (1)$$

图 4-1 θ_{JA} 的定义

2. *Junction to case thermal resistance,* θ_{JC}, **defined as:**

$$\theta_{JC} = \frac{T_J - T_C}{P} \quad ; \qquad (2)$$

图 4-2 θ_{JC} 的定义

3. *Junction to board thermal resistance,* θ_{JB}, **defined as:**

$$\theta_{JB} = \frac{T_J - T_B}{P} \quad ; \qquad (3)$$

图 4-3 θ_{JB} 的定义

Copyright © 2023Rockchip Electronics Co.， Ltd

4.2 芯片内部热控制方式

4.2.1 温度控制策略

在 Linux 内核中，定义一套温控框架 linux Generic Thermal System Drivers，它可以通过不同的策略控制系统的温度，目前常用的有以下三种策略：

- Power allocator：温控策略引入 PID（比例-积分-微分）控制，根据当前温度，动态给各 cooling device 分配 power，温度低的时候可分配的 power 比较大，即可以运行的频率高，随着温度上升，可分配的 power 逐渐减小，可运行的频率也逐渐降低，从而达到根据温度限制频率；
- Step wise：根据当前温度，cooling device 逐级降频；
- Fair share：频率档位比较多的 cooling device 优先降频；
- Userspace：不限制频率。

RK3528 芯片内部有 T-sensor 检测片内温度，默认使用 Power_allocator 的策略。

4.2.2 温度控制配置

RK3528 SDK 中可以针对 CPU 和 GPU 分别提供温控策略，具体配置请参考《Rockchip_Developer_Guide_Thermal_CN.pdf》（请联系我司 FAE 窗口索取）。

4.3 电路热设计参考

4.3.1 电路原理图热设计参考

- 在保证稳定性前提下，提供整体电源效率，比如少用高压差的 LDO，减少电源自身在电源转换过程中产生的热量；
- 根据实际产品，芯片不用的模块尽量不供电或让软件做 power down 处理；
- 选用导热系数大的材料，根据产品定义，使用环境等条件进行估算需要采用的散热器大小，建议尽量采用更大的散热器。

4.3.2 PCB 热设计参考

RK3528 的产品中，RK3528 芯片是发热量最大的器件，所有的散热处理都以芯片为主要对象。

除 RK3528 外，其它主要发热器件有：LDO、DC-DC 所用电感。

- 合理的结构设计，能保证机器内部与外界空气有热交换途径；
- 整体布局时，大功耗或易产生热量的器件均匀分布，避免局部过热，建议 RK3528 和 DC-DC 适当放置，不要太靠近也不能离的太远，建议间隔 20mm-50mm 之间，两者尽量不放置在板边，对散热不利；
- 建议尽量增加板子含铜量，建议采用 1oz 的铜厚，尽量多层为地平面，其它层满足电源以及信号走线外，也尽量铺成地平面，借助大面积的铜箔散热；
- RK3528 VDD_LOGIC，VDD_GPU，VDD_CPU，VCC_DDR 几路电流比较大，走线或覆铜必须满足载流能力，否则可能会增加温升；
- 要求所以有 EPAD 的芯片，EPAD 上面尽量打满过孔，邻层必须为地平面，背面地铜皮尽量完整，

Rockchip Confidential

背面铜皮建议做裸铜处理，有利于散热；

- RK3528 芯片 GND 管脚在顶层走“井”字形，交叉连接，建议走线线宽 10mil，有利于芯片散热；
- RK3528 芯片的 GND 管脚，建议尽量保证每个 ball 都有对应一个地过孔，至少保证每 1.5 个 ball 对应一个过孔，增加导热途径，邻层必须为地平面，有利于芯片散热；
- RK3528 芯片背面去耦电容地焊盘，建议采用全覆铜，不要采用花孔连接，尽量使地铜皮完整，以提高散热；
- 空旷地方，在不破坏电源层条件下，尽量增加地过孔，增加导热途径，以提高散热。

Rockchip Confidential

5 ESD/EMI 防护设计

5.1 概述

本章对于 RK3528 产品设计中的 ESD/EMI 防护设计给出了建议，帮助客户更好的提高产品的抗静电、抗电磁干扰水平。

5.2 术语解释

本章中的术语解释如下：

- ESD（Electro-Static discharge）：静电释放；
- EMI（Electromagnetic Interference）：电磁干扰，包括传导干扰和辐射干扰两部分。

5.3 ESD 防护

- 从模具上做隔离，接插件能内缩的尽量内缩于壳体内，让静电释放到内部电路上的距离变长，能量变弱，测试标准由接触放电条件变为空气放电等；
- 在 PCB 布局时做好敏感器件的保护，隔离；
- 布局时尽量将 RK3528 芯片及核心部件放在 PCB 中间，不能放在 PCB 中间的需要保证屏蔽罩离板边至少 2MM 以上的距离，且要保证屏蔽罩能够可靠接地；
- 应该按功能模块及信号流向来布局 PCB，各个敏感部分相互独立，对容易产生干扰的部分最好能隔离；
- 要求合理摆放应对 ESD 器件，一般要求摆在源头，即 ESD 器件摆放在接口处或静电释放处；
- 元件布局远离板边且距插接件有一定距离；
- PCB 表面一定要有良好的 GND 回路，各接插件在表层都要有较好的 GND 连接回路。有加屏蔽罩的应尽量跟表层地相连，并在屏蔽罩焊接处多打地孔接地。要做到这一点，就要求各个连接座部分在表层不要走线，也不要出现大范围切断表层铜皮的走线；
- 表层板边不走线且多打地孔；
- 必要时要做好信号跟地之间的隔离；
- 多露铜，以便加强静电释放效果，或者便于增加加泡棉等补救措施；
- 如果有经连接器实现板对板连接时，建议全部信号串接一定阻值的电阻(2.2ohm-10ohm 之间，具体以能满足 SI 测试为准)，以及预留 TVS 器件，可提升抗静电浪涌能力；
- 关键信号比如 Reset，时钟，中断等敏感信号与板边距离不得小于 5mm；
- 其它外围芯片如果有带 Reset 管脚，建议增加 100nF 电容必须靠近管脚，电容的地焊盘必须有一个 0402 地过孔，空间允许建议打两个以上，更良好的接地；
- 整机设计为浮地设备时，建议各接口不要分地设计；
- 机器外壳为金属时，电源是三孔，要求金属外壳必须良好连接大地；
- 预留屏蔽罩位置，屏蔽罩的应尽量跟表层地相连，并在屏蔽罩焊接处多打地孔接地，要做到这一

Rockchip Confidential

点，就要求各个连接座部分在表层不要走线，也不要出现大范围切断表层铜皮的走线；

- 从 PCB 上进行隔离，让静电只能释放在部分区域，比如座子地管脚单独过孔和内层的地层连接，对表层的 PCB 进行 Keepout，表层的地铜皮和管脚尽量远离，即让敏感信号远离静电易放电区域（表层地铜皮）等等，如图在表层隔离 HDMI 信号与 GND 的距离。

5.4 EMI 防护

- 电磁干扰三要素：干扰源、耦合通道及敏感设备。我们不能处理敏感设备，所以处理 EMI 就只能从干扰源跟耦合通道入手了。解决 EMI 问题，最好的方式就是消除干扰源，消除不了的就想办法切断耦合通道或者避免天线效应；
- PCB 上干扰源一般很难完全消除，可以通过滤波、接地、平衡、阻抗控制，改善信号质量(如端接）等方法来应对。各种方法一般会综合运用，但良好的接地是最基本的要求；
- 常用应对 EMI 材料有屏蔽罩，专用滤波器，电阻，电容，电感，磁珠，共模电感/磁环，吸波材料，展频器件等；
- 滤波器选择原则：若负载（接收器）为高阻抗（一般的单端信号接口都是高阻抗，比如 SDIO，RBG，CIF 等），则选择容性滤波器件并入线路；若负载（接收器）为低阻抗（比如电源输出接口），则选择感性滤波器件串入线路。使用滤波器件后不能使信号质量超出其 SI 许可范围。差分接口一般使用共模电感来抑制 EMI；
- PCB 上屏蔽措施需良好接地，不然可能会引起辐射泄露或者屏蔽措施形成了天线效应，连接器的屏蔽需符合相关技术标准；
- RK3528 展频的能分模块使用。展频的程度需根据相关部分对信号的要求而定。具体措施见 RK3528 展频说明；
- 所有时钟串接的匹配电阻，建议保留，提供匹配阻抗，提高信号质量的改善措施；
- DC 电源输入处，有条件可预留电源共模电感或 EMI 滤波器；
- USB，HDMI 屏连接座等接口处增加预留共模电感或滤波电路；
- 有加散热器时，要注意散热器也有可能耦合 EMI 能量，产生辐射，在选用散热器时除了满足热设计要求，还应满足 EMI 测试要求。散热器要预留接地条件，当有需要接地时，将散热器接地，此处不好明确接地点个数及怎么选择接地点，需要第一个版本硬件在实验室实际测试时依据实际情况整改；
- EMI 跟 ESD 对 LAYOUT 的要求有高度一致性，前述 ESD 的 LAYOUT 要求，大部分适用于 EMI 防护。另外增加下面的要求：

Rockchip Confidential

- 尽量保证信号完整性；
- 差分线要做好等长及紧密耦合，保证差分信号的对称性，以尽量减少差分信号的错位跟时钟，避免转化成引起 EMI 问题的共模信号；
- 有插件器件等带金属壳器件的元件，应避免耦合干扰信号从而辐射。也要避免器件的干扰信号从壳体耦合到其他信号线；
- 所有时钟串接的匹配电阻靠近 CPU 端（源端），CPU 管脚和电阻之间走线必须控制在 400mil 以内；
- 如果 PCB 超过 4 层板，建议让所有时钟信号尽量走内层；
- 防止电源辐射，电源层覆铜必须内缩，以一个 H（电源和地之间的介质厚度）为单位，建议内缩 20H。

Rockchip Confidential

6 焊接工艺

6.1 概述

RK3528 芯片为 ROHS 指令认证产品，即均是 Lead-free 产品。本章规范了客户端在用 RK3528 芯片 SMT 时各个时间段温度的基本设置，主要介绍客户在使用 RK3528 芯片回流焊时的工艺控制：主要是无铅工艺和混合工艺两类。

6.2 术语解释

本章中的术语解释如下：

- Lead-free：无铅工艺；
- Pb-free：无铅工艺，所有器件（主板、所有 IC、电阻电容等）均为无铅器件，并使用无铅锡膏的纯无铅工艺；
- Reflow profile：回流焊；
- Restriction of Hazardous Substances（ROHS）：关于限制在电子电器设备中使用某些有害成分的指令；
- Surface Mount Technology（SMT）：表面贴装技术；
- Sn-Pb：锡铅混合工艺，指使用有铅锡膏和既有无铅 BGA 也有有铅 IC 的混合焊接工艺。

6.3 回流焊要求

6.3.1 焊膏成分要求

Solder 合金与 flux 比重为 90%：10%；体积比为：50%：50%，锡膏冷藏温度 2~10℃，使用前应常温下回温，回温时间 3~4 小时并做好时间记录。

刷板前锡膏需要搅拌，手工搅拌 3～5 分钟或机械搅拌 3 分钟，搅拌后呈自然垂流状。

6.3.2 SMT 曲线

由于 RK3528 芯片均采用环保材料，建议使用 Pb-Free 工艺。下图回流焊曲线仅为 JEDEC J-STD-020D 工艺要求推荐值，客户端需根据实际生产情况进行调整。

Rockchip Confidential

Profile Feature	Sn-Pb Eutectic Assembly	Pb-Free Assembly
Preheat & Soak Temperature min (T_{smin}) Temperature max (T_{smax}) Time (T_{smin} to T_{smax}) (t_s)	100 °C 150 °C 60-120 seconds	150 °C 200 °C 60-120 seconds
Average ramp-up rate (T_{smax} to T_p)	3 °C/second max.	3 °C/second max.
Liquidous temperature (T_L) Time at liquidous (t_L)	183 °C 60-150 seconds	217 °C 60-150 seconds
Peak package body temperature (T_p)*	See classification temp in Table 4.1	See classification temp in Table 4.2
Time (t_p)** within 5 °C of the specified classification temperature (T_c)	20** seconds	30** seconds
Average ramp-down rate (T_p to T_{smax})	6 °C/second max.	6 °C/second max.
Time 25 °C to peak temperature	6 minutes max.	8 minutes max.
* Tolerance for peak profile temperature (T_p) is defined as a supplier minimum and a user maximum. ** Tolerance for time at peak profile temperature (t_p) is defined as a supplier minimum and a user maximum.		

图 6-1 回流焊曲线分类

Package Thickness	Volume mm³ <350	Volume mm³ 350 - 2000	Volume mm³ >2000
<1.6 mm	260 °C	260 °C	260 °C
1.6 mm - 2.5 mm	260 °C	250 °C	245 °C
>2.5 mm	250 °C	245 °C	245 °C

图 6-2 无铅工艺器件封装体耐热标准

图 6-3 无铅回流焊接工艺曲线

6.3.3 SMT 建议曲线

我司建议的 SMT 曲线如图 6-4 所示：

Step 1 Board Preheat	Step 2 Soak Time	Step 3 Peak Reflow & Time Above 220 °C	Step 4 Cool Down
Start with solder joint temp ≤ 40°C	After nozzle is lowered prior to peak reflow (Soak Time: Paste dependant; consult paste manufacturer)	Solder Joint Temp 230 – 250°C Above ≥217°C 60 – 90 sec Max delta-t of solder joint temperature at peak reflow ≤10°C	Substrate MAX Temperature ≤260°C Die Peak Temperature ≤300°C
Rising Ramp Rate 0.5 – 2.5° C/ Sec.	Solder Joint Temp: 200 to 220°C		Cooling Ramp Rate -0.5 to – 2.0°C/sec
Board Preheat Solder Joint Temp: 125 – 150°C	Critical Ramp Rate (205 to 215°C): 0.35 – 0.75°C/sec.	Peak Temp Range, and Time Above ≥217°C spec's met.	PCB land/pad temperature needs to be at 100 – 130°C ±5°C when removing board from rework machine bottom heater at end of component removal operation or ≤80°C when using stand alone PCB Pre-Heater for PCB land/pad site dress operation.
Preheat with bottom heater, before nozzle is lowered	Nozzle has lowered to reflow component	Nozzle is down during peak reflow	Nozzle raises to home position when solder joint reaches peak temp range

图 6-4 无铅回流焊接工艺建议曲线参数

Rockchip Confidential

7 包装和存放条件

7.1 概述

规定了 RK3528 的存放和使用规范，以确保产品的安全和正确使用。

7.2 术语解释

本章中的术语解释如下：

- Desiccant：干燥剂，用于吸附潮气的一种材料；
- Floor life：产品允许暴露在环境中的最长时间，从在拆开防潮包装到回流焊之前；
- Humidity Indicator Card(HIC)：湿度指示卡；
- Moisture Sensitivity Level(MSL)：潮敏等级；
- Moisture Barrier Bag(MBB)：防潮包装袋；
- Rebake：重新烘烤；
- Solder Reflow：回流焊；
- Shell Life：存储期限；
- Storage environment：存放环境。

7.3 防潮包装

产品的干燥真空包装材料如下：

- 干燥剂；
- 六点湿度卡；
- 防潮袋，铝箔，银色不透明，带有湿敏等级的标识。

Rockchip Confidential

图 7-1 芯片干燥真空包装

图 7-2 六点湿度卡

7.4 产品存放

7.4.1 存放环境

产品真空包装存放，在温度≦40℃且相对湿度＜90％时，保存期限可达 12 个月。

7.4.2 暴露时间

在环境条件＜30℃和湿度 60％下，请参照如下表 7－1。

RK3528 芯片 MSL 等级为 3，对湿度非常敏感。如果拆包装后没有及时使用，且长时间放置后未烘烤贴片，会大概率出现芯片失效。

表 7-1 暴露时间参照表（MSL）

MSL 等级	暴露时间 工厂环境条件：≦30 ℃ /60 %RH
1	Unlimited at ≤300 ℃/85 %RH
2	1 年
2a	4 周
3	168 小时
4	72 小时
5	48 小时
5a	24 小时
6	Mandatory bake before use， and must be reflowed within the time limit specified on the label.

7.5 潮敏产品使用

RK3528 芯片在包装袋被打开后，芯片回流焊前必须符合如下条件：

- 连续或累计暴露时间在 168 小时内，且工厂环境为≦30℃/60% RH；
- 保存在 < 10% RH 环境下的；

在下述情况下，芯片必须进行烘烤去除内部湿气，以避免回流焊时产生分层或爆米花问题：

- 湿度指示卡在 23±5℃时，＞10%的点已变色。（颜色变化请参考湿度指示卡标示）；
- 未符合 2a 或 2b 的规范。

芯片重新烘烤的时间请参考如下表 7-2 所示：

表 7-2 RK3528 Re-bake 参考表

Package Body	MSL	High Temp Bake @125℃ +10/-0℃		Medium Temp Bake @90℃+8/-0℃		Low Temp Bake @40℃ +5/-0℃	
		Exceeding Floor Life by > 72h	Exceeding Floor Life by ≤ 72h	Exceeding Floor Life by > 72h	Exceeding Floor Life by ≤ 72h	Exceeding Floor Life by > 72h	Exceeding Floor Life by ≤ 72h
Thickness ≤1.4mm	3	9 hours	7 hours	33 hours	23 hours	13 days	9 days

注意

此表中显示的均是受潮后，必须的最小的烘烤时间。

重新烘烤优先选择低温烘烤。

Rockchip Confidential