密级状态： 绝密（　　）　秘密（　　）　内部资料（　　）　公开（ √ ）

RV1126B 硬件设计指南

（福州硬件开发中心）

文件状态： [　] 草稿 [　] 正在修改 [√] 正式发布	**当前版本：**	V1.0
	作　　者：	福州硬件开发中心
	完成日期：	2025.08.28
	审　　核：	Hardware Team
	审核日期：	2025.08.28

瑞芯微电子股份有限公司
Rockchip Electronics Co.,Ltd.

免责声明

本文档按“现状”提供，瑞芯微电子股份有限公司（“本公司”，下同）不对本文档的任何陈述、信息和内容的准确性、可靠性、完整性、适销性、特定目的性和非侵权性提供任何明示或暗示的声明或保证。本文档仅作为使用指导的参考。

由于产品版本升级或其他原因，本文档将可能在未经任何通知的情况下， 不定期进行更新或修改。

商标声明

“Rockchip”、“瑞芯微”、“瑞芯”均为本公司的注册商标，归本公司所有。

本文档可能提及的其他所有注册商标或商标，由其各自拥有者所有。

版权所有 © 2025 瑞芯微电子股份有限公司

超越合理使用范畴，非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

瑞芯微电子股份有限公司

地址： 福建省福州市铜盘路软件园A区18号

网址： www.rock-chips.com

客户服务电话： +86-591-83991906

客户服务传真： +86-591-83951833

客户服务邮箱： fae@rock-chips.com

Rockchip Confidential

前言

概述

本文档主要介绍RV1126B处理器硬件设计的要点及注意事项，旨在帮助RK客户缩短产品的设计周期、提高产品的设计稳定性及降低故障率。请客户参考本指南的要求进行硬件设计，同时尽量使用RK发布的相关核心模板。如因特殊原因需要更改的，请严格按照高速数字电路设计要求以及RK产品PCB设计要求进行。

芯片型号

本文档对应的芯片型号为：RV1126B/RV1126B-P

适用对象

本文档主要适用于以下工程师：

- 硬件开发工程师
- Layout 工程师
- 技术支持工程师
- 测试工程师

Rockchip Confidential

更改记录

修订记录累积了每次文档更新的说明，最新版本的文档包含以前所有文档版本的更新内容。

版本	修改人	修改日期	修改说明	备注
V1.0	福州硬件开发中心	2025.08.28	第一次正式版本发布	

Rockchip Confidential

缩略语

缩略语包括文档中常用词组的简称：

缩写	英文解释	中文解释
AOV	Always On Video	
AOV3.0	Always On Record （Always On Video with Audio）	
ASRC	Asynchronous Sample Rate Converter	异步采样率转换器
ARM	Advanced RISC Machine	高级精简指令集计算机
CAN	Controller Area Network	控制器局域网络
CIF	Camera Input Format	相机并行接口
CPU	Central processing unit	中央处理器
CSI	Camera Serial Interface	相机串行接口
DC/DC	Direct current-Direct current converter	直流/直流变换器
DDR	Double Data Rate	双倍速率同步动态随机存储器
DSI	Display Serial Interface	显示串行接口
DSM	Digital Signal Modulator	数字信号调制 这里特指基于数字信号调制的数字音频脉冲输出接口
eMMC	Embedded Multi Media Card	内嵌式多媒体存储卡
ESD	Electro-Static discharge	静电释放
ESR	Equivalent Series Resistance	等效电阻
FSPI	Flexible Serial Peripheral Interface	灵活串行外设接口
I2C	Inter-Integrated Circuit	内部整合电路(两线式串行通讯总线)
I2S	Inter-IC Sound	集成电路内置音频总线
ISP	Image Signal Processing	图像信号处理
JTAG	Joint Test Action Group	联合测试行为组织定义的一种国际标准测试协议（IEEE 1149.1兼容）
LDO	Low Drop Out Linear Regulator	低压差线性稳压器
LCDC	LCD Controller	LCD控制器并行接口
LCM	LCD Module	LCD显示模组
MAC	Media Access Control	以太网媒体接入控制器
MIPI	Mobile Industry Processor Interface	移动产业处理器接口
NPU	Neural network Processing Unit	神经网络处理器
PCB	Printed Circuit Board	印制电路板
PLL	Phase-locked loop	锁相环

Rockchip Confidential

缩写	英文解释	中文解释
PMIC	Power Management IC	电源管理芯片
PMU	Power Management Unit	电源管理单元
PWM	Pulse width modulation	脉冲宽度调制
RGB	RGB color mode is a color standard in industry	RGB色彩模式，是工业界的一种颜色标准
GMAC	Gigabit Media Access Controller	千兆媒体访问控制器
RGMII	Reduced Gigabit Media Independent Interface	简化千兆媒体独立接口
RMII	Reduced Media Independent Interface	简化媒体独立接口
RK	Rockchip Electronics Co.,Ltd.	福州瑞芯微电子股份有限公司
SAI	Serial Audio Interface	串行音频接口 兼容I2S、PCM、TDM协议，见SAI数字音频接口章节具体描述
SARADC	Successive approximation register Analog to digital converter	逐次逼近寄存器型模数转换器
SD Card	Secure Digital Memory Card	安全数码卡
SDIO	Secure Digital Input and Output Card	安全数字输入输出卡
SDMMC	Secure Digital Multi Media Card	安全数字多媒体存储卡
SPI	Serial Peripheral Interface	串行外设接口
TF Card	Micro SD Card(Trans-flash Card)	外置记忆卡
TSADC	Temperature sensing A/D Converter	温度感应模数转换器
UART	Universal Asynchronous Receiver / Transmitter	通用异步收发传输器
USB2.0	Universal Serial Bus 2.0	通用串行总线
USB3.0	Universal Serial Bus 3.0	通用串行总线
VOP	Video Output Processor	视频输出处理器
WDT	Watchdog Timer	看门狗

Rockchip Confidential

目录

前言 ..... **II**
更改记录 ..... **III**
缩略语 ..... **IV**
目录 ..... **VI**
图片索引 ..... **IX**
表格索引 ..... **XIV**
1. 系统概述 **17**
1.1. 概述 17
1.2. 芯片差异 18
1.2.1. RV1126B / RV1126B-P / RV1126规格差异 18
1.2.1. 应用功能差异 19
1.3. 芯片框图 20
1.4. 应用框图 21
1.4.1. RV1126B AI-IPC 应用框图 21
1.4.2. RV1126B BAT-IPC 应用框图 22
1.4.3. RV1126B AOV IPC 应用框图 23
1.4.4. RV1126B Pre-recording IPC 应用框图 24
2. 原理图设计建议 **25**
2.1. 最小系统设计 25
2.1.1. 系统工作时钟 25
2.1.2. 系统休眠时钟 26
2.1.3. nPOR复位 28
2.1.4. WDT/TSADC_SHUT电路 29
2.1.5. 电源管理单元（PMU） 30
2.1.6. 系统启动引导顺序 30
2.1.7. 系统初始化配置信号 31
2.1.8. JTAG电路 32
2.1.9. UART Debug电路 34
2.1.10. DDR电路 34
2.1.11. 外部启动Flash接口电路 42
2.1.12. GPIO电路 46
2.2. 电源设计 48
2.2.1. 电源介绍 48
2.2.2. 上电时序 49
2.2.3. 下电时序 52
2.2.4. 电源设计建议 53
2.3. 功能接口设计 68
2.3.1. FSPI接口 68

Rockchip Confidential

2.3.2. SPI2AHB接口 69
2.3.3. SDMMC接口 69
2.3.4. SARADC接口 72
2.3.5. USB2/USB3接口 75
2.3.6. 视频输入接口 79
2.3.7. 视频输出接口 84
2.3.8. 音频接口 88
2.3.9. GMAC接口 100
2.3.10. FEPHY接口 106
2.3.11. IRFPA接口 107
2.3.12. DSMC接口 108
2.3.13. UART接口 113
2.3.14. I2C接口 115
2.3.15. SPI接口 116
2.3.16. CAN接口 117
2.3.17. PWM接口 118
2.3.18. 未使用模块的管脚处理 121
3. PCB设计建议 122
3.1. 通用高速信号布线建议 122
3.2. 接口PCB设计建议 129
3.2.1. Power电路PCB设计 129
3.2.2. DDR PCB设计 145
3.2.3. MIPI TX/RX PCB设计 151
3.2.4. USB3.0 PCB设计 152
3.2.5. USB2.0 PCB设计 154
3.2.6. FEPHY PCB设计 154
3.2.7. DSMC PCB设计 155
3.2.8. eMMC PCB设计 158
3.2.9. RGMII PCB设计 159
3.2.10. RMII PCB设计 160
3.2.11. SDMMC/SDIO PCB设计 160
3.2.12. FSPI PCB设计 160
3.2.13. LCDC PCB设计 160
3.2.14. SAI PCB设计 161
3.2.15. SPI PCB设计 161
4. 热设计建议 162
4.1. 热仿真结果 162
4.2. 术语解释 162
4.3. 芯片内部热控制方式 162
4.3.1. 温度控制策略 162

Rockchip Confidential

4.4. 电路与PCB板级热设计建议 163
5. ESD/EMI防护设计建议 164
5.1. 概述 164
5.2. 术语解释 164
5.3. ESD防护 164
5.4. EMI防护 164
6. 焊接工艺说明 166
6.1. 术语解释 166
6.2. 概述 166
6.3. 回流焊要求 166
6.3.1. 焊膏成分与使用要求 166
6.3.2. 推荐SMT曲线 166
7. 包装和存放条件 168
7.1. 概述 168
7.2. 术语解释 168
7.3. 防潮包装 168
7.4. 产品存放 169
7.4.1. 存放环境 169
7.4.2. 暴露时间 169
7.5. 潮敏产品使用 169

Rockchip Confidential

图片索引

图 1-1 RV1126B芯片框图 20
图 1-2 RV1126B AI-IPC产品应用框图 21
图 1-3 RV1126B BAT-IPC产品应用框图 22
图 1-4 RV1126B AOV产品应用框图 23
图 1-5 RV1126B Pre-recording产品应用框图 24
图 2-1 RV1126B 24M无源晶体电路 25
图 2-2 RV1126B 24M有源晶体电路 26
图 2-3 RV1126B RTC晶体电路 27
图 2-4 RV1126B 32.768KHz待机时钟输入管脚 28
图 2-5 RV1126B 硬件复位输入 29
图 2-6 RV1126B 复位信号路径图 29
图 2-7 RV1126B PMU示意图 30
图 2-8 RV1126B 引导顺序管脚 31
图 2-9 RV1126B SDMMC0_DETN管脚以及SDMMC0/JTAG复用管脚 32
图 2-10 RV1126B JTAG信号 33
图 2-11 RV1126B JTAG连接示意图 33
图 2-12 RV1126B UART0_M2管脚 34
图 2-13 RV1126B Debug UART0连接示意图 34
图 2-14 DDR ZQ电阻连接方式 37
图 2-15 DDR3/DDR3L颗粒连接拓扑 38
图 2-16 DDR4颗粒连接拓扑 38
图 2-17 LPDDR3颗粒连接拓扑 39
图 2-18 LPDDR4/LPDDR4X点对点拓扑结构 39
图 2-19 PMIC VFB参数调整 40
图 2-20 DDR3 SDRAM上电时序 41
图 2-21 DDR4 SDRAM上电时序 41
图 2-22 LPDDR3 SDRAM上电时序 41
图 2-23 LPDDR4/LPDDR4X SDRAM上电时序 42
图 2-24 SPI Flash连接示意图 43
图 2-25 双SPI Flash连接示意图 43
图 2-26 eMMC颗粒电源时序要求 45
图 2-27 eMMC连接示意图 45
图 2-28 RV1126B AI-IPC常电产品上电时序 49
图 2-29 RV1126B AI-IPC产品电源拓扑 49
图 2-30 RV1126B AOV产品上电时序 50
图 2-31 RV1126B AOV产品电源拓扑 51
图 2-32 RV1126B Pre-Recording产品上电时序 51

Rockchip Confidential

图 2-33 RV1126B Pre-recording产品电源拓扑 52
图 2-34 RV1126B PLL电源示意图 54
图 2-35 RV1126B RTC电源示意图 55
图 2-36 RV1126B SARADC&TSADC电源示意图 56
图 2-37 RV1126B OTP电源示意图 57
图 2-38 RV1126B 芯片LOGIC电源示意图 57
图 2-39 RV1126B 芯片CPU电源示意图 58
图 2-40 RV1126B 芯片NPU电源示意图 58
图 2-41 RV1126B芯片DDR控制器电源示意图 59
图 2-42 RV1126B 芯片PMU电源示意图 60
图 2-43 RV1126B AUDIO ADC电源示意图 61
图 2-44 RV1126B USB2.0 PHY电源示意图 62
图 2-45 RV1126B USB3.0 PHY电源示意图 63
图 2-46 RV1126B MIPI CSI RX0 PHY电源示意图 64
图 2-47 RV1126B MIPI DSI TX/LVDS TX电源示意图 65
图 2-48 RV1126B芯片FEPHY电源示意图 66
图 2-49 Pre-recording数据传输流程框图 68
图 2-50 RV1126B芯片FSPI1接口连接示意图 68
图 2-51 RV1126B芯片SPI2AHB接口连接示意图 69
图 2-52 RV1126B芯片SDMMC0接口连接示意图 70
图 2-53 RV1126B SD2.0/SD3.0电源切换 71
图 2-54 SD Card接口电路 71
图 2-55 RV1126B芯片SDMMC1接口连接示意图 72
图 2-56 RV1126B芯片SARADC0接口连接示意图 73
图 2-57 RV1126B芯片按键矩阵电路示意图 74
图 2-58 RV1126B芯片SARADC1&2接口连接示意图 74
图 2-59 RV1126B芯片USB3.0 DRD接口复用框图 75
图 2-60 RV1126B芯片USB2.0 HOST接口复用框图 75
图 2-61 RV1126B芯片USB3.0 HOST接口复用框图 75
图 2-62 RV1126B芯片USB控制器与PHY的复用关系 76
图 2-63 RV1126B芯片USB2.0 DRD接口连接示意图 76
图 2-64 RV1126B芯片USB2.0 DRD接口连接示意图（无ID pin） 76
图 2-65 RV1126B芯片USB2.0 DRD接口强制模式连接示意图 77
图 2-66 RV1126B芯片USB3.0 DRD接口连接示意图 77
图 2-67 RV1126B芯片USB2.0 HOST接口连接示意图 78
图 2-68 RV1126B芯片USB接口串接共模电感连接示意图 78
图 2-69 USB HOST电源5V限流开关电路示意图 79
图 2-70 RV1126B芯片MIPI DPHY CSI RX接口4Lane模式连接示意图 80
图 2-71 RV1126B芯片MIPI DPHY CSI1 RX接口2*2Lane模式连接示意图 80
图 2-72 RV1126B芯片DVP接口连接示意图 81
Rockchip Confidential

图 2-73 RV1126B芯片LCDC TX接口连接示意图 85
图 2-74 RV1126B芯片VCCIO5电源域电源管脚去耦示意图 87
图 2-75 RV1126B芯片音频子系统框图 89
图 2-76 RV1126B PDM接口数据格式 94
图 2-77 RV1126B DSM PWM Audio低通滤波器示意图 95
图 2-84 RV1126B AUDIO ADC差分输入 97
图 2-84 RV1126B AUDIO ADC单端输入 97
图 2-80 RV1126B SAI输出示意图 99
图 2-81 RV1126B DSM输出示意图 99
图 2-82 RV1126B ACODEC 差分接入电路示意图 99
图 2-83 MIC输入电路示意图 100
图 2-84 RV1126B 外接CODEC音频方案示意图 100
图 2-85 RV1126B GMAC_M0功能管脚 101
图 2-86 RV1126B GMAC_M1功能管脚 101
图 2-87 RGMII连接示意图1 103
图 2-88 RGMII连接示意图2 103
图 2-89 RMII连接示意图1 104
图 2-90 RMII连接示意图2 104
图 2-91 RMII连接示意图3 105
图 2-92 RMII连接示意图4 105
图 2-93 RV1126B芯片FEPHY接口连接示意图 106
图 2-94 RV1126B芯片IRFPA接口7进14出模式连接示意图 107
图 2-95 RV1126B芯片IRFPA接口3进7出模式连接示意图 107
图 2-96 DSMC应用：DPRAM方案 109
图 2-97 DSMC应用：FIFO方案 109
图 2-98 RV1126B芯片DSMC接口8bit连接示意图 110
图 2-99 RV1126B芯片DSMC接口8bit多片选连接示意图 110
图 2-100 RV1126B芯片DSMC接口16bit连接示意图 111
图 2-101 RV1126B芯片DSMC接口16bit多片选连接示意图 111
图 2-102 RV1126B芯片UART接口连接示意图 113
图 2-103 RV1126B芯片UART接口与RS485连接示意图 114
图 2-104 RV1126B芯片I2C接口连接示意图 115
图 2-105 RV1126B芯片CAN接口连接示意图 118
图 2-106 RV1126B芯片PWM接口与红外接收头连接示意图 121
图 3-1 差分对时延差示意图 122
图 3-2 不完整参考平面示意图 122
图 3-3 ESD参考层挖空示意图 123
图 3-4 走线与同层地铜皮间距示意图 123
图 3-5 跨区示意图 123
图 3-6 地通孔示意图 124
Rockchip Confidential

图 3-7 绕线补偿示意图 124
图 3-8 差分对内绕线补偿示意图 125
图 3-9 差分换层过孔示意图 125
图 3-10 单端信号换层过孔示意图 125
图 3-11 对称走线示意图 126
图 3-12 连接器焊盘通孔示意图 126
图 3-13 焊盘铺铜示意图 126
图 3-14 连接器地铜皮示意图 127
图 3-15 包地示意图 127
图 3-16 蛇形绕线示意图 128
图 3-17 走线残桩示意图 128
图 3-18 跨电源平面示意图 128
图 3-19 DCDC换层过孔数量示意图 129
图 3-20去耦电容过孔数量示意图 129
图 3-21 RV1126B VDD_CPU电源层覆铜 130
图 3-22 RV1126B电源过孔数量示意图 130
图 3-23 电源管脚40mil范围内的GND过孔数量示意图 130
图 3-24 RV1126B 去耦电容放置及对应GND过孔数量示意图 131
图 3-25 RV1126B VDD_CPU的电源管脚走线和过孔 131
图 3-26 RV1126B VDD_CPU电源建议PDN要求 132
图 3-27 DCDC换层过孔数量示意图 132
图 3-28 去耦电容过孔数量示意图 132
图 3-29 RV1126B VDD_LOGIC电源层覆铜 133
图 3-30 RV1126B电源过孔数量示意图 133
图 3-31 电源管脚40mil范围内的GND过孔数量示意图 134
图 3-32 RV1126B 去耦电容放置及对应GND过孔数量示意图 134
图 3-33 RV1126B VDD_LOGIC的电源管脚走线和过孔 134
图 3-34 RV1126B VDD_LOGIC电源建议PDN要求 135
图 3-35 DCDC换层过孔数量示意图 135
图 3-36 去耦电容过孔数量示意图 136
图 3-37 RV1126B VDD_NPU电源层覆铜 136
图 3-38 RV1126B电源过孔数量示意图 137
图 3-39 RV1126B 去耦电容放置及对应GND过孔数量示意图 137
图 3-40 RV1126B VDD_NPU的电源管脚走线和过孔 138
图 3-41 RV1126B VDD_NPU电源建议PDN要求 138
图 3-42 DCDC换层过孔数量示意图 139
图 3-43铜皮宽度示意图 139
图 3-44 铜皮有效宽度示意图 140
图 3-45 RV1126B电源过孔数量示意图 140
图 3-46 电源管脚40mil范围内的GND过孔数量示意图 141
Rockchip Confidential

图 3-47 RV1126B 去耦电容放置及对应GND过孔数量示意图 141
图 3-48 RV1126B VCC_DDR的电源管脚走线和过孔 142
图 3-49 DCDC换层过孔数量示意图 142
图 3-50 铜皮宽度示意图 142
图 3-51 铜皮有效宽度示意图 143
图 3-52 RV1126B电源过孔数量示意图 143
图 3-53电源管脚40mil范围内的GND过孔数量示意图 143
图 3-54 RV1126B去耦电容放置及对应GND过孔数量示意图 144
图 3-55 RV1126B VCC0V6_DDR的电源管脚走线和过孔 144
图 3-56 电源电容靠近电源过孔放置示意图 144
图 3-57 电源电容GND管脚对应的GND过孔数量示意图 145
图 3-58 GND过孔设计 145
图 3-59 走线和参考层边缘距离图示 146
图 3-60 信号GND回流过孔示意图 146
图 3-61 DQS信号包地处理示意图 146
图 3-62 信号绕线图示 147
图 3-63 排过孔对铜皮破坏示意图 147
图 3-64 过孔靠近管脚放置示意图 147
图 3-65 电源层被一排过孔大面积破坏示意图 148
图 3-66 GND过孔数量示意图 151
图 3-67 RV1126B MIPI信号包地线示意图 152
图 3-68 GND过孔数量示意图 153
图 3-69 RV1126B USB3.0包地建议 153
图 3-70 RV1126B USB3.0信号焊盘挖空建议 153
图 3-71 RV1126B USB2.0信号焊盘挖空建议 154
图 3-72 GND过孔数量示意图 155
图 3-73 并联电阻放置示意图 155
图 3-74 DSMC走线拓扑图 156
图 3-75 GND过孔数量示意图 157
图 3-76 RV1126B DSMC_CLK&DQS信号包地建议 157
图 3-77 RV1126B DSMC_CLK信号对地电容摆放建议 158
图 3-78 添加地回流过孔示意图 159
图 3-79 RV1126B ETH_CLK_25M_OUT信号包地走线建议 159
图 6-1 RV1126B回流焊推荐曲线 167
图 7-1 芯片干燥真空包装 168
图 7-2 六点湿度卡 169
Rockchip Confidential

表格索引

表 1-1 RV1126与RV1126B-P、RV1126B对比 18
表 1-2 RV1126B与RV1126系列应用场景对比 19
表 2-1 RV1126B 24MHz时钟要求 25
表 2-2 RV1126B 外部有源时钟要求 26
表 2-3 RV1126B 休眠时钟源 26
表 2-4 RV1126B 32.768kHz时钟要求 27
表 2-5 RV1126B 32.768KHz时钟要求 28
表 2-6 RV1126B 引导顺序选择 31
表 2-7 RV1126B 系统初始化配置信号描述 32
表 2-8 RV1126B JTAG Debug接口信号 33
表 2-9 RV1126B DDR PHY I/O Map表 35
表 2-10 RV1126B DDR PHY 供电 40
表 2-11 不同DDR颗粒供电 40
表 2-12 RV1126B FSPI0接口匹配设计 44
表 2-13 RV1126B eMMC接口匹配设计 45
表 2-14 RV1126B GPIO电源脚描述 47
表 2-15 RV1126B芯片电源需求表 48
表 2-16 RV1126B芯片冷启动上电电源需求表 53
表 2-17 RV1126B芯片休眠电源需求表 54
表 2-18 RV1126B芯片PLL电源 55
表 2-19 RV1126B芯片RTC电源 55
表 2-20 RV1126B芯片SARADC/OTP/TSADC电源 56
表 2-21 RV1126B芯片PLL电源 57
表 2-22 RV1126B芯片PMU电源 60
表 2-23 RV1126B芯片Audio ADC电源 61
表 2-24 RV1126B芯片USB2.0 PHY电源 62
表 2-25 RV1126B芯片USB3.0 PHY电源 63
表 2-26 RV1126B芯片MIPI CSI RX PHY电源 64
表 2-27 RV1126B芯片MIPI DSI TX PHY电源 65
表 2-28 RV1126B芯片FEPHY电源 66
表 2-29 RV1126B芯片FSPI1接口匹配设计 68
表 2-30 RV1126B芯片SPI2AHB接口匹配设计 69
表 2-31 RV1126B芯片SDMMC0接口匹配设计 70
表 2-32 RV1126B芯片SDMMC1接口匹配设计 72
表 2-33 RV1126B芯片USB2/USB3接口匹配设计 79
表 2-34 RV1126B芯片MIPI DPHY CSI RX接口匹配设计 80
表 2-35 RV1126B芯片DVP数据对应关系 82

Rockchip Confidential

表 2-36 RV1126B芯片BT1120 16bit模式数据对应关系表 83
表 2-37 RV1126B芯片DVP接口匹配设计 83
表 2-38 RV1126B芯片MIPI DPHY DSI TX接口匹配设计 85
表 2-39 RV1126B RGB、BT1120、BT656、MCU复用关系表 86
表 2-40 RV1126B BT1120输出格式列表 87
表 2-41 RV1126B芯片LCDC TX接口匹配设计 88
表 2-42 RV1126B 对外引出的音频接口以及IO复用情况 88
表 2-43 RV1126B SAI接口不同通道、位宽下的采样率参考 90
表 2-44 RV1126B 不同SAI接口的使用速率 90
表 2-45 RV1126B芯片SAI0接口匹配设计 91
表 2-46 RV1126B芯片SAI1接口匹配设计 92
表 2-47 RV1126B芯片SAI2接口匹配设计 93
表 2-48 RV1126B PDM_CLK频率与采样率对照表 94
表 2-49 RV1126B PDM接口的复用情况说明 94
表 2-50 RV1126B芯片PDM接口匹配设计 95
表 2-51 RV1126B DSM PWM Audio接口差分输出音频指标 96
表 2-52 RV1126B芯片DSM接口匹配设计 96
表 2-53 RV1126B芯片AUDIO ADC接口匹配设计 98
表 2-54 RV1126B ASRC模块典型采样率 98
表 2-55 RV1126B ASRC异步采样率转换器模块 99
表 2-56 RV1126B芯片RGMII/RMII接口匹配设计 102
表 2-57 RV1126B芯片FEPHY接口匹配设计 107
表 2-58 RV1126B芯片IRFPA接口匹配设计 108
表 2-59 RV1126B芯片DSMC接口匹配设计 112
表 2-60 RV1126B UART接口分布 114
表 2-61 RV1126B芯片UART接口匹配设计 115
表 2-62 RV1126B芯片I2C接口分布 116
表 2-63 RV1126B芯片I2C接口匹配设计 116
表 2-64 RV1126B芯片SPI接口分布 117
表 2-65 RV1126B芯片SPI接口匹配设计 117
表 2-66 RV1126B芯片不同SPI接口的使用速率 117
表 2-67 RV1126B芯片CAN接口分布 118
表 2-68 RV1126B芯片CAN接口匹配设计 118
表 2-69 RV1126B芯片PWM功能情况 119
表 2-70 RV1126B芯片PWM接口分布 120
表 3-1 RV1126B VDD_CPU电源PDN目标阻抗建议值 131
表 3-2 RV1126B VDD_LOGIC电源PDN目标阻抗建议值 135
表 3-3 RV1126B VDD_NPU电源PDN目标阻抗建议值 138
表 3-4 DDR3/DDR3L走线要求 148
表 3-5 LPDDR3走线要求 149
Rockchip Confidential

表 3-6 DDR4走线要求 149
表 3-7 LPDDR4走线要求 150
表 3-8 LPDDR4X走线要求 150
表 3-9 布线要求-MIPI 151
表 3-10 布线要求-USB3.0 152
表 3-11 布线要求-USB2.0 154
表 3-12 布线要求-FEPHY 154
表 3-13 布线要求-DSMC 156
表 3-14 布线要求-eMMC 158
表 3-15 布线要求-RGMII 159
表 3-16 布线要求-RMII 160
表 3-17 布线要求-SDMMC/SDIO 160
表 3-18 布线要求- FSPI 160
表 3-19 布线要求-BT1120/BT656/LCDC/MCU 161
表 3-20 布线要求-SAI 161
表 3-21 布线要求-SPI 161
表 7-1 暴露时间参照表（MSL） 169
表 7-2 RV1126B Re-bake参考表 170

Rockchip Confidential

1. 系统概述

1.1. 概述

RV1126B是一款专为机器视觉应用，尤其是人工智能相关应用设计的高性能视觉处理器芯片。

RV1126B基于四核ARM Cortex-A53 64位内核架构，该内核集成了NEON和FPU，每个内核均配备32KB的 I-cache 和32KB的 D-cache ，并拥有512KB的 L2 cache。芯片内置的神经网络处理器（NPU）支持INT8/INT16 混合运算，计算能力高达 3.0TOPs。此外，凭借其强大的兼容性，对于TensorFlow/MXNet/PyTorch/Caffe等一系列框架的网络模型可轻松进行转换。

RV1126B引入了新一代完全基于硬件的图像信号处理器（ISP）和后处理器，最大支持到1200万像素。它实现了许多算法加速器，如HDR、3A、LSC、3DNR、2DNR、锐化、去雾、鱼眼校正、伽马校正、特征点检测等。此外，还引入了最大800万像素的AI-ISP作为传统ISP的补充，提供了卓越的空间降噪性能和增强的图像增强效果。配合两个MIPI CSI（或LVDS/SubLVDS）和一个DVP（BT.601/BT.656/BT.1120）接口，用户可以构建一个同时接收五个摄像头传感器视频数据的系统。

RV1126B内置的视频编码器支持H.265/H.264视频编码，并且也支持多码流编码。借助这一功能，摄像头拍摄的视频可以以更高分辨率进行编码并存储在本地内存中，同时将另一份较低分辨率的视频传输至云存储。

RV1126B的H.264/H.265视频解码器最大支持H.264和H.265的4KP30。除了之前的高性能多媒体模块外，RV1126B还包含丰富的音频、内存和其他外围接口，如I2C、SPI、PWM等。这些接口可帮助用户在整体系统中添加更多传感器或其他外围设备，以提高灵活性和扩展性。

RV1126B可配备高性能的外部DRAM（DDR3/DDR3L/DDR4/LPDDR3/LPDDR4/LPDDR4X），能够满足高要求的内存带宽需求。

此外，RV1126B还集成了RTC（实时时钟）、POR（上电复位）、RMII 100Base-T PHY（百兆以太网PHY）和双MIC Codec。

Rockchip Confidential

1.2. 芯片差异

1.2.1. RV1126B / RV1126B-P / RV1126规格差异

RV1126B、RV1126B-P与RV1126系列对比如下表：

表 1-1 RV1126 与 RV1126B-P、RV1126B 对比

	RV1126B	RV1126B-P （pin to pin RV1126）	RV1126（EOL）
CPU	4*A53	4*A53	4*A7
SIP DDR	N/A	N/A	N/A
NPU	3TOPS	3TOPS	2TOPS
ISP	12M30	12M30	12M20
Encoder	4K45 H.264&H.265 8M30 JPEG	4K45 H.264&H.265 8M30 JPEG	4K30 H.264&H.265 2M30 JPEG
USB	USB2.0 DRD+USB3.0 DRD +USB2.0 HOST	USB2.0 DRD +USB2.0 HOST	USB2.0 DRD +USB2.0 HOST
PWM	28	28	16
SARADC	24	6	6
Ethernet	GMAC+FEPHY	GMAC	GMAC
Audio Codec	2*AMIC	N/A	N/A
RTC	Built-in	N/A	N/A
nPOR	Built-in	Built-in	N/A
Package	BGA491	BGA409	BGA409

Rockchip Confidential

1.2.1. 应用功能差异

RV1126B可以支持更多的应用场景，RV1126B-P可以替代RV1126的使用场景，并且在AOV应用中功耗更低。

表 1-2 RV1126B 与 RV1126 系列应用场景对比

	RV1126B	RV1126B-P （pin to pin RV1126）	RV1126（EOL）
快启 Fast-Boot	支持	支持	支持
AOV Always On Video	支持(功耗更低)	支持(功耗更低)	支持
AOV3.0 Always On Record	支持	N/A	N/A
预录 Pre-recording	支持	N/A	N/A

Rockchip Confidential

1.3. 芯片框图

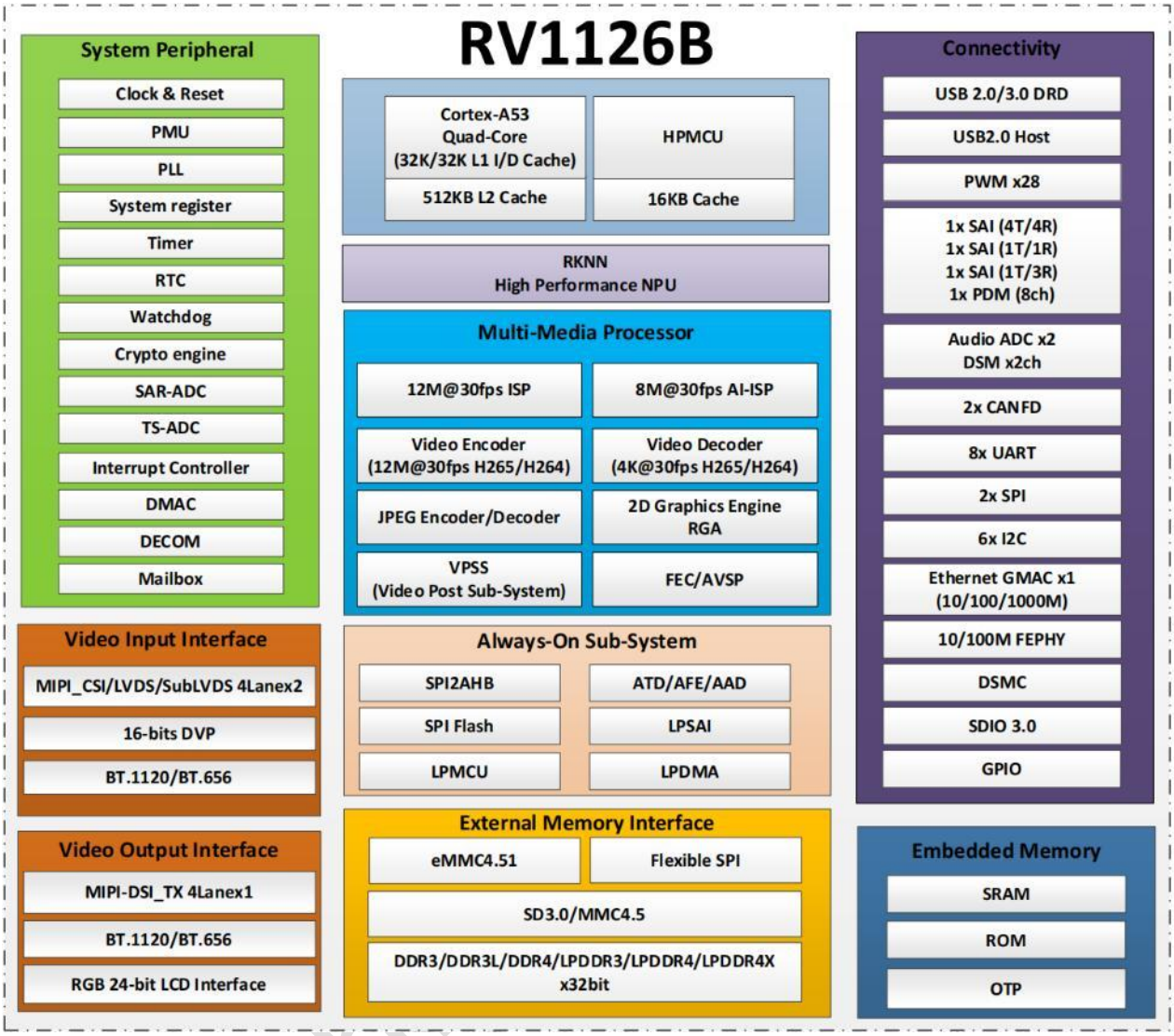


图 1-1 RV1126B 芯片框图

Rockchip

1.4. 应用框图

以下是RV1126B芯片方案的举例应用框图，更详细的请参考我司发布的参考设计原理图。

1.4.1. RV1126B AI-IPC 应用框图

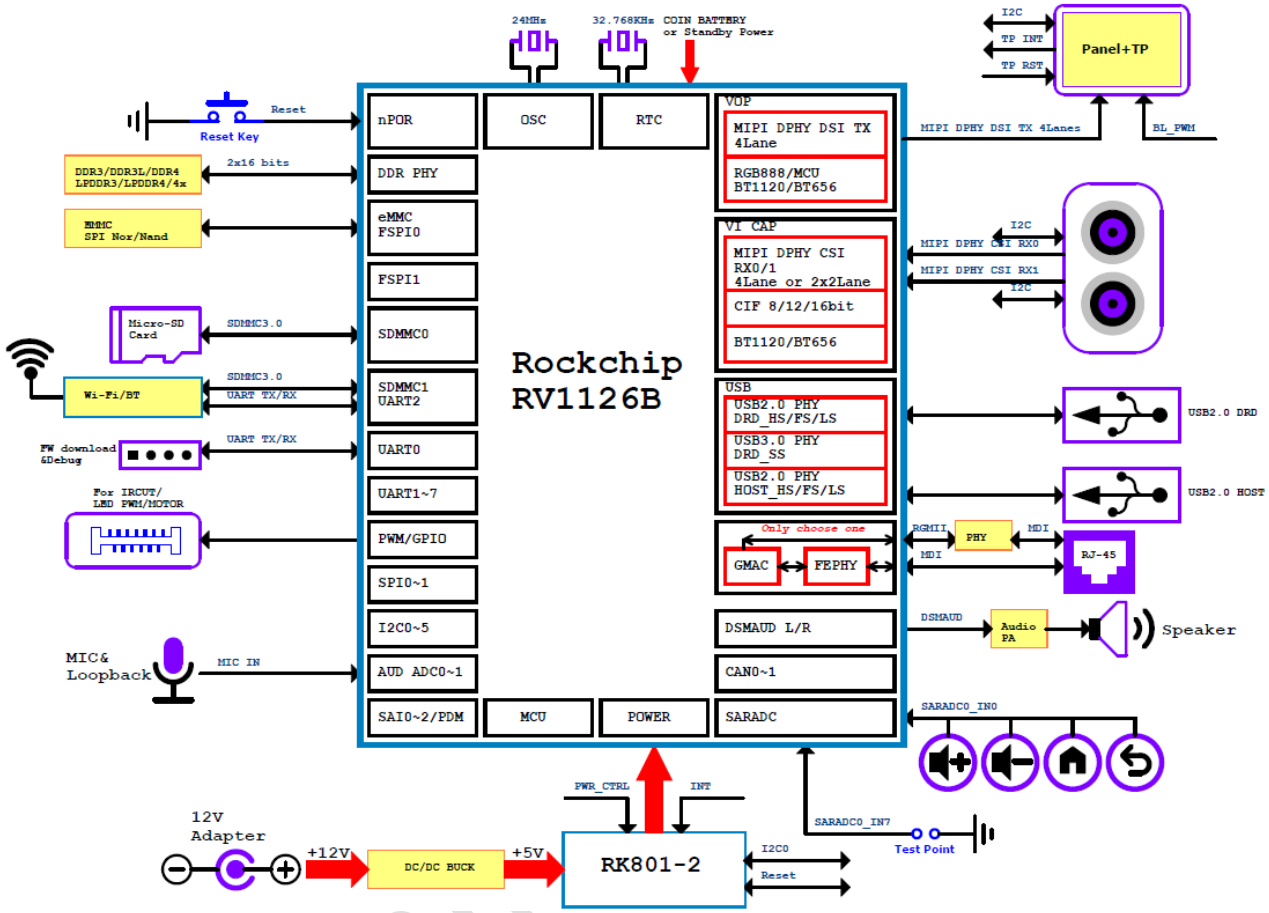


图 1-2 RV1126B AI-IPC 产品应用框图

Rockchip

1.4.2. RV1126B BAT-IPC 应用框图

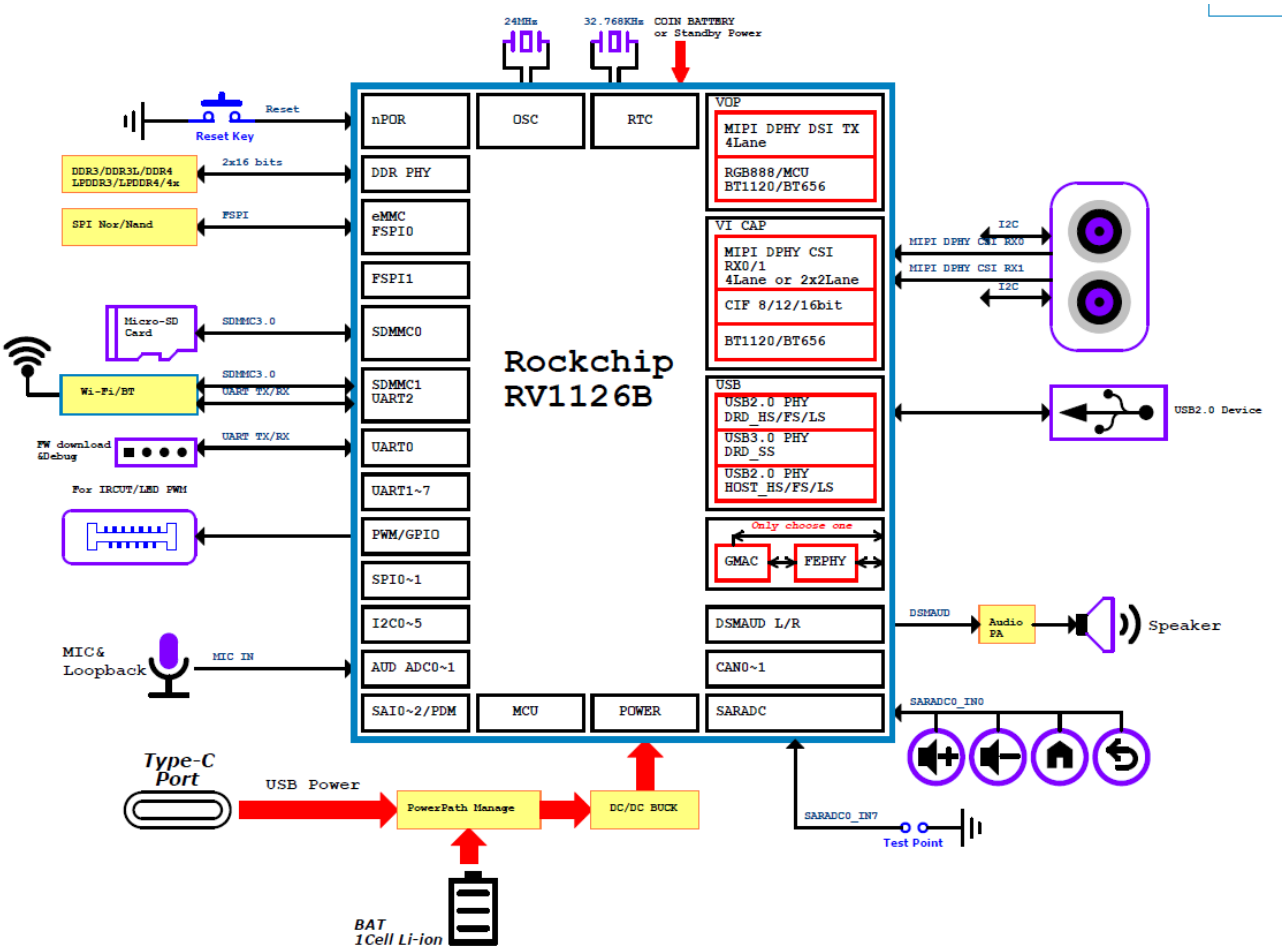


图 1-3 RV1126B BAT-IPC 产品应用框图

Rockchip

1.4.3. RV1126B AOV IPC 应用框图

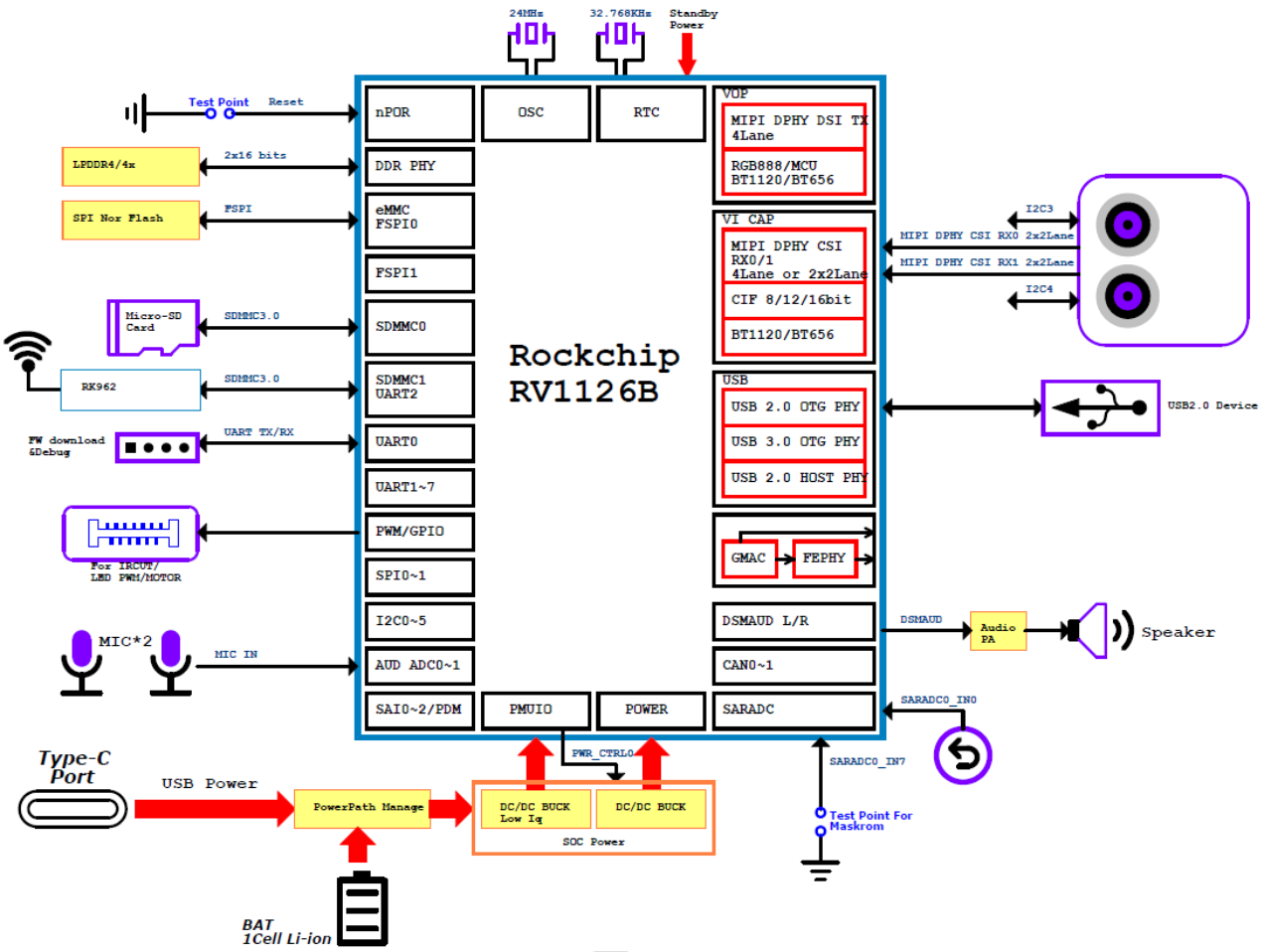


图 1-4 RV1126B AOV 产品应用框图

Rockchip

1.4.4. RV1126B Pre-recording IPC 应用框图

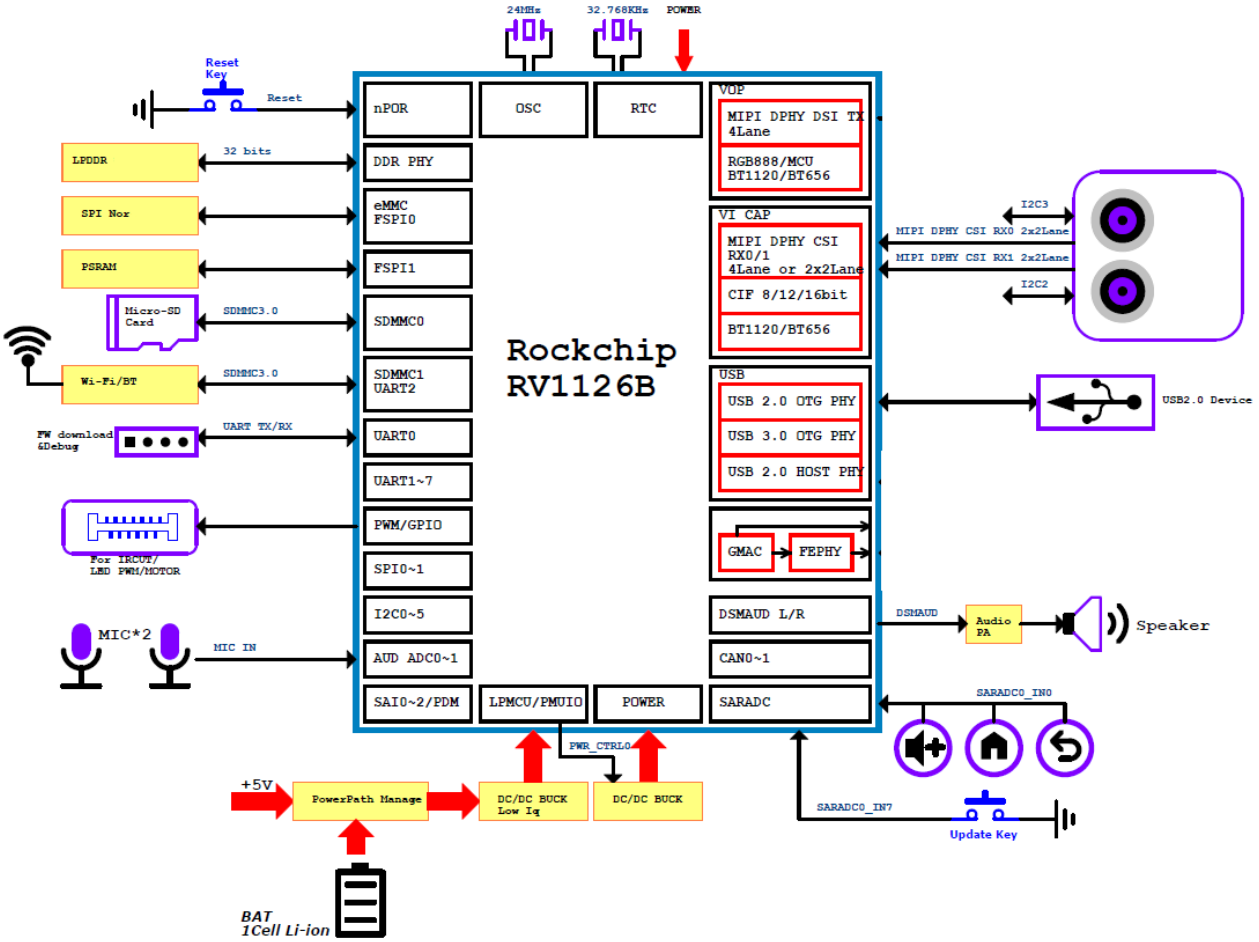


图 1-5 RV1126B Pre-recording 产品应用框图

Rockchip

2. 原理图设计建议

2.1. 最小系统设计

2.1.1. 系统工作时钟

RV1126B芯片内部的振荡器电路与外置的24MHz晶体一起构成系统时钟，如图2-1所示。OSC_XOUT网络务必串接22ohm电阻，用于限流，防止晶体过驱。OSC_XOUT和OSC_XIN网络之间的1Mohm起振电阻不可随意修改。

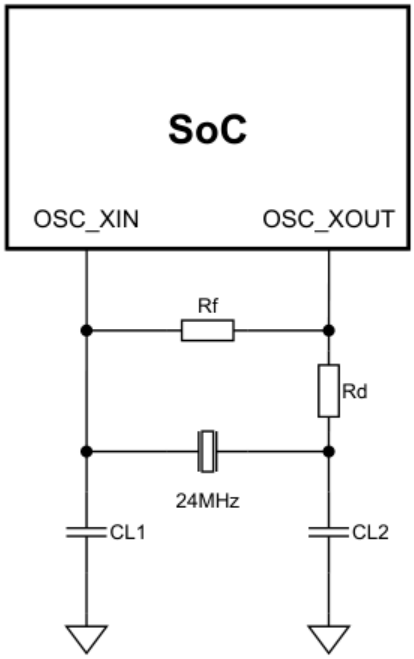


图 2-1 RV1126B 24M 无源晶体电路

24MHz晶体参数如下表所示：

表 2-1 RV1126B 24MHz 时钟要求

参数	规范			描述
	最小	最大	单位	
频率	24.000000		MHz	
频率偏差	±20		ppm	Frequency tolerance at 25 ± 3℃
ESR	80		ohm	

Rockchip Confidential

注意

Note1：选用晶体的CL值建议不超过12pF。

Note2：电路中晶体外部电容CL1和CL2取值需要与实际使用的晶体负载电容相匹配，并控制常温下的频率容限在20ppm以内；我司选用晶体的外部电容CL1和CL2为18pF，并不为通用值。电容材质建议采用COG或NPO；

Note3：建议采用贴片4Pin晶体，其中2个GND管脚与PCB板的地充分连接，加强时钟抗ESD干扰能力。

RV1126B系统时钟也支持外部有源晶体电路产生时钟输入，应用电路如下图所示：

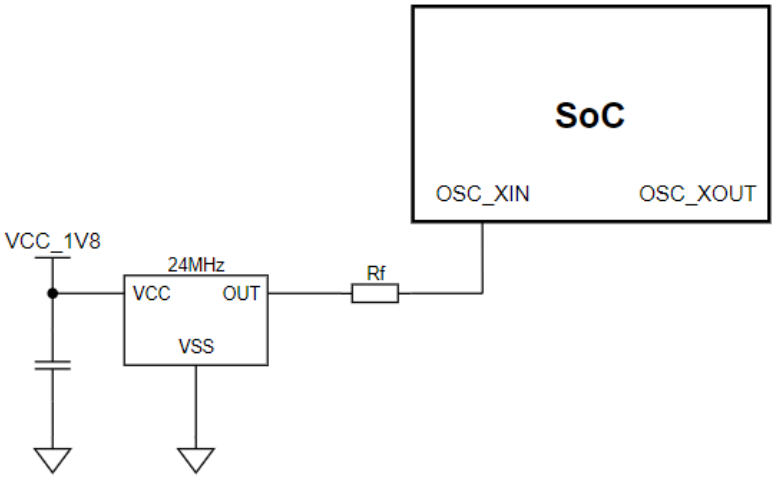


图 2-2 RV1126B 24M 有源晶体电路

时钟参数如下表所示：

表 2-2 RV1126B 外部有源时钟要求

参数	规范			描述
	最小	最大	单位	
频率	24.000000		MHz	
频率偏差	±20		ppm	Frequency tolerance
时钟幅度	1.35	1.8	V	
占空比	40	60	%	

2.1.2. 系统休眠时钟

RV1126B芯片在待机时，可以将工作时钟源切换到休眠时钟，以降低系统待机功耗。芯片支持四种时钟源，差异如下表：

表 2-3 RV1126B 休眠时钟源

时钟源	电路设计	功耗	成本
外部RTC时钟	PMU需保持供电	极低	较高，需增加RTC芯片以及32.768k晶体
内部RTC时钟	PMU需保持供电	较低	中等，需增加32.768k晶体
内部RCOSC时钟	PMU需保持供电	中等	无，无需额外电路
内部24M时钟	PMU/OSC需保持供电	较大	无，无需额外电路

Rockchip Confidential

休眠时，仅支持PMUIO0和PMUIO1电源域里的IO中断唤醒。如果需求的唤醒源和24MHz时钟有关，则24MHz时钟不能关掉。

如果产品对休眠功耗并不关心，可以删掉RTC电路，使用内部RCOSC时钟以降低电路成本。

注意

Note：AOV产品必须保留RTC时钟电路。

2.1.2.1. 内部RTC时钟

使用内部RTC时钟时，芯片内部的RTC时钟振荡器与外置的32.768kHz晶体一起构成RTC时钟电路，电路如下图所示：

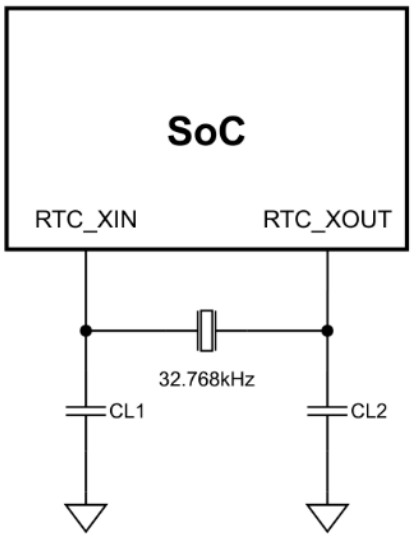


图 2-3 RV1126B RTC 晶体电路

32.768kHz晶体参数如下表所示：

表 2-4 RV1126B 32.768kHz 时钟要求

参数	规范			描述
	最小	最大	单位	
频率	32.768		kHz	
频率偏差	±20		ppm	Frequency tolerance at 25 ± 3℃
ESR	≤70		kohm	

注意

Note：选用的电容需要与晶振的负载电容匹配，材质建议采用COG或NPO。

Rockchip Confidential

2.1.2.2. 外部RTC时钟

使用外部RTC时钟时，可以通过外置RTC时钟源输入32.768KHz时钟，时钟输入脚为GPIO0_A2，如下图所示：

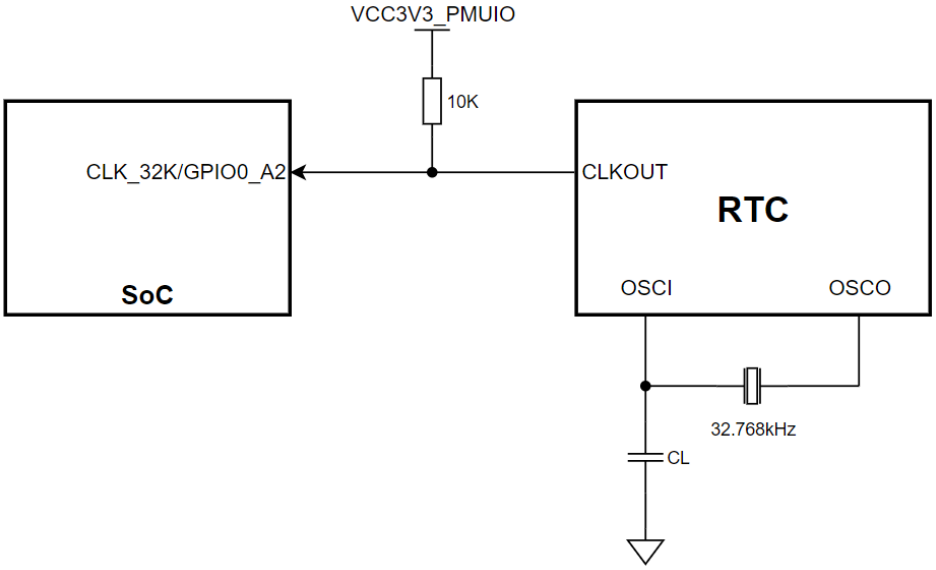


图 2-4 RV1126B 32.768KHz 待机时钟输入管脚

外部32.768kHz RTC时钟参数如下表所示：

表 2-5 RV1126B 32.768KHz 时钟要求

参数	规范			描述
	最小	最大	单位	
频率	32.768		kHz	
频率偏差	+/-30		ppm	
时钟幅度	2.31	3.3	V	
占空比	45	55	%	

注意

Note1：使用该功能时，该管脚IOMUX必须设置成CLK_32K功能，输入幅度必须满足供电要求。

Note2：针对开漏输出的芯片，如RTC芯片，需要注意不能打开CLK_32K所在的GPIO的内部下拉。

2.1.3. nPOR复位

RV1126B芯片内部集成POR (Power on Reset) 复位模块，也支持外部复位，具体复位流程如下：

- 芯片上电时，内部 POR 模块会输出低电平，控制芯片进入全局复位状态；
- 模块检测 NPOR_DET（Pin AL13）管脚和 PMUIO0_VCC3V3 管脚电压，均达到规定阈值；
- 内部 POR 模块解除输出，释放全局复位（复位脉冲宽度约为 10ms），系统完成复位。

Rockchip confidential

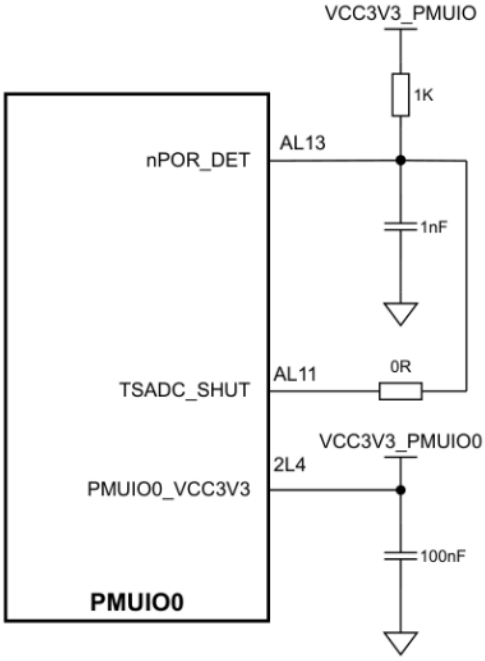


图 2-5 RV1126B 硬件复位输入

RV1126B搭配PMIC的复位信号路径图如下：

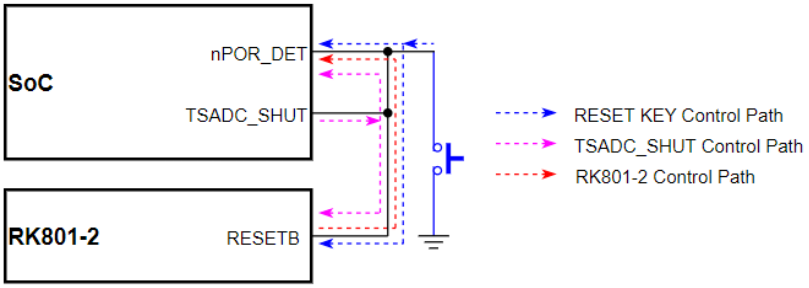


图 2-6 RV1126B 复位信号路径图

RK801-2的RESETB管脚在第一次上电时，等各路电源上电完成后，RESETB管脚会持续输出低电平，等到所设置的延迟时间结束后，会释放输出，由于NPOR_DET外部有上拉电阻，NPOR_DET网络会被上拉到高电平，即完成上电复位过程；当RK801-2在工作或sleep模式时，如果RESETB管脚被拉低，那么RK801-2也会重启，重启上电顺序和第一次上电相同。

NPOR模块的使用注意事项：

- 外部复位也通过 NPOR_DET (Pin AL13)输入，低电平有效；
- NPOR_DET 信号的上拉电源必须和 PMUIO0_VCC3V3 电源保持一致；
- NPOR_DET 信号需要增加 1nF 电容和 1kohm 上拉电阻，用来消除按键抖动，增强抗干扰能力，防止误触发导致的系统异常复位。

2.1.4. WDT/TSADC_SHUT电路

RV1126B芯片GPIO0_A1管脚集成了WDT/TSADC_SHUT功能，连接方式如上图所示，将GPIO0_A1管脚连接到NPOR_DET管脚上：

- 内置的 WDT 看门狗模块，当 WDT 定时超出，就会产生复位信号时，通过 TSADC_SHUT 管脚输出低电平，对 SoC 进行硬件复位。

Rockchip Confidential

- 内置的 2 个 TSADC 温度检测模块，当芯片内部温度超过阈值时，通过 TSADC_SHUT 管脚输出低电平，对 RV1126B 进行硬件复位。

注意

Note：产品上如果有预留硬件看门狗电路，当看门狗的输出与NPOR_DET（Pin AL13）相连时，要求必须选用支持OD输出的看门狗芯片。

2.1.5. 电源管理单元（PMU）

为满足低功耗需求，RV1126B设计了一个电源管理单元(PMU)，用于控制管理芯片内部电源。

该模块可以控制芯片内部寄存器以及PMUIO0/PMUIO1电源域的IO，从而控制外围电路，也支持IO中断输入，从而实现芯片休眠状态下的中断唤醒功能。

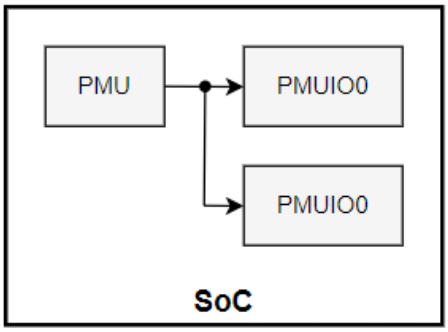


图 2-7 RV1126B PMU 示意图

2.1.6. 系统启动引导顺序

RV1126B芯片支持多种启动引导方式。如果配置为Auto模式，当芯片复位结束后，引导代码会按如下接口顺序进行轮询引导：

- FSPI0
- eMMC
- SDMMC0

如果上述设备中都没有固件，芯片会在轮询结束后进入Maskrom（即Bootrom）模式，此时用户可以通过USB2.0接口或UART0串口将固件下载到存储设备中。

如果配置为特定的模式，则芯片复位结束后，引导代码会按照选择的模式，进行引导。

引导模式配置是通过SARADC0_IN7 (Pin 1A20)进行设置，如下表所示。通过配置不同的上下拉电阻值，可以选择共7种模式的外设引导顺序，客户可以根据实际应用需求进行对应配置。

Rockchip Confidential

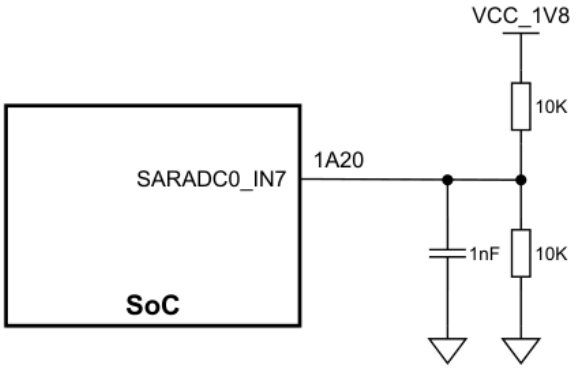


图 2-8 RV1126B 引导顺序管脚

引导模式顺序选择如下表：

表 2-6 RV1126B 引导顺序选择

Item	Rpu	Rpd	SARADC0_IN7 Boot Mdoe
Config1	NC	10K	USB/UART0(Maskrom Mode)
Config2&3	100K	12K	FSPI0--SDMMC0--USB/UART0
Config4&5	100K	51K	FSPI0--EMMC--USB/UART0
Config6	100K	120K	EMMC--USB/UART0
Config7	100K	200K	EMMC--SDMMC0--USB/UART0
Config8&9	100K	330K	SDMMC0--USB/UART0
Config10	10K	NC	FSPI0--EMMC--SDMMC0--USB/UART0(Auto Mode)

如上表可知，按照Config1设置，即SARADC0_IN7为低电平时，可引导设备进入Maskrom状态。所以在调试阶段一般建议预留测试点或按键，可以拉低SARADC0_IN7到地。方便当固件错误时或系统变砖时，强制进入Maskrom烧写模式。

使用引导顺序选择的好处，不仅仅简化了开机流程，同时还保持了系统的稳定输出。例如当GPIO数量紧张时，可配置EMMC接口为普通IO使用。默认在Auto轮询状态下，可能会因为EMMC接口初始化，导致IO有信号输出，从而出现外设工作异常的情况。此时可以修改引导模式为Config2&3，这样可以在引导阶段跳过EMMC初始化，避免这部分IO在开机过程中出现异常。

注意

Note1：SARADC0_IN7为BOOT配置专用引脚，不可作为其他功能使用。

Note2：如果产品没有指定引导模式，请始终保持SARADC0_IN7上拉，默认使用Autio模式。

2.1.7. 系统初始化配置信号

RV1126B中有一个SDMMC0_DET管脚 (Pin AL10)，会影响系统的启动配置，需要在上电前配置完毕并保持状态稳定。

Rockchip Confidential

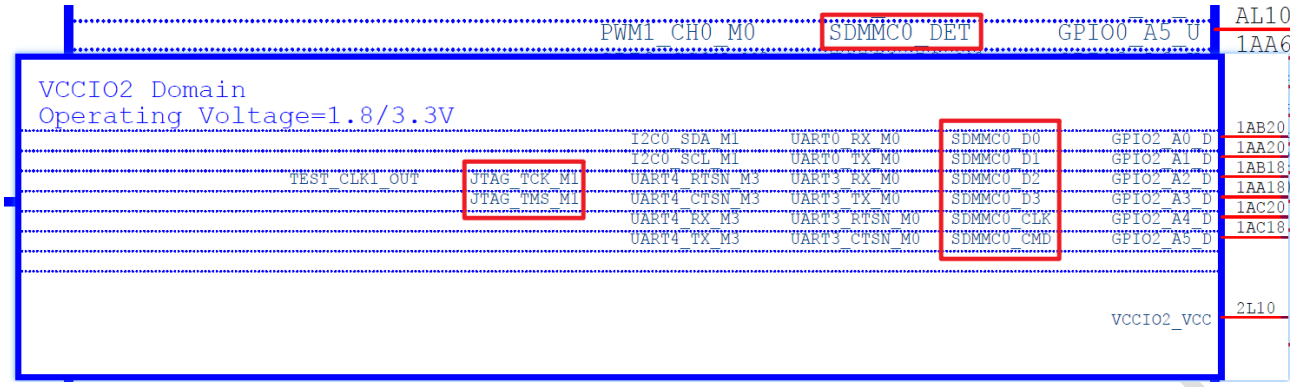


图 2-9 RV1126B SDMMC0_DETN 管脚以及 SDMMC0/JTAG 复用管脚

因为RV1126B的JTAG功能与SDMMC0功能复用在一起，所以在系统复位结束后，芯片会检测这个管脚的输入电平，来配置相应的模块功能，决定VCCIO2电源域IO是SDMMC0功能还是JTAG功能。所以该管脚需要在上电前完成配置，否则JTAG功能无输出会影响到引导阶段的调试，而SDMMC0无输出会影响到SDMMC0 boot的功能。

SDMMC0_DET管脚说明如下表所示：

表 2-7 RV1126B 系统初始化配置信号描述

信号名	内部默认上下拉	描述
SDMMC0_DET	内部上拉	SDMMC0/JATG管脚复用选择控制信号： 0：识别为SD卡插入，SDMMC0/JATG管脚复用为SDMMC0功能； 1：未识别为SD卡插入，SDMMC0/JATG管脚复用为JTAG功能（Default）；

SDMMC0_DET管脚的使用注意事项：

- 大部分 TF/SD 卡卡座为常开卡座，在插入存储卡后，会拉低 SDMMC0_DET 管脚，对应 IO 切换为 SDMMC0 功能。如果使用的是常闭卡座，代码上需要特殊处理；
- 系统起来后，可切换成由寄存器来控制 IOMUX，该管脚可以释放出来作为普通 GPIO 使用；
- 管脚建议增加 1nF 电容，用来消除信号上的抖动，增强抗干扰能力。

2.1.8. JTAG电路

RV1126B芯片的JTAG接口符合IEEE1149.1标准，PC可通过SWD模式（两线模式）连接DSTREAM仿真器，调试芯片内部的ARM Core。

RV1126B的JTAG有3处复用，其中JTAG_M0位于PMUIO0域，与默认调试串口UART0_M2复用IOMUX；JTAG_M1位于VCCIO2域，与SDMMC0复用IOMUX；JTAG_ M2位于VCCIO2域，与UART0_M1复用IOMUX。具体IOMUX复用情况如下图所示：

Rockchip Confidential

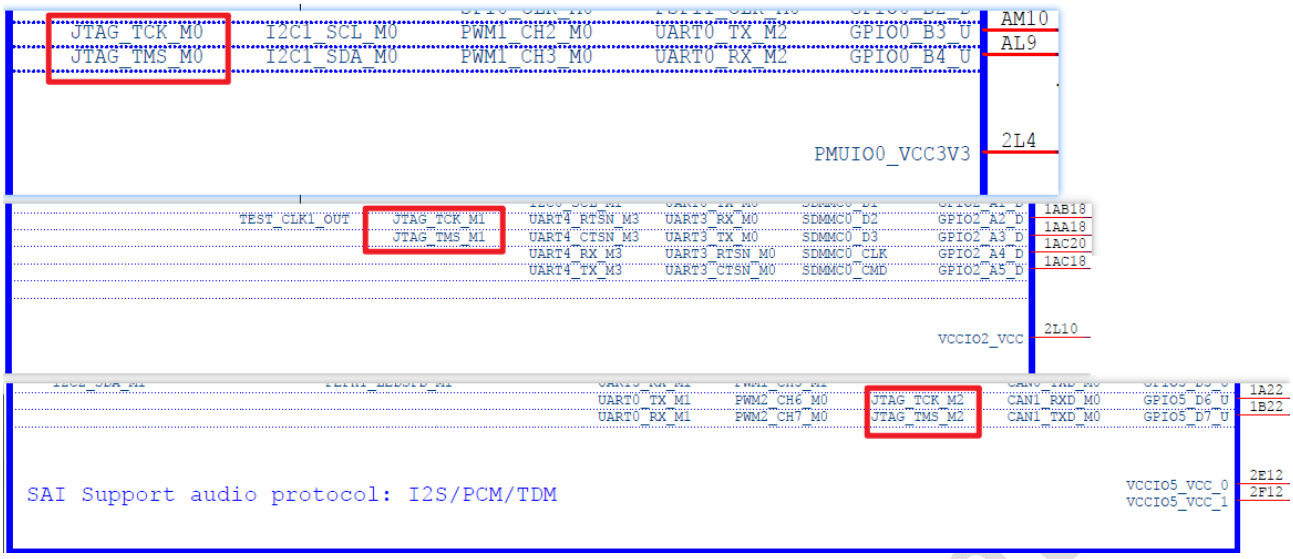


图 2-10 RV1126B JTAG 信号

JTAG接口说明如下表所示：

表 2-8 RV1126B JTAG Debug 接口信号

信号名	连接方式	描述
JTAG_TCK_M0/M1/M2	串联100ohm电阻 悬空或外接10K下拉电阻	SWD模式时钟输入
JTAG_TMS_M0/M1/M2	串联100ohm电阻 悬空或外接10K上拉电阻	SWD模式数据输入输出

JTAG接口的使用注意事项：

- 默认 JTAG 接口为 JTAG_ M1，当使用 JTAG Debug 功能时需要注意，在引导阶段要通过连接仿真器，并保证 SDMMC0_DETN 管脚处于高电平，否则 IO 会配置为 SDMMC0 功能，无法进入 JTAG 调试模式，具体配置说明见上一小节描述；
- SoC 端 JTAG 接口必须与 JTAG 仿真器的 IO 电平匹配；
- 如果需要使用 JTAG Debug，建议预留 2.54 排针或测试点，JTAG 的电路如下图所示，串接的 100 ohm 电阻不得删减，并增加 TVS 管，加强抗静电浪涌能力，防止开发过程损坏芯片管脚。

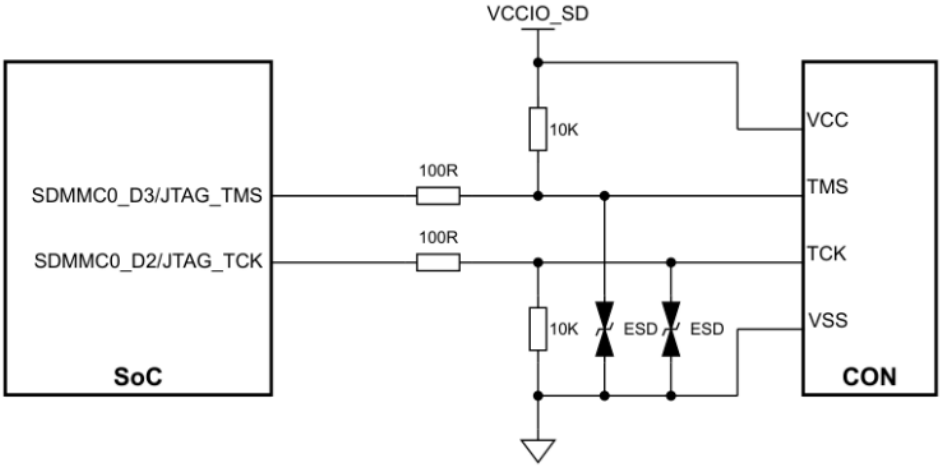


图 2-11 RV1126B JTAG 连接示意图

Rockchip Confidential

2.1.9. UART Debug电路

RV1126B UART Debug默认选择在PMUIO0域的UART0_RX_M2/UART0_TX_M2，**默认波特率为1500000bps。**

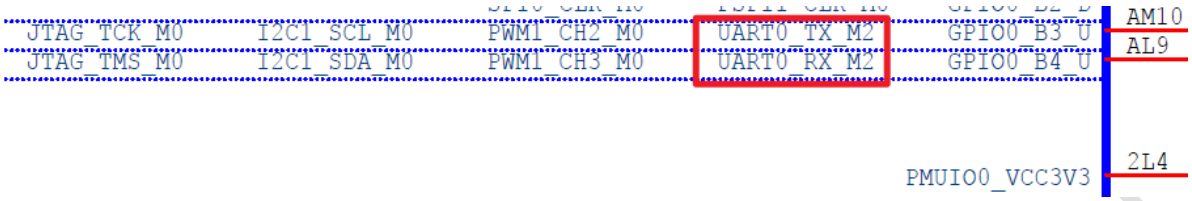


图 2-12 RV1126B UART0_M2 管脚

UART0_RX_M2/UART0_TX_M2串接的510 ohm电阻不得删减，并增加TVS管，加强抗静电浪涌能力，防止开发过程损坏芯片管脚，能预留2.54 插针建议尽量预留，如果无条件，建议使用0.7mm以上测试点，方便焊接。

UART接口的使用注意事项：

- SoC 端 UART 接口必须与转换芯片或者外设芯片的 IO 电平匹配；
- 外部 USB 转 UART 的转接芯片，VCCIO 供电建议从主板的 PMUIO0_VCC3V3 电源域取电，避免 SOC 下电时的电压倒灌；
- 如果需要使用 UART Debug，建议预留 2.54 排针或测试点，UART 的电路如下图所示，串接的 510 ohm 电阻不得删减，并增加 TVS 管，加强抗静电浪涌能力，防止开发过程损坏芯片管脚。

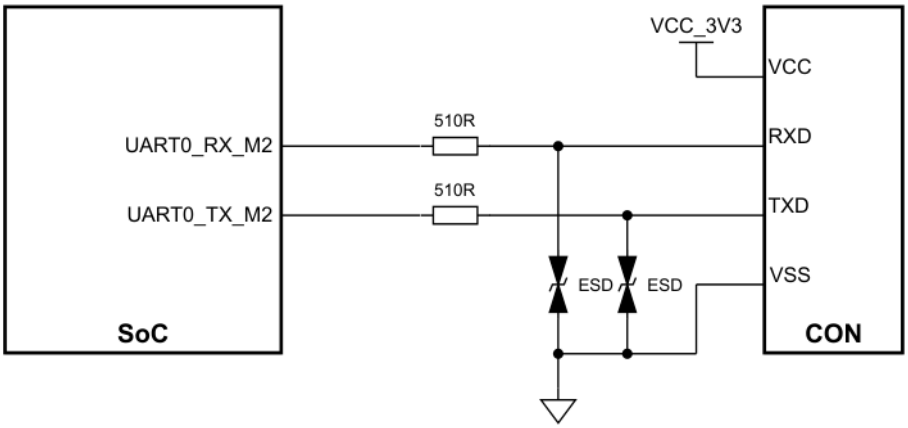


图 2-13 RV1126B Debug UART0 连接示意图

2.1.10. DDR电路

2.1.10.1. DDR控制器介绍

RV1126B DDR控制器接口支持JEDEC SDRAM标准接口，控制器有如下特点：

- 兼容 DDR3/DDR3L/DDR4/LPDDR3/LPDDR4/LPDDR4X 标准；
- 支持 32bits 数据总线宽度，由 2 个 16bits 的 DDR 通道组成，支持 2 ranks (2cs)，每个 rank 最大 4GB 寻址地址空间，总的最大寻址空间也为 4GB；
- 支持 Power Down、Self Refresh 等模式；

Rock Confidential

2.1.10.2. DDR控制器信号映射

RV1126B DDR PHY和各DRAM颗粒原理图需要和参考设计图一致，包含电源去耦电容。

RV1126B可支持DDR3/DDR3L/DDR4/LPDDR3/LPDDR4/LPDDR4X，这些DRAM具有不同I/O信号，根据DRAM类型选择对应的信号，RV1126B DDR PHY I/O Map表如下：

表 2-9 RV1126B DDR PHY I/O Map 表

Pin Number	DDR3/DDR3L	DDR4	LPDDR3	LPDDR4/LPDDR4X
A13	DDR3_A0	LPDDR3_A0	DDR4_ODT1	LPDDR4_ODT1_B
A10	DDR3_A1	LPDDR3_A1	DDR4_A8	LPDDR4_CKE0_A
1C12	DDR3_A2	LPDDR3_A2	DDR4_BG1	LPDDR4_ODT1_A
B13	DDR3_A3	LPDDR3_A3	DDR4_A0	LPDDR4_CKE1_A
1A8	DDR3_A4	LPDDR3_A4	DDR4_A7	LPDDR4_ODT0_A
A11	DDR3_A5	LPDDR3_A5	DDR4_A9	LPDDR4_A5_A
1B10	DDR3_A6	LPDDR3_A6	DDR4_A4	LPDDR4_CLKP_A
1A12	DDR3_A7	LPDDR3_A7	DDR4_A11	LPDDR4_A2_A
1C10	DDR3_A8	LPDDR3_A8	DDR4_A10	LPDDR4_CLKN_A
1B12	DDR3_A9	LPDDR3_A9	DDR4_A2	LPDDR4_A4_A
1A4	DDR3_A10	--	DDR4_CASN/A15	LPDDR4_A0_B
B7	DDR3_A11	--	DDR4_RASN/A16	LPDDR4_CSN0_B
A8	DDR3_A12	--	DDR4_A5	LPDDR4_ODT0_B
B14	DDR3_A13	--	DDR4_A13	LPDDR4_A3_A
A14	DDR3_A14	--	DDR4_WEN/A14	LPDDR4_CSN1_B
1A6	DDR3_A15	--	DDR4_A3	LPDDR4_A5_B
B10	DDR3_BA0	--	DDR4_CSN1	--
1C8	DDR3_BA1	--	DDR4_A1	LPDDR4_CKE0_B
B8	DDR3_BA2	--	DDR4_A6	LPDDR4_A0_A
1C4	DDR3_RASN	--	DDR4_A12	LPDDR4_A1_A
B4	DDR3_CASN	--	DDR4_CKE	LPDDR4_A1_B
1C6	DDR3_WEN	--	DDR4_BA1	LPDDR4_CKE1_B
1B2	DDR3_CLKP	LPDDR3_CLKP	DDR4_CLKP	LPDDR4_CLKP_B
1A2	DDR3_CLKN	LPDDR3_CLKN	DDR4_CLKN	LPDDR4_CLKN_B
A5	DDR3_CKE	LPDDR3_CKE	DDR4_ACTN	LPDDR4_A3_B
A4	DDR3_ODT0	LPDDR3_ODT0	DDR4_CSN0	LPDDR4_A2_B
A7	DDR3_ODT1	LPDDR3_ODT1	DDR4_BG0	LPDDR4_CSN1_A
B5	DDR3_CSN0	LPDDR3_CSN0	DDR4_ODT0	LPDDR4_A4_B
B11	DDR3_CSN1	LPDDR3_CSN1	DDR4_BA0	LPDDR4_CSN0_A
2A1	DDR3_RESETN	--	DDR4_RESETN	LPDDR4_RESETN
R1	DDR3_DQ0	LPDDR3_DQ2	DDR4_DQL0_A	LPDDR4_DQ8_A

Rockchip Confidential

1M3	DDR3_DQ1	LPDDR3_DQ6	DDR4_DQL1_A	LPDDR4_DQ9_A
R2	DDR3_DQ2	LPDDR3_DQ4	DDR4_DQL2_A	LPDDR4_DQ10_A
1H1	DDR3_DQ3	LPDDR3_DQ0	DDR4_DQL3_A	LPDDR4_DQ11_A
T2	DDR3_DQ4	LPDDR3_DQ3	DDR4_DQL4_A	LPDDR4_DQ12_A
T1	DDR3_DQ5	LPDDR3_DQ7	DDR4_DQL5_A	LPDDR4_DQ13_A
1H3	DDR3_DQ6	LPDDR3_DQ5	DDR4_DQL6_A	LPDDR4_DQ14_A
1P1	DDR3_DQ7	LPDDR3_DQ1	DDR4_DQL7_A	LPDDR4_DQ15_A
1M1	DDR3_DM0	LPDDR3_DM0	DDR4_DML_A	LPDDR4_DM1_A
1K1	DDR3_DQS0P	LPDDR3_DQS0P	DDR4_DQSL_P_A	LPDDR4_DQS1P_A
1K2	DDR3_DQS0N	LPDDR3_DQS0N	DDR4_DQSL_N_A	LPDDR4_DQS1N_A
M2	DDR3_DQ8	LPDDR3_DQ10	DDR4_DQU0_A	LPDDR4_DQ0_B
M1	DDR3_DQ9	LPDDR3_DQ11	DDR4_DQU1_A	LPDDR4_DQ1_B
N1	DDR3_DQ10	LPDDR3_DQ8	DDR4_DQU2_A	LPDDR4_DQ2_B
N2	DDR3_DQ11	LPDDR3_DQ9	DDR4_DQU3_A	LPDDR4_DQ3_B
H2	DDR3_DQ12	LPDDR3_DQ12	DDR4_DQU4_A	LPDDR4_DQ4_B
J2	DDR3_DQ13	LPDDR3_DQ13	DDR4_DQU5_A	LPDDR4_DQ5_B
J1	DDR3_DQ14	LPDDR3_DQ14	DDR4_DQU6_A	LPDDR4_DQ6_B
K1	DDR3_DQ15	LPDDR3_DQ15	DDR4_DQU7_A	LPDDR4_DQ7_B
K2	DDR3_DM1	LPDDR3_DM1	DDR4_DMU_A	LPDDR4_DM0_B
1F1	DDR3_DQS1P	LPDDR3_DQS1P	DDR4_DQSU_P_A	LPDDR4_DQS0P_B
1F2	DDR3_DQS1N	LPDDR3_DQS1N	DDR4_DQSU_N_A	LPDDR4_DQS0N_B
Y2	DDR3_DQ16	LPDDR3_DQ19	DDR4_DQL0_B	LPDDR4_DQ0_A
W1	DDR3_DQ17	LPDDR3_DQ18	DDR4_DQL1_B	LPDDR4_DQ1_A
V1	DDR3_DQ18	LPDDR3_DQ23	DDR4_DQL2_B	LPDDR4_DQ2_A
V2	DDR3_DQ19	LPDDR3_DQ22	DDR4_DQL3_B	LPDDR4_DQ3_A
AE1	DDR3_DQ20	LPDDR3_DQ21	DDR4_DQL4_B	LPDDR4_DQ4_A
AD1	DDR3_DQ21	LPDDR3_DQ16	DDR4_DQL5_B	LPDDR4_DQ5_A
AD2	DDR3_DQ22	LPDDR3_DQ17	DDR4_DQL6_B	LPDDR4_DQ6_A
AC2	DDR3_DQ23	LPDDR3_DQ20	DDR4_DQL7_B	LPDDR4_DQ7_A
W2	DDR3_DM2	LPDDR3_DM2	DDR4_DML_B	LPDDR4_DM0_A
AB1	DDR3_DQS2P	LPDDR3_DQS2P	DDR4_DQSL_P_B	LPDDR4_DQS0P_A
AA1	DDR3_DQS2N	LPDDR3_DQS2N	DDR4_DQSL_N_B	LPDDR4_DQS0N_A
C1	DDR3_DQ24	LPDDR3_DQ30	DDR4_DQU0_B	LPDDR4_DQ8_B
B1	DDR3_DQ25	LPDDR3_DQ31	DDR4_DQU1_B	LPDDR4_DQ9_B
A2	DDR3_DQ26	LPDDR3_DQ28	DDR4_DQU2_B	LPDDR4_DQ10_B
B2	DDR3_DQ27	LPDDR3_DQ29	DDR4_DQU3_B	LPDDR4_DQ11_B
G1	DDR3_DQ28	LPDDR3_DQ24	DDR4_DQU4_B	LPDDR4_DQ12_B
F1	DDR3_DQ29	LPDDR3_DQ25	DDR4_DQU5_B	LPDDR4_DQ13_B

Rockchip Internal

F2	DDR3_DQ30	LPDDR3_DQ26	DDR4_DQU6_B	LPDDR4_DQ14_B
E2	DDR3_DQ31	LPDDR3_DQ27	DDR4_DQU7_B	LPDDR4_DQ15_B
D2	DDR3_DM3	LPDDR3_DM3	DDR4_DMU_B	LPDDR4_DM1_B
1D1	DDR3_DQS3P	LPDDR3_DQS3P	DDR4_DQSU_P_B	LPDDR4_DQS1P_B
1D2	DDR3_DQS3N	LPDDR3_DQS3N	DDR4_DQSU_N_B	LPDDR4_DQS1N_B

所有DDR配置模式下：

- CA、CMD 信号线顺序全部不支持对调，必须按参考图上分配；
- 控制器内置 Retention 功能，DDR 进入自刷新期间，DDR 控制器端 DDR_VDDQ 和 DDR_VDDQL 的电源管脚需要保持供电；DDR 颗粒端所有电源不能关；
- DDR ZQ 必须外接 120ohm 1%电阻，当使用 DDR3/DDR3L/DDR4/LPDDR3 颗粒时，电阻下拉到地；当使用 LPDDR4/LPDDR4X 颗粒时，电阻上拉到 DDR_VDDQ 电源上，连接如下图所示：

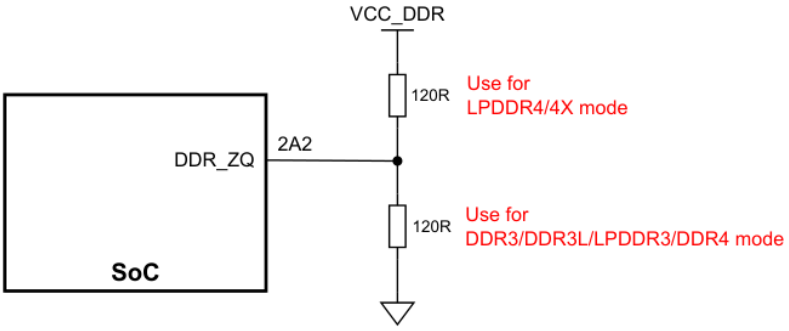


图 2-14 DDR ZQ 电阻连接方式

2.1.10.3. DDR拓扑结构与连接方式

RV1126B搭配DDR的原理图可以直接参考《RV1126B_AI-IPC_REF_SCH》，其中载明了所有DDR类型颗粒的相关网络连接方法。

DDR3拓扑结构：

- DQ 支持 Byte 组间整组对调，支持 Byte 组内的 DQ 对调；
- CA 顺序不可对调，必需按参考图进行分配；
- 如果要支持总位宽 16bit，或者要支持 16bit/32bit 兼容的模板，建议使用我司提供的模板，不支持随意调整；

Rockchip Confidential

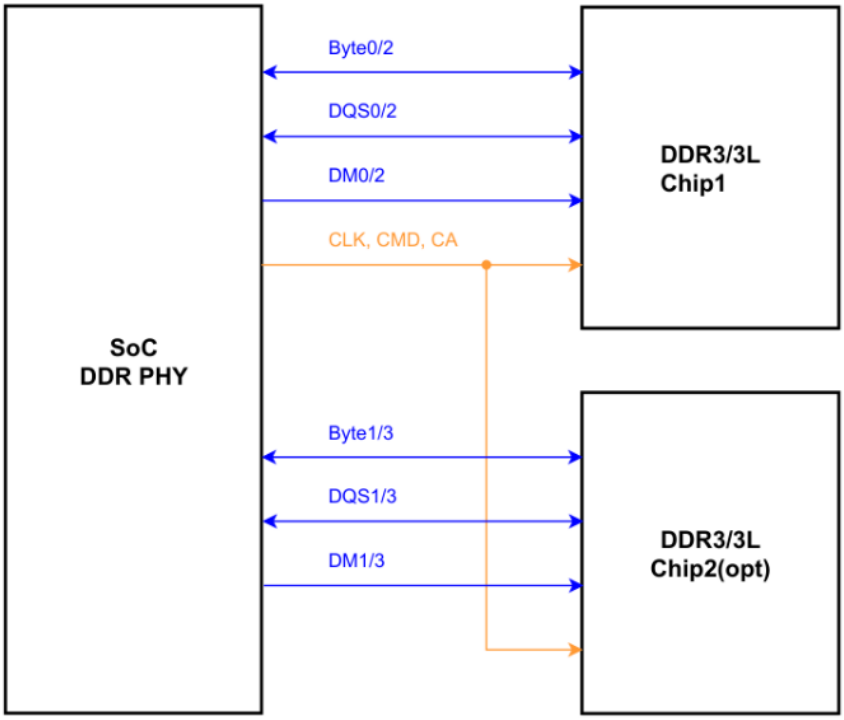


图 2-15 DDR3/DDR3L 颗粒连接拓扑

DDR4拓扑结构：

- DQ 支持 Byte 间整组对调，支持 Byte 内的 DQ 对调；
- CA 顺序不可对调，必需按参考图进行分配；
- 如果要支持总位宽 16bit，或者要支持 16bit/32bit 兼容的模板，建议使用我司提供的模板，不支持随意调整；

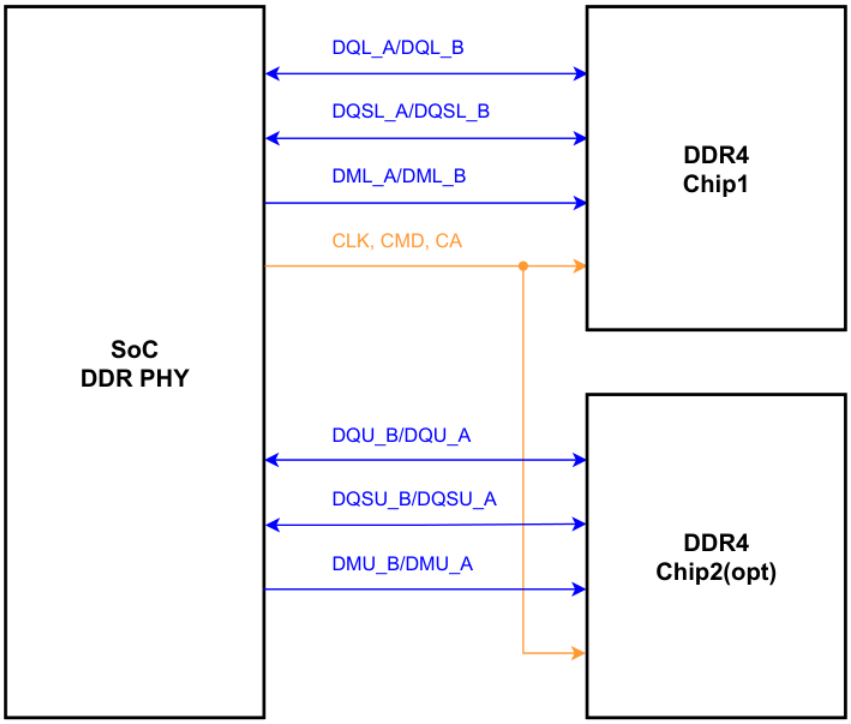


图 2-16 DDR4 颗粒连接拓扑

LPDDR3拓扑结构：

- DQS0 这组 Byte 不支持组间对调，也不支持组内的 DQ 调整，必须保证颗粒端和 SoC 端的 DQ0-

Rockchip Confidential

DQ7/DQS/DM 保持一一对应的关系；

- 其他组 Byte1/2/3 支持 Byte 组间整组对调，也支持 Byte 组内的 DQ 对调；
- CA 顺序不可对调，必须按参考图上分配。

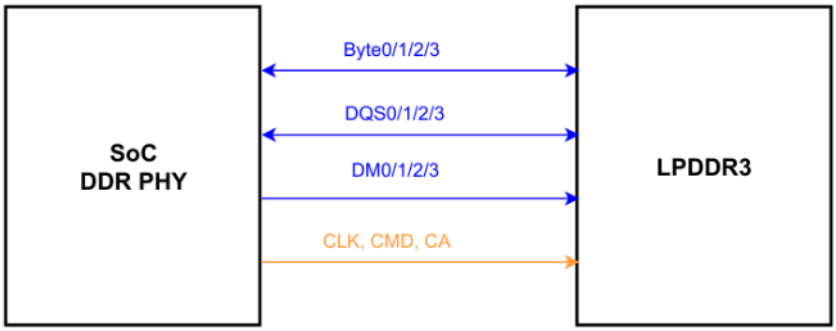


图 2-17 LPDDR3 颗粒连接拓扑

LPDDR4/LPDDR4X拓扑结构：

- LPDDR4/LPDDR4X 单颗 2chanel 32bit，也支持单颗 1channel 16bit 颗粒；
- 单颗 1channel 16bit 设计时，必须使用 DDR 控制器的 channel A 通道。
- DQ、CA 采用点对点拓扑结构，必须保证颗粒端和 SoC 保持一一对应关系，不允许调整，必需按参考图上分配。

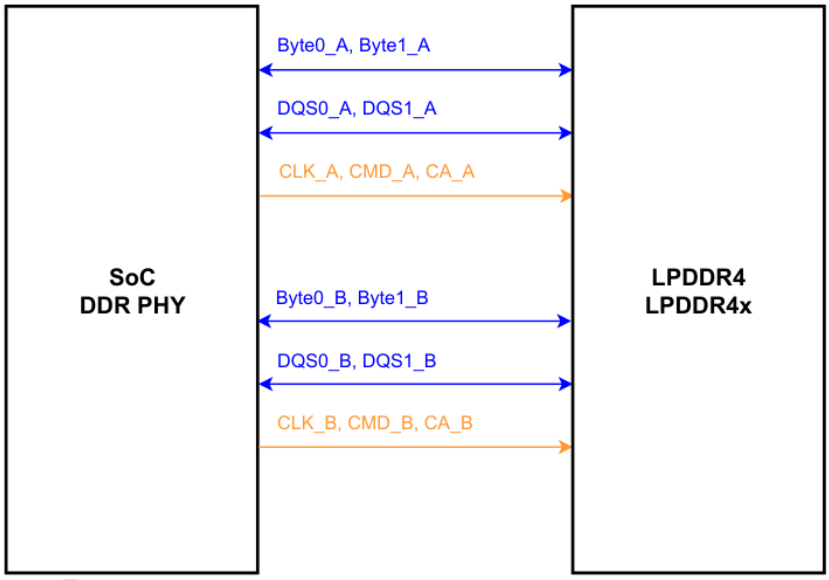


图 2-18 LPDDR4/LPDDR4X 点对点拓扑结构

2.1.10.4. DDR颗粒外围电路与VREF设计

当使用DDR3/DDR3L/LPDDR3颗粒时：

- ZQ 必须外接 240ohm 1%下拉到 GND；
- VREFDQ 需要连接 RV1126B DDRPHY 的 DDR_VREF_OUT (Pin 2J1) ；
- VREFCA 使用 DDR_VDDQ 经过 10kohm+10kohm 分压后的电平

当使用DDR4颗粒时：

- ZQ 必须外接 240ohm 1%下拉到 GND；

Rockchip Confidential

- VREFCA 需要连接 RV1126B DDRPHY 的 DDR_VREF_OUT (Pin 2J1) ；

当使用LPDDR4/LPDDR4X的颗粒时：

- ZQ 必须外接 240ohm 1%上拉到 DDR_VDDQ 电源上；
- ODT_CA 必须接到 DDR_VDDQ 电源上。

2.1.10.5. DDR电源设计和上电时序要求

对于DDR3/DDR3L/LPDDR3/DDR4/LPDDR4类型的内存颗粒，RV1126B的DDR控制器仅有一组供电：DDR_VDDQ。

对于LPDDR4X类型的内存颗粒，RV1126B DDR控制器则分为两组供电：DDR_VDDQ和DDR_VDDQL。

RV1126B DDR PHY供电电源汇总如下表所示：

表 2-10 RV1126B DDR PHY 供电

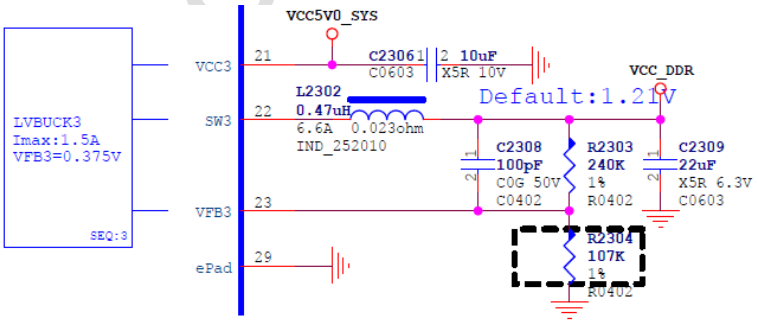
DDR颗粒 Power	DDR3L	DDR3	LPDDR3/ DDR4	LPDDR4	LPDDR4X
DDR_VDDQ	1.35V	1.5V	1.2V	1.1V	1.1V
DDR_VDDQL	1.35V	1.5V	1.2V	1.1V	0.6V
Note：表格中电压值均为Typ值					

不同颗粒VDDQ/VDDQL的供电电压汇总如下表所示：

表 2-11 不同 DDR 颗粒供电

DDR颗粒 Power	DDR3L	DDR3	LPDDR3	DDR4	LPDDR4	LPDDR4X
VDD1	1.35V	1.5V	1.8V	1.2V	1.8V	1.8V
VDD2	1.35V	1.5V	1.2V	1.2V	1.1V	1.1V
VDDQ	1.35V	1.5V	1.2V	1.2V	1.1V	0.6V
Note：表格中电压值均为Typ值						

采用PMIC电源方案供电，请务必注意，需要根据实际使用的DRAM颗粒类型，修改PMIC的VFB管脚的分压电阻阻值，使得VCC_DDR输出电压与颗粒相匹配，如下图所示：



Rdown R2304	91K	DDR3L	1.36V
	107K	DDR4/LPDDR3	1.21V
	121K	LPDDR4/4x	1.11V

图 2-19 PMIC VFB 参数调整

Rockchip Confidential

各类型的DRAM上电时序要求，请参考各JEDEC标准。

- DDR3/DDR3L SDRAM 的上电时序如下图所示：

1. Apply power (RESET# is recommended to be maintained below 0.2 x VDD; all other inputs may be undefined). RESET# needs to be maintained for minimum 200 us with stable power. CKE is pulled "Low" anytime before RESET# being de-asserted (min. time 10 ns). The power voltage ramp time between 300 mv to VDDmin must be no greater than 200 ms; and during the ramp, VDD > VDDQ and (VDD - VDDQ) < 0.3 volts.
   - VDD and VDDQ are driven from a single power converter output, AND
   - The voltage levels on all pins other than VDD, VDDQ, VSS, VSSQ must be less than or equal to VDDQ and VDD on one side and must be larger than or equal to VSSQ and VSS on the other side. In addition, VTT is limited to 0.95 V max once power ramp is finished, AND
   - Vref tracks VDDQ/2.

OR

- Apply VDD without any slope reversal before or at the same time as VDDQ.
- Apply VDDQ without any slope reversal before or at the same time as VTT & Vref.
- The voltage levels on all pins other than VDD, VDDQ, VSS, VSSQ must be less than or equal to VDDQ and VDD on one side and must be larger than or equal to VSSQ and VSS on the other side.

图 2-20 DDR3 SDRAM 上电时序

- DDR4 的上电时序如下图所示：

1. Apply power (RESET_n is recommended to be maintained below 0.2 x VDD; all other inputs may be undefined). RESET_n needs to be maintained for minimum 200us with stable power. CKE is pulled " Low" anytime before RESET_n being de-asserted (min. time 10ns) . The power voltage ramp time between 300mV to V_{DD} min must be no greater than 200ms; and during the ramp, $V_{DD} \geq V_{DDQ}$ and $(V_{DD}-V_{DDQ}) < 0.3$volts. VPP must ramp at the same time or earlier than VDD and VPP must be equal to or higher than VDD at all times.
   - V_{DD} and V_{DDQ} are driven from a single power converter output, AND
   - The voltage levels on all pins other than V_{DD},V_{DDQ},V_{SS},V_{SSQ} must be less than or equal to V_{DDQ} and V_{DD} on one side and must be larger than or equal to V_{SSQ} and V_{SS} on the other side. In addition, V_{TT} is limited to TBDV max once power ramp is finished, AND
   - VrefCA tracks TBD.

   or
   - Apply V_{DD} without any slope reversal before or at the same time as V_{DDQ}
   - Apply V_{DDQ} without any slope reversal before or at the same time as V_{TT} & VrefCA.
   - Apply VPP without any slope reversal before or at the same time as VDD.
   - The voltage levels on all pins other than V_{DD},V_{DDQ},V_{SS},V_{SSQ} must be less than or equal to V_{DDQ} and V_{DD} on one side and must be larger than or equal to V_{SSQ} and V_{SS} on the other side.

图 2-21 DDR4 SDRAM 上电时序

- LPDDR3 SDRAM 的上电时序如下图所示：

After...	Applicable Conditions
Ta is reached	V_{DD1} must be greater than V_{DD2}—200mV
	V_{DD1} and V_{DD2} must be greater than V_{DDCA}—200mV
	V_{DD1} and V_{DD2} must be greater than V_{DDQ}—200mV
	V_{Ref} must always be less than all other supply voltages

图 2-22 LPDDR3 SDRAM 上电时序

Copyright © 2025 Rockchip Electronics Co., Ltd.

- LPDDR4/LPDDR4X SDRAM 的上电时序如下图所示：

1. While applying power (after Ta), RESET_n is recommended to be LOW (≤0.2 x V_{DD2}) and all other inputs must be between VILmin and VIHmax. The device outputs remain at High-Z while RESET_n is held LOW. Power supply voltage ramp requirements are provided in Table 5. V_{DD1} must ramp at the same time or earlier than V_{DD2}. V_{DD2} must ramp at the same time or earlier than V_{DDQ}.

Table 5 — Voltage Ramp Conditions

After	Applicable Conditions
Ta is reached	V_{DD1} must be greater than V_{DD2}
	V_{DD2} must be greater than V_{DDQ} - 200 mV

NOTE 1 Ta is the point when any power supply first reaches 300 mV.
NOTE 2 Voltage ramp conditions in Table 5 apply between Ta and power-off (controlled or uncontrolled).
NOTE 3 Tb is the point at which all supply and reference voltages are within their defined ranges.
NOTE 4 Power ramp duration tINIT0 (Tb-Ta) must not exceed 20ms.
NOTE 5 The voltage difference between any of V_{SS} and V_{SSQ} pins must not excess 100 mV.

图 2-23 LPDDR4/LPDDR4X SDRAM 上电时序

2.1.10.6. DDR支持的型号列表

RV1126B DDR颗粒支持列表请参考瑞芯微电子《Rockchip_DDR_Reference_Vendor_List》、《Rockchip_DDR_Approved_Vendor_List》文档，该文档可在瑞芯微电子的redmine平台下载：

https://redmine.rock-chips.com/documents/49

2.1.11. 外部启动Flash接口电路

RV1126B用于启动引导的FSPI、eMMC存储器接口位于VCCIO1电源域，SDMMC0控制器的接口位于VCCIO2电源域中。

2.1.11.1. FSPI0接口电路

2.1.11.1.1. FSPI控制器介绍

FSPI（Flexible-SPI）接口是一种灵活的串行外围接口主机控制器，可用来连接FSPI设备。它具有如下特点：

- 支持串行 NOR 及 NAND FLASH；
- 支持 SDR 模式；
- 支持 1 线，2 线和 4 线模式；
- 控制器 FSPI0 支持双片选，即双 SPI Flash 存储模式。

FSPI0连接如下图所示：

Rockchip Confidential

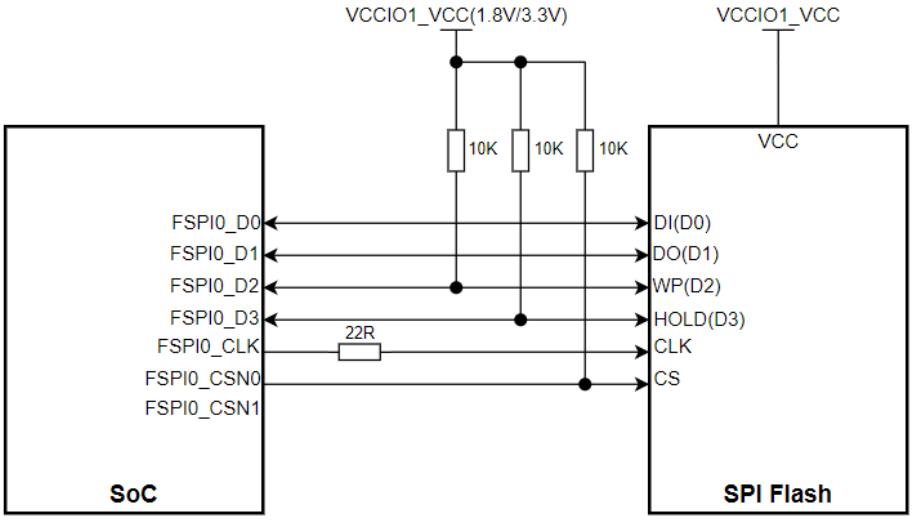


图 2-24 SPI Flash 连接示意图

双Flash电路共用DATA和CLK网络，注意需要使用T型拓扑，并减小公共网络走线的Stub分支长度。双SPI Flash连接如下图所示：

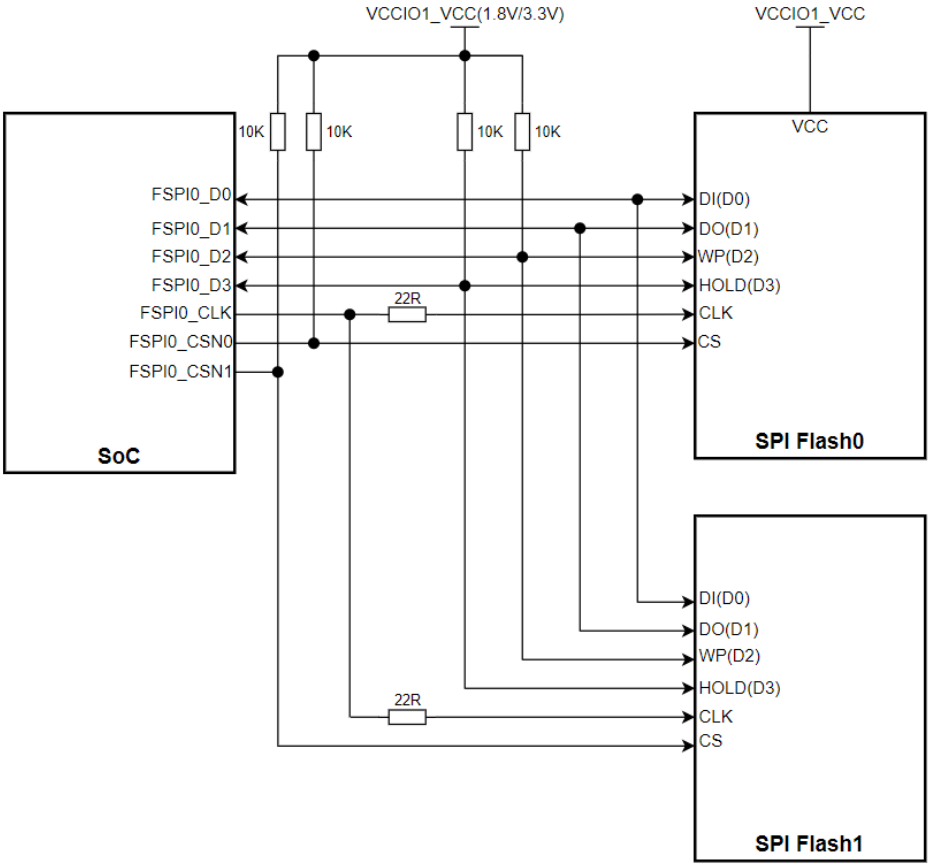


图 2-25 双 SPI Flash 连接示意图

FSPI0匹配设计如下表所示：

表 2-12 RV1126B FSPI0 接口匹配设计

信号	内部上下拉	连接方式	描述（芯片端）
FSPI0_D[3:0]	上拉	直连	SPI数据发送/接收
FSPI0_CSN0	上拉	直连	SPI片选信号
FSPI0_CSN1	上拉	直连	SPI片选信号
FSPI0_CLK	下拉	串联22ohm电阻	SPI时钟发送

FSPI的设计注意事项：

- 仅 FSPI0 支持引导，FSPI1 不支持引导；
- 双 SPI Flash 存储模式要求两片 Flash 必须是同型号、同容量；
- FSPI_CS 可以使用芯片内部上拉，省去外部上拉电阻。

2.1.11.1.2. FSPI支持的型号列表

RV1126B SPI FLASH器件支持列表可参考文档《RK SpiNor and SLC Nand SupportList》，该文档可在我司的Redmine平台上下载：

https://redmine.rock-chips.com/documents/46

2.1.11.2. eMMC电路

2.1.11.2.1. eMMC控制器介绍

RV1126B eMMC接口支持eMMC 4.51，控制器有如下特点：

- 支持 1/4/8-bit 三种数据总线宽度；
- 最高支持 HS200 模式，但是不支持 CMD Queue，颗粒端 DS 管脚悬空即可。

2.1.11.2.2. eMMC电源时序要求

RV1126B芯片eMMC控制器属于VCCIO1电源域：

- VCCIO1_VCC：eMMC 控制器的 I/O 电源。

eMMC颗粒有两组电源，上电时序请参考JEDEC标准：

- VCC 与 VCCQ 在上电时序上没有先后要求。
- VCC 与 VCCQ 必须在 RV1126B 的 CMD 命令发出前上电，并保持稳定的工作电压。
- 在颗粒进入睡眠模式后，RV1126B 可以关断 VCC 电源以降低功耗。
- 在颗粒从睡眠模式被唤醒前，VCC 电源必须先上电，并保持稳定的工作电压。

Rockchip Confidential

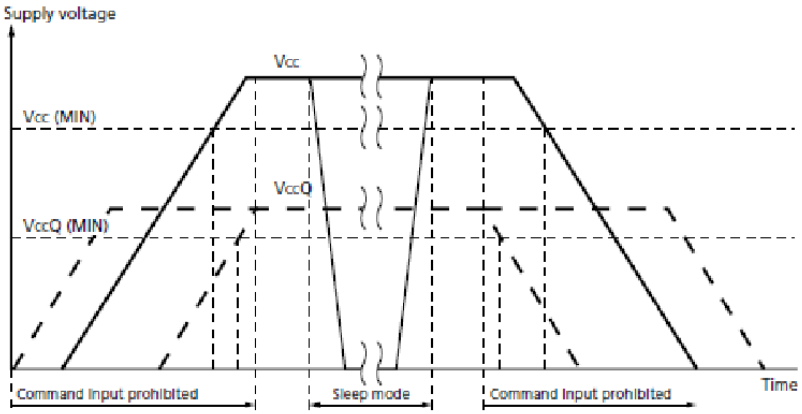


图 2-26 eMMC 颗粒电源时序要求

2.1.11.2.3. eMMC拓扑结构与连接方式

eMMC连接如下图所示：

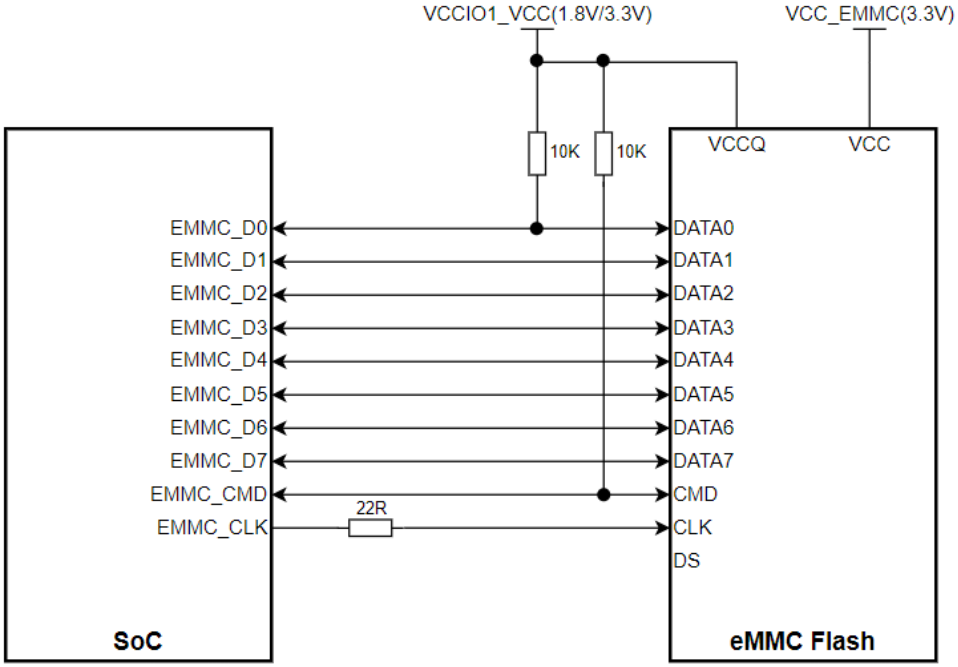


图 2-27 eMMC 连接示意图

eMMC接口匹配设计如下表所示：

表 2-13 RV1126B eMMC 接口匹配设计

信号	内部上下拉	连接方式	描述（芯片端）
eMMC_DQ[7:0]	上拉	直连，DQ0需外部上拉	eMMC数据发送/接收
eMMC_CMD	上拉	直连，需外部上拉	eMMC命令发送/接收
eMMC_CLK	下拉	串联22ohm电阻	eMMC时钟发送

2.1.11.2.4. eMMC支持的型号列表

RV1126B eMMC器件支持列表可参考文档《RK eMMC SupportList》，该文档可在我司的Redmine平台上下载：

https://redmine.rock-chips.com/documents/50

Rockchip Confidential

2.1.12. GPIO电路

在 RV1126B 中，共有 9 个独立的 IO 电源域，分别为 PMUIO[1:0] 和 VCCIO[7:1]。其中：

- PMUIO0 为固定电平电源域，只支持 3.3V IO；
- PMUIO1 和 VCCIO[7:1] 这几个电源域都可支持 1.8V 或 3.3V，RV1126B 可自适应 IO 电压；
- 所有 GPIO 支持 CMOS input 和 Schmitt trigger input；
- 所有 GPIO 的上拉（PU）、下拉（PD）、PU/PD Disable，可通过寄存器设置，可根据产品的应用需求，enable or disable 上下拉。
- 所有 GPIO 支持 interrupt input 功能。

关于 GPIO 的详细信息、复用情况、封装内部线长等，可参考硬件发布资料中的如下文档：

- 《RV1126B_PinOut_EN.xlsx》；
- 《RV1126B_Package_PinLength_EN.xlsx》；
- 《RV1126B_Methods_for_Processing_Unused_Pins_EN.xlsx》；

2.1.12.1. GPIO管脚名称说明

原理图中GPIO管脚名说明如下：

- 除 GPIO0_A1 外，剩下其他 IO 的复位默认状态均为输入；
- GPIOx_xx_u，其中_u 表示 IO 的复位默认状态为内部上拉；
- GPIOx_xx_d，对应_d 表示 IO 的复位默认状态为内部下拉；
- GPIOx_xx_z，对应_z 表示 IO 的复位默认状态为高阻状态；
- 对于功能引脚带有 M0/M1/M2 后缀的，表示同一个功能管脚复用(MUX)在不同的 IO 上，同时间只能选择其中一处复用(MUX)使用；例如选择 UART0_TX 时，只能选用 UART0_TX_M0 或者 UART0_TX_M1，而不能同时使用；
- 同组功能管脚也只能同后缀的进行组合使用，例如选择 UART0 功能时，可以选择 UART0_TX_M0 和 UART0_RX_M0 组合，或 UART0_TX_M1 和 UART0_RX_M1 组合，不可选取不同的复用后缀 IO 进行组合。

2.1.12.2. GPIO驱动能力

RV1126B芯片中，GPIO提供23档驱动强度可调，根据GPIO的类型不同，初始默认驱动强度也不同，请参考芯片TRM进行配置修改。

2.1.12.3. GPIO电源

GPIO电源域的电源脚说明如下，管脚描述如下表：

Rockchip Confidential

表 2-14 RV1126B GPIO 电源脚描述

电源域	GPIO类型	管脚名	描述
PMUIO0	3.3V only	PMUIO0_VCC3V3	3.3V IO supply for this GPIO domain.
PMUIO1	1.8V/3.3V	PMUIO1_VCC	1.8V or 3.3V IO supply for this GPIO domain.
VCCIO1	1.8V/3.3V	VCCIO1_VCC	1.8V or 3.3V IO supply for this GPIO domain.
VCCIO2	1.8V/3.3V	VCCIO2_VCC	1.8V or 3.3V IO supply for this GPIO domain.
VCCIO3	1.8V/3.3V	VCCIO3_VCC	1.8V or 3.3V IO supply for this GPIO domain.
VCCIO4	1.8V/3.3V	VCCIO4_VCC	1.8V or 3.3V IO supply for this GPIO domain.
VCCIO5	1.8V/3.3V	VCCIO5_VCC	1.8V or 3.3V IO supply for this GPIO domain.
VCCIO6	1.8V/3.3V	VCCIO6_VCC	1.8V or 3.3V IO supply for this GPIO domain.
VCCIO7	1.8V/3.3V	VCCIO7_VCC	1.8V or 3.3V IO supply for this GPIO domain.

GPIO电源域的设计注意事项：

- PMUIO0 为固定电平电源域，仅支持 3.3V，不可进行配置。
- PMUIO1、VCCIO1~VCCIO7 电源电源域 RV1126B 芯片可以自动识别硬件配置的电压，不需要软件根据硬件供电电压进行配置；
- 为避免外设漏电到 SoC，从而影响到 SoC 的上电时序，要求 SoC 的 GPIO 电源域供电需要比外设先上电；当外设的 GPIO 供电电源与 RV1126B 的 GPIO 供电电源是同一个电源时，GPIO 的外部上拉电源使用 SoC 这边的供电来上拉；当外设的 GPIO 供电电源与 RV1126B 的 GPIO 供电电源不是同一个电源时，则外设的 GPIO 需要比 RV1126B 的 GPIO 晚上电，此时 GPIO 的外部上拉电源需要使用外设的供电来上拉；
- 如果外设的 GPIO 供电没法做到比 SoC 上电更迟，例如外接 MCU 或者 FPGA 等，建议做好 IO 隔离；或者在外设上电后，将相应接口初始化为 OD 输出，再对 SoC 上电；
- 如果 RV1126B 采用子母板的方式设计，建议核心板可以向底板提供 3.3V、1.8V 电源，即底板的外设使用核心板提供的电源，如果做不到这个，那么必须注意，底板的外设不能先上电，GPIO 的外部上拉电阻的电源也采用底板的电源，避免采用核心板的电源通过上拉电阻漏电到外设；
- 注意电源域的 GPIO 电平要与对接外设芯片/器件的 IO 电平保持一致；
- 若一个电源域里所有 IO 都未使用，那么该电源域的电源可以不供电，对应管脚悬空或者接地处理即可，详细请参考文档《RV1126B_Methods_for_Processing_Unused_Pins》。
- 各电源域的供电管脚需就近放置至少 1 个 100nF 或者 1uF 的去耦电容，详细设计见 RV1126B 参考原理图，不得随意删除；
- 电源域的电源纹波要求在±10%。

Rockchip Confidential

2.2. 电源设计

2.2.1. 电源介绍

表 2-15 RV1126B 芯片电源需求表

模块	电源管脚	描述
PLL	PLL_AVDD_0V9、 PLL_AVDD_1V8	PLL电源
RTC	RTC_AVDD	RTC电源
SARADC	SARADC0_AVDD_1V8、 TSADC_SARADC1&2_AVDD_1V8	SARADC、TSADC电源
OTP	OTP_VCC_1V8	OTP电源
LOGIC	VDD_LOGIC	SOC逻辑电源
CPU	VDD_CPU	CPU Core电源
NPU	VDD_NPU	NPU电源
DDR	DDR_VDDQ、 DDR_VDDQL	DDR控制器电源
PMU LOGIC	PMUIO_VDD0V9/OSC_VDD_0V9	PMU逻辑电源（PMUIO_3V3输入，经内部LDO生成）
GPIO	PMUIO0_VCC3V3、PMUIO1_VCC、 VCCIO1~VCCIO4_VCC、 VCCIO5_VCC_0、VCCIO5_VCC_1、 VCCIO6~VCCIO7_VCC	GPIO Domain电源
Audio ADC	AUDIO_ADC_AVDD_1V8	Audio ADC电源
USB2.0 PHY	USB_AVDD_0V9_0、 USB_AVDD_1V8_0、 USB_AVDD_3V3	USB2.0 PHY电源
USB3.0 PHY	USB_AVDD_0V9_1、 USB_AVDD_1V8_1、	USB3.0 PHY电源
MIPI CSI PHY	MIPI_DPHY_CSI_RX0_AVDD_0V9、 MIPI_ DPHY_CSI_RX0_AVDD_1V8、 MIPI_ DPHY_CSI_RX1_AVDD_0V9、 MIPI_ DPHY_CSI_RX1_AVDD_1V8、	MIPI CSI RX PHY/ LVDS RX PHY电源
MIPI DSI/ LVDS PHY	MIPI_DSI_TX/LVDS_TX_AVDD_0V9、 MIPI_DSI_TX/LVDS_TX_AVDD_1V8	MIPI DSI TX PHY/ LVDS TX PHY电源
FEPHY PHY	FEPHY_AVDD_0V9、 FEPHY_AVDD_1V8、 FEPHY_AVDD_3V3	FEPHY电源

Rockchip Confidential

2.2.2. 上电时序

对于RV1126B芯片的上电时序有如下要求：

- 遵循同一模块低压先上、高压后上，不同模块相同电压一起上电的原则；
- 相同时序内的电源，没有先后上电要求；
- 不同时序间隔大于 1ms；
- 冷启动总上电时序小于 10ms，即下图中的 T0+T1+T2+T3<10ms；

2.2.2.1. AI-IPC常电产品上电时序与电源拓扑

AI-IPC产品的上电时序为：

VCC3V3_SYS → VDD_LOGIC & VDD_CPU & VDD_NPU → VCC_DDR & VCC_1V8 → VCC_3V3

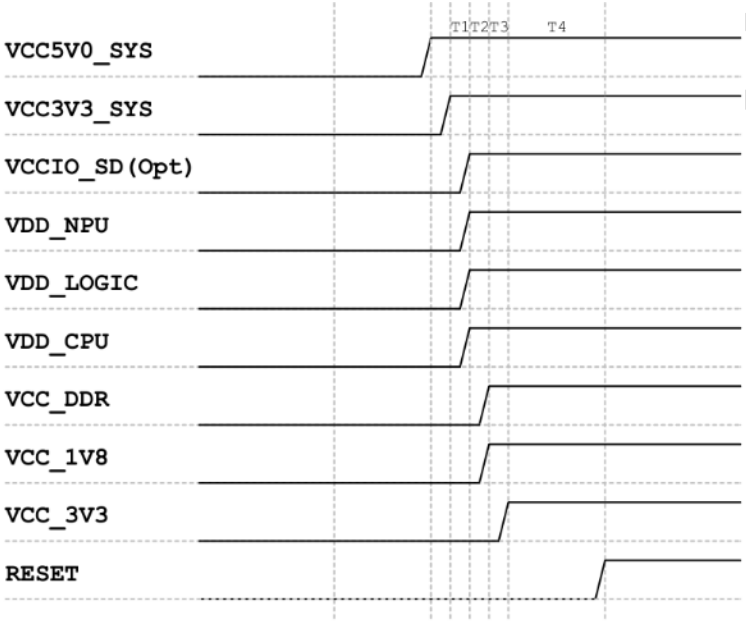


图 2-28 RV1126B AI-IPC 常电产品上电时序

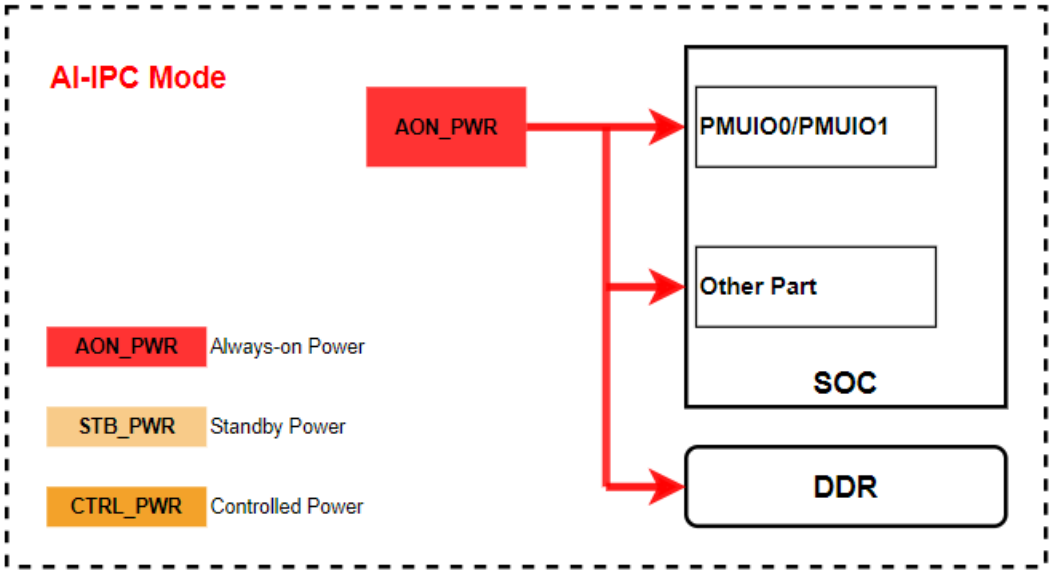


图 2-29 RV1126B AI-IPC 产品电源拓扑

2.2.2.2. AOV-IPC产品上电时序与电源拓扑

AOV-IPC产品的上电时序为：

VCC3V3_PMU → VDD_LOGIC & VDD_CPU & VDD_NPU → VCC_DDR & VCC_1V8 → VCC_3V3

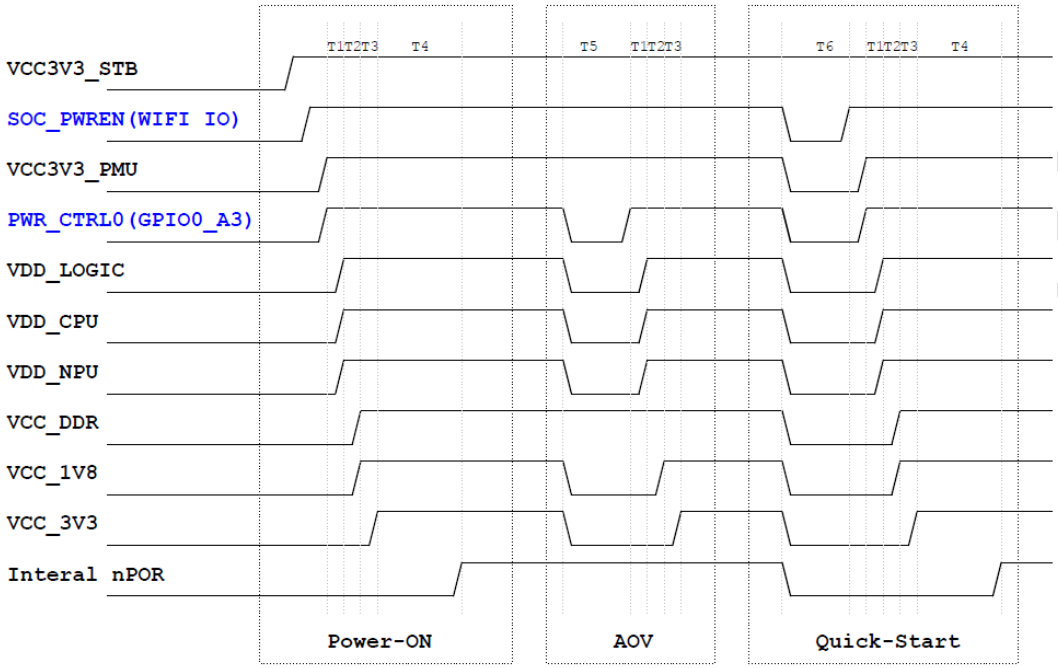


图 2-30 RV1126B AOV 产品上电时序

AOV-IPC产品电源的设计注意事项：

- 芯片在首次冷启动时，由 Wi-Fi 或外部 MCU 通过 SOC_PWREN 管脚使能 SoC 的 PMU/DDR 电源以及 DDR 颗粒电源；
- PMU 电源最先上电，所以上电后 PMUIO0 电源域中的 GPIO0_A3（PWR_CTRL0）管脚会依靠内部默认上拉来使能 SOC 的其他电源（如 LOGIC、CPU、NPU、1V8、3V3），通过调整电源使能管脚的 RC 参数实现各级电源符合要求的上电时序；
- PMU 通过周期性控制 GPIO0_A3 输出高低电平来控制 SoC 其余电源上下电，实现 AOV 模式工作；当检测到事件时，会通过 GPIO0_A3 输出高电平来控制 SoC 其余电源上电并退出 AOV 工作模式；
- 进入 AOV 模式时 PMUIO0 和 DDR 电源均保持在电状态。

Rockchip Confidential

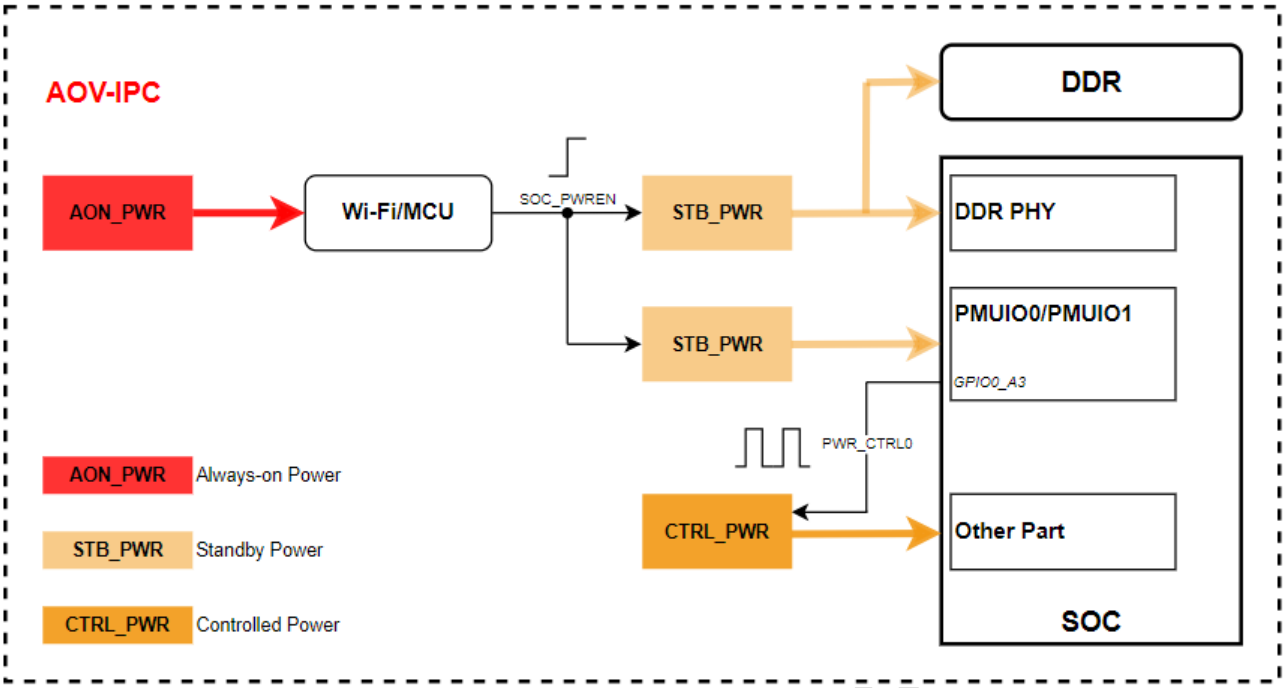


图 2-31 RV1126B AOV 产品电源拓扑

2.2.2.3. Pre-recording产品上电时序与电源拓扑

Pre-recording产品的上电时序为：

VCC3V3_PMUIO0 & VCC1V8_PMUIO1 → VDD_LOGIC & VDD_CPU & VDD_NPU → VCC_DDR & VCC_1V8 → VCC_3V3

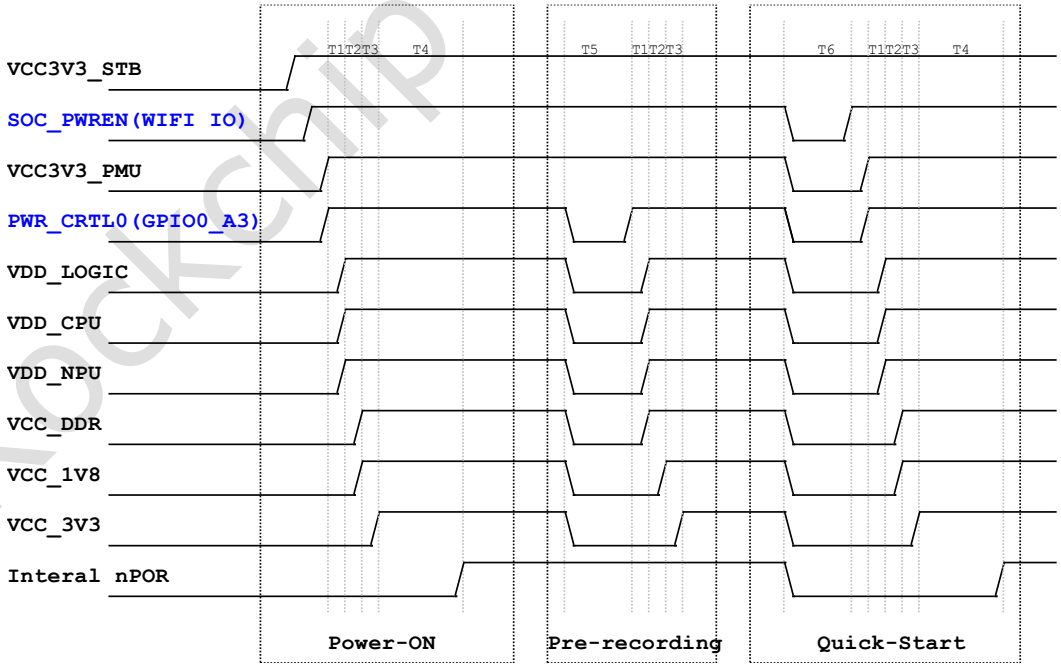


图 2-32 RV1126B Pre-Recording 产品上电时序

Pre-recording-IPC产品电源的设计注意事项：

- 芯片在首次冷启动时，由 Wi-Fi 或外部 MCU 通过 SOC_PWREN 管脚使能 SoC 的 PMU 电源；

Rockchip Confid

- PMU 电源最先上电，所以上电后 PMUIO0 电源域中的 GPIO0_A3（PWR_CTRL0）管脚会依靠内部默认上拉来使能 SOC 的其他电源（如 LOGIC、CPU、NPU、DDR、1V8、3V3），通过调整电源使能管脚的 RC 参数实现各级电源符合要求的上电时序；
- PMU 在检测到事件时，会通过 GPIO0_A3 输出高电平来控制 SoC 其余电源上电并退出 Pre-recording 模式；当处理完事件后，又会通过 GPIO0_A3 输出低电平来控制 SoC 其余电源下电并重新进入 Pre-recording 模式。

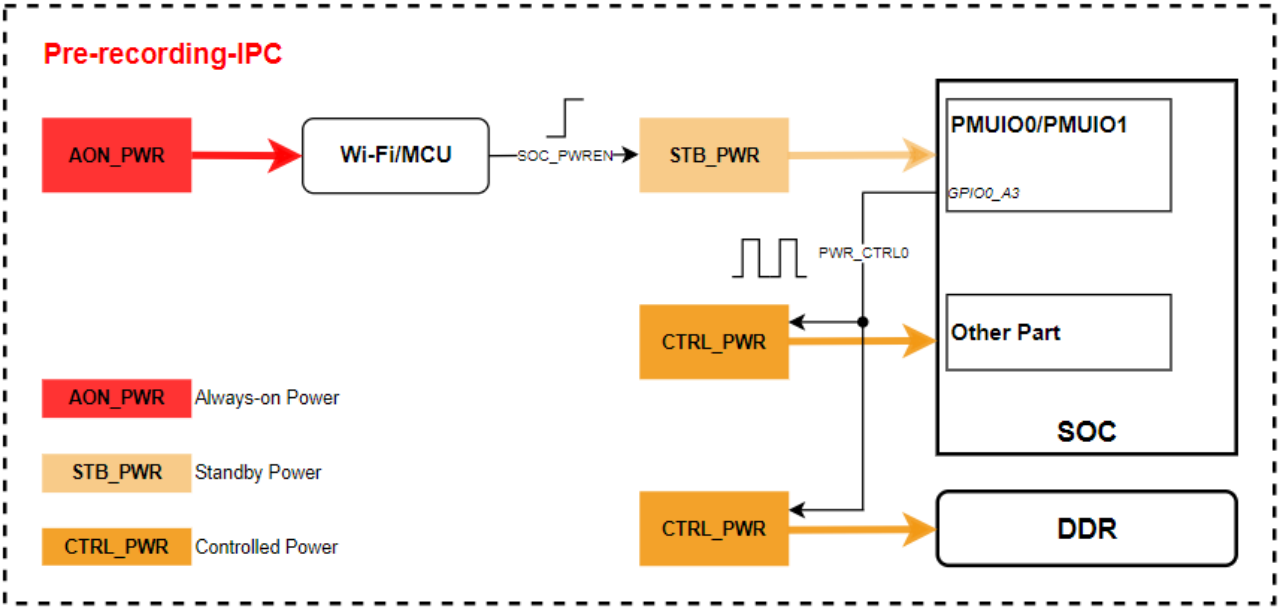


图 2-33 RV1126B Pre-recording 产品电源拓扑

2.2.3. 下电时序

下电过程，NPOR_DET（RESET）须先拉低动作，然后各路电源随着下电。

下电顺序建议如下：

- 下电过程中，GPIO 相关的 1.8V 供电电压与 PMUIO0_VCC3V3 的 3.3V 供电电压压差不大于 2V；
- 下电过程中，USB2_OTG_AVDD3V3 供电电压与 USB2_OTG_AVDD1V8 供电电压压差不大于 2V；
- 进出 AOV/Pre-recording 状态时，下电时间 T5 建议大于 100ms，以避免未完全放电影响下一次唤醒的上电时序。

Rockchip Co

2.2.4. 电源设计建议

2.2.4.1. 冷启动电源要求

RV1126B在冷启动上电时，电源要求情况如下表所示。未使用模块的电源管脚处理，请参考文档《RV1126B_Methods_for_Processing_Unused_Pins》。

表 2-16 RV1126B芯片冷启动上电电源需求表

模块	电源管脚	冷启动上电
PLL	PLL_AVDD_0V9、 PLL_AVDD_1V8	必须供电
RTC	RTC_AVDD	可以不供电
SARADC	SARADC0_AVDD_1V8、 TSADC_SARADC1&2_AVDD_1V8	必须供电
OTP	OTP_VCC_1V8	必须供电
LOGIC	VDD_LOGIC	必须供电
CPU	VDD_CPU	必须供电
NPU	VDD_NPU	可以不供电
DDR	DDR_VDDQ、 DDR_VDDQL	必须供电
PMU LOGIC	PMUIO_VDD0V9/OSC_VDD_0V9	必须供电
GPIO	PMUIO0、PMUIO1、 VCCIO1、VCCIO2、VCCIO3、VCCIO4、VCCIO5_VCC_0、 VCCIO5_VCC_1、 VCCIO6、VCCIO7	**PMUIO0、VCCIO1必须供电** 其余domain可以不供电
Audio ADC	AUDIO_ADC_AVDD_1V8	可以不供电
USB2.0 PHY	USB_AVDD_0V9_0、 USB_AVDD_1V8_0、 USB_AVDD_3V3	必须供电
USB3.0 PHY	USB_AVDD_0V9_1、 USB_AVDD_1V8_1、	可以不供电
MIPI CSI RX PHY/ LVDS RX PHY	MIPI_DPHY_CSI_RX0_AVDD_0V9、 MIPI_ DPHY_CSI_RX0_AVDD_1V8、 MIPI_ DPHY_CSI_RX1_AVDD_0V9、 MIPI_ DPHY_CSI_RX1_AVDD_1V8、	可以不供电
MIPI DSI TX PHY/ LVDS TX PHY	MIPI_DSI_TX/LVDS_TX_AVDD_0V9、 MIPI_DSI_TX/LVDS_TX_AVDD_1V8	可以不供电
FEPHY PHY	FEPHY_AVDD_0V9、 FEPHY_AVDD_1V8、 FEPHY_AVDD_3V3	可以不供电

Rockchip Confidential

2.2.4.2. 待机电源要求

RV1126B在不同的待机工作状态下，PMU、DDR和RTC有如下几种组合，不同组合下供电电源情况如下表所示，其余电源均可关断：

表 2-17 RV1126B芯片休眠电源需求表

模式	电源管脚	待机状态
方案1： 普通待机	PMUIO_3V3、PMUIO0_VCC3V3	必须供电
	其余电源	可以不供电
方案2： AOV模式	PMUIO_3V3、PMUIO0_VCC3V3、 RTC_AVDD、VCC_DDR	必须供电
	其余电源	可以不供电
方案3： Pre-recording模式	PMUIO_3V3、PMUIO0_VCC3V3、 RTC_AVDD、PMUIO1_VCC	必须供电
	其余电源	可以不供电

2.2.4.3. PLL/OSC电源

RV1126B的PLL/OSC电源如下图所示，其中OSC_PLL_AVDD_1V8同时给PLL和OSC供电：

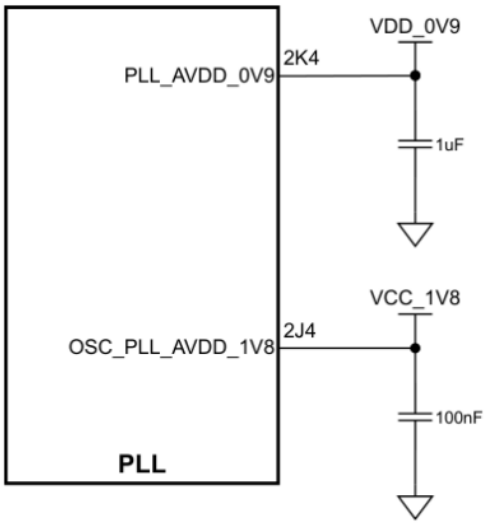


图 2-34 RV1126B PLL电源示意图

PLL/OSC电源在待机状态下均可关闭，电源管脚说明如下表：

Rockchip Confidential

表 2-18 RV1126B芯片PLL电源

模块	电源管脚	待机状态
PLL	PLL_AVDD_0V9、 OSC_PLL_AVDD_1V8	可关断电源
OSC	OSC_VDD_0V9	可关断电源

电源峰值电流：

- PLL_AVDD_0V9：<10mA
- OSC_PLL_AVDD_1V8：<30mA
- OSC_VDD_0V9：芯片内置 LDO 供电

电源上建议使用 LDO 供电，低成本方案可以使用DC/DC供电，电源纹波要求：

- 0.9V AC requirement：<20mV
- 1.8V AC requirement：<50mV

PMU电源的设计注意事项：

- PLL_AVDD_0V9 使用 1uF 电容可以改善板级 ESD 能力；
- 稳定的电源有助于提高芯片工作稳定性，且去耦电容应靠近管脚摆放，具体电容数量和容量参考原理图，请勿随意调整。

2.2.4.4. RTC电源

RV1126B休眠状态下的时钟可选择由RTC提供，RTC_AVDD是RTC模块供电电源。RTC电源上集成了PMUIO0_VCC3V3和RTC_AVDD的路径选择通路，RTC模块可自动选择供电来源，结构大致类似下图所示：

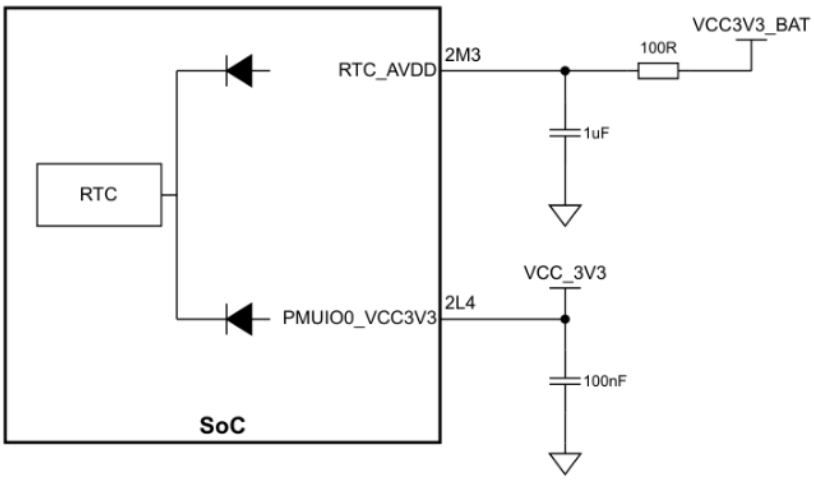


图 2-35 RV1126B RTC电源示意图

RTC电源在待机状态下不可关闭，详见小节2.1.2，电源管脚说明如下表：

表 2-19 RV1126B芯片RTC电源

模块	电源管脚	待机状态
RTC	RTC_AVDD	必须供电

电源峰值电流：

- RTC_AVDD：<1uA@3.3V

Rockchip Confidential

RTC电源的设计注意事项：

- RTC_AVDD 输入电源电压范围为 1.7~3.6V，用于外接纽扣电池供电，所以不可直连锂电池（4.2V-4.35V）。单节锂电池产品上，降成本的方式是通过串接电阻（如 430kohm）的方式，降压后为 RTC 模块提供供电；
- RTC_AVDD 电源输入需增加阻容防止电源跳变，RC 参数必须是 100ohm 阻值和 1uF 电容。
- 稳定的 RTC 电源有助于提高芯片工作稳定性，且去耦电容应靠近管脚摆放，具体电容数量和容量参考原理图，请勿随意调整。

2.2.4.5. SARADC/TSADC电源

RV1126B 的 SARADC/TSADC 电源如下图所示，其中 TSADC_SARADC1&2_AVDD_1V8 同时给 SARADC1、SARADC2和TSADC供电：

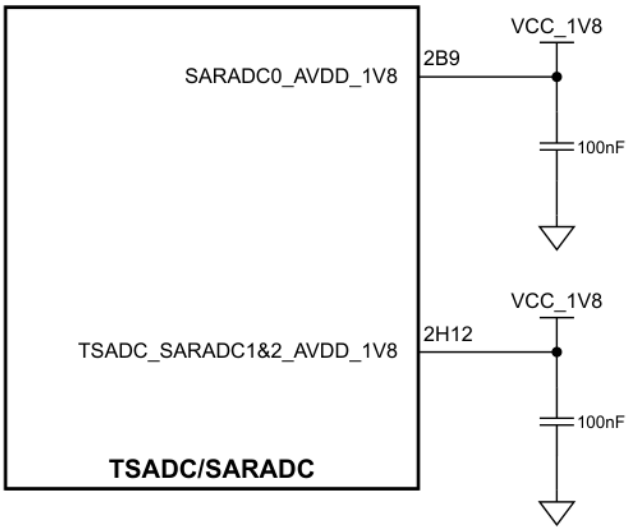


图 2-36 RV1126B SARADC&TSADC电源示意图

SARADC/TSADC电源在待机状态下均可关闭，电源管脚说明如下表所示：

表 2-20 RV1126B芯片SARADC/OTP/TSADC电源

模块	电源管脚	待机状态
SARADC0	SARADC0_AVDD_1V8	可关断电源
SARADC1/SARADC2/TSADC	TSADC_SARADC1&2_AVDD_1V8	可关断电源

电源峰值电流：

- SARADC0_AVDD_1V8：<1mA
- TSADC_SARADC1&2_AVDD_1V8：<1mA
- OTP_VCC_1V8：<1mA

电源纹波要求：

- 1.8V AC requirement：<50mV

SARADC/OTP/TSADC电源的设计注意事项：

- 由于 SARADC0_IN7_BOOT 引脚作为系统启动引导用途的特殊性，所以即便不使用 SARADC0，也需要给电源管脚供电；

Rockchip Confidential

- 由于 TSADC 与 SARADC1&2 合并供电，所以即便不使用 SARADC1&2，也需要给电源管脚供电，否则芯片内部 TSADC 模块无法工作；
- PCB 设计中可将上述 2 路电源合并供电，方便 layout 走线；
- 稳定的电源有助于提高芯片工作稳定性，去耦电容应靠近管脚摆放，具体电容数量和容量参考原理图，请勿随意调整。

2.2.4.6. OTP电源

RV1126B的OTP共有8Kbit空间，其中的6.5Kbit可以用于客户安全空间，OTP电源如下图所示：

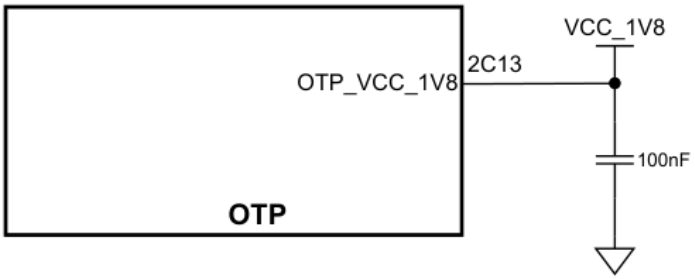


图 2-37 RV1126B OTP 电源示意图

OTP电源在待机状态下均可关闭，电源管脚说明如下表：

表 2-21 RV1126B芯片PLL电源

模块	电源管脚	待机状态
OTP	OTP_VCC_1V8	可关断电源

电源峰值电流：

- OTP_VCC_1V8：<1mA

电源纹波要求：

- 1.8V AC requirement：<50mV

OTP电路的设计注意事项：

- OTP 支持编写、读取以及空闲模式，如果有使用到 OTP，电源管脚必须供电；OTP 的功能如果不使用，电源管脚可以不供电，保持悬空或接地；
- PCB 设计中，可将 OTP 电源与 SARADC 电源合并供电，方便 layout 走线；
- 稳定的电源有助于提高芯片工作稳定性，去耦电容应靠近管脚摆放，具体电容数量和容量参考原理图，请勿随意调整。

2.2.4.7. LOGIC电源

RV1126B的LOGIC电源使用DC-DC单独供电，在待机状态下可关闭，如下图所示：

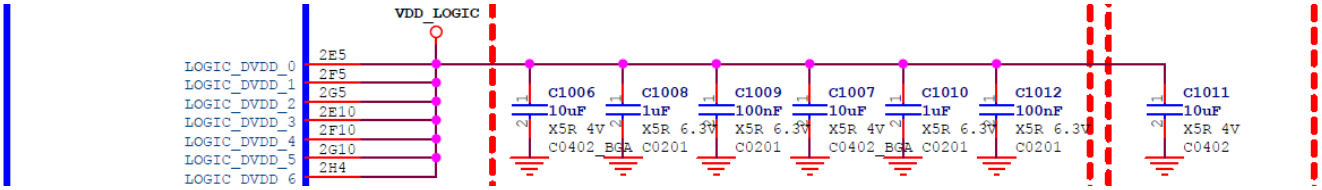


图 2-38 RV1126B 芯片LOGIC电源示意图

Rockchip Confidential

电源峰值电流：

- LOGIC_DVDD：<2A

电源纹波要求：

- LOGIC_DVDD AC requirement：<±5%

LOGIC电源的设计注意事项：

- 请不要删减 RV1126B 芯片参考设计原理图中的电容；
- Layout 时请将 C1006~C1012 放置在 RV1126B 芯片背面，C1011 放置尽可能靠近 SoC。

2.2.4.8. CPU电源

RV1126B的CPU电源使用DC-DC单独供电，支持DVFS动态调频调压功能，在待机状态下可关闭，如下图所示：

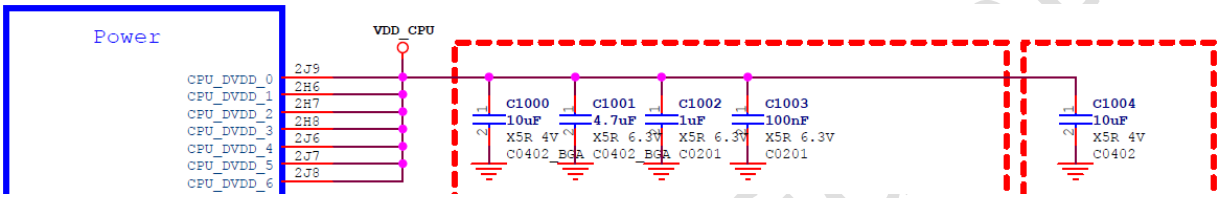


图 2-39 RV1126B 芯片CPU电源示意图

电源峰值电流：

- CPU_DVDD：<2A

电源纹波要求：

- CPU_DVDD AC requirement：<±5%

CPU电源的设计注意事项：

- 请不要删减 RV1126B 芯片参考设计原理图中的电容；
- Layout 时将 C1000~C1003 放置在 RV1126B 芯片的背面，C1004 放置尽可能靠近 SoC。

2.2.4.9. NPU电源

RV1126B的NPU电源使用DC-DC单独供电，支持DVFS动态调频调压功能，在待机状态下可关闭，如下图所示：

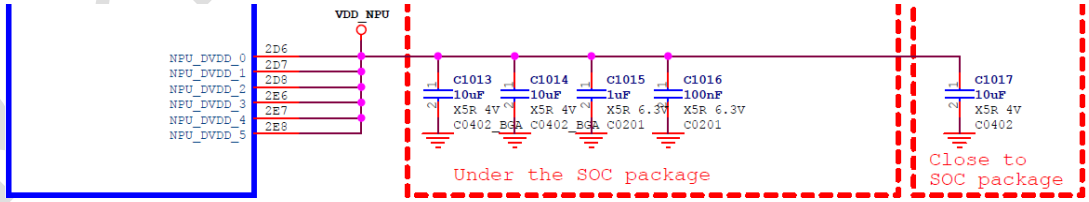


图 2-40 RV1126B 芯片NPU电源示意图

电源峰值电流：

- NPU_DVDD：<3A

电源纹波要求：

- NPU_DVDD AC requirement：<±5%

NPU电源的设计注意事项：

Rockchip Confidential

- 请不要删减 RV1126B 芯片参考设计原理图中的电容；
- Layout 时请将 C1013~C1016 放置在 RV1126B 芯片背面 C1017 放置尽可能靠近 SoC；
- 低成本方案中，NPU 负载不重的情况下，可以与 CPU 电源采用相同电压，限制最高工作频率，通过合并电源省掉一路电源电路。

注意

Note1：LOGIC电源、CPU&NPU电源峰值电流与运行场景、算法模型、芯片温度强相关，建议留够余量进行PCB走线设计、器件选型。

2.2.4.10. DDR电源

RV1126B芯片的DDR电源使用DC-DC电源独立供电，如下图所示：

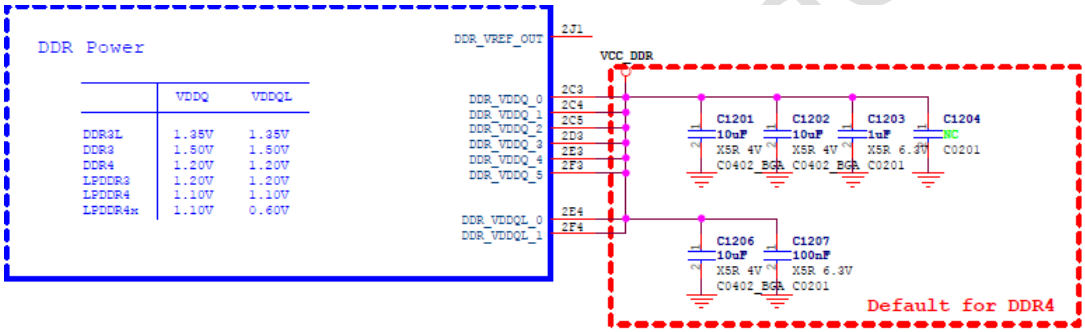


图 2-41 RV1126B芯片DDR控制器电源示意图

电源峰值电流：

- DDR_VDDQ：<1A
- DDR_VDDQL：<100mA

电源纹波要求：

- DDR_VDDQ AC requirement：<±5%
- DDR_VDDQL AC requirement：<±5%

DDR电源的设计注意事项：

- 请不要删减 RV1126B 芯片参考设计原理图中的电容；
- Layout 中电容的位置根据发布的 DDR 模板放置。

2.2.4.11.PMU电源

PMU单元内部集成了一个LDO给PMU逻辑电源供电，所以支持两种供电方式，两者二选一即可：

- 方案一是由 PMUIO_3V3 输入 3.3V，经过内部 LDO 后生成 0.9V 逻辑电源，电源效率低，成本低，整个系统仅需要一路 3.3V 供电；
- 方案二是由 PMUIO_VDD0V9 输入 0.9V 逻辑电源，电源效率高，成本高，需要增加一路的 DC/DC 供电；

Rockchip Confidential

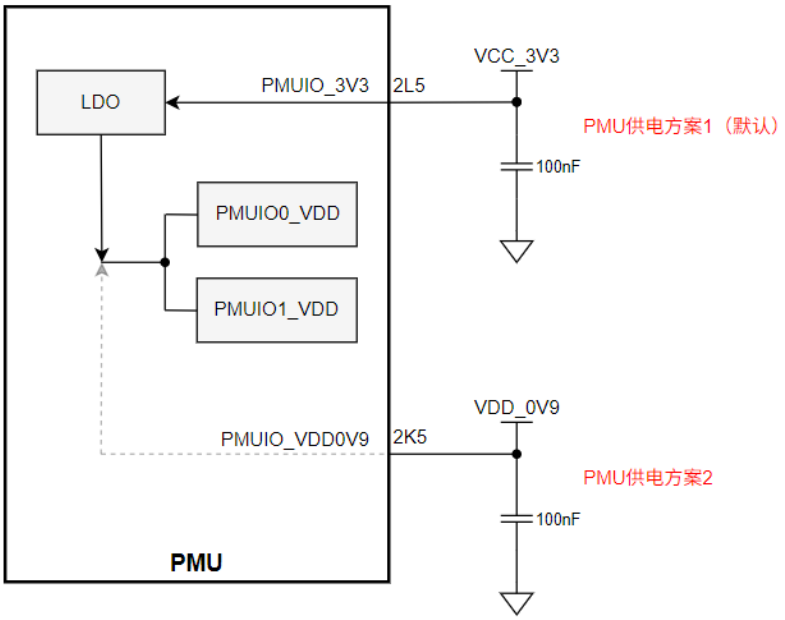


图 2-42 RV1126B 芯片PMU电源示意图

PMU电源在待机状态下不可关闭，电源管脚说明如下表所示：

表 2-22 RV1126B芯片PMU电源

模块	电源管脚	待机状态
PMU	PMUIO_VDD0V9	二选一，必须供电
	PMUIO_3V3	
	PMUIO0_VCC3V3	必须供电
	PMUIO1_VCC	可关断电源

电源峰值电流：

- PMUIO_VDD0V9/PMUIO_3V3：<10mA
- PMUIO0_VCC3V3：<20mA
- PMUIO1_VCC：<20mA

电源上建议使用 LDO 供电，极致功耗方案可以使用DC/DC供电，电源纹波要求：

- 0.9V AC requirement：<20mV
- 1.8V AC requirement：<50mV
- 3.3V AC requirement：<200mV

PMU电源的设计注意事项：

- 考虑成本的话，建议使用内置 LDO 供电，待机时，只需要 1 路 3.3V 电源为系统供电；
- 追求极致功耗，建议使用外置 DC/DC 提供 PMUIO_VDD0V9 电源。如果待机状态下 IO 数量需求不多的话，可以关闭 PMUIO1 电源域，以达到最低功耗；
- 使用内置 LDO 供电时，PMUIO_VDD0V9 管脚需外接一个 100nF 去耦电容；
- 稳定的电源有助于提高芯片工作稳定性，去耦电容应靠近管脚摆放，具体电容数量和容量参考原理图，请勿随意调整。

Rockchip Confidential

2.2.4.1. Audio ADC电源

RV1126B的Audio ADC电源在待机状态下可关闭，如下图所示：

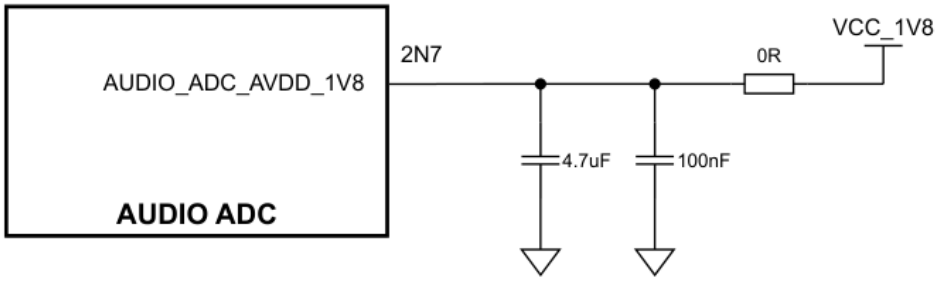


图 2-43 RV1126B AUDIO ADC电源示意图

Audio ADC电源在待机状态下可关闭，电源管脚说明如下表：

表 2-23 RV1126B芯片Audio ADC电源

模块	电源管脚	待机状态
Audio ADC	AUDIO_ADC_AVDD_1V8	可关断电源

电源峰值电流：

- AUDIO_ADC_AVDD_1V8：<20mA

电源纹波要求：

- AUDIO_ADC_AVDD_1V8 AC requirement：<50mV

Audio ADC电源的设计注意事项：

- AUDIO ADC 电源建议预留 0R 电阻，在有电源噪声时可以换成磁珠对电源进行隔离；
- Audio ADC 的功能如果都不使用，AUDIO_ADC_AVDD_1V8 可以不供电，保持悬空或接地，相关软件配置应进行 disable 处理。
- 稳定的电源有助于提高芯片工作稳定性，有助于控制底噪，去耦电容应靠近管脚摆放，具体电容数量和容量参考原理图，请勿随意调整；

2.2.4.2. USB2.0 PHY电源

RV1126B的USB2.0 PHY接口电源如下图所示：

Rockchip Confidential

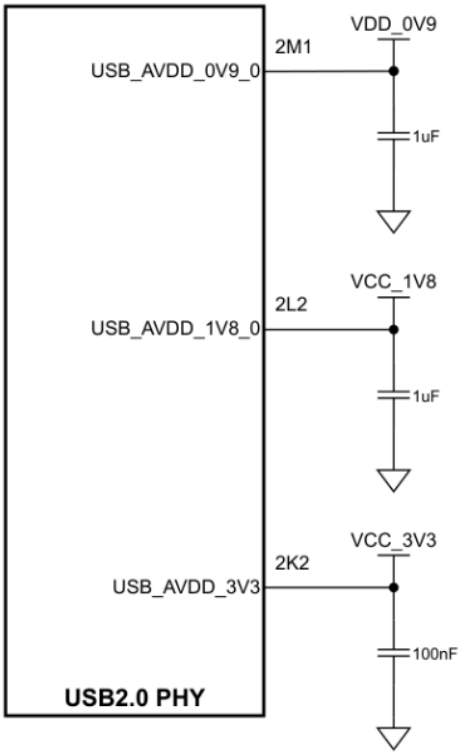


图 2-44 RV1126B USB2.0 PHY电源示意图

USB2.0 PHY接口电源在待机状态下均可关闭，电源管脚说明如下表：

表 2-24 RV1126B芯片USB2.0 PHY电源

模块	电源管脚	待机状态
USB2.0 DRD	USB_AVDD_0V9_0 USB_AVDD_1V8_0 USB_AVDD_3V3	可关断电源
USB2.0 HOST		

电源峰值电流：

- USB_AVDD_0V9_0：<50mA
- USB_AVDD_1V8_0：<80mA
- USB_AVDD_3V3：<1mA

电源纹波要求：

- 0.9V AC requirement：<20mV
- 1.8V AC requirement：<50mV
- 3.3V AC requirement：<200mV

USB2.0 PHY电源的设计注意事项：

- 绝大多数客户场景下，系统固件是从 USB_DRD_DP/DM 接口下载，因此第一次上电，USB2.0 PHY 电源必须供电；
- 如果产品上确实没有使用到 USB 烧录下载、USB 接口和 USB 外设，USB2.0 PHY 电源可以不供电；
- 稳定的电源有助于提高芯片工作稳定性，去耦电容应靠近管脚摆放，具体电容数量和容量参考原理图，请勿随意调整。

Rockchip Confidential

2.2.4.3. USB3.0 PHY电源

RV1126B的USB3.0 PHY接口电源如下图所示：

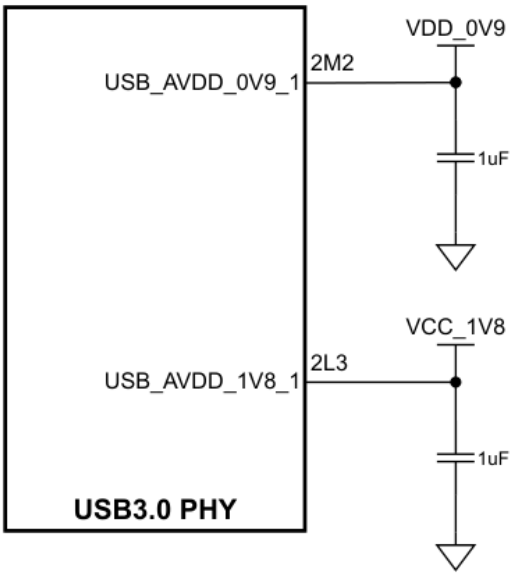


图 2-45 RV1126B USB3.0 PHY电源示意图

USB3.0 PHY接口电源在待机状态下均可关闭，电源管脚说明如下表：

表 2-25 RV1126B芯片USB3.0 PHY电源

模块	电源管脚	待机状态
USB3.0 DRD	USB_AVDD_0V9_1 USB_AVDD_1V8_1	可关断电源

电源峰值电流：

- USB_AVDD_0V9_1：<100mA
- USB_AVDD_1V8_1：<20mA

电源纹波要求：

- 0.9V AC requirement：<20mV
- 1.8V AC requirement：<50mV

USB3.0 PHY电源的设计注意事项：

- USB3.0 PHY 的功能如果都不使用，电源管脚可以不供电，保持悬空或接地，相关软件配置应进行 disable 处理；
- USB3.0 PHY 的 0.9V/1.8V 电源可以与 USB2.0 PHY 的 0.9V/1.8V 电源合并走线，合并后的管脚上仅需保留一个电容，但电容值必须是 1uF；
- 稳定的电源有助于提高芯片工作稳定性，去耦电容应靠近管脚摆放，具体电容数量和容量参考原理图，请勿随意调整。

2.2.4.4. MIPI DPHY CSI RX/LVDS RX PHY电源

RV1126B的MIPI DPHY CSI RX/LVDS RX PHY接口电源如下图所示：

Rockchip Confidential

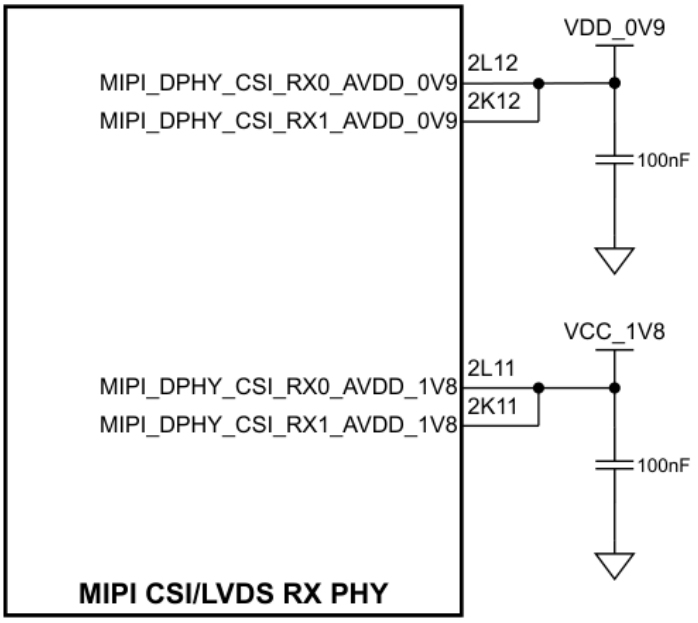


图 2-46 RV1126B MIPI CSI RX0 PHY电源示意图

MIPI DPHY CSI RX/LVDS RX PHY接口电源在待机状态下均可关闭，电源管脚说明如下表：

表 2-26 RV1126B芯片MIPI CSI RX PHY电源

模块	电源管脚	待机状态
MIPI DPHY CSI RX0 PHY LVDS RX0 PHY	MIPI_DPHY_CSI_RX0_AVDD_0V9、 MIPI_DPHY_CSI_RX0_AVDD_1V8	可关断电源
MIPI DPHY CSI RX1 PHY LVDS RX1 PHY	MIPI_DPHY_CSI_RX1_AVDD_0V9、 MIPI_DPHY_CSI_RX1_AVDD_1V8	可关断电源

电源峰值电流：

- MIPI_DPHY_CSI_RX0_AVDD_0V9：<10mA
- MIPI_DPHY_CSI_RX0_AVDD_1V8：<5mA
- MIPI_DPHY_CSI_RX1_AVDD_0V9：<10mA
- MIPI_DPHY_CSI_RX1_AVDD_1V8：<5mA

电源纹波要求：

- 0.9V AC requirement：<20mV
- 1.8V AC requirement：<50mV

MIPI CSI RX/LVDS RX PHY 电源的设计注意事项：

- MIPI CSI RX 或者 LVDS RX 的功能如果不使用，电源管脚可以不供电，保持悬空或接地，相关软件配置应进行 disable 处理；
- 如果 MIPI CSI RX0 和 MIPI CSI RX1 同时使用，二者可以合并供电，方便 layout 走线；
- 稳定的电源有助于提高芯片工作稳定性，去耦电容应靠近管脚摆放，具体电容数量和容量参考原理图，请勿随意调整。

2.2.4.5. MIPI DSI/LVDS TX PHY电源

RV1126B的MIPI DSI TX/LVDS TX PHY接口电源如下图所示：

Rockchip Confidential

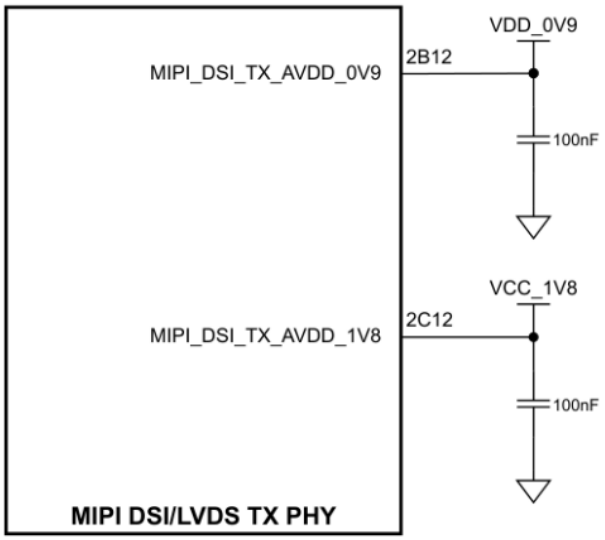


图 2-47 RV1126B MIPI DSI TX/LVDS TX电源示意图

MIPI DSI TX/LVDS TX PHY接口电源在待机状态下均可关闭，电源管脚说明如下表：

表 2-27 RV1126B芯片MIPI DSI TX PHY电源

模块	电源管脚	待机状态
MIPI DSI TX PHY LVDS TX PHY	MIPI_DSI_TX_AVDD_0V9、 MIPI_DSI_TX_AVDD_1V8	可关断电源

电源峰值电流：

- MIPI_DSI_TX_AVDD_0V9：<30mA
- MIPI_DSI_TX_AVDD_1V8：<10mA

电源纹波要求：

- 0.9V AC requirement：<20mV
- 1.8V AC requirement：<50mV

MIPI DSI TX/LVDS TX PHY 电源的设计注意事项：

- MIPI DSI TX 或者 LVDS TX 的功能如果都不使用，电源管脚可以不供电，保持悬空或接地，相关软件配置应进行 disable 处理；
- 稳定的电源有助于提高芯片工作稳定性，去耦电容应靠近管脚摆放，具体电容数量和容量参考原理图，请勿随意调整。

2.2.4.6. FEPHY电源

RV1126B的FEPHY接口电源如下图所示：

Rockchip Confidential

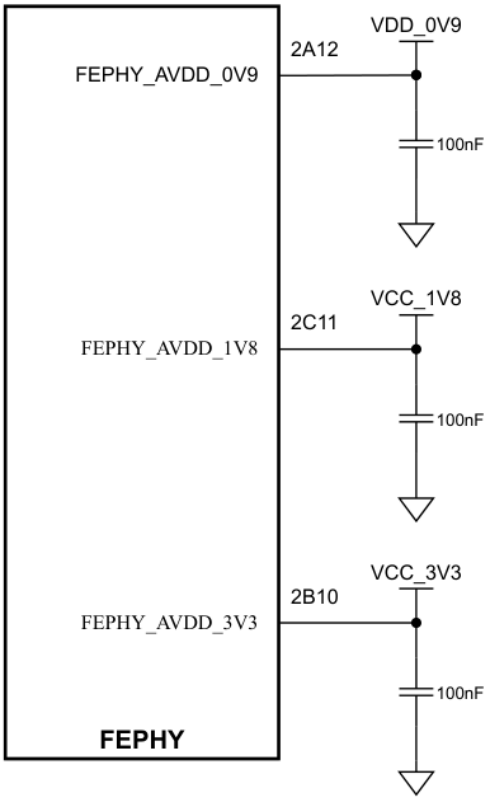


图 2-48 RV1126B芯片FEPHY电源示意图

FEPHY接口电源在待机状态下均可关闭，电源管脚说明如下表：

表 2-28 RV1126B芯片FEPHY电源

模块	电源管脚	待机状态
FEPHY	FEPHY_AVDD_0V9、 FEPHY_AVDD_1V8、 FEPHY_AVDD_3V3	可关断电源

电源峰值电流：

- FEPHY_AVDD_0V9：<10mA
- FEPHY_AVDD_1V8：<50mA
- FEPHY_AVDD_3V3：<50mA

电源纹波要求：

- 0.9V AC requirement：<20mV
- 1.8V AC requirement：<50mV
- 3.3V AC requirement：<200mV

MIPI DSI TX/LVDS TX PHY 电源的设计注意事项：

- FEPHY 的功能如果都不使用，电源管脚可以不供电，保持悬空或接地，相关软件配置应进行 disable 处理；
- 稳定的电源有助于提高芯片工作稳定性，去耦电容应靠近管脚摆放，具体电容数量和容量参考原理图，请勿随意调整。

Rockchip Confidential

2.2.4.7. GPIO电源

GPIO电源请参考小节2.1.12，详细设计请参考RV1126B芯片参考设计原理图。建议每个管脚放置一个100nF去耦电容，并靠近供电管脚摆放。

Rockchip Confidential

2.3. 功能接口设计

2.3.1. FSPI接口

RV1126B共有两组FSPI接口，其中小节2.1.11中已对用于引导的FSPI0接口做过具体说明。除此之外，RV1126B还有一组FSPI1接口，主要用于连接PSRAM等存储设备，在Pre-Recording休眠模式下，仅依靠PMU可以独立完成将Camera的图像数据透传存入PSRAM中的操作流程，具体流程如下图：

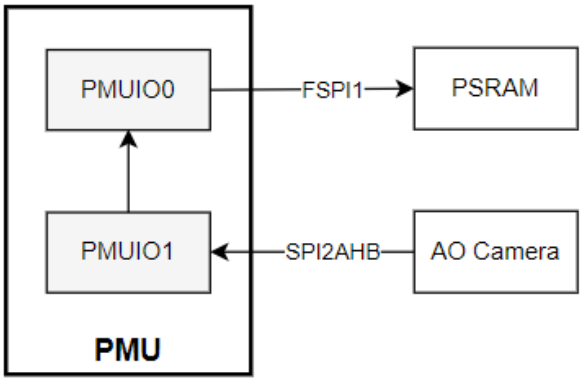


图 2-49 Pre-recording数据传输流程框图

FSPI1接口与PSRAM的信号连接如下图所示：

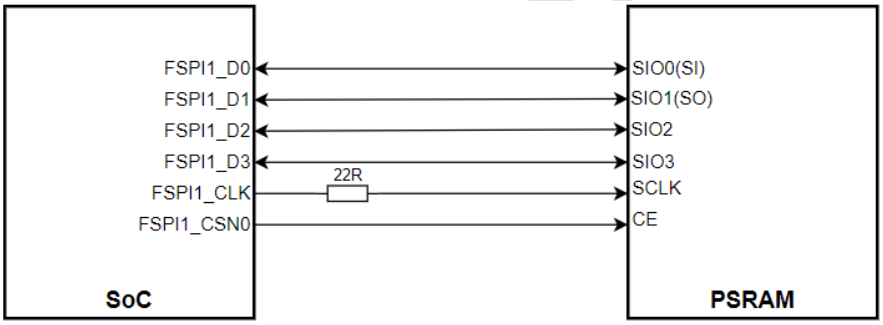


图 2-50 RV1126B芯片FSPI1接口连接示意图

FSPI1接口的匹配设计如下表所示：

表 2-29 RV1126B 芯片 FSPI1 接口匹配设计

信号	内部上下拉	连接方式	描述（芯片端）
FSPI1_D[3]	上拉	直连	SPI数据接收/发送
FSPI1_D[0:2]	下拉	直连	SPI数据接收/发送
FSPI1_CSN	下拉	直连	SPI片选信号输出
FSPI1_CLK	高阻	串联22ohm电阻	SPI时钟发送

FSPI1接口的设计注意事项：

- 由于 RV1126B 的 PMUIO0_VCC3V3 只支持 3.3V 供电，因此 PSRAM 请注意选型，必须选择 3.3V 工作电压的版本；

Rockchip Confidential

2.3.2. SPI2AHB接口

RV1126B的SPI2AHB接口位于PMUIO1域，主要用于与Camera的SPI接口互联，实现Pre-Recording休眠模式可以连续读取Camera的图像数据。SPI2AHB接口与Camera的信号连接如下图所示：

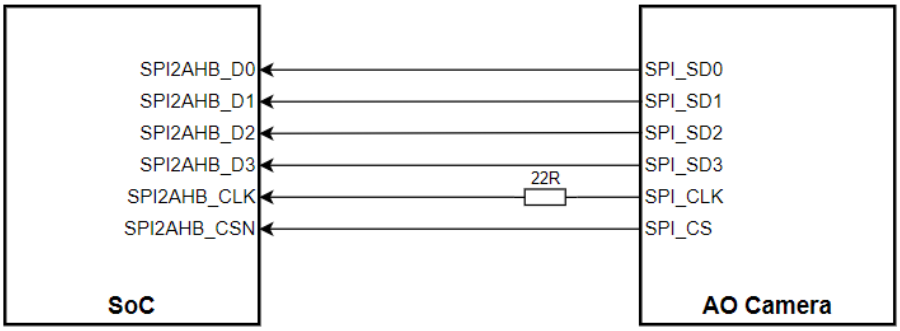


图 2-51 RV1126B芯片SPI2AHB接口连接示意图

SPI2AHB接口的匹配设计如下表所示：

表 2-30 RV1126B 芯片 SPI2AHB 接口匹配设计

信号	内部上下拉	连接方式	描述（芯片端）
SPI2AHB_D[0]	上拉	直连	SPI数据接收
SPI2AHB_D[1:3]	下拉	直连	SPI数据接收
SPI2AHB_CS0	上拉	直连	SPI片选信号输入
SPI2AHB_CLK	下拉	串联22ohm电阻	SPI时钟输入

SPI2AHB接口的设计注意事项：

- SPI2AHB 接口仅作为 Slave（从设备）使用，不能作为 Master（主设备）使用；
- 由于大部分 Camera 的 DOVDD 电压为 1.8V，所以在 Pre-recording 模式下，PMUIO1_VCC 建议使用 1.8V 供电；
- 部分型号的 Camera 支持 INT/FSYNC，连接方式请按照参考原理图设计。

2.3.3. SDMMC接口

RV1126B提供了2个SDMMC接口控制器：

- 支持 SD3.0 以及 MMC V4.51 协议；
- 支持 1/2/4 线的数据总线宽度；
- 支持 SDR104 模式，速率最高可以达到 200MHz。

2.3.3.1. SDMMC0接口

SDMMC0接口复用在VCCIO2电源域，默认分配存储卡功能，支持SD Boot功能，即SPI FLASH/EMMC为空片时，可通过SD卡升级固件；同时也支持SD Upgrade功能，即系统启动后，可通过SD卡对系统固件进行升级。SDMMC0接口与SD Card/Micro-SD Card的信号连接如下图所示：

Rockchip Confidential

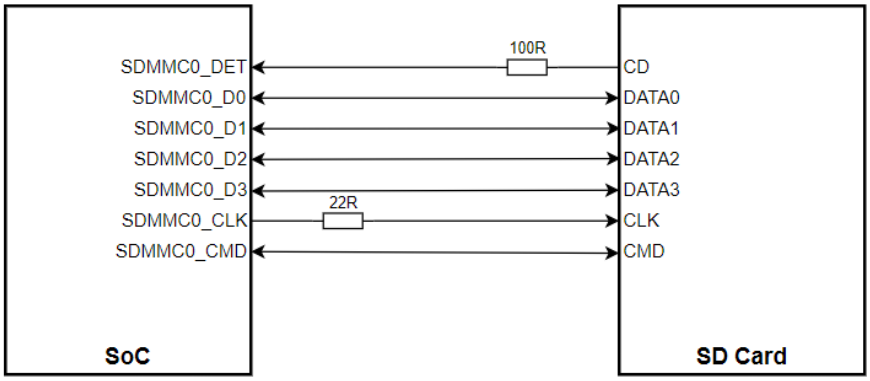


图 2-52 RV1126B芯片SDMMC0接口连接示意图

SDMMC0接口的匹配设计如下表所示：

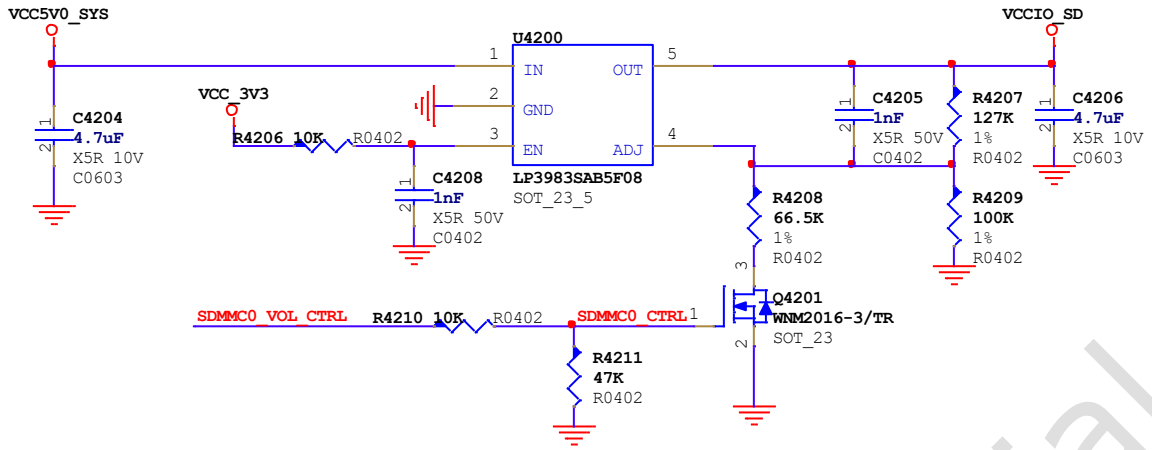
表 2-31 RV1126B 芯片 SDMMC0 接口匹配设计

信号	内部默认上下拉	连接方式	描述（芯片端）
SDMMC0_D[3:0]	默认下拉	串联22ohm电阻 使用对应IO内部上拉电阻	SD数据发送/接收
SDMMC0_CLK	默认下拉	串联22ohm电阻	SD时钟发送
SDMMC0_CMD	默认下拉	串联22ohm电阻 使用对应IO内部上拉电阻	SD命令发送/接收
SDMMC0_DET	默认上拉	串联100ohm电阻 使用对应IO内部上拉电阻	SD卡插入检测

SDMMC0接口的设计注意事项：

- SDMMC0 与 JTAG 等功能复用在一起，默认通过 SDMMC0_DET 状态进行功能选择，具体请参考 2.1.6 小节描述；
- GPIO2 Domain 的 GPIO 内部默认下拉，在设置为 SDMMC 模式时，SDMMC0_DATA/CMD 需要配置成上拉；
- VCCIO2 的 VCCIO_SD 电源，需要外部提供 3.3V 或 1.8V 供电。当 SD 卡只支持 SD2.0 模式时，VCCIO_SD 可直接供 3.3V 电源；当 SD 卡兼容支持 SD3.0/SD2.0 模式，那么 VCCIO_SD 默认为 3.3V 供电，经过控制器与卡端协商后进入 SD3.0 模式，软件切换供电电压为 1.8V 供电，电路如下图所示：

Rockchip Confidential




```
SDIO2.0 SDMMC0_VOL_CTRL=H VCCIO_SD=3.34V(Default)
SDIO3.0 SDMMC0_VOL_CTRL=L VCCIO_SD=1.816V
```

图 2-53 RV1126B SD2.0/SD3.0电源切换

- 如果 SDMMC0 没有外接存储卡，而是外接 SDIO 设备时，接口电平请根据外设工作电平供电；
- SD 卡的 VDD 电源管脚供电电压为 3.3V，去耦电容不得删减，布局时，要靠近卡座放置。电源上预留 10K 放电电阻，保证 SD 卡供电电源下电速度够快，避免快速插拔时，电源放电不完全出现 SD 卡读取异常；

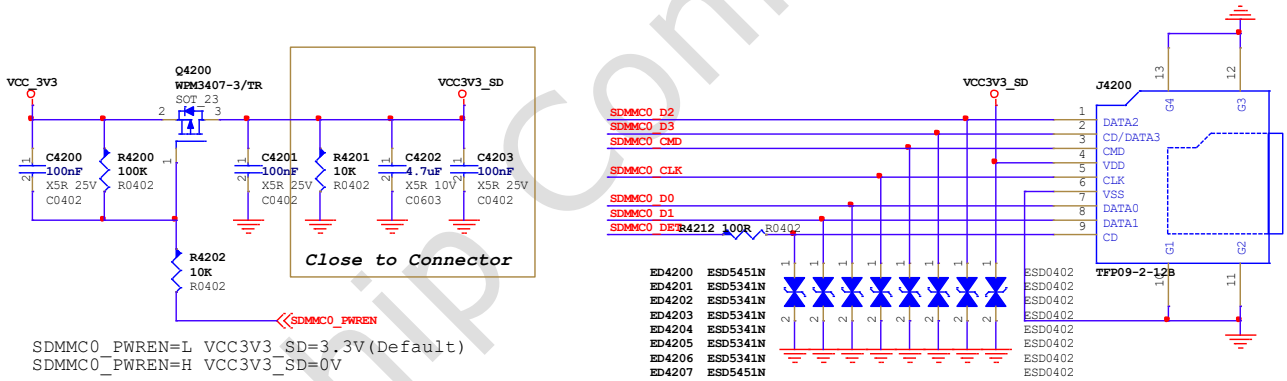


图 2-54 SD Card 接口电路

- SDMMC0_D[3：0]，SDMMC0_CMD，SDMMC0_CLK，SDMMC0_DET 信号在 SD 卡位置需要放置 ESD 器件，需要支持 SD3.0 模式，ESD 器件的结电容必须小于 1pF，如只需支持 SD2.0 模式，ESD 器件的结电容可放宽到 9pF；
- 当通过连接器实现板对板连接时，也请保持串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件；

2.3.3.2. SDMMC1接口

SDMMC1接口复用在VCCIO3电源域，默认分配为SDIO功能，且不支持System Boot。

SDMMC1接口与Wi-Fi的信号连接如下图所示：

Rockchip Confidential

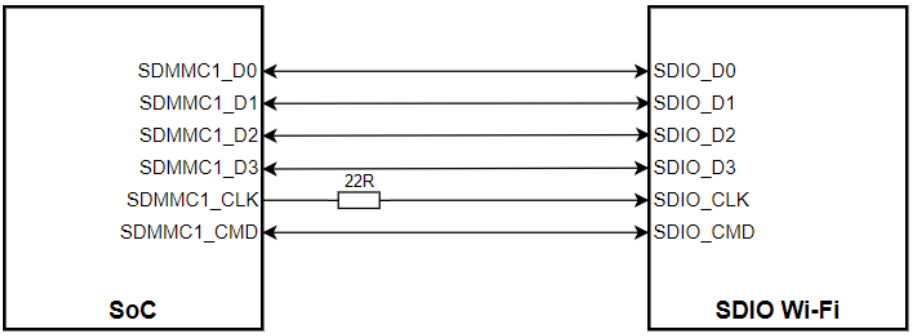


图 2-55 RV1126B 芯片 SDMMC1 接口连接示意图

SDMMC1接口的匹配设计如下表所示：

表 2-32 RV1126B 芯片 SDMMC1 接口匹配设计

信号	内部上下拉	连接方式	描述（芯片端）
SDMMC1_D[3:0]	默认下拉	串联22ohm电阻，走线较短时可删除 使用对应IO内部上拉电阻	SDIO数据发送/接收
SDMMC1_CLK	默认下拉	串联22ohm电阻	SDIO命令发送/接收
SDMMC1_CMD	默认下拉	串联22ohm电阻，走线较短时可删除 使用对应IO内部上拉电阻	SDIO时钟发送

SDMMC1接口的设计注意事项：

- SDMMC1 接口所在的 VCCIO3 电源域供电，需要根据外设需要选择对应的电压，需要注意和外设的 IO 电压保持一致，否则需要做电平匹配处理；
- 当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件；

2.3.4. SARADC接口

RV1126B集成了3个分辨率为13bit的SARADC控制器，每路可提供8路SARADC输入，速度达到2MS/s，输入电压范围为0-1.8V。

2.3.4.1. SARADC0接口

SARADC0接口的信号连接如下图所示：

Rockchip confidential

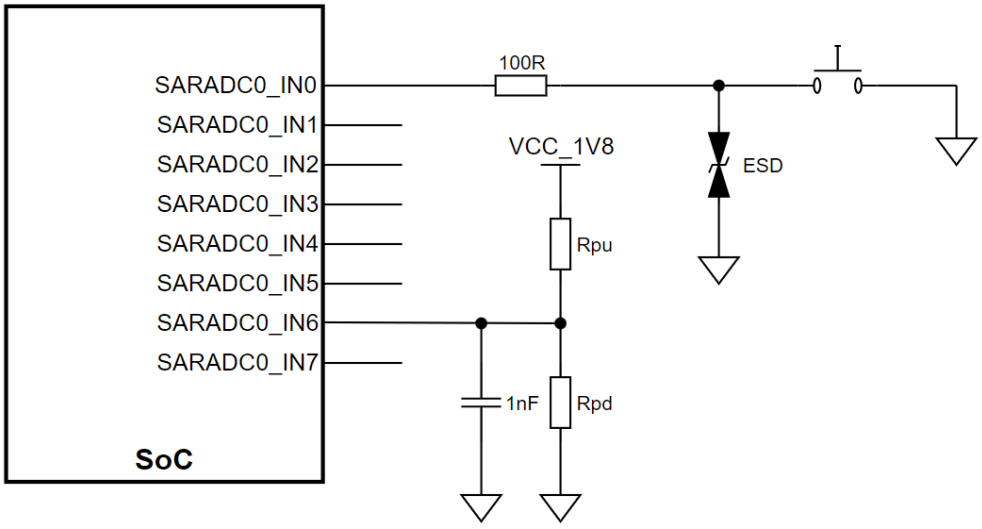


图 2-56 RV1126B 芯片 SARADC0 接口连接示意图

除SARADC0_IN7以外的其他通道，可通过软件配置任意功能，例如可配置SARADC0_IN0用于进入Recovery状态、配置SARADC0_IN2用于BOM ID选择等功能。

其中SARADC0_IN7_BOOT专门用于System Boot启动顺序的设置，不能用于其它功能，通过上下拉电阻分压采样得到的值，用来判断从哪个接口进行BOOT，详见小节2.1.5。

除SARADC0_IN7以外的其他通道，可通过软件配置任意功能，例如可配置SARADC0_IN0用于进入Recovery状态、配置SARADC0_IN2用于BOM ID选择等功能。

SARADC0_IN0一般常用做按键的键值输入采样，也可通过软件配置为Recovery模式按键，主要用于研发调试阶段需要频繁烧录固件的情况：

SARADC0_IN0在没有按键动作且系统已经烧录固件的前提下，上电直接进入系统；若系统启动时，Recovery模式按键处于按下状态，即SARADC0_IN0保持为低电平（0V），则RV1126B进入Loader烧写模式，当PC识别到USB设备时，松开按键使SARADC0_IN0恢复为高电平（1.8V），即可进入固件烧写。因此，在产品未有按键情况下，SARADC0_IN0如果是悬空会不定态，可能会影响开机，所以外部的10Kohm 1%上拉电阻必须保留不可删减，默认为高电平（1.8V），保证默认的正常启动判断。如果没有配置Recovery模式，该上拉电阻不是必需的。

RV1126B上，按键阵列采用并联型，可以通过增减按键并调整分压电阻比例来调整输入键值，实现多键输入以满足客户产品需求；设计中建议任意两个按键键值之差必须大于560，即中心电压差必须大于123mV。按键矩阵的信号连接如下图所示：

Rockchip confidential

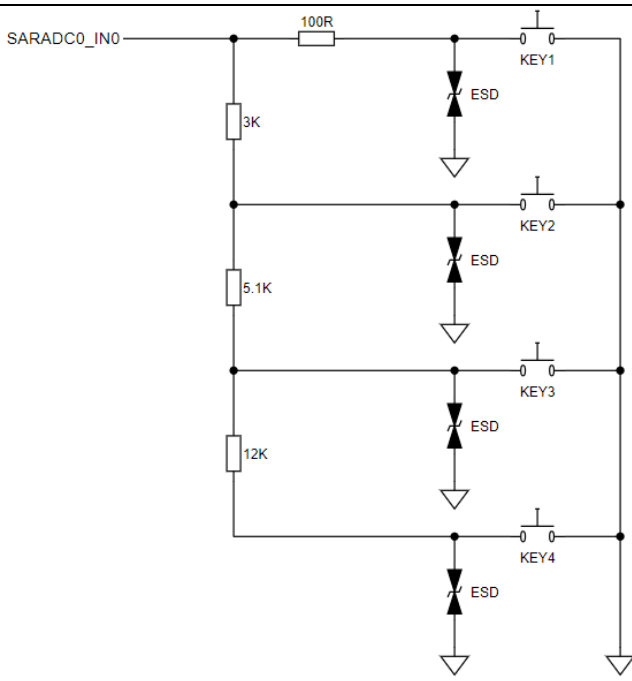


图 2-57 RV1126B 芯片按键矩阵电路示意图

SARADC0接口的设计注意事项：

- SARADC0_AVDD_1V8 电源的去耦电容不得删减，布局时，要靠近 RV1126B 管脚放置；
- SARADC0_IN[7：0]有使用，靠近管脚必须增加 1nF 电容消抖，请勿修改电容容值或是删除电容，否则会引起采样出错；
- 用于按键采集时，靠近按键需做 ESD 防护，而且 0 键值的必须串接 100ohm 电阻加强抗静电浪涌能力（如果只有一个键时，ESD 必须靠近按键，先经过 ESD→100ohm 电阻→1nF→芯片管脚）。

2.3.4.2. SARADC1/2接口

SARADC1/2 接口复用在VCCIO6电源域，如下图所示：

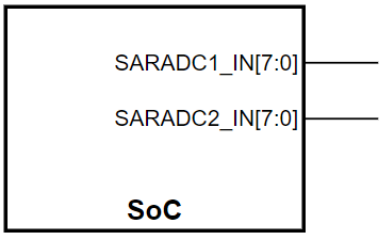


图 2-58 RV1126B 芯片 SARADC1&2 接口连接示意图

SARADC1/2接口的设计注意事项：

- SARADC1&2 在工作电压 1.8V 的情况下，SARADC 量程为 1.8V，但此时通道输入的最大耐压可以支持到 3.3V，所以 VCCIO6 不需要强制配置为 1.8V 模式。
- SARADC1&2_AVDD_1V8 电源的去耦电容不得删减，布局时，要靠近 RV1126B 管脚放置；
- SARADC1_IN[7：0]、SARADC2_IN[7：0]有使用，靠近管脚必须增加 1nF 电容消抖，请勿删除，否则会引起采样出错；

Rockchip Confidential

2.3.5. USB2/USB3接口

RV1126B芯片内置1个USB3 DRD控制器（旧称为USB3 OTG控制器），以及1个USB2 HOST控制器，这些控制器与PHY的内部复用关系如下：

- USB3 DRD 控制器和 USB3.0 DRD PHY、USB2.0 DRD PHY 组合，外部接口是 USB3.0 DRD。

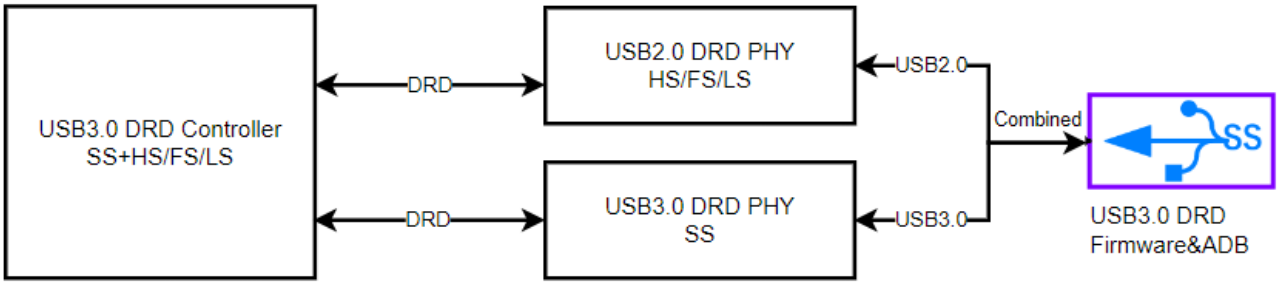


图 2-59 RV1126B 芯片 USB3.0 DRD 接口复用框图

- USB2.0 HOST 控制器和 USB2.0 HOST PHY 组合，外部接口是 USB2.0 HOST。

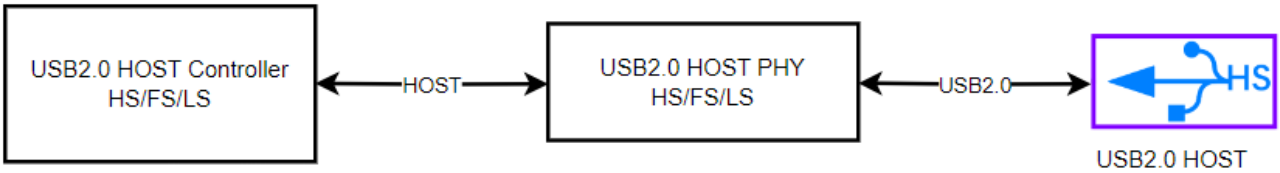


图 2-60 RV1126B 芯片 USB2.0 HOST 接口复用框图

- USB3 DRD 控制器、USB2.0 HOST 控制器和 USB3.0 DRD PHY、USB2.0 HOST PHY 组合，外部接口是 USB3.0 HOST；剩余的 USB3 DRD 控制器和 USB2.0 DRD PHY 组合，外部接口只能是 USB2.0 HOST

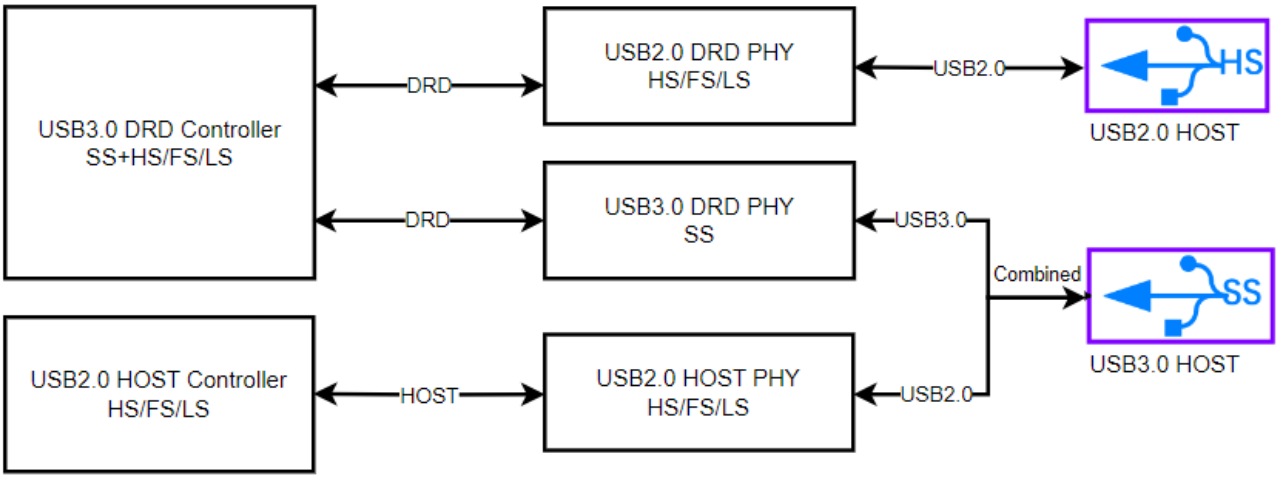


图 2-61 RV1126B 芯片 USB3.0 HOST 接口复用框图

控制器与PHY的内部复用关系整理如下：

<table>
<tr><th></th><th>Case1
(Recommend)</th><th>Case2
(Recommend)</th><th>Case3
(Not recommend)</th></tr>
<tr><td>USB 2.0 DRD
(FW download
Default)</td><td>USB2.0 DRD</td><td rowspan="2">Combined for
USB3.0 DRD</td><td>USB2.0 HOST</td></tr>
<tr><td>USB 3.0 DRD</td><td>N/A</td><td rowspan="2">Combined for
USB3.0 HOST</td></tr>
<tr><td>USB 2.0 HOST</td><td>USB2.0 HOST</td><td>USB2.0 HOST</td></tr>
</table>

图 2-62 RV1126B 芯片 USB 控制器与 PHY 的复用关系

USB2.0 DRD接口的信号连接如下图所示：

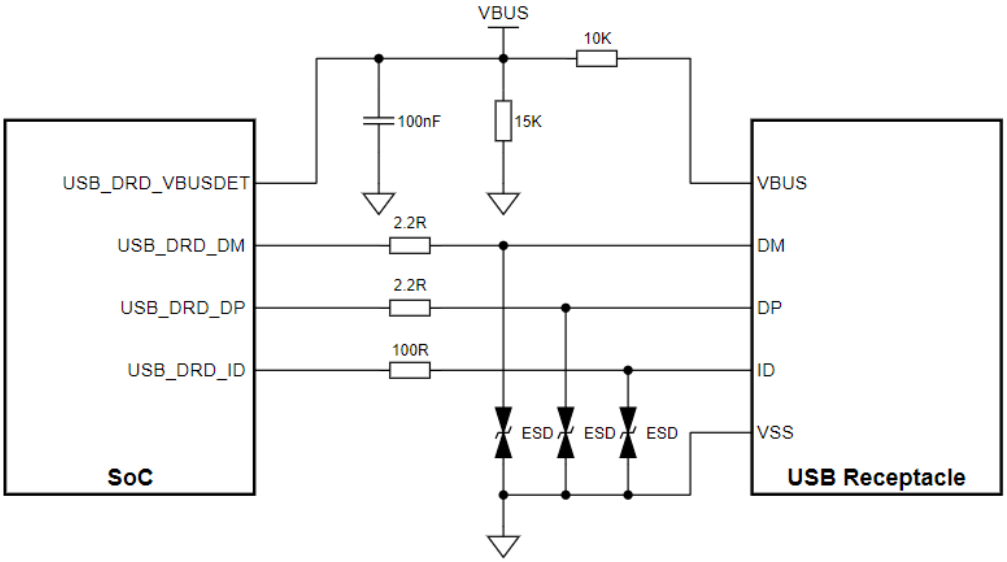


图 2-63 RV1126B 芯片 USB2.0 DRD 接口连接示意图

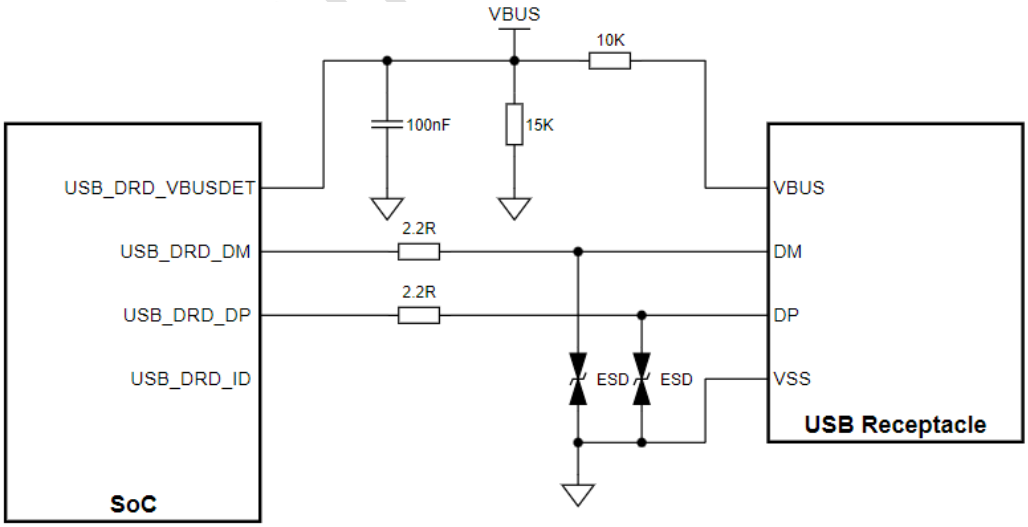


图 2-64 RV1126B 芯片 USB2.0 DRD 接口连接示意图（无 ID pin）

DRD接口可以设置以下三种模式，在Uboot起来前默认为Device模式，进Uboot后，可根据实际需求配置：

- DRD 模式：根据 DRD_ID 管脚的状态自动切换 Device/HOST 模式，默认 DRD_ID 为高是 Device，

DRD_ID 置低为 HOST，如图 2-63 所示；

- 强制 Device 模式：处于这个模式时，如果检测到 VBUSDET 管脚为高（大于 2.3V），SoC 会拉高 DP，开始进行枚举；
- 强制 HOST 模式：处于这个模式时，ID 和 VBUSDET 状态都无需要关心。如果产品上需要配置为强制 HOST 模式，而生产烧写和 ADB 调试时又需要用到 Device 模式，那么 USB_DRD_VBUSDET 信号连接可以如下图所示，通过一个 4.7K 上拉电阻接到 USB_AVDD_3V3，通过软件切换模式，简化 PCB 走线；

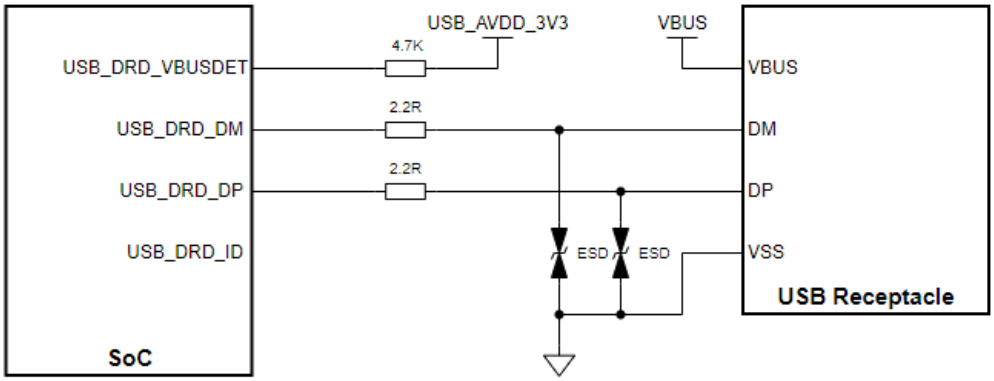


图 2-65 RV1126B 芯片 USB2.0 DRD 接口强制模式连接示意图

注意

Note：USB_DRD_DP/ USB_DRD_DM支持Firmware Download，如果产品不用这个接口，也建议在调试过程中预留此接口，否则调试过程使用串口，固件烧录速度较慢。此时，USB_DRD_VBUSDET也必须连接！

USB3.0 DRD接口的信号连接如下图所示

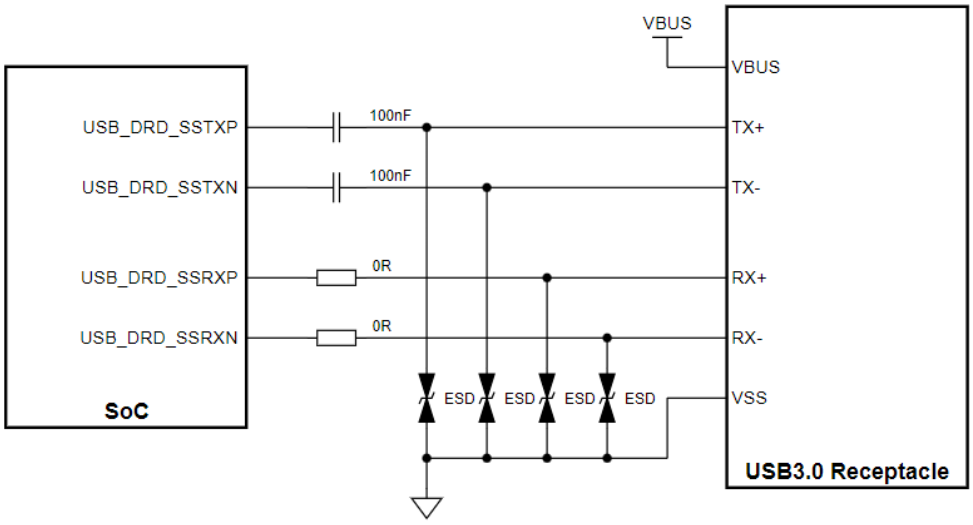


图 2-66 RV1126B 芯片 USB3.0 DRD 接口连接示意图

由于USB3.0的DRD和USB2.0的DRD是同一个USB3的控制器，因此USB3.0和USB2.0的DRD只能同时做Device或者做HOST，不能USB3.0的DRD做HOST，USB2.0的DRD做Device，或者USB3.0的DRD做Device而USB2.0的DRD做HOST。

USB2.0 HOST接口的信号连接如下图所示：

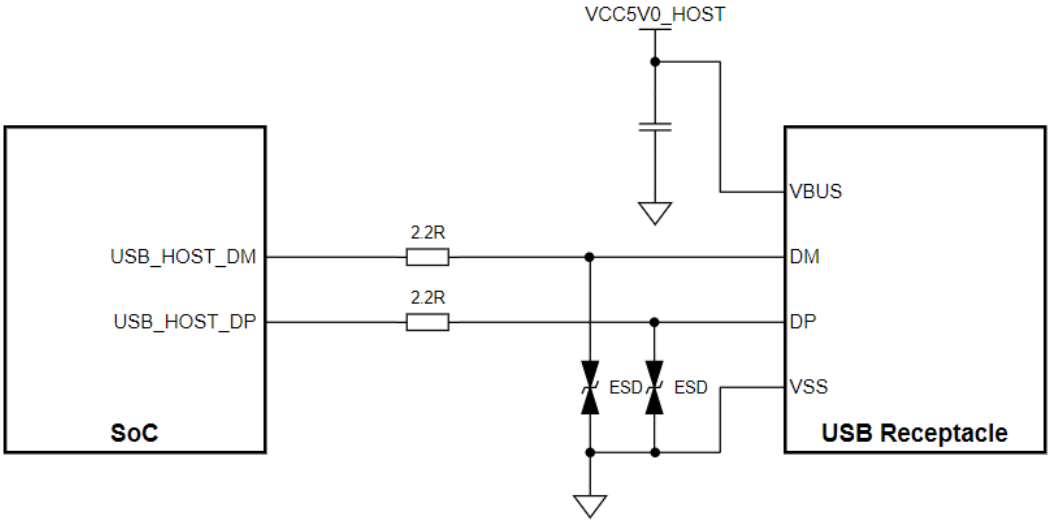


图 2-67 RV1126B 芯片 USB2.0 HOST 接口连接示意图

USB2/USB3接口的设计注意事项：

- USB_DRD_DP/USB_DRD_DM 是默认的系统固件下载端口，建议在调试过程中预留此接口，否则调试过程中只能使用串口下载固件，烧录速度较慢；
- USB_DRD_ID 内部有大概 200Kohm 电阻上拉到 USB_AVDD_1V8_0；
- USB_DRD_VBUSDET 是 DEVICE 模式检测脚，高为 DEVICE 设备，2.7-3.3V，TYP：3.0V，建议在管脚放置一个 100nF 电容。
- 为提高 USB 性能，PHY 各路电源的去耦电容不得删除，布局时请靠近管脚放置；
- 为加强抗静电和浪涌能力，信号上必须预留 ESD 器件，USB2.0 信号的 ESD 寄生电容不得超过 3pF，DP/DM 信号建议串接 2.2ohm 电阻，加强抗静电浪涌能力，不得删减；
- 为抑制电磁辐射，可以考虑在 USB2.0 信号线上预留共模电感（Common mode choke），在调试过程中根据实际情况选择使用电阻或者共模电感。

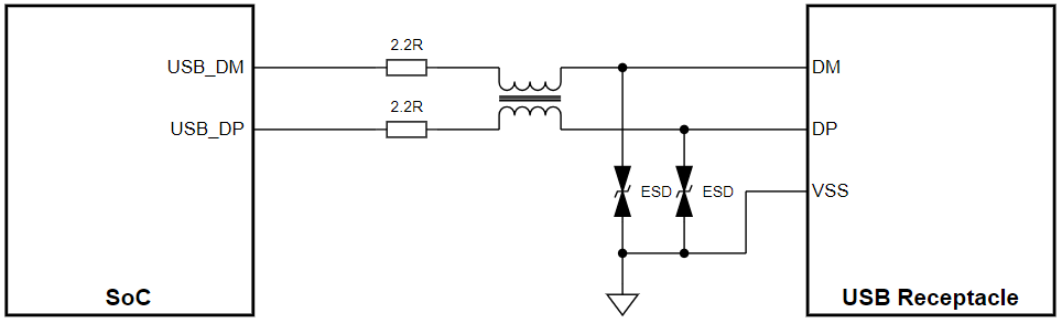


图 2-68 RV1126B 芯片 USB 接口串接共模电感连接示意图

- USB_DRD_ID 使用时，为加强抗静电和浪涌能力，必须预留 ESD 器件，而且串接 100ohm 电阻，不得删减，如图 2-63 所示；
- 当工作在 HOST 模式时，HOST 的 5V 电源建议增加限流开关进行保护，限流大小根据应用需要可调整，限流开关使用 3.3V 的 GPIO 控制，输出使用 10uF 和 100nF 以上的电容对电源滤波；若 USB 口需连接移动硬盘，峰值工作电流较大，建议滤波增加电容到 100uF 以上。

Rockchip Confidential

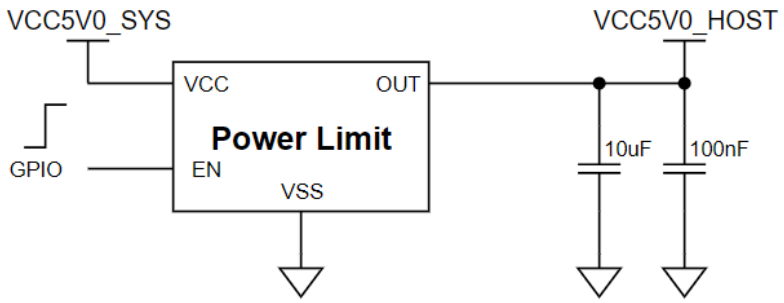


图 2-69 USB HOST 电源 5V 限流开关电路示意图

- USB3.0 协议要求在 SSTXP/N 线上增加 100nF 交流耦合电容，AC 耦合电容建议使用 0201 封装，具有更低的 ESR 和 ESL，可以减少线路上的阻抗突变。
- USB3.0 座子所有信号都必须增加 ESD 器件，布局时靠近 USB 连接器放置。对于 SSTXP/N，SSRXP/N 信号，ESD 寄生电容不得超过 0.3pF，如图 2-66 所示。

USB2/USB3接口的匹配设计如下表所示：

表 2-33 RV1126B 芯片 USB2/USB3 接口匹配设计

信号	连接方式	说明
USB_DRD_DP/DM USB_HOST_DP/DM	串接2.2ohm电阻	USB HS/FS/LS模式的数据输入/输出
USB_DRD_SSTXP/SSTXN USB_DRD_SSRXP/SSRXN	串接100nF电容（建议0201封装）	USB SS模式的数据输出
USB_DRD_ID	串接100ohm电阻	USB DRD ID识别，Micro-USB接口时需要使用
USB_DRD_VBUSDET	电阻分压检测	USB DRD插入检测

2.3.6. 视频输入接口

2.3.6.1. MIPI DPHY CSI RX接口

RV1126B有2组MIPI CSI RX输入，都支持MIPI V1.2版本，通道支持的最大传输速率为2.5Gbps/Lane。实际应用中可以将每组port的1*4lane拆成2*2lane输入，最大可同时支持4路MIPI CSI RX输入。

MIPI DPHY CSI RX接口的信号连接如下图所示：

Rockchip Confidential

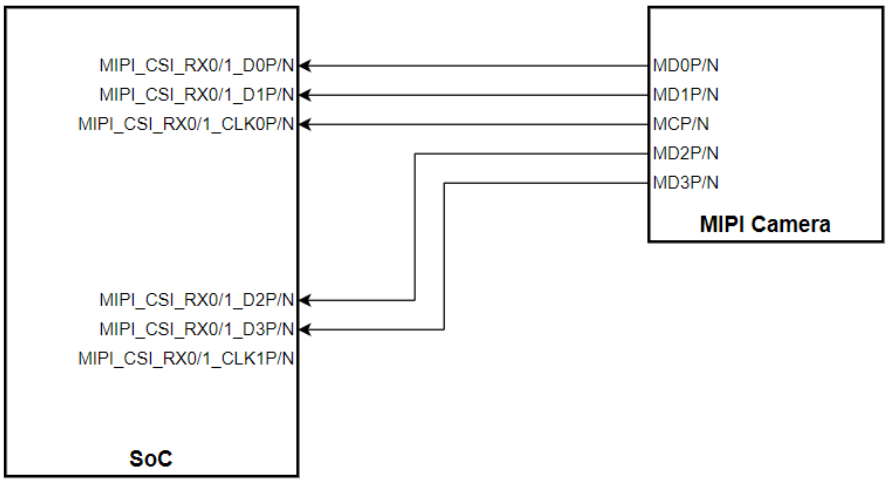


图 2-70 RV1126B 芯片 MIPI DPHY CSI RX 接口 4Lane 模式连接示意图

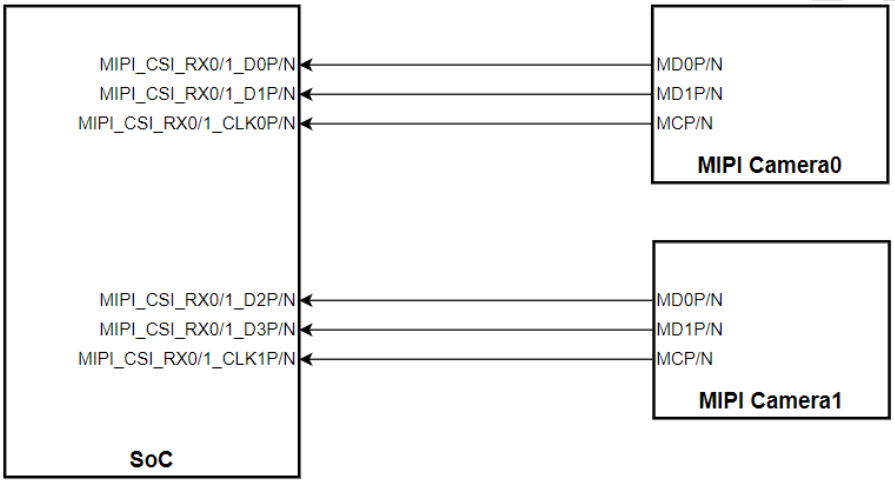


图 2-71 RV1126B 芯片 MIPI DPHY CSI1 RX 接口 2*2Lane 模式连接示意图

MIPI DPHY CSI RX接口的匹配设计如下表所示：

表 2-34 RV1126B 芯片 MIPI DPHY CSI RX 接口匹配设计

信号	连接方式	说明
MIPI_DPHY_CSI_RX0_D0P/N	直连	MIPI CSI RX0 数据Lane0输入
MIPI_DPHY_CSI_RX0_D0P/N	直连	MIPI CSI RX0 数据Lane1输入
MIPI_DPHY_CSI_RX0_D0P/N	直连	MIPI CSI RX0 数据Lane2输入
MIPI_DPHY_CSI_RX0_D0P/N	直连	MIPI CSI RX0 数据Lane3输入
MIPI_DPHY_CSI_RX0_CLK0P/N	直连	MIPI CSI RX0 时钟CLK0输入
MIPI_DPHY_CSI_RX0_CLK1P/N	直连	MIPI CSI RX0 时钟CLK1输入
MIPI_DPHY_CSI_RX1_D0P/N	直连	MIPI CSI RX1 数据Lane0输入
MIPI_DPHY_CSI_RX1_D0P/N	直连	MIPI CSI RX1 数据Lane1输入
MIPI_DPHY_CSI_RX1_D0P/N	直连	MIPI CSI RX1 数据Lane2输入
MIPI_DPHY_CSI_RX1_D0P/N	直连	MIPI CSI RX1 数据Lane3输入
MIPI_DPHY_CSI_RX1_CLK0P/N	直连	MIPI CSI RX1 时钟CLK0输入
MIPI_DPHY_CSI_RX1_CLK1P/N	直连	MIPI CSI RX1 时钟CLK1输入

Rockchip Confidential

2.3.6.2. DVP(CIF)接口

RV1126B芯片的DVP接口复用在两个位置，一个在VCCIO5电源域，一个在VCCIO6电源域，同时间只能使用其中一个，要么全部用IOMUX M0，要么全部用IOMUX M1，不支持部分IO为M0部分IO为M1的混合用法。

在实际产品设计中，DVP接口电源域供电，需要根据产品Camera的实际IO供电要求（1.8V or 3.3V），选择对应的供电，同时I2C上拉电平必须与其保持一致，否则会造成Camera工作异常或无法工作。

DVP接口的信号连接如下图所示：

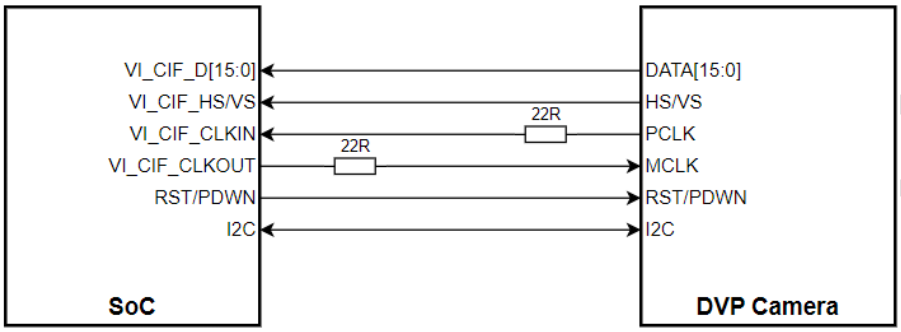


图 2-72 RV1126B 芯片 DVP 接口连接示意图

DVP接口支持如下格式：

- 支持 BT.601 RAW8/10/12/14 YCbCr 422 8bit input
- 支持 BT.656 YCbCr 422 8-bit progressive/interlaced input
- 支持 16-Pins BT.1120 YCbCr 422 8-bit progressive/interlaced input
- 支持 2/4 mixed BT.656/BT.1120 YCbCr 422 input

CIF[15:0]的8/10/12/16bit数据对应关系如下表，支持高位对齐模式：

Rockchip Confidential

表 2-35 RV1126B 芯片 DVP 数据对应关系

RV1126B 16bit DVP	BT.601			BT.656	BT.1120
	12bit	10bit	8bit	8bit	16bit
VI_CIF_D0					D0
VI_CIF_D1					D1
VI_CIF_D2					D2
VI_CIF_D3					D3
VI_CIF_D4	D0				D4
VI_CIF_D5	D1				D5
VI_CIF_D6	D2	D0			D6
VI_CIF_D7	D3	D1			D7
VI_CIF_D8	D4	D2	D0	D0	D8
VI_CIF_D9	D5	D3	D1	D1	D9
VI_CIF_D10	D6	D4	D2	D2	D10
VI_CIF_D11	D7	D5	D3	D3	D11
VI_CIF_D12	D8	D6	D4	D4	D12
VI_CIF_D13	D9	D7	D5	D5	D13
VI_CIF_D14	D10	D8	D6	D6	D14
VI_CIF_D15	D11	D9	D7	D7	D15
VI_CIF_CLKIN	CLKIN	CLKIN	CLKIN	CLKIN	CLKIN
VI_CIF_HSYNC	HSYNC	HSYNC	HSYNC	--	--
VI_CIF_VSYNC	VSYNC	VSYNC	VSYNC	--	--
VI_CIF_CLKOUT	CLKOUT	CLKOUT	CLKOUT	--	--

Rockchip Confidential

BT.1120 16bit模式数据对应关系，支持YC Swap。

表 2-36 RV1126B 芯片 BT1120 16bit 模式数据对应关系表

Pin Name	默认模式		Swap打开	
	Pixel #0	Pixel #1	Pixel #0	Pixel #1
VI_CIF_D0	Y0[0]	Y1[0]	Cb0[0]	Cr0[0]
VI_CIF_D1	Y0[1]	Y1[1]	Cb0[1]	Cr0[1]
VI_CIF_D2	Y0[2]	Y1[2]	Cb0[2]	Cr0[2]
VI_CIF_D3	Y0[3]	Y1[3]	Cb0[3]	Cr0[3]
VI_CIF_D4	Y0[4]	Y1[4]	Cb0[4]	Cr0[4]
VI_CIF_D5	Y0[5]	Y1[5]	Cb0[5]	Cr0[5]
VI_CIF_D6	Y0[6]	Y1[6]	Cb0[6]	Cr0[6]
VI_CIF_D7	Y0[7]	Y1[7]	Cb0[7]	Cr0[7]
VI_CIF_D8	Cb0[0]	Cr0[0]	Y0[0]	Y1[0]
VI_CIF_D9	Cb0[1]	Cr0[1]	Y0[1]	Y1[1]
VI_CIF_D10	Cb0[2]	Cr0[2]	Y0[2]	Y1[2]
VI_CIF_D11	Cb0[3]	Cr0[3]	Y0[3]	Y1[3]
VI_CIF_D12	Cb0[4]	Cr0[4]	Y0[4]	Y1[4]
VI_CIF_D13	Cb0[5]	Cr0[5]	Y0[5]	Y1[5]
VI_CIF_D14	Cb0[6]	Cr0[6]	Y0[6]	Y1[6]
VI_CIF_D15	Cb0[7]	Cr0[7]	Y0[7]	Y1[7]

DVP接口的匹配设计如下表所示：

表 2-37 RV1126B 芯片 DVP 接口匹配设计

信号	芯片内部上下拉配置情况	连接方式	描述（芯片端）
VI_CIF_D[15：0]	下拉	直连，有条件建议靠近芯片端预留串接电阻	CIF数据输入
VI_CIF_HSYNC	下拉	直连，有条件建议靠近芯片端预留串接电阻	CIF行同步输入
VI_CIF_VSYNC	下拉	直连，有条件建议靠近芯片端预留串接电阻	CIF场同步输入
VI_CIF_CLKIN	下拉	串接22ohm电阻，靠近设备端	CIF时钟输入
VI_CIF_CLKOUT	下拉	串接22ohm电阻，靠近芯片端	CIF时钟输出，可为设备提供MCLK工作时钟

当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm-100ohm之间，具体以能满足SI测试为准)，并预留TVS器件。

2.3.6.3. 设计注意事项

- Camera 的 DVDD 供电有 1.2V/1.5V/1.8V 等不同情况，请根据 Camera 的规格书提供准确的电源；
- 有些 Camera 的 DVDD 电流比较大（高分辨率模组），超过 300mA 建议使用 DCDC 供电；
- 部分 Camera 的电源有上电时序要求，电源使能管脚请预留 RC 并根据模组规格书相应调整上电

Rockchip Confidential

时序；

- 使用 CIF 接口的 Camera 时，要注意 Camera 的 DOVDD（IO 电源）与 SOC 端对接的电源域（VCCIO5 或者 VCCIO6）供电必须用相同的电压；
- 使用两个 Camera 时，可根据需求实际情况电源分开或合并；
- Camera 电源的的去耦电容不得删减，必须保留，靠近 sensor image 放置；如果 Camera 模组通过排线与 SoC 连接，在连接座处也请放置 uF 级别电容；
- Camera 的 PWDN 信号必须使用 GPIO 控制，GPIO 电平必须和 Camera IO 电平匹配；
- Camera 的 Reset/Shutdown 信号建议使用 GPIO 控制，GPIO 电平必须和 Camera IO 电平匹配，Reset 信号的 100nF 电容不得删除，靠近座子放置，加强抗静电能力；
- 双摄模式下，如果两个 Camera 同型号，要注意 I2C 地址是否可通过 SID 配置，如果 I2C 地址固定，那么不能挂在同一组 I2C 总线上，需要单独连接。
- Camera 的 MCLK 可以从以下时钟源获取：
  - VI_CIF_CLKOUT
  - REF_CLK0_OUT
  - CAM_CLK0_OUT/CAM_CLK1_OUT/CAM_CLK2_OUT/CAM_CLK3_OUT
  - 注意：时钟的电平必须和 Camera IO 电平匹配，如果不匹配，必须电平转换或电阻分压使电平匹配；

2.3.7. 视频输出接口

2.3.7.1. MIPI DPHY DSI TX接口

RV1126B有一个MIPI DPHY DSI TX，支持MIPI V1.2版本，总共4Lane，通道支持的最大传输速率为1.5Gbps/Lane，最大分辨率支持1920x1080@60Hz。

MIPI DPHY DSI TX接口的信号连接如下图所示：

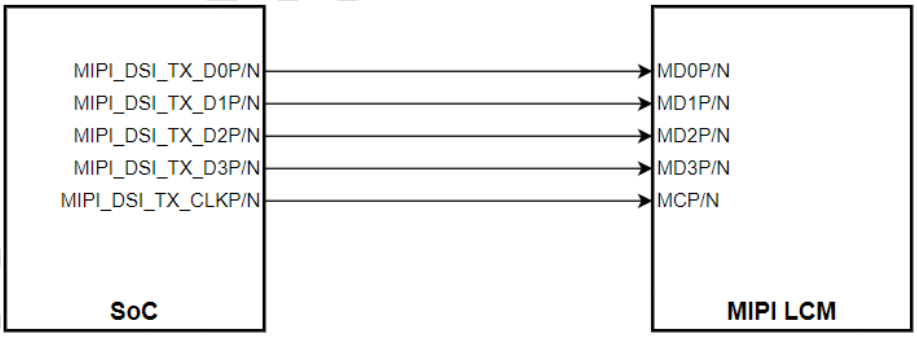


图 2-75 RV1126B 芯片 MIPI DPHY DSI TX 接口连接示意图

MIPI DPHY DSI TX接口的匹配设计如下表所示：

Rockchip Confidential

表 2-38 RV1126B 芯片 MIPI DPHY DSI TX 接口匹配设计

信号及复用情况	连接方式	描述（芯片端）
MIPI_DPHY_DSI_TX_D0P/N	直连，为抑制电磁辐射，建议预留共模电感	MIPI DSI 数据Lane0输出
MIPI_DPHY_DSI_TX_D1P/N	直连，为抑制电磁辐射，建议预留共模电感	MIPI DSI 数据Lane1输出
MIPI_DPHY_DSI_TX_D2P/N	直连，为抑制电磁辐射，建议预留共模电感	MIPI DSI 数据Lane2输出
MIPI_DPHY_DSI_TX_D3P/N	直连，为抑制电磁辐射，建议预留共模电感	MIPI DSI 数据Lane3输出
MIPI_DPHY_DSI_TX_CLKP/N	直连，为抑制电磁辐射，建议预留共模电感	MIPI DSI 时钟输出

MIPI DPHY DSI TX接口的设计注意事项：

- 支持 1/2/4Lane 模式，1Lane 默认为 D0，2Lane 模式默认为 D0/D1；
- MIPI Data Lane 不支持组间对调，需要一一对应；也不支持组内 P/N 对调；
- 当通过连接器实现板对板连接时，建议串接一定阻值的电阻(2.2ohm，具体以能满足 SI 测试为准)，并预留 TVS 器件。

2.3.7.2. LCDC TX接口

RV1126B LCDC TX接口，支持并行24bit RGB模式、16bit BT.1120模式、8bit BT.656模式以及MCU模式，其中，RGB、BT.1120以及BT.656的分辨率支持如下：

- 24bit RGB 模式：最大输出分辨率可达 1920x1080@60Hz；
- 16bit BT.1120 模式：最大输出分辨率可达 1920x1080@60Hz；
- 8bit BT.656 模式：最大分辨率为 720x576@60Hz 支持 PAL 和 NTSC；

LCDC TX接口的信号连接如下图所示：

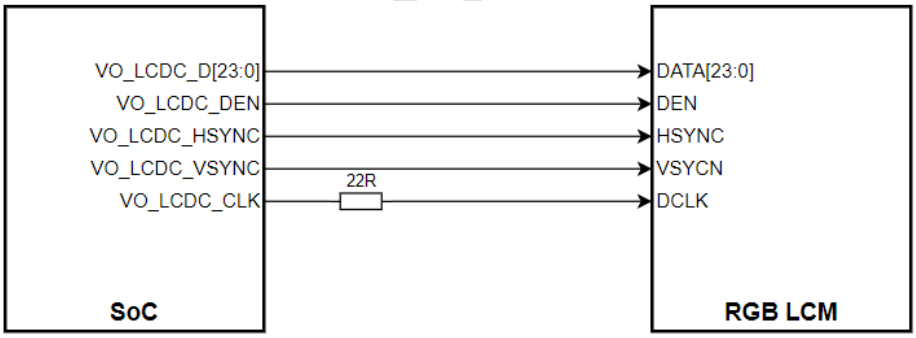


图 2-73 RV1126B 芯片 LCDC TX 接口连接示意图

具体的RGB、BT.1120、BT.656、MCU复用关系如下表：

Rockchip Confidential

表 2-39 RV1126B RGB、BT1120、BT656、MCU 复用关系表

VO_LCDC							
Mode	RGB parallel			BT656	BT1120	mcu	
	RGB888	RGB666	RGB565	8bit	16bit	8bit	16bit
LCD_D0	B0	--	--	--	--	--	--
LCD_D1	B1	--	--	--	--	--	--
LCD_D2	B2	B2	--	--	--	--	--
LCD_D3	B3	B3	B3	D0	Y0	D0_M0	D0
LCD_D4	B4	B4	B4	D1	Y1	D1_M0	D1
LCD_D5	B5	B5	B5	D2	Y2	D2_M0	D2
LCD_D6	B6	B6	B6	D3	Y3	D3_M0	D3
LCD_D7	B7	B7	B7	D4	Y4	D4_M0	D4
LCD_D8	G0	--	--	--	--	--	--
LCD_D9	G1	--	--	--	--	--	--
LCD_D10	G2	G2	G2	D5	Y5	D5_M0	D5
LCD_D11	G3	G3	G3	D6	Y6	D6_M0	D6
LCD_D12	G4	G4	G4	D7	Y7	D7_M0	D7
LCD_D13	G5	G5	G5	--	C0	D0_M1	D8
LCD_D14	G6	G6	G6	--	C1	D1_M1	D9
LCD_D15	G7	G7	G7	--	C2	D2_M1	D10
LCD_D16	R0	--	--	--	--	--	--
LCD_D17	R1	--	--	--	--	--	--
LCD_D18	R2	R2	--	--	--	--	--
LCD_D19	R3	R3	R3	--	C3	D3_M1	D11
LCD_D20	R4	R4	R4	--	C4	D4_M1	D12
LCD_D21	R5	R5	R5	--	C5	D5_M1	D13
LCD_D22	R6	R6	R6	--	C6	D6_M1	D14
LCD_D23	R7	R7	R7	--	C7	D7_M1	D15
LCD_DEN	DEN	DEN	DEN	--	--	RDN	RDN
LCD_HSYNC	HSYNC	HSYNC	HSYNC	--	--	WRN	WRN
LCD_VSYNC	VSYNC	VSYNC	VSYNC	--	--	CSN	CSN
LCD_DCLK	DCLK	DCLK	DCLK	DCLK	DCLK	RS	RS

- BT.1120 输出接口数据对应关系，支持 YC Swap
- RGB666、RGB565、MCU 16bit，BT.1120 模式下，RGB 中的高位与外设连接，外设端低位悬空或者接地即可
- BT.656 只有 M0 不支持复用的 M1，MCU 8bit 支持复用 M0、M1

Rockchip Confidential

表 2-40 RV1126B BT1120 输出格式列表

Pin Name	默认模式		Swap打开	
	Pixel #0	Pixel #1	Pixel #0	Pixel #1
BT1120_D0	Y0[0]	Y1[0]	Cb0[0]	Cr0[0]
BT1120_D1	Y0[1]	Y1[1]	Cb0[1]	Cr0[1]
BT1120_D2	Y0[2]	Y1[2]	Cb0[2]	Cr0[2]
BT1120_D3	Y0[3]	Y1[3]	Cb0[3]	Cr0[3]
BT1120_D4	Y0[4]	Y1[4]	Cb0[4]	Cr0[4]
BT1120_D5	Y0[5]	Y1[5]	Cb0[5]	Cr0[5]
BT1120_D6	Y0[6]	Y1[6]	Cb0[6]	Cr0[6]
BT1120_D7	Y0[7]	Y1[7]	Cb0[7]	Cr0[7]
BT1120_D8	Cb0[0]	Cr0[0]	Y0[0]	Y1[0]
BT1120_D9	Cb0[1]	Cr0[1]	Y0[1]	Y1[1]
BT1120_D10	Cb0[2]	Cr0[2]	Y0[2]	Y1[2]
BT1120_D11	Cb0[3]	Cr0[3]	Y0[3]	Y1[3]
BT1120_D12	Cb0[4]	Cr0[4]	Y0[4]	Y1[4]
BT1120_D13	Cb0[5]	Cr0[5]	Y0[5]	Y1[5]
BT1120_D14	Cb0[6]	Cr0[6]	Y0[6]	Y1[6]
BT1120_D15	Cb0[7]	Cr0[7]	Y0[7]	Y1[7]

LCDC TX接口的设计注意事项：

- 这些并行信号输出接口电源域为 VCCIO5 供电，实际产品设计中，需要根据外设的实际 IO 供电要求（1.8V or 3.3V）选择对应的供电，必须保持一致；
- 当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件。
- 为提高并行信号输出接口性能，VCCIO5 电源的去耦电容不得删除，布局时请靠近管脚放置。

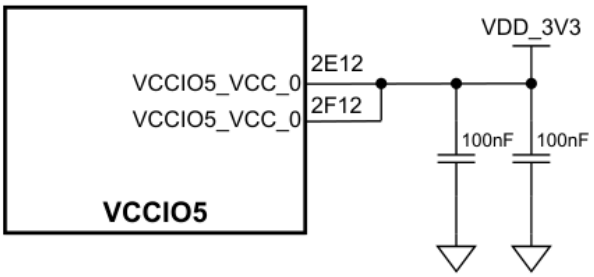


图 2-74 RV1126B 芯片 VCCIO5 电源域电源管脚去耦示意图

LCDC TX接口的匹配设计如下表所示：

Rockchip Confidential

表 2-41 RV1126B 芯片 LCDC TX 接口匹配设计

信号	芯片内部上下拉配置情况	连接方式	描述（芯片端）
BT1120_D[15：0]	下拉	直连，有条件建议靠近芯片端预留串接电阻	BT1120数据输出
BT1120_CLK	下拉	串接22ohm电阻，靠近设备端	BT1120时钟输出
RGB_D[24:0]	下拉	直连，有条件建议靠近芯片端预留串接电阻	RGB数据输出
RGB_CLK	下拉	串接22ohm电阻，靠近设备端	RGB时钟输出
MCU_D[16:0]	下拉	直连，有条件建议靠近芯片端预留串接电阻	MCU数据输出
MCU_RS	下拉	直连，有条件建议靠近芯片端预留串接电阻	Parameter、command选择
MCU_CSN	下拉	直连，有条件建议靠近芯片端预留串接电阻	片选信号
MCU_WRN	下拉	直连，有条件建议靠近芯片端预留串接电阻	写使能信号
MCU_RDN	下拉	直连，有条件建议靠近芯片端预留串接电阻	读使能信号

2.3.8. 音频接口

RV1126B 提供了丰富的音频接口能力与资源，共提供了 3 组 SAI 接口、1 组 PDM 接口、1 组 DSM 接口、2 组 Audio ADC，以及 2 组 ASRC 处理单元。

其中对外的 SAI 接口和 PDM 接口，均提供多处复用，供用户灵活分配选用，如下图所示：

表 2-42 RV1126B 对外引出的音频接口以及 IO 复用情况

对外接口	第一处复用(M0)	第二处复用(M1)	第三处复用(M2)
SAI0(4TX+4RX)	VCCIO7	VCCIO6	-
SAI1(1TX+1RX)	VCCIO1	VCCIO4	VCCIO5
SAI2(1TX+3RX)	VCCIO3	VCCIO5	-
PDM(8channel)	VCCIO7	VCCIO6	-

2.3.8.1. 音频子系统框图

RV1126B音频子系统框图如下，包括了对外/对内接口相关信息：

Rockchip Confidential

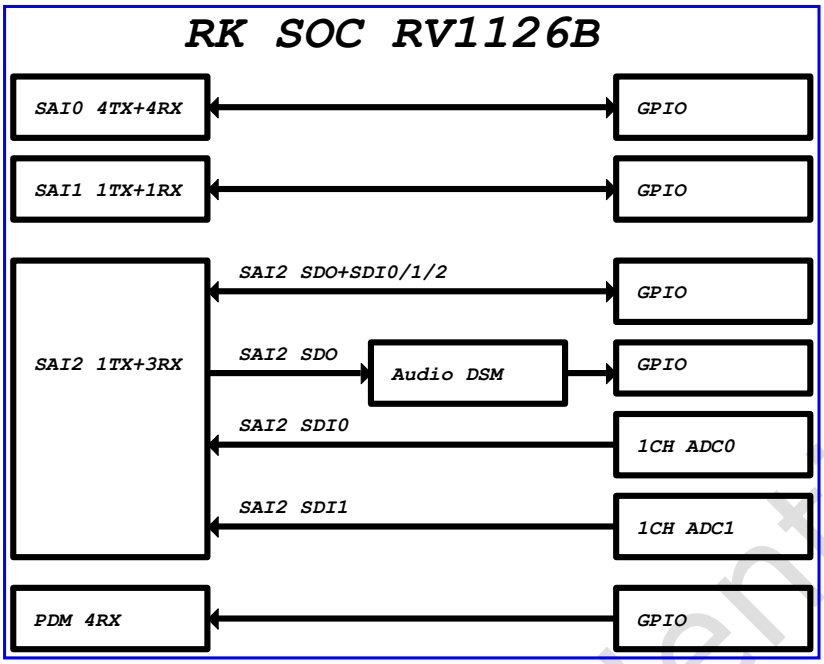


图 2-75 RV1126B 芯片音频子系统框图

音频设计上需要注意：

- SAI0、SAI1 和 SAI2 最大可以拼接成 6TX lane +8RX lane；
- SAI2_SDO 可以内部选择连接到 Audio DSM 接口，或者直接接到 GPIO 上，二者只能选择其一；
- SAI2_SDI0 可以内部选择连接到 Audio ADC0 接口，或者直接接到 GPIO 上，二者只能选择其一；
- SAI2_SDI1 可以内部选择连接到 Audio ADC1 接口，或者直接接到 GPIO 上，二者只能选择其一；
- 若 Audio DSM、Audio ADC0/1 接口都已经有使用了，SAI2 接口输入请选择 SDI2；
- SAI0、SAI1、SAI2 的 MCLK 不仅支持输出，同时也支持输入，输入模式下可以给 PDM、DSM、Audio ADC0/1，以及 SAI 接口自身时钟源，例如：SAI0_MCLK 可以给 PDM、DSM、Audio ADC0/1、SAI0 提供时钟源，SAI1_MCLK 可以给 SAI1 提供时钟源，SAI2_MCLK 可以给 SAI2 提供时钟源；
- 若 SAI 作为 SLAVE，则不需要接 MCLK 输入。

2.3.8.2. SAI数字音频接口

RV1126B 总共提供了 3 组 SAI 接口，SAI 接口的全称为串行音频接口（Serial Audio Interface），是一种用于数字音频数据通信的串行接口，支持广泛的音频协议，支持 PCM、I2S 和 TDM 等标准格式，可满足单声道、立体声以及多声道音频传输。作为应用最广泛的数字音频接口，SAI 可用于音频 ADC、音频 DAC、音频 Codec、DSP 等外设的通讯，也可为视频输入/输出接口提供集成的音频输入与输出支持。

RV1126B 的 SAI 接口具有如下特性：

- 支持 8 至 32bits 的位宽，包括常见的如 32bits、24bits、16bits；
- 支持高至 128 通道（slots）；
- 支持单声道（Mono）模式；
- 主模式（Master）、从模式（Slave）下的 TX/RX，SCLK 设计速率上限为 25M；

SAI0 支持 4TX Lanes+4RX Lanes，SAI1 支持 1TX Lanes +1RX Lanes，SAI2 支持 1TX Lanes +3RX Lanes，这里的 TX 代表输出数据线 SDOx、RX 代表输入数据线 SDIx。每根 TX 或 RX 包含 2 个通道，数

Rockchip Confidential

据线的采样率上限可按如下计算：IO rate / (slots * width)，slots 为通道数、width 为位宽，典型采样率参考计算如下，其余采样率可进行参考配置：

表 2-43 RV1126B SAI 接口不同通道、位宽下的采样率参考

模式（Mode）	通道数（Slots）	位宽（Width）	LRCK 采样率（Sample Rate）	SCLK 速率（SCLK Rate）
I2S	2	32	16 kHz	1.024 MHz
I2S	2	32	44.1 kHz	2.8224 MHz
I2S	2	32	48 kHz	3.072 MHz
TDM8	8	32	16 kHz	4.096 MHz
TDM8	8	32	44.1 kHz	11.2896 MHz
TDM8	8	32	48 kHz	12.288 MHz
TDM16	16	32	16 kHz	8.192 MHz
TDM16	16	32	44.1 kHz	22.5792 MHz
TDM16	16	32	48 kHz	24.576 MHz

上述为理论计算值，实际速率还受 IO 信号质量、走线时延等因素影响，请注意设计中相关时钟、信号的分配、优化走线。

根据接口设计差异，不同 SAI 接口的使用速率有如下区别：

表 2-44 RV1126B 不同 SAI 接口的使用速率

模式（Mode）	最高 SCLK 速率（SCLK Rate）
SAI0	13 MHz
SAI1	25 MHz
SAI2	25 MHz

2.3.8.2.1. SAI0数字音频接口

SAI0 接口包含独立的 4TX Lanes 和 4RX Lanes，对于输出数据线 SDOx 和输入数据 SDIx，同时参考一组位/帧时钟 SCLK/LRCK。

SAI0 接口支持主从工作模式，软件可配置。SAI0 提供了一种灵活的兼容性配置模式，可以自定义 LRCK、DATA 的帧格式，从而实现对绝大多数 I2S、PCM 与 TDM 的兼容；同时，还提供了 3 种 I2S 格式（常规、左对齐、右对齐）、以及 early PCM 格式的直接配置。

该组 SAI 引脚复用在 2 个不同的电源域，SAI0_M0 复用在 VCCIO7，SAI0_M1 复用在 VCCIO6，2 处复用不能同时使用，每次只能用其中一组。不同的数据线 SDOx 或 SDIx 均可在内部进行 remap 重新配置顺序，例如可以间隔抽取使用 SDO1+SDO3 组合成 2lanes 进行使用。

设计中，需要核对 SAI 外设的 IO 电平，使其匹配对应的 IO 电源域供电。

SAI0 接口的匹配设计如下表所示：

Rockchip Confidential

表 2-45 RV1126B 芯片 SAI0 接口匹配设计

信号	默认上下拉	连接方式	描述（芯片端）
SAI0_MCLK_M0	下拉	串联22ohm电阻	SAI系统时钟输出
SAI0_SCLK_M0	下拉	串联22ohm电阻	SAI连续串行时钟，位时钟
SAI0_LRCK_M0	下拉	串联22ohm电阻	SAI帧时钟，用于声道选择
SAI0_SDO0_M0	下拉	直连	SAI串行输出数据线0
SAI0_SDO1_M0/ SAI0_SDI3_M0	下拉	直连	SAI串行输出数据线1/ SAI串行输入数据线3
SAI0_SDO2_M0/ SAI0_SDI2_M0	下拉	直连	SAI串行输出数据线2/ SAI串行输入数据线2
SAI0_SDO3_M0/ SAI0_SDI1_M0	下拉	直连	SAI串行输出数据线3/ SAI串行输入数据线1
SAI0_SDI0_M0	下拉	直连	SAI串行输入数据线0
SAI0_MCLK_M1	下拉	串联22ohm电阻	SAI系统时钟输出
SAI0_SCLK_M1	下拉	串联22ohm电阻	SAI连续串行时钟，位时钟
SAI0_LRCK_M1	下拉	串联22ohm电阻	SAI帧时钟，用于声道选择
SAI0_SDO0_M1	下拉	直连	SAI串行输出数据线0
SAI0_SDO1_M1/ SAI0_SDI3_M1	下拉	直连	SAI串行输出数据线1/ SAI串行输入数据线3
SAI0_SDO2_M1/ SAI0_SDI2_M1	下拉	直连	SAI串行输出数据线2/ SAI串行输入数据线2
SAI0_SDO3_M1/ SAI0_SDI1_M1	下拉	直连	SAI串行输出数据线3/ SAI串行输入数据线1
SAI0_SDI0_M1	下拉	直连	SAI串行输入数据线0

SAI0接口的设计注意事项：

- 为提高 SAI 接口性能， 对应 VCCIO 电源域的去耦电容不得删除，布局时请靠近管脚放置；
- 当通过连接器实现板对板连接时，建议时钟/控制/信号都串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件。

2.3.8.2.2. SAI1数字音频接口

SAI1 接口包含独立的 1TX Lanes 和 1RX Lanes，对于输出数据线 SDO 和输入数据 SDI，同时参考一组位/帧时钟 SCLK/LRCK。

SAI1 接口支持主从工作模式，软件可配置。SAI1 提供了一种灵活的兼容性配置模式，可以自定义 LRCK、DATA 的帧格式，从而实现对绝大多数 I2S、PCM 与 TDM 的兼容；同时，还提供了 3 种 I2S 格式（常规、左对齐、右对齐）、以及 early PCM 格式的直接配置。

该组 SAI 引脚复用在 3 个不同的电源域，SAI1_M0 复用在 VCCIO1，SAI1_M1 复用在 VCCIO4，SAI1_M2 复用在 VCCIO5，3 处复用不能同时使用，每次只能用其中一组。

设计中，需要核对 SAI 外设的 IO 电平，使其匹配对应的 IO 电源域供电。

SAI1 接口的匹配设计如下表所示：

Rockchip Confidential

表 2-46 RV1126B 芯片 SAI1 接口匹配设计

信号	默认上下拉	连接方式	描述（芯片端）
SAI1_MCLK_M0	上拉	串联22ohm电阻	SAI系统时钟输出
SAI1_SCLK_M0	上拉	串联22ohm电阻	SAI连续串行时钟，位时钟
SAI1_LRCK_M0	上拉	串联22ohm电阻	SAI帧时钟，用于声道选择
SAI1_SDO_M0	上拉	直连	SAI串行输出数据线
SAI1_SDI_M0	上拉	直连	SAI串行输入数据线
SAI1_MCLK_M1	下拉	串联22ohm电阻	SAI系统时钟输出
SAI1_SCLK_M1	下拉	串联22ohm电阻	SAI连续串行时钟，位时钟
SAI1_LRCK_M1	下拉	串联22ohm电阻	SAI帧时钟，用于声道选择
SAI1_SDO_M1	下拉	直连	SAI串行输出数据线
SAI1_SDI_M1	下拉	直连	SAI串行输入数据线
SAI1_MCLK_M2	下拉	串联22ohm电阻	SAI系统时钟输出
SAI1_SCLK_M2	下拉	串联22ohm电阻	SAI连续串行时钟，位时钟
SAI1_LRCK_M2	下拉	串联22ohm电阻	SAI帧时钟，用于声道选择
SAI1_SDO_M2	下拉	直连	SAI串行输出数据线
SAI1_SDI_M2	下拉	直连	SAI串行输入数据线

SAI1接口的设计注意事项：

- 为提高 SAI 接口性能， 对应 VCCIO 电源域的去耦电容不得删除，布局时请靠近管脚放置；
- 当通过连接器实现板对板连接时，建议时钟/控制/信号都串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件。

2.3.8.2.3. SAI2数字音频接口

SAI2 接口包含独立的 1TX Lanes 和 3RX Lanes，对于输出数据线 SDO 和输入数据 SDIx，同时参考一组位/帧时钟 SCLK/LRCK。

SAI2 接口支持主从工作模式，软件可配置。SAI2 提供了一种灵活的兼容性配置模式，可以自定义 LRCK、DATA 的帧格式，从而实现对绝大多数 I2S、PCM 与 TDM 的兼容；同时，还提供了 3 种 I2S 格式（常规、左对齐、右对齐）、以及 early PCM 格式的直接配置。

该组 SAI 引脚复用在 2 个不同的电源域，SAI2_M0 复用在 VCCIO3，SAI2_M1 复用在 VCCIO5， 2 处复用不能同时使用，每次只能用其中一组。不同的数据线 SDIx 均可在内部进行 remap 重新配置顺序，例如可以间隔抽取使用 SDI0+SDI1 组合成 2lanes 进行使用。SAI2 SDO 可以内部选择接到 Audio DSM 接口，SAI2 SDI0 可以内部选择接到 Audio ADC0 接口，SAI2 SDI1 可以内部选择接到 Audio ADC1 接口，当 SAI2 使用内部连接特定功能后，则对应的 SDO 或者 SDI0/SDI1 不能再外接使用，二者只能选择其一。

设计中，需要核对 SAI 外设的 IO 电平，使其匹配对应的 IO 电源域供电。

SAI2 接口的匹配设计如下表所示：

Rockchip Confidential

表 2-47 RV1126B 芯片 SAI2 接口匹配设计

信号	默认上下拉	连接方式	描述（芯片端）
SAI2_MCLK_M0	下拉	串联22ohm电阻	SAI系统时钟输出
SAI2_SCLK_M0	下拉	串联22ohm电阻	SAI连续串行时钟，位时钟
SAI2_LRCK_M0	下拉	串联22ohm电阻	SAI帧时钟，用于声道选择
SAI2_SDO_M0	下拉	直连	SAI串行输出数据线
SAI2_SDI0_M0	下拉	直连	SAI串行输入数据线0
SAI2_SDI1_M0	下拉	直连	SAI串行输入数据线1
SAI2_SDI2_M0	下拉	直连	SAI串行输入数据线2
SAI2_SDI3_M0	下拉	直连	SAI串行输入数据线3
SAI2_MCLK_M1	下拉	串联22ohm电阻	SAI系统时钟输出
SAI2_SCLK_M1	下拉	串联22ohm电阻	SAI连续串行时钟，位时钟
SAI2_LRCK_M1	下拉	串联22ohm电阻	SAI帧时钟，用于声道选择
SAI2_SDO_M1	下拉	直连	SAI串行输出数据线
SAI2_SDI0_M1	下拉	直连	SAI串行输入数据线0
SAI2_SDI1_M1	下拉	直连	SAI串行输入数据线1
SAI2_SDI2_M1	下拉	直连	SAI串行输入数据线2
SAI2_SDI3_M1	下拉	直连	SAI串行输入数据线3

SAI2接口的设计注意事项：

- 为提高 SAI 接口性能， 对应 VCCIO 电源域的去耦电容不得删除，布局时请靠近管脚放置；
- 当通过连接器实现板对板连接时，建议时钟/控制/信号都串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件。

2.3.8.3. PDM数字音频接口

RV1126B 总共提供了 1 组 8 通道的 PDM 接口，PDM 接口的全称为脉冲密度调制（Pulse Density Modulation），通常用于接入数字麦克风，或者通过 PDM 接口的模拟音频 ADC 对模拟麦克风进行录音，采样率通常使用 16kHz、48kHz 或 8kHz，部分有超声要求的产品则需要用到 96kHz 采样率。

两组 PDM 都工作在主接收模式（master receive mode，即 RV1126B 提供 PDM 时钟、接收数据），支持 8 通道输入能力，16 至 32bits 的位宽，最高到 192kHz 的采样率。

下图是 PDM 接口的数据格式，PDM_DATA 由 Data(R)和 Data(L)组成，PDM 是 1bit 采样接口，分别在 CLK 的上升沿、下降沿采样这两个 Data(L)和 Data(R)，即每根 PDM_SDIx 数据线可传输 2 个声道的音频数据。因此，1 组 PDM 的四根 SDIx 数据线可以满足最多接入 8 个麦克风的需求（或 6 个麦克风+2 个回采声道，共 8 声道）。

Rockchip Confidential

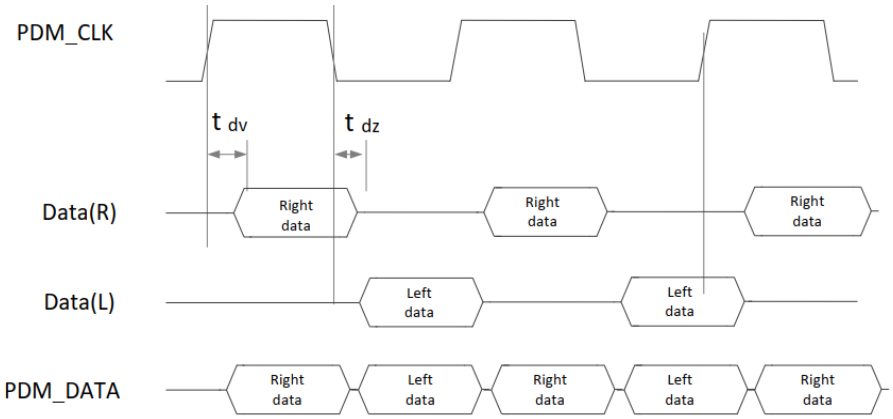


图 2-76 RV1126B PDM 接口数据格式

常见的采样率与 PDM_CLK 的对应关系如下表，在硬件调测时可以对照进行参考。时钟信号的质量对 PDM 录音质量有直接影响，因此在 PLL 分频时候，需要使用小数 PLL+整数分频的方式。

表 2-48 RV1126B PDM_CLK 频率与采样率对照表

PDM_CLK频率	采样率
3.072MHz	12kHz, 24kHz, 48kHz, 96kHz, 192kHz
2.8224MHz	11.025kHz, 22.05kHz, 44.1kHz, 88.2kHz, 176.4kHz
2.048MHz	8kHz, 16kHz, 32kHz, 64kHz, 128kHz

PDM 引脚复用在 2 个不同的电源域，PDM_M0 复用在 VCCIO7，PDM_M1 复用在 VCCIO6，相关复用情况见下表。2 处复用不能同时使用，每次只能用其中一组。需要核对 PDM 外设的 IO 电平，使其匹配对应的 IO 电源域供电。

表 2-49 RV1126B PDM 接口的复用情况说明

接口	复用编号	IO Domain	组成形式
PDM	M0	VCCIO7	CLK0+CLK1+SDI0/1/2/3
PDM	M1	VCCIO6	CLK0+CLK1+SDI0/1/2/3

为改善 PCB 走线对时钟的影响，提供了两个同源同相的 PDM 时钟，PDM_CLK0 和 PDM_CLK1，可以任意搭配 PDM_SDIx 数据线使用，具体产品设计中，应结合外设连接情况、产品结构、PCB 走线情况进行合理、灵活的分配，避免单一时钟连接多 MIC 输入情况下，走线长分支、且多负载对信号质量的影响大。

PDM 接口的匹配设计如下表所示：

Rockchip Confidential

表 2-50 RV1126B 芯片 PDM 接口匹配设计

信号	默认上下拉	连接方式	描述（芯片端）
PDM_CLK0_M0	下拉	串联22ohm电阻	PDM时钟0
PDM_CLK1_M0	下拉	串联22ohm电阻	PDM时钟1
PDM_SDI0_M0	下拉	直连	PDM输入数据线0
PDM_SDI1_M0	下拉	直连	PDM输入数据线1
PDM_SDI2_M0	下拉	直连	PDM输入数据线2
PDM_SDI3_M0	下拉	直连	PDM输入数据线3
PDM_CLK0_M1	下拉	串联22ohm电阻	PDM时钟0
PDM_CLK1_M1	上拉	串联22ohm电阻	PDM时钟1
PDM_SDI0_M1	下拉	直连	PDM输入数据线0
PDM_SDI1_M1	上拉	直连	PDM输入数据线1
PDM_SDI2_M1	上拉	直连	PDM输入数据线2
PDM_SDI3_M1	上拉	直连	PDM输入数据线3

PDM接口的设计注意事项：

- 为提高 PDM 接口性能， 对应 VCCIO 电源域的去耦电容不得删除，布局时请靠近管脚放置；
- 当通过连接器实现板对板连接时，建议时钟/控制/信号都串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件。

2.3.8.4. DSM音频接口

DSM 音频（Digital Signal Modulator）指的是将音频 PCM 数据进行直接比特流数字编码（Direct Stream Digital）转换输出的 1bit 信号流数据，在需要音频输出的设计中，接口输出的数字信号，经过一阶 RC 低通滤波处理后得到模拟音频信号输出。DSM 原理如下图所示：

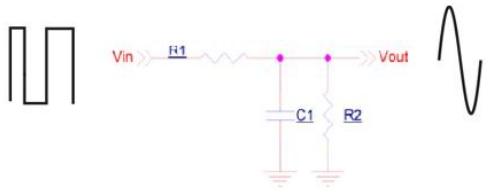


图 2-77 RV1126B DSM PWM Audio 低通滤波器示意图

DSM音频是一种低成本的音频输出方案，对于有音质需求的场景，还是建议外挂音频Codec或DAC实现音频输出。下表为200Kohm负载下，DSM音频差分输出的音频指标：

Rockchip Confidential

表 2-51 RV1126B DSM PWM Audio 接口差分输出音频指标

测试项	测试条件	输出信号幅度	FS=8KHz	FS=16KHz	FS=44.1KHz	FS=48KHz
RMS Level (Vrms)	N/A	0dBFS	2.037	2.037	2.037	2.037
THD+N (dB)	LPF=20KHz HPF=20Hz	-3dBFS	-72.505	-72.888	-75.047	-75.241
SNR (dB)		0dBFS/Noise	94.825	95.035	97.508	97.115
DR (dB)		0dBFS/-60dBFS	77.637	77.732	82.259	84.261
Noise (uVrms)		N/A	67.12	64.95	62.37	62.79

该组接口提供了两对差分输出，可满足立体声需求。接口的详细介绍和 RC 低通滤波参数计算，可参考文档《DSM AUDIO 音频接口电路设计》。

- DSM 输出 RC 滤波电路不能删除；
- 音频时钟信号的质量对 DSM 输出质量有直接影响，因此在 PLL 分频时候，需要使用小数 PLL+整数分频的方式；
- PCB 走线以及地的处理对 DSM 输出质量有直接影响，请按照 PCB 设计建议走线；
- 差分音频输出不能拆成 2 路单端音频输出使用，且不建议使用单端模式，音频质量差；
- SAI2_SDO 在内部连接到 DSM 模块，因此当 DSM 模块使用时，外部 SAI2 SDO 不可使用；

DSM接口的匹配设计如下表所示：

表 2-52 RV1126B 芯片 DSM 接口匹配设计

信号及复用情况	默认上下拉	连接方式	描述（芯片端）
DSM_AUD_LP	下拉	串接RC低通滤波	DSM输出左声道P端
DSM_AUD_LN	下拉	串接RC低通滤波	DSM输出左声道N端
DSM_AUD_RP	下拉	串接RC低通滤波	DSM输出右声道P端
DSM_AUD_RN	下拉	串接RC低通滤波	DSM输出右声道N端

DSM音频接口的设计注意事项：

- 为提高接口性能，对应 VCCIO 电源域的去耦电容不得删除，布局时请靠近管脚放置；
- 当通过连接器实现板对板连接时，建议时钟/控制/信号都串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件。

2.3.8.5. AUDIO ADC音频接口

RV1126B内置2个AUDIO ADC，均支持差分MIC输入，使用时请注意：

MIC差分输入参考电路如下图：

Rockchip Confidential

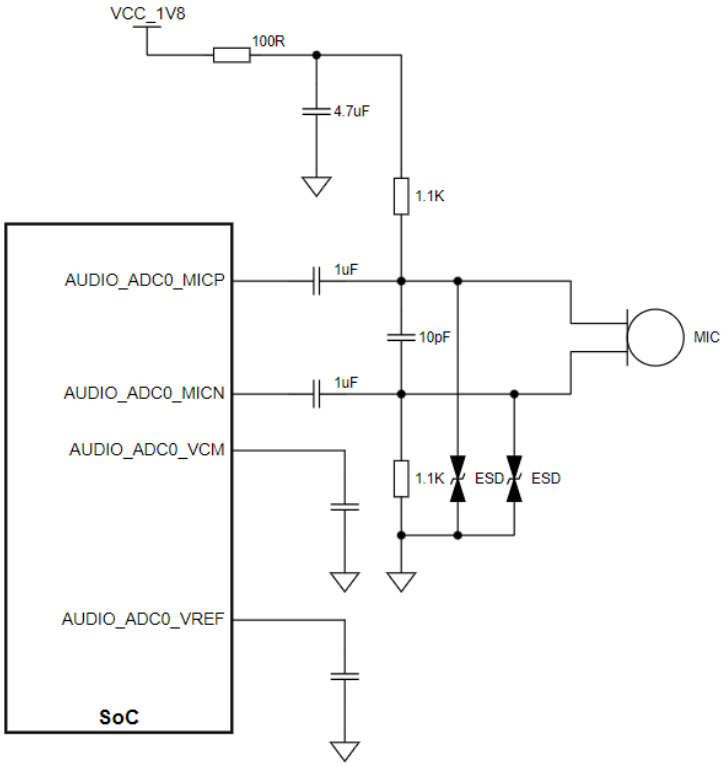


图 2-78 RV1126B AUDIO ADC 差分输入

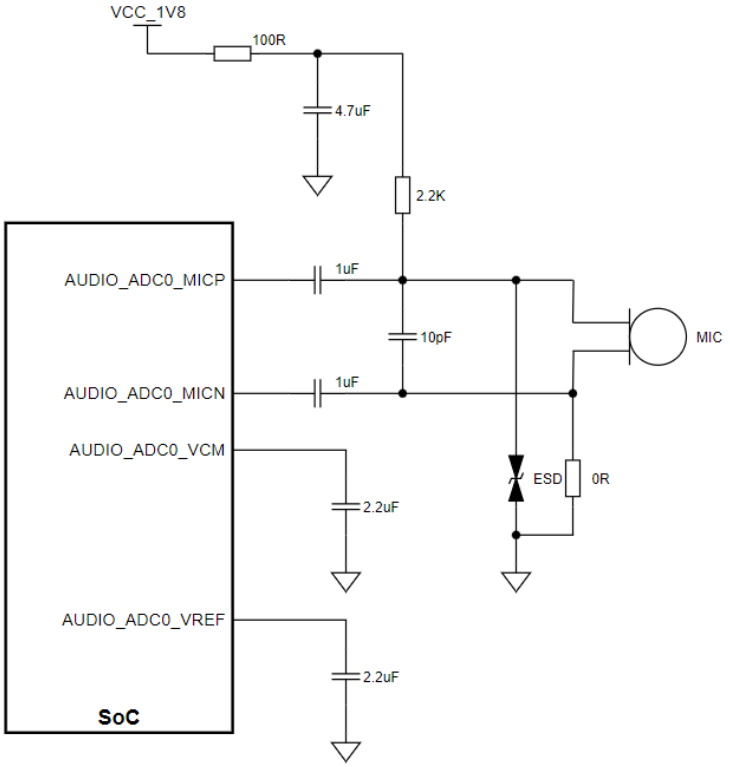


图 2-79 RV1126B AUDIO ADC 单端输入

AUDIO ADC接口的匹配设计如下表所示：

表 2-53 RV1126B 芯片 AUDIO ADC 接口匹配设计

信号及复用情况	连接方式	所属电源域
AUDIO_ADC0_MICP	靠近SoC，串接1uF电容	AUDIO ADC差分信号MICP输入
AUDIO_ADC0_MICN	靠近SoC，串接1uF电容	AUDIO ADC差分信号MICN输入
AUDIO_ADC0_VCM	靠近引脚，串接2.2uF电容对地	AUDIO ADC内部共模电压
AUDIO_ADC0_VREF	靠近引脚，串接2.2uF电容对地	AUDIO ADC内部参考电压基准
AUDIO_ADC1_MICP	靠近SoC，串接1uF电容	AUDIO ADC差分信号MICP输入
AUDIO_ADC1_MICN	靠近SoC，串接1uF电容	AUDIO ADC差分信号MICN输入
AUDIO_ADC1_VCM	靠近引脚，串接2.2uF电容对地	AUDIO ADC内部共模电压
AUDIO_ADC1_VREF	靠近引脚，串接2.2uF电容对地	AUDIO ADC内部参考电压基准

Audio ADC接口的设计注意事项：

- MIC 的差分输入不能拆成两路单端输入使用；
- AUDIO_ADC_VCM 是 Audio ADC PHY 的共模电压管脚，电压 0.8V，外接对地 2.2uF 电容，不得更改电容值，布局时靠近 SOC 芯片管脚放置；
- AUDIO_ADC_VREF 是 Audio ADC PHY 的参考电压引脚，电压 1.6V，外接对地 2.2uF 电容，不得更改电容值，布局时靠近 SOC 芯片管脚放置；
- AUDIO_ADC_AVDD_1V8 给 AUDIO ADC0/1 模块供电，去耦电容要靠近 SOC 芯片管脚放置。
- ADDIO_ADC_MIC 的输入接口均可做为 LINEIN 或者 MIC_IN 的输入通道，如果输入设备为无源 MIC，则需要提供 1.8V 的偏置电压。如果输入设备为有源输入，则不需要。
- MIC 输入的耦合电容容值推荐 1uF 或以上，布局时靠近 SOC 芯片管脚放置；
- MIC 输入的偏置电压，预留 RC 改善电源噪声，阻值为 100ohm，容值为 4.7uF；

2.3.8.6. ASRC异步采样率转换器模块

ASRC（Asynchronous Sample Rate Converter）没有具体的硬件 IO 接口形式，但其对实际产品中的音频方案设计、兼容性、同步和实时等功能有极大影响，因此在本节进行介绍。

在音频系统中，ASRC 通常用于将音频数据从一个采样率转换到另一个采样率，或者将基于不同时钟的“不同步的相同采样率”数据进行转换。因此，可以将 ASRC 模块看作是 SAI、PDM 等音频接口的中间件。通过引用 ASRC，可以使不同采样率、不同步时钟的设备或接口保持音频通信的连贯性和稳定性。

RV1126B 提供了 2 个 ASRC 模块，覆盖了对外和对内的音频模块，其支持的采样率范围从 8kHz 到 384kHz，典型的如下表。提供从 1 比 8（下转换）到 8 比 1（上转换）的转换范围。

表 2-54 RV1126B ASRC 模块典型采样率

ASRC模块典型输入/输出采样率
8KHz, 16KHz, 32KHz, 64KHz, 128KHz
12KHz, 24KHz, 48KHz, 96KHz, 192KHz, 384KHz
11.025KHz, 22.05KHz, 44.1KHz, 88.2KHz, 176.4KHz, 352.8KHz

模块名称及所属内部电源域描述如下：

Rockchip Confidential

表 2-55 RV1126B ASRC 异步采样率转换器模块

模块名称	所属内部电源域
ASRC_2CH_0	VDD_LOGIC
ASRC_2CH_1	VDD_LOGIC

2.3.8.7. 音频外设的设计参考

本章节对于常用的音频外设场景，给出了连接建议，用户可参考使用。

2.3.8.7.1. 放音设备、耳机、喇叭

RV1126B可以通过SAI信号，连接音频DAC或CODEC（如RK730）实现模拟输出，再通过音频功放实现功率放大驱动喇叭，如下图所示：

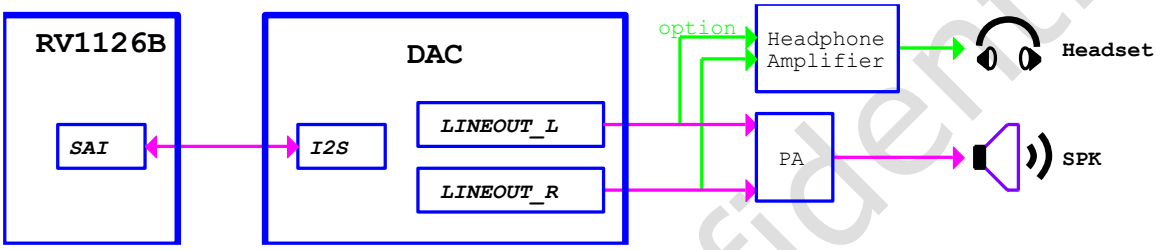


图 2-80 RV1126B SAI 输出示意图

对于低成本方案的喇叭放音需求，可以使用RV1126B的DSM滤波输出，再通过音频功放实现功率放大驱动喇叭，如下图所示：

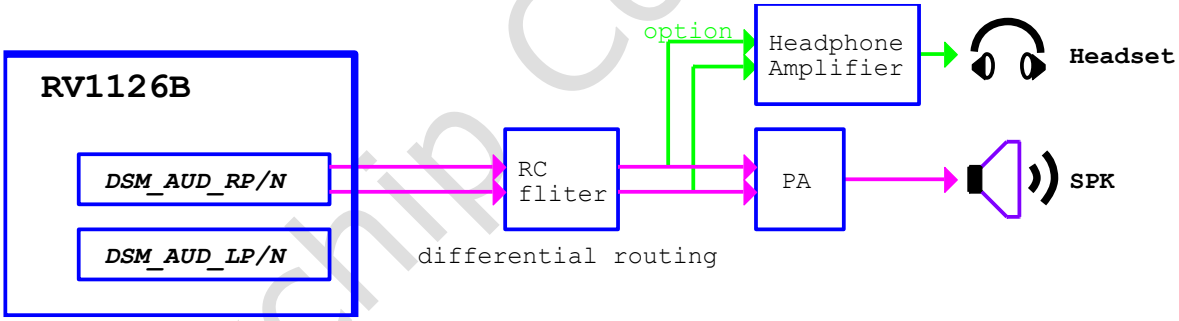


图 2-81 RV1126B DSM 输出示意图

2.3.8.7.2. 录音设备、麦克风

对于录音的需求，有以下几种实现方式：

- 使用内置 ACODEC 的差分 ADC 实现模拟信号输入；

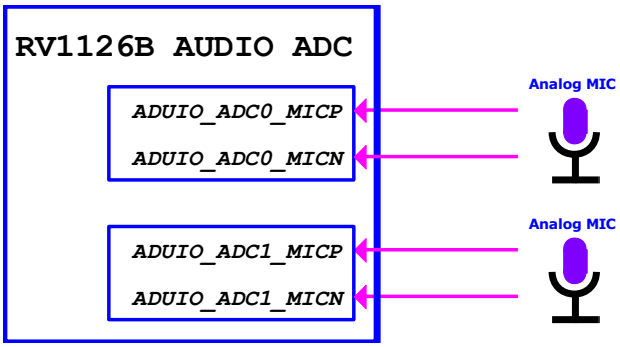
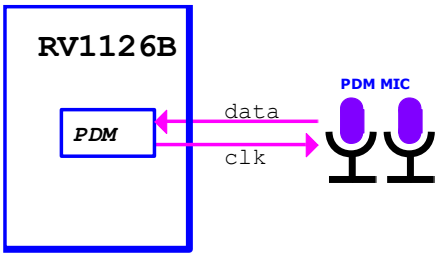


图 2-82 RV1126B ACODEC 差分接入电路示意图

Rockchip Confidential

- PDM 接口连接 PDM 麦，或者使用 SAI/I2S/PDM 接口的 ADC，外接模拟 MIC 来实现；



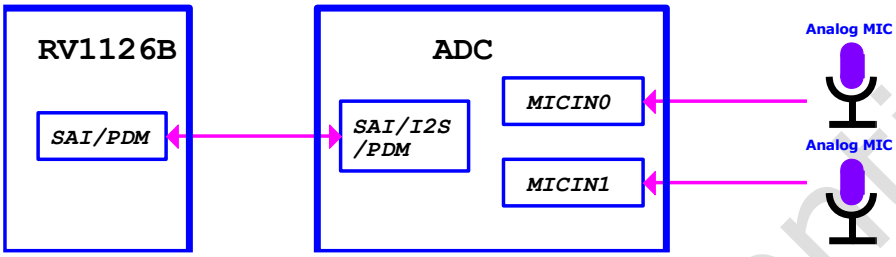


图 2-83 MIC 输入电路示意图

- 使用 Codec（如 RK730）来实现相关功能，如下图所示；

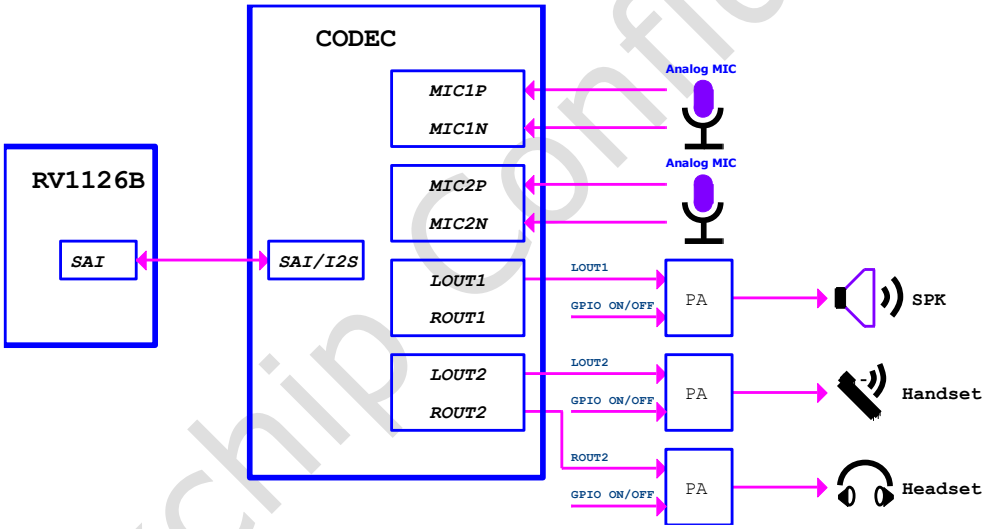


图 2-84 RV1126B 外接 CODEC 音频方案示意图

2.3.9. GMAC接口

RV1126B芯片拥有1个GMAC控制器，可以对外提供RMII/RGMII接口扩展外置以太网百兆/千兆PHY芯片，也可以切换到内置的百兆FEPHY上，二者只能选择其中一个，不能同时使用。

GMAC控制器支持以下功能：

- 支持 10/100/1000 Mbps 数据传输速率的 RGMII 接口
- 支持 10/100 Mbps 数据传输速率的 RMII 接口

2.3.9.1. RGMII/RMII接口

GMAC复用在两处不同的电源域，GMAC_M0复用在VCCIO6电源域，GMAC_M1复用在VCCIO5电源域。

Rockchip Confidential

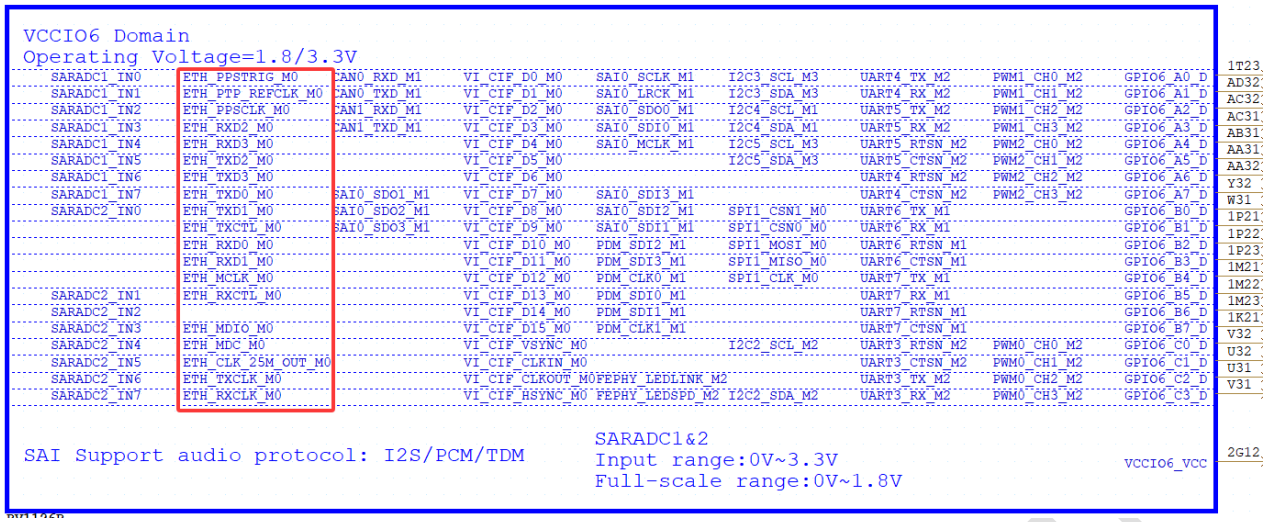


图 2-85 RV1126B GMAC_M0 功能管脚

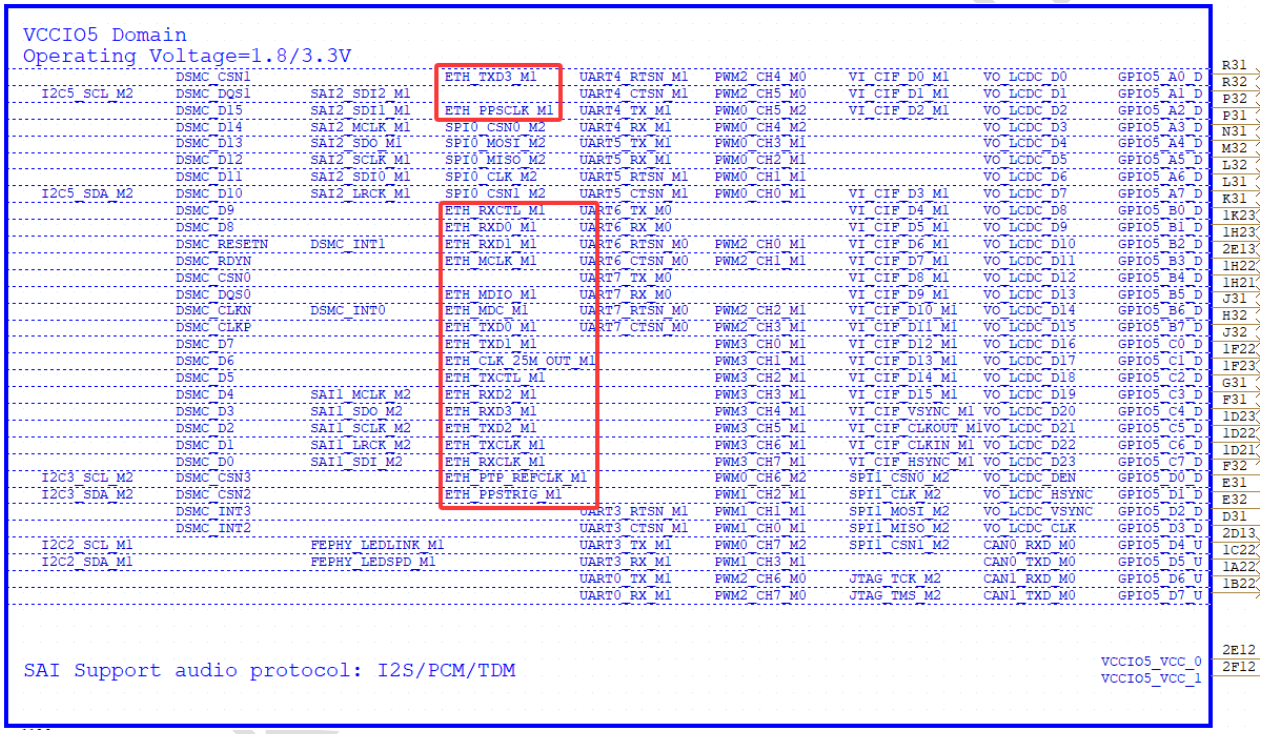


图 2-86 RV1126B GMAC_M1 功能管脚

RGMII/RMII接口的设计注意事项：

- GMAC 存在两组复用。GMAC_M0 复用在 VCCIO6 电源域，可支持 1.8V 或 3.3V 电平，由 VCCIO6_VCC 决定。GMAC_M1 复用在 VCCIO5 电源域，可支持 1.8V 或 3.3V 电平，由 VCCIO5_VCC 决定。只能使用其中一组，不能同时使用。
- 接口支持 IEEE.1588 协议标准，支持 PTP 网络同步时钟。
- 建议 RGMII/RMII 优先采用 1.8V 电平，能获得更好的信号质量。
- 为提高 RGMII/RMII 接口性能，所在电源域的 VCCIOx_VCC 电源的去耦电容不得删除，布局时请靠近管脚放置。
- ETH_CLK_25M_OUT_Mx 需在 RV1126B 端预留串接 0 ohm 电阻，根据实际测试情况调整电阻值来提高信号质量。
- TXD0~TXD3，TXCLK，TXCTL 需在 RV1126B 端预留串接 0 ohm 电阻，根据实际测试情况调

整电阻值来提高信号质量。

- RXD0~RXD3，RXCLK，RXCTL 需在 PHY 端串接 22 ohm 电阻，以提高信号质量。

RGMII/RMII接口的匹配设计如下表所示：

表 2-56 RV1126B 芯片 RGMII/RMII 接口匹配设计

信号	IO类型(SOC端)	连接方式	RGMII接口	信号描述	RMII接口	信号描述
ETH_TXD[3：0]_Mx	输出	预留串接0ohm电阻，靠近SOC端	RGMII_TXD[3：0]	数据发送	RMII_TXD[1：0]	数据发送
ETH_TXCLK_Mx	输出	预留串接0ohm电阻，靠近SOC端	RGMII_TXCLK	数据发送参考时钟	--	--
ETH_TXCTL_Mx	输出	预留串接0ohm电阻，靠近SOC端	RGMII_TXCTL	数据发送使能（上升沿）和数据发送错误（下降沿）	RMII_TXEN	数据发送使用信号
ETH_RXD[3：0] _Mx	输入	串接22ohm电阻，靠近PHY端	RGMII_RXD[3：0]	数据接收	RMII_RXD[1：0]	数据接收
ETH_RXCLK_Mx	输入	串接22ohm电阻，靠近PHY端	RGMII_RXCLK	数据接收参考时钟	--	--
ETH_RXCTL_Mx	输入	串接22ohm电阻，靠近PHY端	RGMII_RXCTL	数据接收有效（上升沿）和接收错误（下降沿）	RMII_RXCTL	数据接收有效和载波侦听
ETH_MCLK_Mx	输入/输出	输出模式： 预留串接0ohm电阻，靠近SOC端 输入模式： 串接22ohm电阻，靠近PHY端	RGMII_MCLKIN 125M	PHY送125MHz给MAC，可选	RMII_MCLKIN 50M or RMII_MCLKOUT 50M	RMII数据发送和数据接收参考时钟
ETH_CLK_25M_OUT_Mx	输出	预留串接0ohm电阻，靠近SOC端	ETH_CLKx_25M_OUT_Mx	RV1126B提供25MHz时钟替代PHY晶体	ETH_CLK_25M_OUT_Mx	RV1126B提供25MHz时钟替代PHY晶体
ETH_MDC_Mx	输出	预留串接0ohm电阻，靠近SOC端	RGMII_MDC	管理数据时钟	RMII_MDC	管理数据时钟
ETH_MDIO_Mx	输入/输出	外部上拉1.5K-1.8Kohm电阻	RGMII_MDIO	管理数据输出/输入	RMII_MDIO	管理数据输出/输入

- 当通过连接器实现板对板连接时，建议串接一定阻值的电阻（22ohm-100ohm 之间，具体以能满足 SI 测试为准），并预留 TVS 器件。

2.3.9.2. RGMII/RMII接口连接示意图

RGMII 连接示图 1，具体电路请见参考图（GEPHY 工作时钟使用外置 25MHz 晶体）：

Rockchip

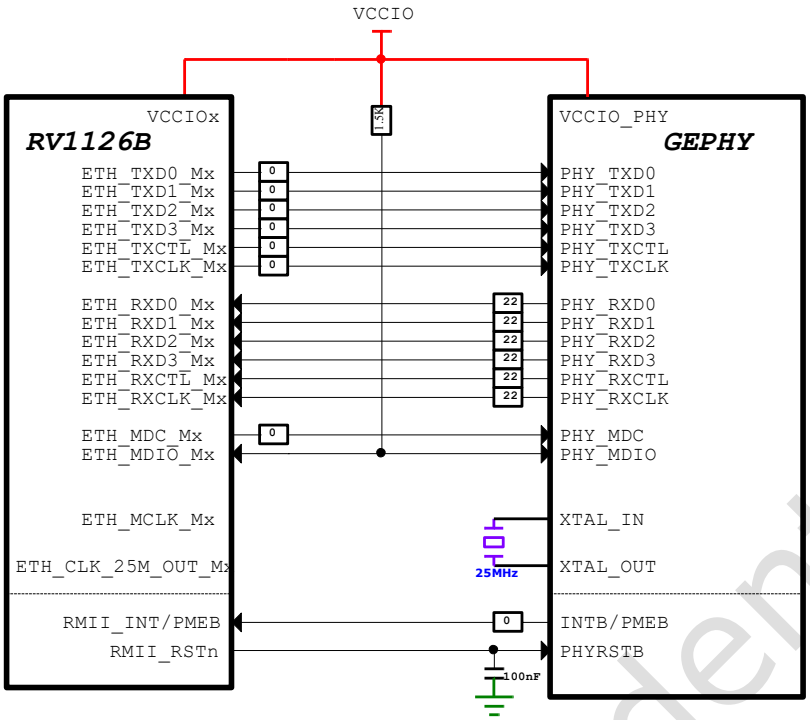


图 2-87 RGMII 连接示意图 1

RGMII 连接示图 2（以***8211F/**8531C 为例），具体电路请见参考图（GEPHY 工作时钟使用 RV1126B 提供的 25MHz）：

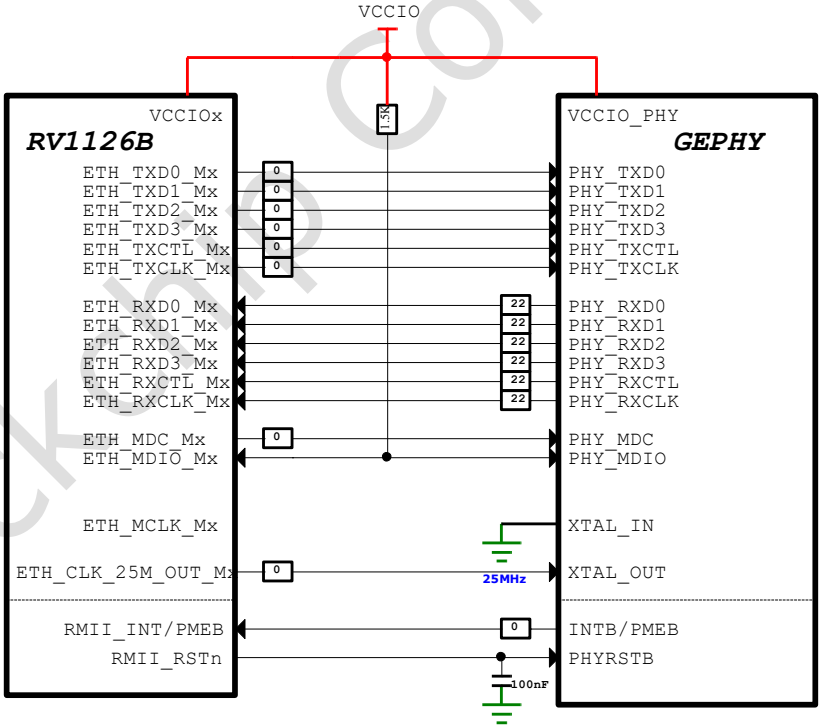


图 2-88 RGMII 连接示意图 2

RMII 连接示图 1（以**8522C 为例），具体电路请见参考图（FEPHY 工作时钟使用 25MHz 晶体，ETH_MCLK_Mx 采用输出模式，当 RMII 接口的参考时钟，FEPHY 的 TXCLK 需要配置为输入模式）：

Rockchip Confidential

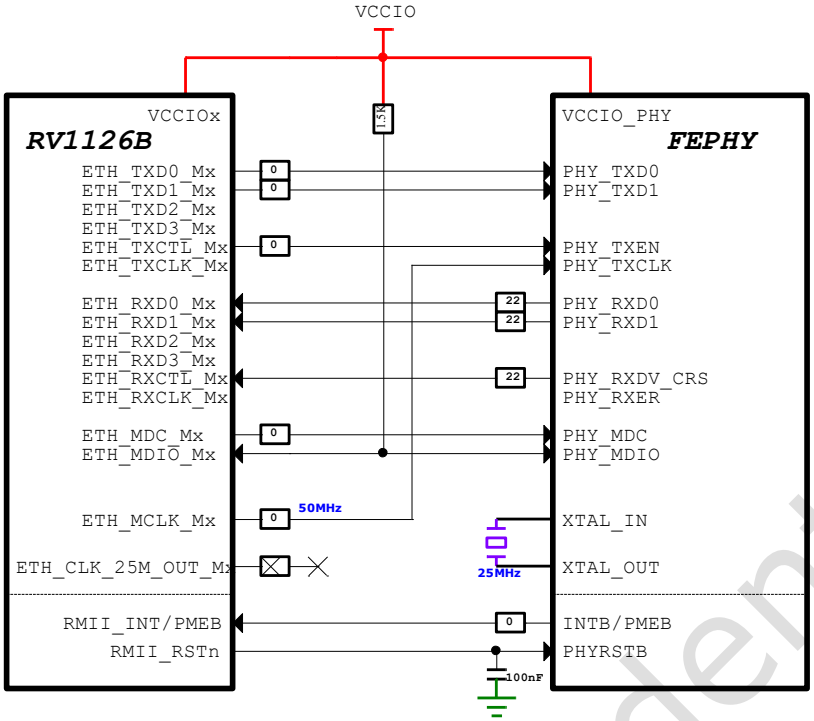


图 2-89 RMII 连接示意图 1

RMII 连接示图 2（以**8522C 为例），具体电路请见参考图（使用 SOC 提供的 25MHz 替代 FEPHY 晶体，ETH_MCLK_Mx 采用输出模式，当 RMII 接口的参考时钟，FEPHY 的 TXCLK 需要配置为输入模式）：

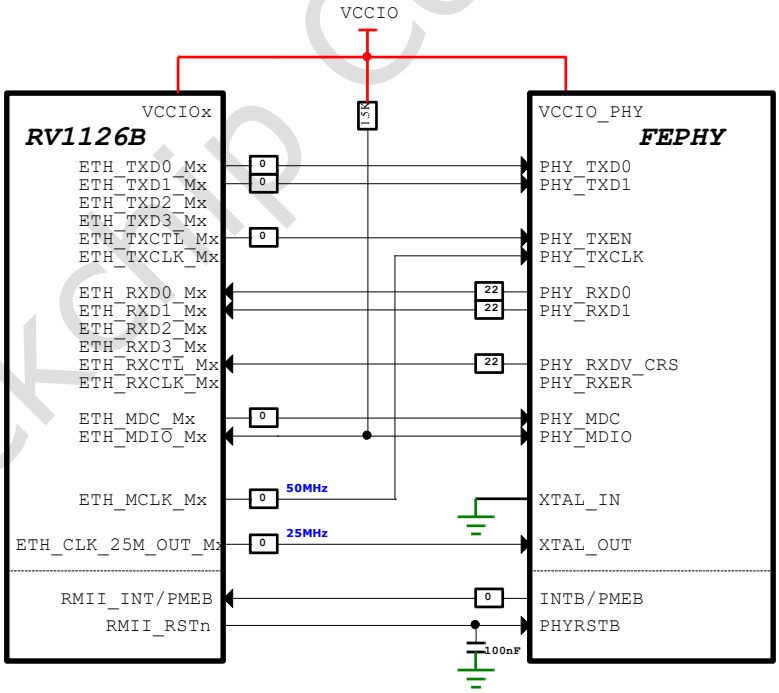


图 2-90 RMII 连接示意图 2

RMII 连接示图 3（以**8522C 为例），具体电路请见参考图（FEPHY 工作时钟使用外置 25MHz 晶体，ETHx_MCLK_Mx 采用输入模式，RMII 接口的参考时钟由 FEPHY 提供，FEPHY 的 TXCLK 需要配置为输出模式）：

Rockchip Confidential

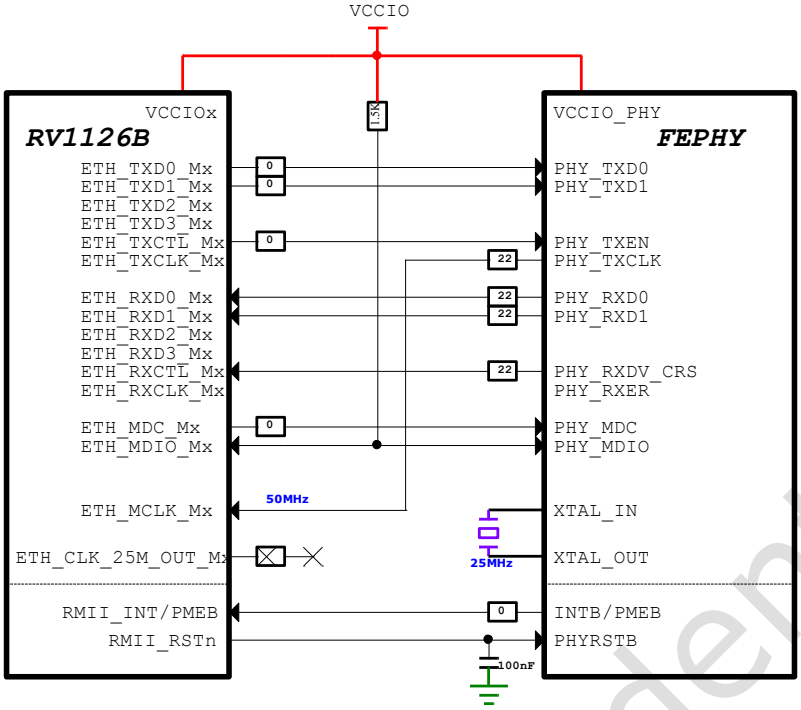


图 2-91 RMII 连接示意图 3

RMII 连接示图 4（以**8522C 为例），具体电路请见参考图(使用 SOC 提供的 25MHz 替代 FEPHY 晶体，ETH_MCLK_Mx 采用输入模式，RMII 接口的参考时钟由 FEPHY 提供，FEPHY 的 TXCLK 需要配置为输出模式)：

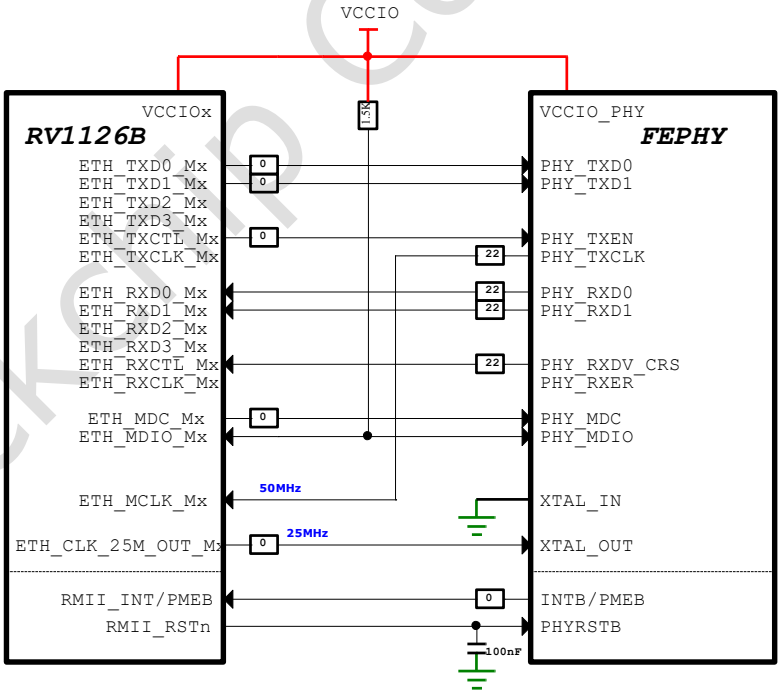


图 2-92 RMII 连接示意图 4

RGMII/RMII 接口的设计注意事项：

- 在 RGMII 模式下，RV1126B 芯片内部 TX/RX 时钟路径集成了 delayline，支持调整；参考图默认配置是：TXCLK 与 data 之间时序由 MAC 来控制，RXCLK 与 data 之间时序由 PHY 来控制（如使用**8211F/FI 即 RXCLK 默认开启 2ns delay，其它 PHY 要注意这个配置）。

Rockchip Confidential

- Ethernet PHY 的 Reset 信号需要用 GPIO 来控制，GPIO 电平必须和 PHY IO 电平匹配，靠近 PHY 管脚必须增加 100nF 电容，加强抗静电能力，注意： **8211F/FI 的复位管脚只支持 3.3V 电平。
- **8211F/FI 的 INTB/PMEB 为开漏输出，外部必须增加上拉电阻。
- PHY 使用外置晶体时，晶体电容请根据实际使用的晶体的负载电容值选择，控制频偏在+/-20ppm 以内。
- **8211F/FI 的 RSET 管脚外接电阻为 2.49K ohm 精度为 1%，不得随意修改。
- PHY 的初始化硬件配置必须和实际需求匹配。
- MDIO 必须外部加上拉电阻，推荐 1.5-1.8Kohm，上拉电源必须和 IO 电源保持一致。
- 变压器中心抽头的连接必须按参考各 Ethernet PHY 厂家的参考设计，因为不同的 PHY 厂家会有不同的连接方式。
- 1000pF 隔离电容建议采用高压安规电容，有足够大的电气间隙保证雷击的安全性。
- 网络变压器高压侧的 75 ohm 电阻建议采用 0805 以上的封装。
- 雷击防护等级达到 4KV 以上需要增加防雷管，普通的隔离变压器只能满足 2KV 等级要求。
- 如果有雷击差分测试要求，MDI 差分对间需要增加 TVS 管。
- 务必确认 RJ45 封装和原理图是否一致，RJ45 有分 Tab down 和 Tab up，信号顺序刚好是相反，如果使用**8211F/FI 建议采用 Tab down，MDI 顺序是顺的。

2.3.10. FEPHY接口

RV1126B内置的FEPHY，可以实现百兆以太网功能，同一时间与GMAC_M0/GMAC_M1只能选择其中之一进行使用。

FEPHY接口的信号连接如下图所示：

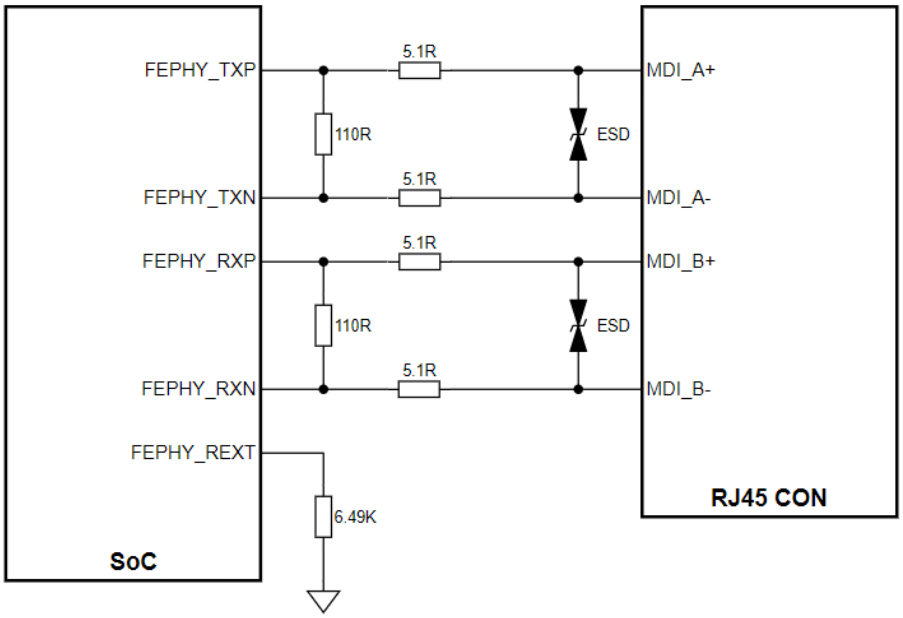


图 2-93 RV1126B 芯片 FEPHY 接口连接示意图

FEPHY接口的设计注意事项：

- 为提高性能，FEPHY 各路电源的去耦电容不得删除，布局时请靠近管脚放置；
- FEPHY 输出支持 TX/RX 对调，支持组内 P/N 对调，可根据 PCB 走线情况做适当调整；

Rockchip Confidential

- 差分信号 FEPHY_TXP/N 之间和差分信号 FEPHY_RXP/N 之间，需要并联 110ohm 端接电阻，靠近 SoC 端放置，不得删除；
- FEPHY_TXP/N、FEPHY_RXP/N 串联 5.1ohm 电阻，靠近变压器端放置，可以提高抗浪涌能力；
- 变压器中心抽头的 1nF，容值不得修改，靠近变压器放置；

FEPHY接口的匹配设计如下表所示：

表 2-57 RV1126B 芯片 FEPHY 接口匹配设计

信号	连接方式	描述（芯片端）
FEPHY_TXP/N	差分对间并联110ohm电阻，靠近SoC端； 单端信号串联5.1ohm电阻，靠近变压器端	数据发送差分对信号
FEPHY_RXP/N	差分对间并联110ohm电阻，靠近SoC端； 单端信号串联5.1ohm电阻，靠近变压器端	数据接收差分对信号
FEPHY_EXTR	串接6.49Kohm 1%精密电阻接地，靠近引脚放置	参考电阻

2.3.11. IRFPA接口

RV1126B支持IRFPA（Infrared Focus Plane Array，非制冷型红外焦平面阵列），即热成像传感器接口，支持单端模式，不支持差分模式，支持OOC（On-Chip Offset Calibration，片上非均匀性校正），目前支持7进14出、3进8出和3进7出三种探测器接口。

IRFPA接口与探测器的信号连接如下图所示：

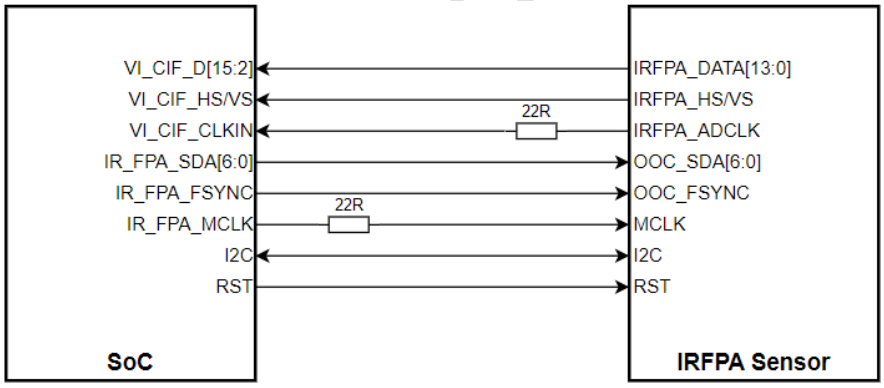


图 2-94 RV1126B 芯片 IRFPA 接口 7 进 14 出模式连接示意图

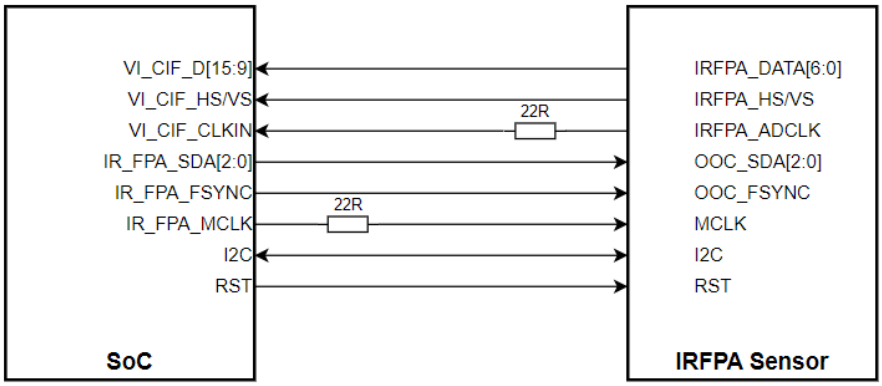


图 2-95 RV1126B 芯片 IRFPA 接口 3 进 7 出模式连接示意图

IRFPA接口的匹配设计如下表所示：

Rockchip Confidential

表 2-58 RV1126B 芯片 IRFPA 接口匹配设计

信号	内部上下拉	连接方式	描述（芯片端）
VI_CIF_D[15:0]	下拉	直连	IRFPA数据接收
VI_CIF_HSYNC	下拉	直连	IRFPA行同步接收
VI_CIF_VSYNC	下拉	直连	IRFPA场同步接收
VI_CIF_CLKIN	下拉	串联22ohm电阻	IRFPA数据同步采样时钟接收
IR_FPA_SDA[6:0]	下拉	直连	OOC配置数据输出
IR_FPA_FSYNC	下拉	直连	帧同步信号输出
IR_FPA_MCLK	下拉	串联22ohm电阻	系统工作时钟/OOC数据同步时钟

IRFPA接口的设计注意事项：

- Soc 端数据接收遵循高位对齐原则。而不同模组数据对齐方式不同，有些模组是高位对齐，有些模组是低位对齐，使用时需注意。连接示意图中展示的是高位对齐的连接方式；
- 模组的工作电平有 1.8V/2.0V 等，RV1126B 仅支持 1.8V 工作电平；
- 部分模组提供 PSYNC 像素同步信号，实际不需要连接。

2.3.12. DSMC接口

为突破传统工控PLC系统受限于CPU性能和内存容量的瓶颈，新型高性能工控PLC转向了CPU＋FPGA协同架构。在该架构中，CPU作为控制核心执行程序，FPGA则并行处理高速I/O及扩展通信。这种分工要求CPU与FPGA之间必须进行大量实时、高效的数据交换。

然而，CPU与FPGA的协同效能高度依赖于两者间的通信速率与稳定性。无论是CPU直接访问FPGA寄存器（追求实时性），还是通过DMA进行大批量数据搬运（追求吞吐率），都对通信接口的带宽和延迟提出了极致要求。

DSMC（Double Data Rate Serial Memory Controller）双倍数据速率串行接口，是我司自研的DDR接口交互协议，具有少引脚数、高带宽、配置灵活的特点，此外，还具备异步数据通信反压机制(接收方控制发送方的数据流，避免数据被覆盖或丢失)，适用于在连接PSRAM设备以及LocalBus总线外设（如FPGA）的工业控制领域。

SoC和负责通讯传输的FPGA之间通过DSMC来进行实时高效的传输，DSMC作为串行内存控制器，可将FPGA的可访问空间一一映射成CPU可访问的内存空间，直接在对应的外设内存空间上进行编程。DSMC的两种典型应用分别为DPRAM (Dual Port Random Access Memory)方案和FIFO方案，如下图所示：

Rockchip Confidential

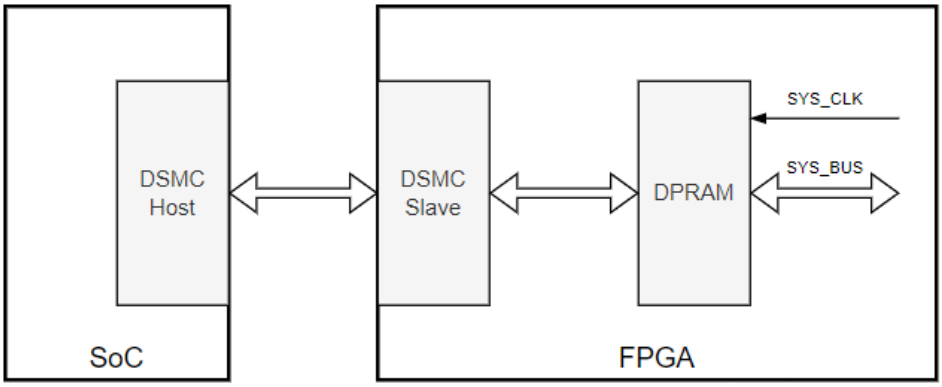


图 2-96 DSMC 应用：DPRAM 方案

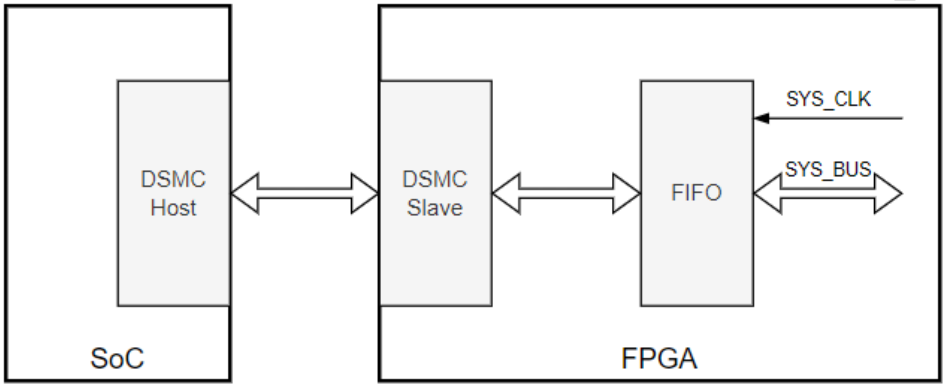


图 2-97 DSMC 应用：FIFO 方案

- DPRAM 方案是将 DPRAM 的一个端口直接暴露给 DSMC，DSMC 像访问一块普通内存一样，通过地址线寻址，对 DPRAM 的数据进行读写。FPGA 内部的子系统通过另一个端口读写 DPRAM 中的数据。
- FIFO 方案的核心在于，通过将用户的系统总线接入 DSMC Slave 接口，将用户侧的整个系统映射到了 SoC 的地址空间中。这意味着，SoC 可以像访问本地内存一样，通过发起 DSMC 读写事务，直接访问和控制用户系统上的其他功能单元。为实现以上功能，在 DSMC Slave 端的硬件设计却可以非常简洁，仅需实现一个 FIFO 进行数据缓存，并配合反压信号 (dsmc_rdyn) 来协调两端的速度差异即可。这种轻量化的设计使得接口实现简单高效。

DSMC的特性能较好的应用于两类场景：一是具备存储设备通信功能，可以与PSRAM等存储设备的通信；二是作为总线控制器，与连接在该总线上的外部设备进行通信（该功能通常在FPGA内实现）。DSMC控制器的特征如下：

- 支持 AXI4 接口，便于实现高性能 CPU 处理器与 FPGA 无缝对接，满足大数据块高吞吐量传输需求；
- 通过 APB 接口方便地进行控制器配置，管理简单；
- 内置 DMA 请求机制，支持多通道 DMA 搬运，能解放 CPU，保证数据传输的实时性和系统整体效率；
- 拥有丰富的可配参数，如传输长度限制、地址边界拆分、WRAP 传输转换、字节使能等，能精准适配各种外设（如 PSRAM、FPGA 等）的特定访问需求；
- 具备异步数据通信反压机制，DSMC_RDYN 拉高表示外设暂时无法接受数据，DSMC 进入等待状态，DSMC_CLK 停止翻转，避免数据被覆盖或丢失；
- 支持双倍数据速率接口(支持双沿时钟模式，不支持单沿时钟模式)；

Rockchip Confidential

- 支持 8 线和 16 线串行(同一个通道，分时串行发送地址和数据)传输模式，其中命令和地址固定为 8 线模式，数据 8 线和 16 线可选；
- 支持多片选（4 个 CS）和可配置的并行写操作，能高效管理多个外设；
- DSMC_CLKP/N 最高速率为 100MHz。

DSMC接口的信号连接如下图所示：

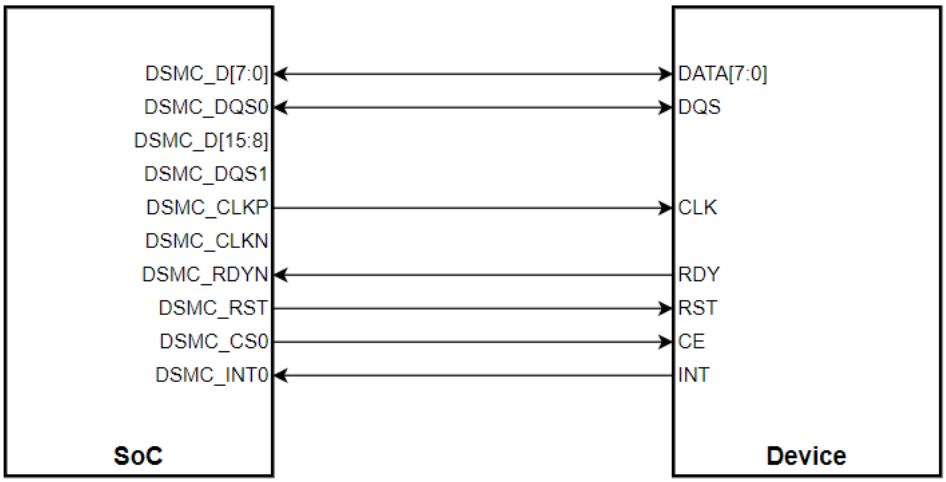


图 2-98 RV1126B 芯片 DSMC 接口 8bit 连接示意图

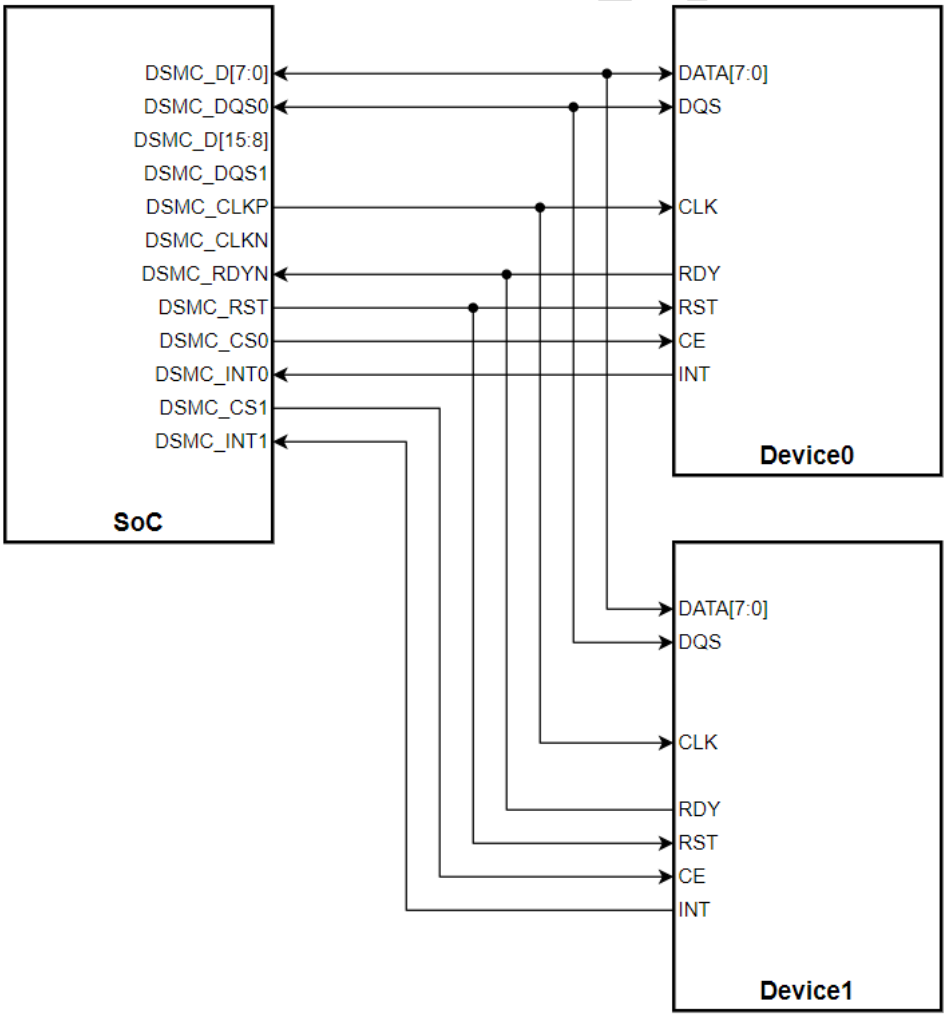


图 2-99 RV1126B 芯片 DSMC 接口 8bit 多片选连接示意图

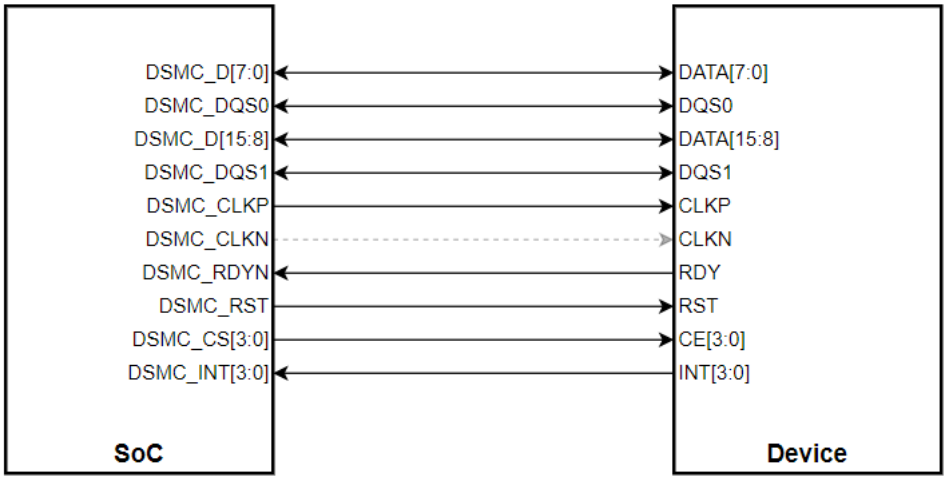


图 2-100 RV1126B 芯片 DSMC 接口 16bit 连接示意图

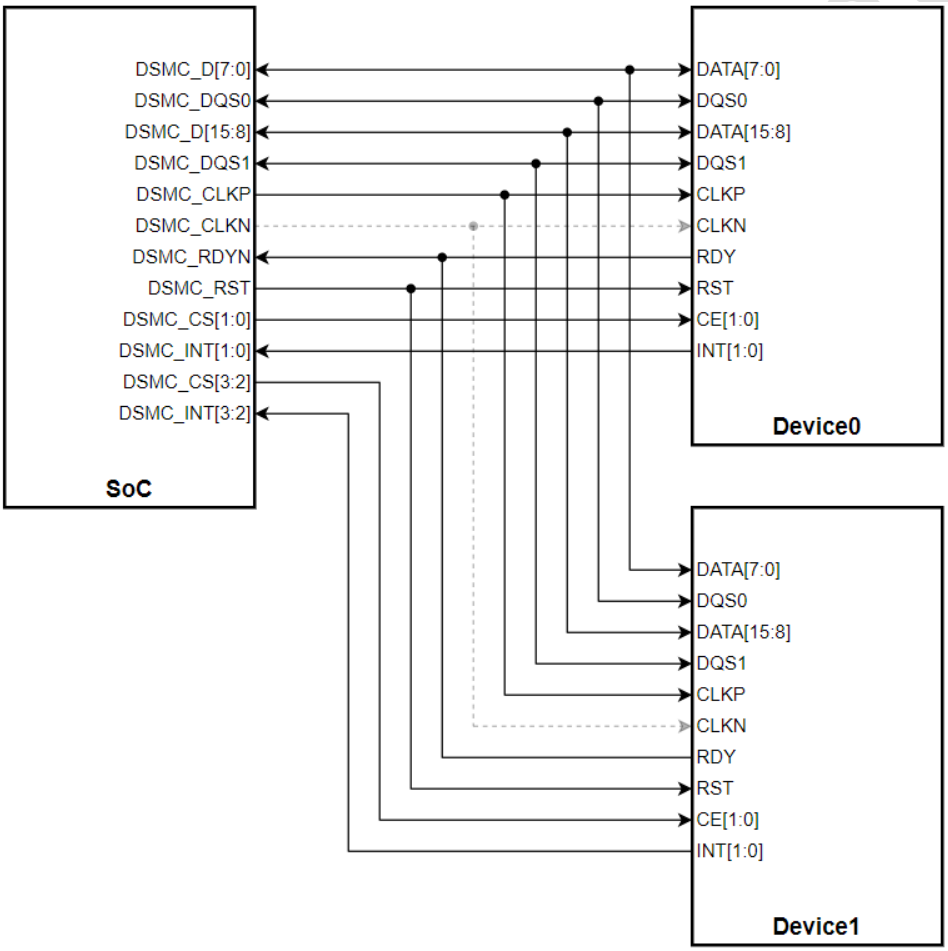


图 2-101 RV1126B 芯片 DSMC 接口 16bit 多片选连接示意图

DSMC接口的匹配设计如下表所示：

表 2-59 RV1126B 芯片 DSMC 接口匹配设计

管脚名	16bit模式	8bit模式	注意事项
DSMC_DQS1	DSMC_DQS1	/	双向信号，方向取决于操作类型： •主机写数据时：作为掩码（Mask）从主机发出。 信号=1：屏蔽（不写入）对应数据； 信号=0：有效（写入）对应数据。 •主机读数据时：作为数据选通（DQS）从外设返回，用于采样读取的数据。 •8线模式下不使用DSMC_DQS1。
DSMC_D[15:8]	DSMC_D[15:8]	/	传输Data信息。 8线模式下不使用。
DSMC_DQS0	DSMC_DQS0	DSMC_DQS0	双向信号，方向取决于操作类型： •主机写数据时：作为掩码（Mask）从主机发出。 信号=1：屏蔽（不写入）对应数据 信号=0：有效（写入）对应数据。 •主机读数据时：作为数据选通（DQS）从外设返回，用于采样读取的数据。 •8线模式下仅用DSMC_DQS0。
DSMC_D[7:0]	DSMC_D[7:0]	DSMC_ D[7:0]	传输Command, Address和 Data 信息。 8线模式下仅使用bit[7:0]。
DSMC_CLKN	DSMC_CLKN	DSMC_CLKN	控制、地址和写数据信号的时钟信号。 仅支持差分时钟输出。
DSMC_CLKP	DSMC_CLKP	DSMC_CLKP	控制、地址和写数据信号的时钟信号。 支持单端/差分时钟输出。
DSMC_CSN[3:0]	DSMC_CSN[3:0]	DSMC_CSN[3:0]	低有效，外设可随意选择。
DSMC_INT[3:0]	DSMC_INT[3:0]	DSMC_INT[3:0]	支持软件中断，响应速度快慢，外设可随意选择。 支持2路硬件中断，响应速度快，可以选择INT0/1/2/3中的任意一个做为触发源。
DSMC_RDYN	DSMC_RDYN	DSMC_RDYN	主机输入，从机开漏输出，外部接上拉电阻，阻值建议为4.7kohm，多从机连接通过外部上拉实现线与逻辑。访问外设 Memory时的异步反压信号，拉高表示外设暂时无法接受数据，DSMC 进入等待状态，DSMC_CLK停止翻转。纯异步控制信号，只有被选中的外设才允许拉低DSMC_RDYN。
DSMC_RESETN	DSMC_RESETN	DSMC_RESETN	复位信号，与DSMC_CLK是异步关系，受DSMC AXI总线复位控制。

DSMC接口的设计注意事项：

- DSMC 复用在 VCCIO5 电源域，可支持 1.8V 或 3.3V 电平，实际产品设计中，需要根据外设的实际 IO 供电要求（1.8V or 3.3V）选择对应的供电，必须保持一致；

Rockchip Confidential

- DSMC 的时钟支持单端时钟模式，也支持差分时钟模式，根据实际外设需求来定；
- DSMC 的 INT0/1/2/3 支持 2 个硬件触发接口，硬件触发接口的触发源可以通过寄存器配置选择来自 INT0/1/2/3 中的任意一个，INT0/1/2/3 也可以通过配置，变成软件触发的触发源；
- DSMC 优先使用支持硬件中断的 INT0 和 INT1，响应速度快；INT2 和 INT3 只支持软件中断；
- DSMC_CLKP 和 DSMC_CLKN 需在 RV1126B 端预留串接 0ohm 电阻，根据实际情况有条件提高信号质量；
- 当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件。

2.3.13. UART接口

RV1126B芯片拥有8个UART控制器，支持以下功能：

- 支持全双工和半双工通信模式；
- 均包含两个 64 字节的 FIFO 用于数据接收和传输；
- 传输速率最高 4Mbps；
- 支持可编程波特率，支持非整数时钟分频器；
- 支持基于中断或基于 DMA 的模式；
- 支持 5-8 位宽度传输；
- UART1~7 支持 RS485 自动收发功能。
- UART0 默认为烧录、打印串口

UART接口的信号连接如下图所示：

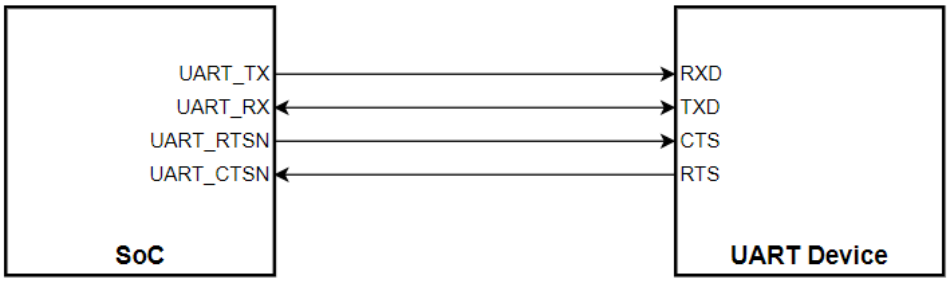


图 2-102 RV1126B 芯片 UART 接口连接示意图

RS485的自动收发功能，是指SoC通过UART转RS485与外设通信时，在发送数据结束后，会立刻控制RS485芯片从发送模式切换为接收模式，避免外设收到数据后会立即返回数据，而SoC没有及时控制RS485从发数据切换为收数据进而导致数据丢失。

UART与RS485通信时，有3线模式和4线模式，建议使用3线模式，如下图所示：

Rockchip Confidential

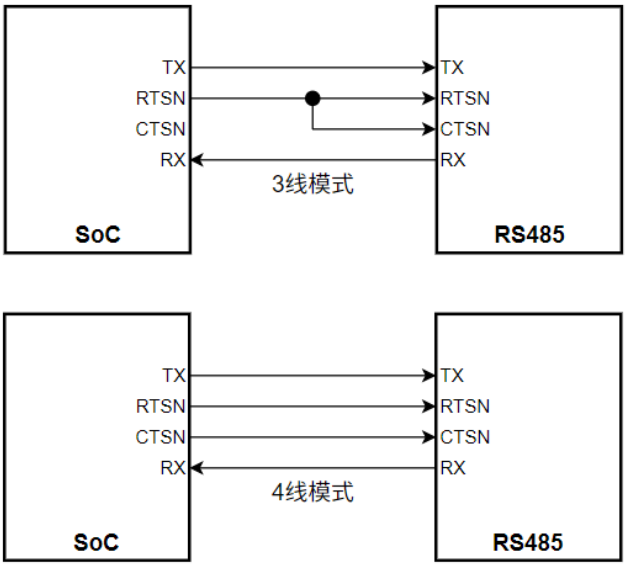


图 2-103 RV1126B 芯片 UART 接口与 RS485 连接示意图

考虑不同产品应用灵活性，8个UART分别复用在几个不同的电源域，用后缀M0/M1/M2/M3区分不同复用位置。M0/M1/M2/M3不能同时使用，分配时只能选择其中一组，不能有些信号选择M0，有些选择M1，有些选择M2，这个功能不支持。8个UART中只有UART0不带流控功能，其余UART1~7均带流控功能。

RV1126B UART接口分布情况：

表 2-60 RV1126B UART 接口分布

UART编号	复用情况	复用电源域
UART0 (Default Debug Uart)	M0，M1，M2	M0：VCCIO2 M1：VCCIO5 M2：PMUIO0
UART1	M0，M1	M0：PMUIO1 M1：VCCIO3
UART2	M0，M1	M0：VCCIO3 M1：VCCIO7
UART3	M0，M1，M2	M0：VCCIO2 M1：VCCIO5 M2：VCCIO6
UART4	M0，M1，M2，M3	M0：VCCIO4 M1：VCCIO5 M2：VCCIO6 M3：VCCIO2
UART5	M0，M1，M2	M0：VCCIO4 M1：VCCIO5 M2：VCCIO6
UART6	M0，M1	M0：VCCIO5 M1：VCCIO6
UART7	M0，M1	M0：VCCIO5 M1：VCCIO6

UART接口的匹配设计如下表所示：

Rockchip Confidential

表 2-61 RV1126B 芯片 UART 接口匹配设计

信号	连接方式	描述（芯片端）
UARTx_RX	直连	UART数据输入
UARTx_TX	直连	UART数据输出
UARTx_CTSn	直连	UART允许发送信号
UARTx_RTSn	直连	UART请求发送信号

UART接口的设计注意事项：

- 根据 UART 外设的 IO 电平，调整对应的电源域供电，必须保持一致；
- 注意 SoC 与 UART device 连接时，TX/RX 的方向；
- 当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件。

2.3.14. I2C接口

RV1126B芯片拥有6个I2C控制器，支持以下功能：

- 支持 I2C 总线主模式，不支持从模式；
- 最高支持软件可编程时钟频率和传输速率达 1M bit/s；
- 支持 7 位和 10 位寻址模式。

考虑不同产品应用灵活性，6个I2C分别复用在几个不同的电源域，用后缀M0/M1/M2/M3区分不同复用位置。IOMUX_M0/M1/M2/M3不能同时使用，分配时只能选择其中一组，例如：不能选择了I2C1_M0，又选择了I2C1_M1、I2C1_M2或I2C1_M3。

I2C接口的信号连接如下图所示：

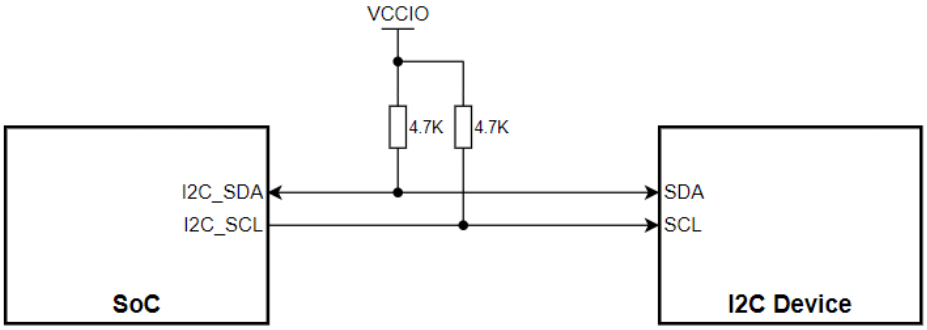


图 2-104 RV1126B 芯片 I2C 接口连接示意图

I2C接口分布情况如下表：

Rockchip Confidential

表 2-62 RV1126B 芯片 I2C 接口分布

I2C编号	复用情况	复用电源域
I2C0	M0，M1	M0：PMUIO1 M1：VCCIO2
I2C1	M0，M1，M2，M3	M0：PMUIO0 M1：VCCIO3 M2：VCCIO4 M3：VCCIO7
I2C2	M0，M1，M2	M0：PMUIO1 M1：VCCIO5 M2：VCCIO6
I2C3	M0，M1，M2，M3	M0：PMUIO1 M1：VCCIO4 M2：VCCIO5 M3：VCCIO6
I2C4	M0，M1，M2，M3	M0：VCCIO3 M1：VCCIO6 M2：VCCIO4 M3：VCCIO7
I2C5	M0，M1，M2，M3	M0：PMUIO1 M1：VCCIO3 M2：VCCIO5 M3：VCCIO6

I2C接口的匹配设计如下表所示：

表 2-63 RV1126B 芯片 I2C 接口匹配设计

信号	连接方式	描述（芯片端）
I2Cx_SCL	直连	I2C时钟
I2Cx_SDA	直连	I2C数据输出/输入

I2C接口的设计注意事项：

- 根据 I2C 外设的 IO 电平，调整对应的电源域供电，必须保持电平一致；
- I2C 信号 SCL、SDA 需要外接上拉电阻，根据总线负载不同，选择不同阻值的电阻，推荐接 2.2-4.7kohm 上拉电阻。
- I2C 总线上各设备地址不要冲突，上拉电源必须和 GPIO 电源域电源保持一致。
- 当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件。

2.3.15. SPI接口

RV1126B芯片除了2个FSPI控制器外，还拥有2个通用SPI控制器，支持以下功能：

Rockchip Confidential

- 支持 Master 和 Slave 两种模式；
- 支持 4、8、16 位串行数据传输；
- 支持全双工和半双工模式传输；

考虑不同产品应用灵活性，2个SPI分别复用在几个不同的电源域，用后缀M0/M1/M2区分不同复用位置。IOMUX_M0/M1/M2不能同时使用，分配时只能选择其中一组，不能有些信号选择M0，有些选择M1，这个功能不支持。

SPI接口分布情况如下表所示：

表 2-64 RV1126B 芯片 SPI 接口分布

SPI编号	复用情况	复用电源域
SPI0	M0，M1，M2	M0：PMUIO0 M1：VCCIO4 M2：VCCIO5
SPI1	M0，M1，M2	M0：VCCIO6 M1：VCCIO3 M2：VCCIO5

根据SPI外设的IO电平，调整对应的电源域供电，必须保持一致。

SPI接口的匹配设计如下表所示：

表 2-65 RV1126B 芯片 SPI 接口匹配设计

信号	连接方式	描述（芯片端）
SPIx_CLK	直连	SPI时钟
SPIx_MOSI	直连	SPI数据输出(Master)
SPIx_MISO	直连	SPI数据输入(Master)
SPIx_CS0	直连	SPI片选0
SPIx_CS1	直连	SPI片选1

SPI接口的设计注意事项：

- 当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件。

根据接口设计差异，不同SPI接口的使用速率有如下区别：

表 2-66 RV1126B 芯片不同 SPI 接口的使用速率

接口	最高 CLK 速率 （CLK Rate）
SPI1_M1	50MHz
SPI0_M0	24MHz
SPI0_M1/SPI0_M2 SPI1_M0/SPI1_M2	20MHz

2.3.16. CAN接口

RV1126B芯片拥有2个CAN控制器，支持以下功能：

- 支持传统 CAN 和经优化后的 CAN FD，传输速率为 1、2 和 5 Mbps（可以有条件的支持最高 8Mbps

Rockchip Confidential

的速率，但是 8M 的速率对信号质量、环路延时要求高，需要客户自行保证）；

- 支持发送或接收标准帧；
- 支持发送或接收扩展帧

考虑不同产品应用灵活性，2个CAN分别复用在几个不同的电源域，用后缀M0/M1区分不同复用位置。IOMUX_M0/M1不能同时使用，分配时只能选择其中一组，例如：选择了CAN_M0，就不能再选择CAN_M1。

CAN接口的信号连接如下图所示：

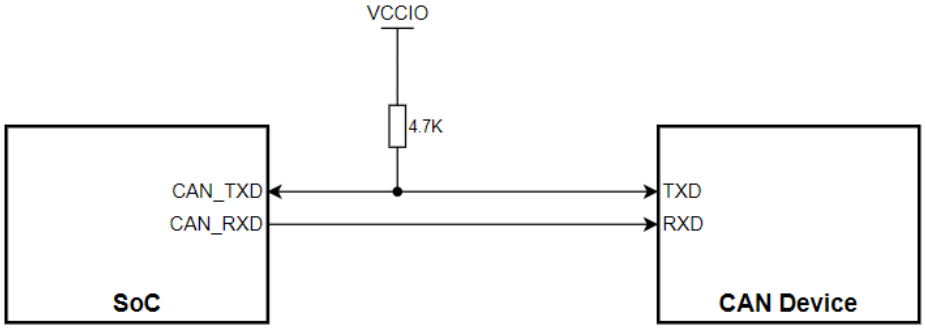


图 2-105 RV1126B 芯片 CAN 接口连接示意图

RV1126B CAN接口分布情况：

表 2-67 RV1126B 芯片 CAN 接口分布

CAN编号	复用情况	复用电源域
CAN0	M0，M1	M0：VCCIO5 M1：VCCIO6
CAN1	M0，M1	M0：VCCIO5 M1：VCCIO6

CAN接口的匹配设计如下表所示：

表 2-68 RV1126B 芯片 CAN 接口匹配设计

信号	连接方式	描述（芯片端）
CANx_RX	直连	CAN数据输入
CANx_TX	直连，推荐外部接4.7Kohm上拉电阻	CAN数据输出

CAN接口的设计注意事项：

- 根据 CAN 外设的 IO 电平，调整对应的电源域供电，必须保持一致。
- 当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件。

2.3.17. PWM接口

RV1126B芯片集成了4个独立的PWM控制器，最多支持28个PWM通道。PWM0控制器有8个通道，分别是PWM0_CH0~PWM0_CH7，PWM1控制器有4个通道，分别是PWM1_CH0~PWM1_CH3，PWM2控制器有8个通道，分别是PWM2_CH0~PWM2_CH7，PWM3控制器有8个通道，分别是PWM3_CH0~PWM3_CH7。PWM控制器均支持以下功能：

- 支持捕获模式；

Rockchip Confidential

- 支持连续模式或一次性模式；
- 每个通道都有两种时钟输入可选，一个是从晶振输入的固定频率，一个是从 PLL 总线分频，频率可配置的；

不同PWM控制器的功能差异如下：

- 波形发生器可以通过硬件实现呼吸灯功能，不消耗 CPU；
- IR 输入可以实现红外输入；
- 双相计数器常用于多电机控制，如扫地机；

表 2-69 RV1126B 芯片 PWM 功能情况

功能	PWM0_8CH	PWM1_4CH	PWM2_8CH	PWM3_8CH
波形发生器	NO	NO	8个通道都支持，共享查找表（深度768）。举例：1路768粒度；3路256粒度；6路128粒度。	NO
IR输入	NO	只支持1个，可在PWM1_CH0~3任意配置	NO	NO
IR输出	NO	NO	NO	NO
双相计数器	支持4路双相计数器(只用单相，也可用作频率计，支持频率20M) CH0+CH4 组成一路双相计数器 CH1+CH5 组成一路双相计数器 CH2+CH6 组成一路双相计数器 CH3+CH7 组成一路双相计数器	NO	支持4路双相计数器(只用单相，也可用作频率计，支持频率20M) CH0+CH4 组成一路双相计数器 CH1+CH5 组成一路双相计数器 CH2+CH6 组成一路双相计数器 CH3+CH7 组成一路双相计数器	支持4路双相计数器(只用单相，也可用作频率计，支持频率20M) CH0+CH4 组成一路双相计数器 CH1+CH5 组成一路双相计数器 CH2+CH6 组成一路双相计数器 CH3+CH7 组成一路双相计数器
全局控制模式（支持多通道配置的同步更新）	YES	YES	YES	YES
输出偏移模式（PWM输出波形偏移指定的时间）	YES	YES	YES	YES

考虑不同产品应用灵活性，28个PWM通道分别复用在几个不同的电源域，用后缀M0/M1/M2区分不同复用位置。IOMUX_M0/M1/M2不能同时使用，分配时只能选择其中一组，例如：选择了PWM_CH0_M0，就不能再选择PWM_CH0_M1或其它PWM_CH0_M*。

Rockchip Confidential

RV1126B PWM接口分布情况如下表所示：

表 2-70 RV1126B 芯片 PWM 接口分布

PWM编号	复用情况	复用电源域
PWM0_CH0~3	M0，M1，M2	M0：PMUIO1 M1：VCCIO5 M2：VCCIO6
PWM0_CH4~7	M0，M1，M2	M0：PMUIO1 M1：VCCIO4 M2：VCCIO5
PWM1_CH0~3	M0，M1，M2	M0：PMUIO0 M1：VCCIO5 M2：VCCIO6
PWM2_CH0~3	M0，M1，M2	M0：VCCIO3 M1：VCCIO5 M2：VCCIO6
PWM2_CH4~7	M0，M1	M0：VCCIO5 M1：VCCIO7
PWM3_CH0~7	M0，M1	M0：VCCIO1 M1：VCCIO5

PWM接口的设计注意事项：

- 根据 PWM 外设的 IO 电平，调整对应的电源域供电，必须保持电平一致。
- 当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm-100ohm 之间，具体以能满足 SI 测试为准)，并预留 TVS 器件。
- 当红外接收头信号输入时，需要注意以下：
  - 待机下，要支持红外接收头唤醒，而且考虑低功耗（即 LOGIC_DVDD 电源断电方案），只能选择 PWM1_CH0~3 当红外接收头输入；
  - 红外接收头的电源需要使用 PMUIO1_VCC 引脚的供电电压；
  - 红外接收头的电源需要 22-100ohm 电阻和 10uF 以上电容进行 RC 滤波；
  - 红外接收头默认采用 38KHz，如果换成其它频率软件需要相应稍调；
  - 红外接收头输出电平必须和 RV1126B IO 电平匹配；
  - 红外接收头输出脚建议串 22 ohm 电阻并对 1nF 电容，再连接到 RV1126B，加强抗静电浪涌能力。

Rockchip Confidential

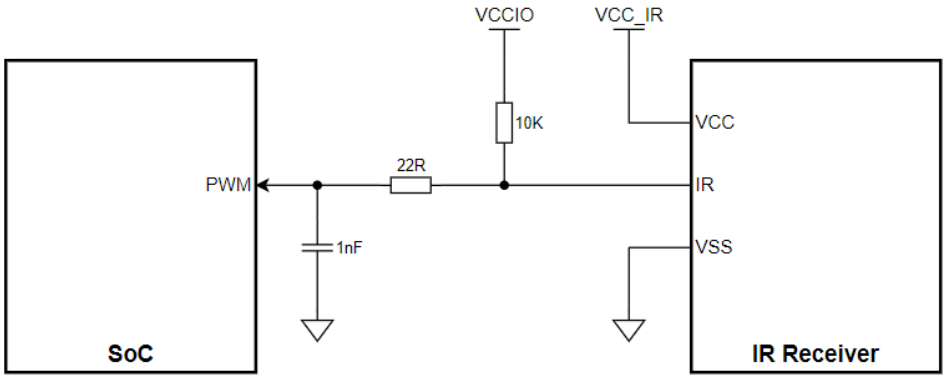


图 2-106 RV1126B 芯片 PWM 接口与红外接收头连接示意图

- 红外接收头布局时，应远离无线模块天线，如 Wi-Fi 天线，以免无线传输数据时，影响红外信号接收。
- 红外接收头布局应避开板上 LED 光源直射，避免 LED 闪烁频率影响红外接收。
- IR 信号建议全程包地处理，无法包地处理，建议和其它信号间隔：≥2 倍线宽。

2.3.18. 未使用模块的管脚处理

请见《RV1126B Methods for Processing Unused Pins》文档。

各个模拟PHY未使用时，如果电源未供电，需要注意，软件DTS配置中，要Disable对应的模拟PHY功能。

Rockchip Confidential

3.PCB设计建议

3.1. 通用高速信号布线建议

（1）走线长度应包含过孔和封装。

（2）差分对内时延差是指同一对差分信号的2根走线之间的时延差；而差分对间时延差是指不同差分对之间的时延差。信号间距是指空气间距。

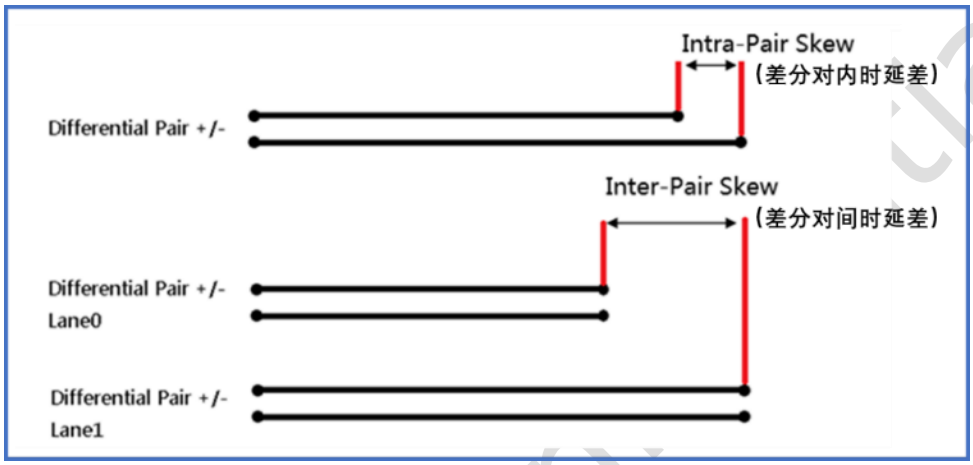


图 3-1 差分对时延差示意图

（3）走线应有完整且连续的参考层平面。

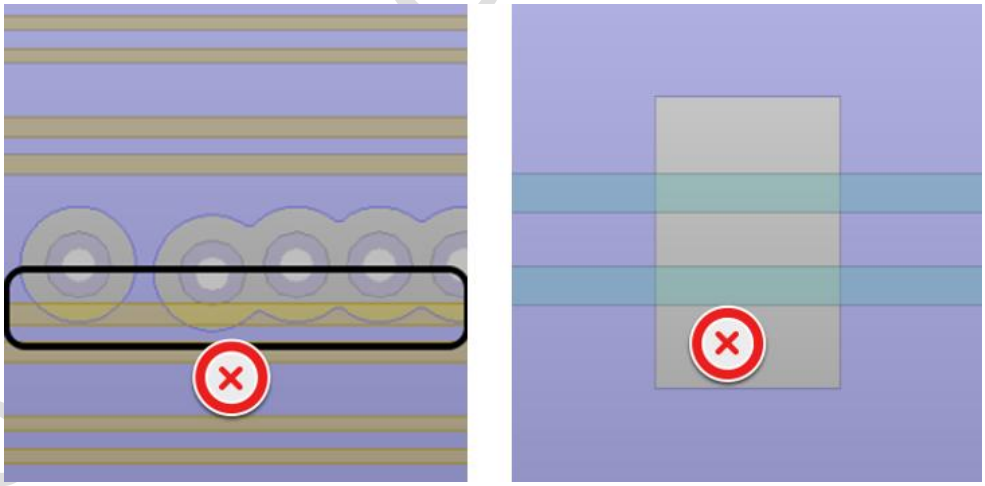


图 3-2 不完整参考平面示意图

（4）由于表贴器件的焊盘会导致阻抗降低，为减小阻抗突变的影响，建议在表贴焊盘的正下方按焊盘大小挖去一层参考层（按下图红色区域挖空）。常用的表贴器件有：电容、ESD、共模抑制电感、连接器等等。

Rockchip Confidential

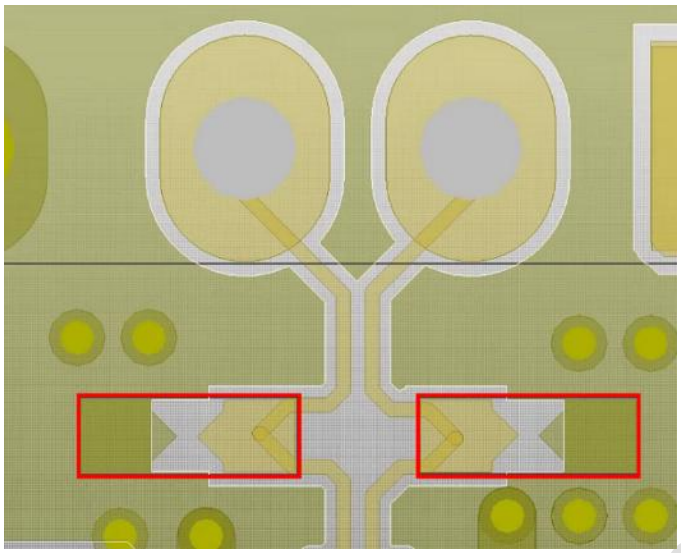


图 3-3 ESD 参考层挖空示意图

（5）建议走线距离同层的地铜皮大于等于3倍线宽。

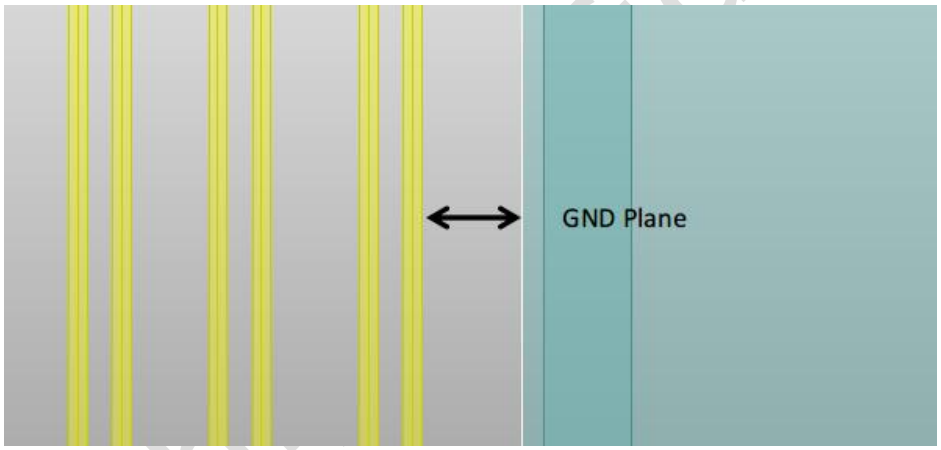


图 3-4 走线与同层地铜皮间距示意图

（6）避免高速信号跨区，建议高速信号距离参考平面的边沿至少有40mil。

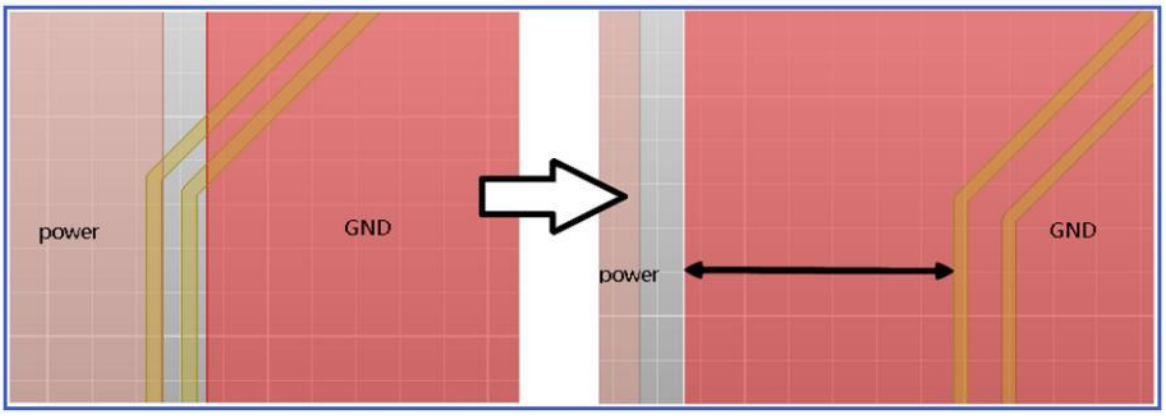


图 3-5 跨区示意图

（7）建议不要在高速信号上放置测试点。

Rockchip Confidential

（8）走线尽量减少拐角，拐角建议用135度代替90度。

（9）串接电阻应靠近发送端器件放置，如 eMMC时钟信号上的串接电阻，推荐放在靠近CPU侧（400mil以内）。

（10）建议在IC（如eMMC颗粒、FLASH颗粒等）的地焊盘各打1个地通孔。

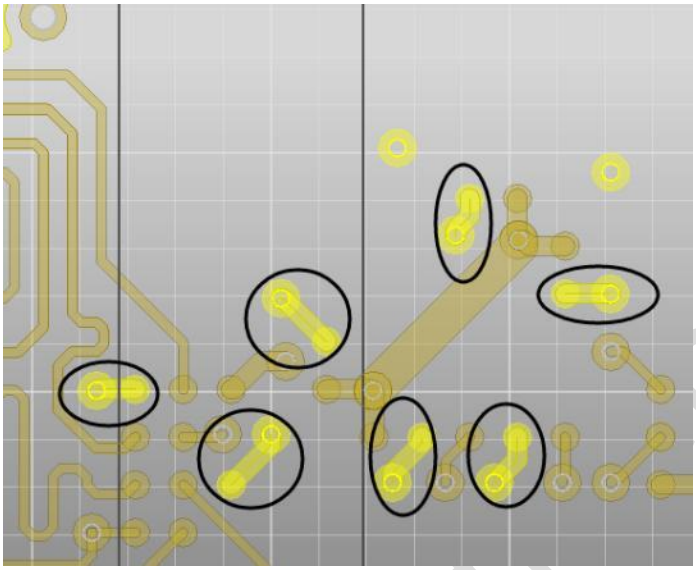


图 3-6 地通孔示意图

（11）避免在时钟器件（如晶体、晶振、时钟发生器、时钟分发器）、开关电源、磁类器件、插件过孔等周边布线。

（12）移除所有非功能焊盘。

（13）差分信号要求对内等长，即P、N之间的时延差要尽可能小。因此，当差分线P、N之间出现时延差时，就近绕线补偿。绕线尺寸需要特别注意，应满足如下图所示要求，以降低阻抗突变带来的影响。

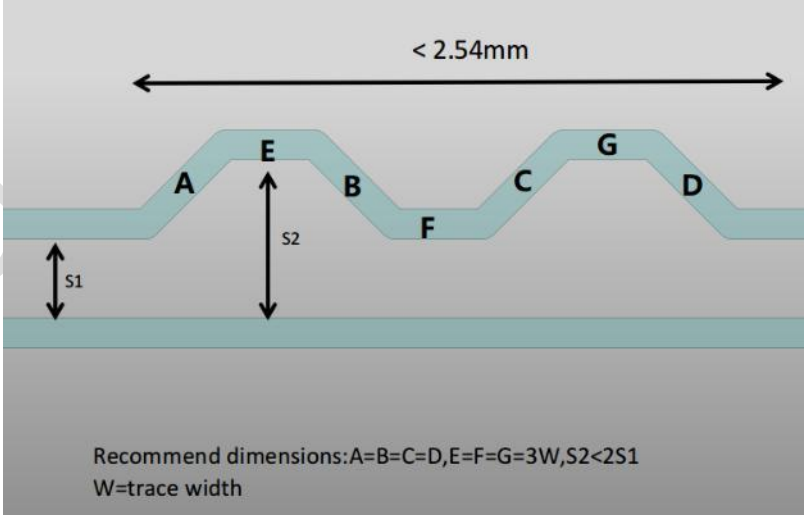


图 3-7 绕线补偿示意图

（15）在差分线对内出现不等长（300mil以内）尽早作绕线补偿。

Rockchip Confidential

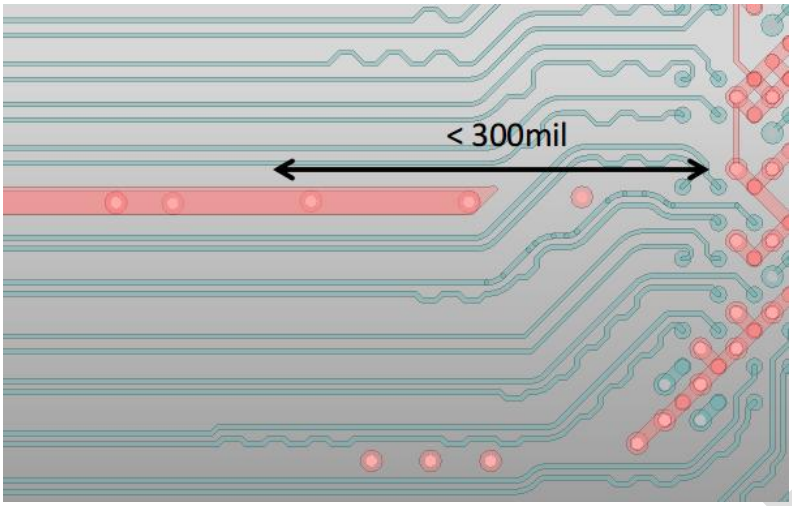


图 3-8 差分对内绕线补偿示意图

（16）走线换层，且换层前后参考层为地平面时，需要在信号过孔旁边放一个伴随过孔，以保证回流路径的连续性。对于差分信号，信号过孔、回流过孔均应对称放置；对于单端信号，建议在信号过孔旁边放置一个回流过孔以降低过孔之间的串扰。

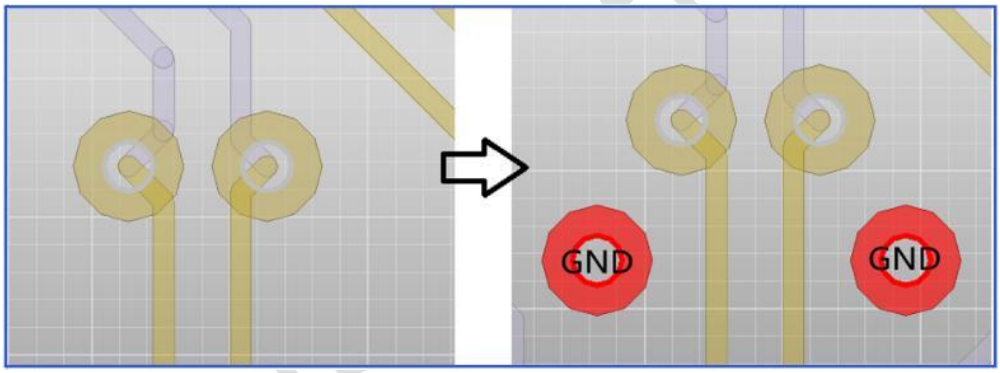


图 3-9 差分换层过孔示意图

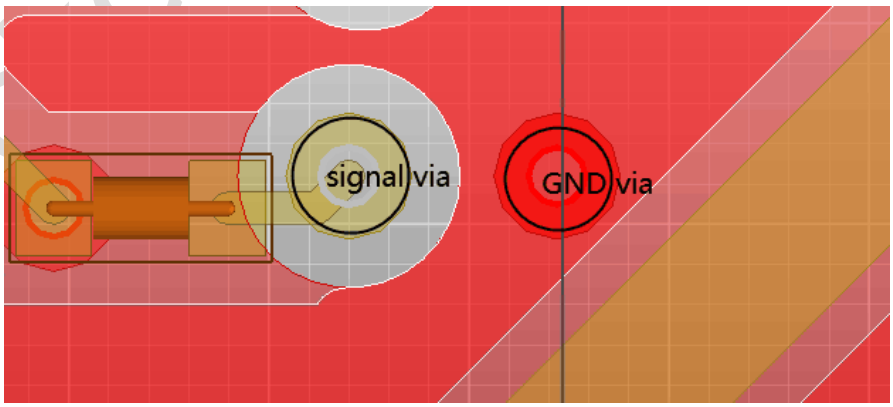


图 3-10 单端信号换层过孔示意图

（17）差分对走线应对称。

Rockchip Confidential

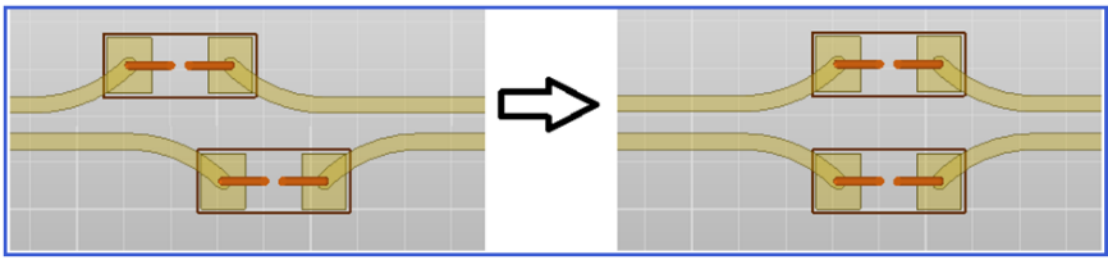


图 3-11 对称走线示意图

（18）建议在高速连接器的每个地焊盘至少打一个地通孔，建议是两个地通孔，并且通孔要尽量靠近焊盘。

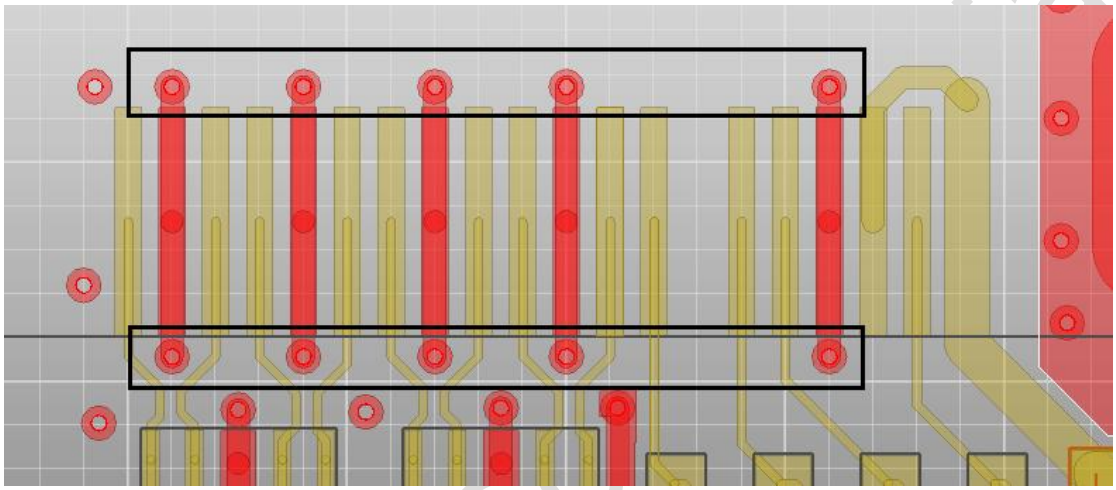


图 3-12 连接器焊盘通孔示意图

（19）连接器位置铺铜时，注意地铜皮不要超过地焊盘。

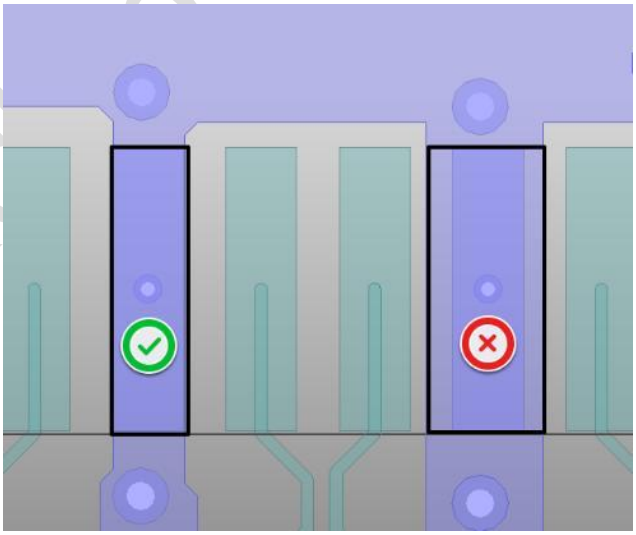


图 3-13 焊盘铺铜示意图

（20）连接器的地铜皮距离信号PAD至少要大等于3倍线宽。

Rockchip Confidential

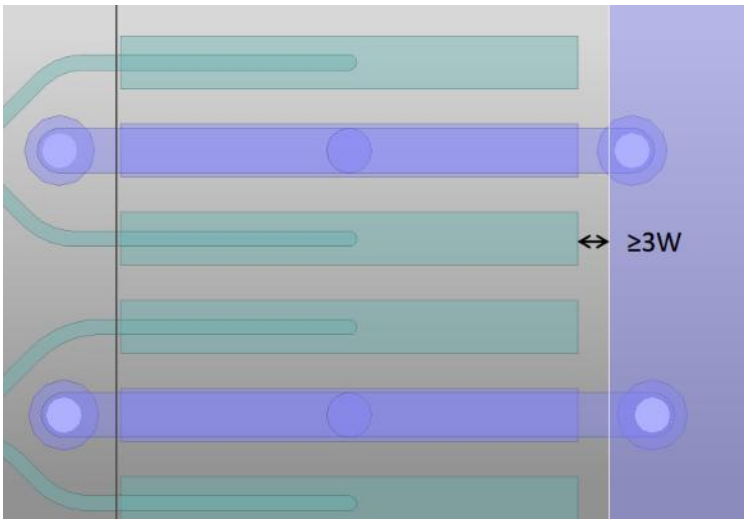


图 3-14 连接器地铜皮示意图

（21）推荐包地方式如下：

L为包地线地过孔间隔；

D为包地线距离信号线之间的空气间距，建议≥3W。

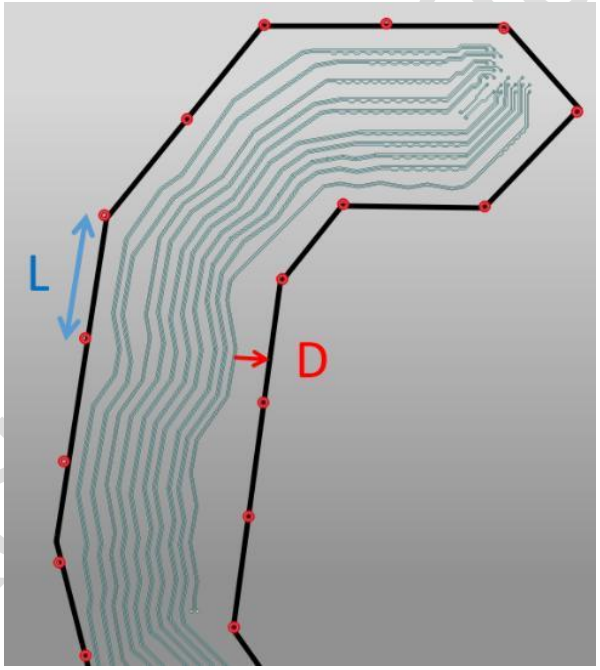


图 3-15 包地示意图

（22）建议按下图走蛇形绕线，以降低绕线带来的串扰。

Rockchip Confidential

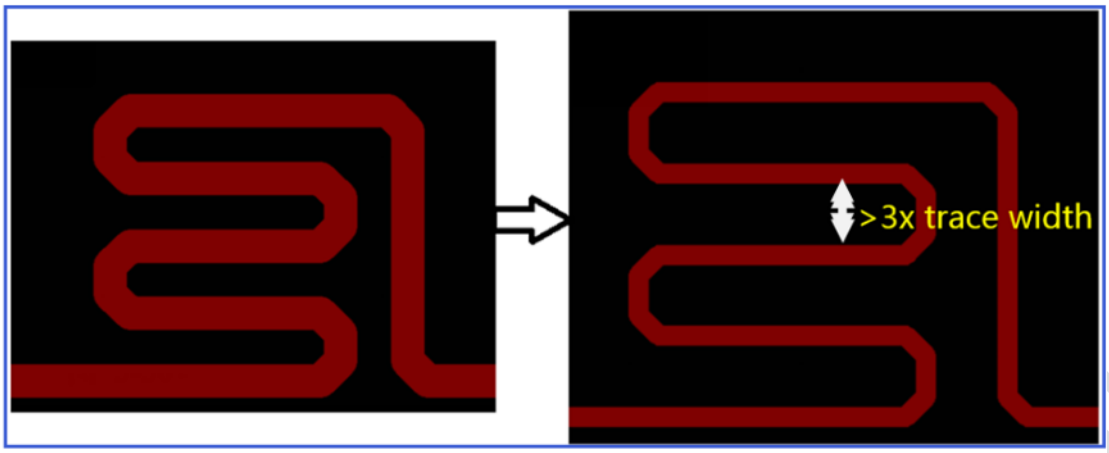


图 3-16 蛇形绕线示意图

（23）尽量减小残桩长度，建议残桩长度为零。

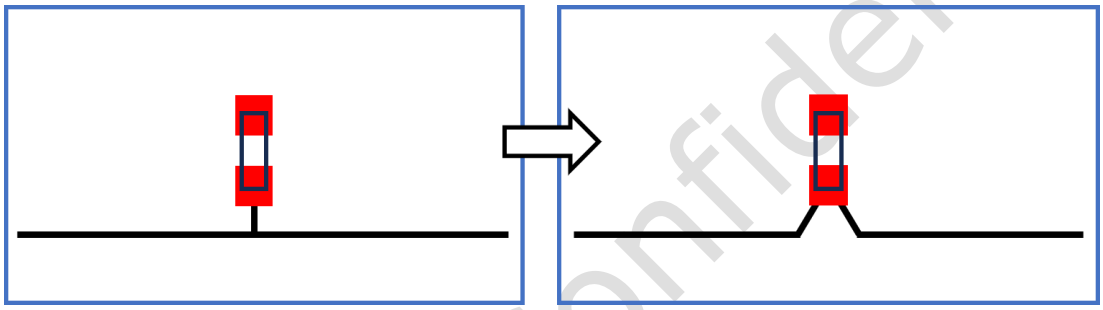


图 3-17 走线残桩示意图

（24） 走线的参考平面不建议跨电源层。当走线的参考平面有跨电源层时，建议在2个电源层分别加对地电容以改善回流路径。

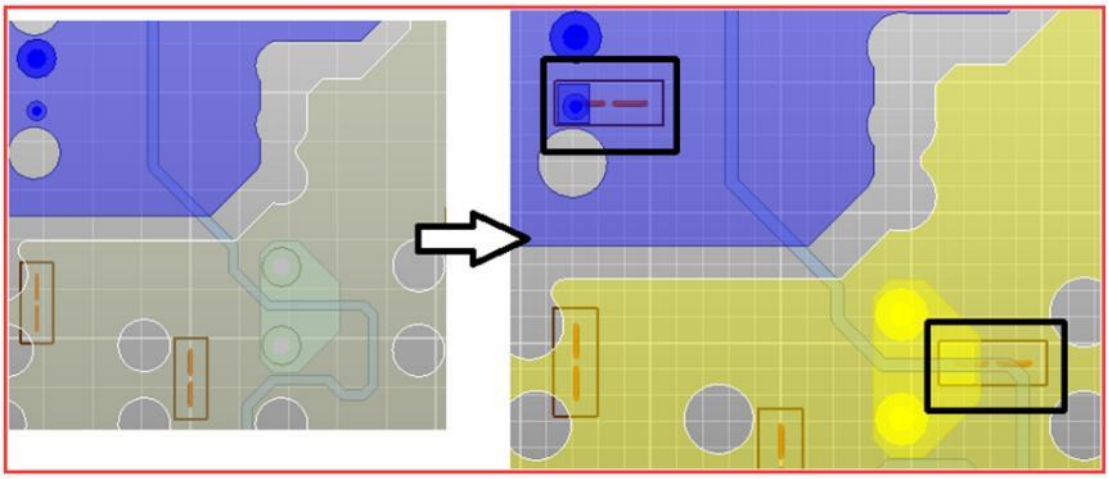


图 3-18 跨电源平面示意图

Rockchip Confidential

3.2. 接口PCB设计建议

3.2.1. Power电路PCB设计

3.2.1.1. VDD_CPU电源PCB设计

（1）DCDC输出端，电源换层孔（0503过孔）数量至少4个，建议≥6个。

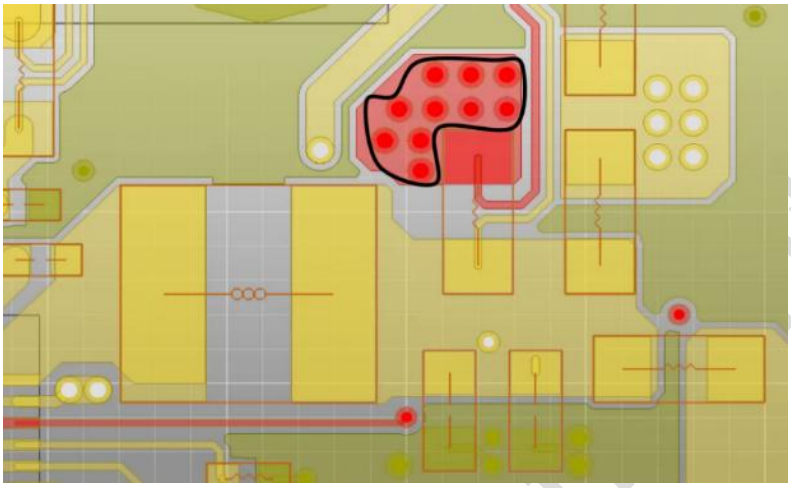


图 3-19 DCDC 换层过孔数量示意图

（2）靠近DCDC的去耦电容，每个焊盘至少对应一个过孔，建议≥2个。请勿移除该去耦电容。

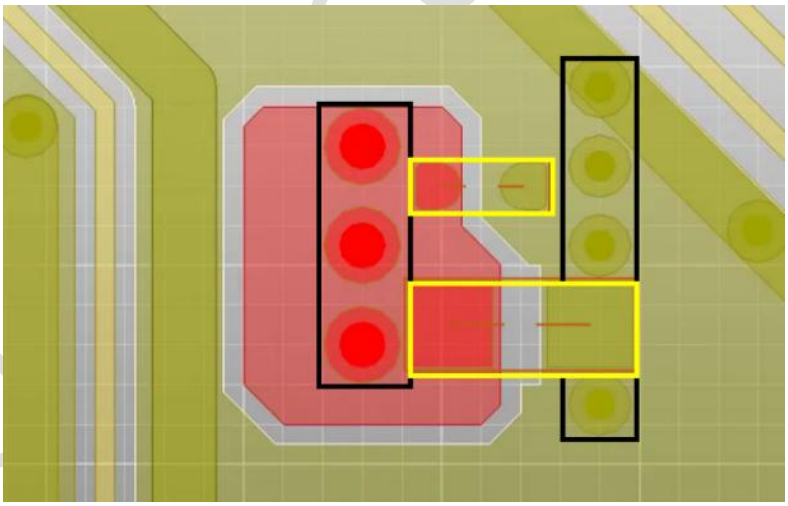


图 3-20 去耦电容过孔数量示意图

（3）DCDC到RV1126B芯片的铜皮宽度W1建议≥200mil，直流电阻建议≤10毫欧。RV1126B下方铜皮的有效宽度W2建议≥40mil。

Rockchip Confidential

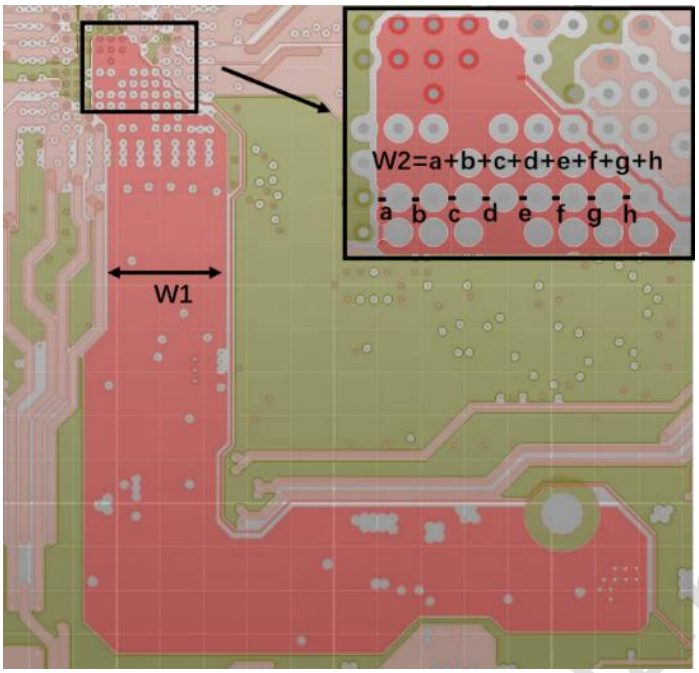


图 3-21 RV1126B VDD_CPU 电源层覆铜

（4）RV1126B的VDD_CPU电源，建议每个电源Pad配置一个电源过孔。

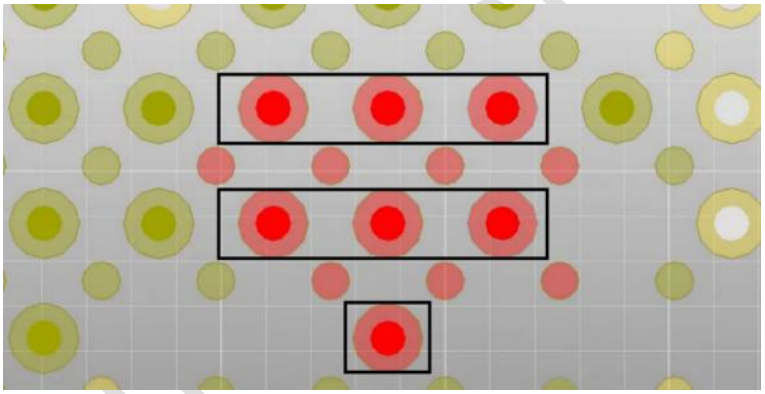


图 3-22 RV1126B 电源过孔数量示意图

（5）RV1126B VDD_CPU的每个电源过孔，在40mil范围（过孔中心到过孔中心的间距）内至少配置一个对应的GND过孔。

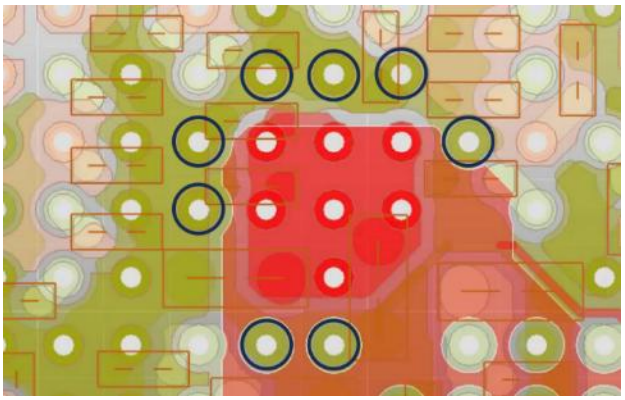


图 3-23 电源管脚 40mil 范围内的 GND 过孔数量示意图

Rockchip Confidential

（6）在RV1126B原理图中，靠近VDD_CPU电源管脚的去耦电容须放置于对应电源管脚的背面，其余去耦电容应尽量靠近RV1126B布置。去耦电容的GND焊盘至少配置一个GND过孔。

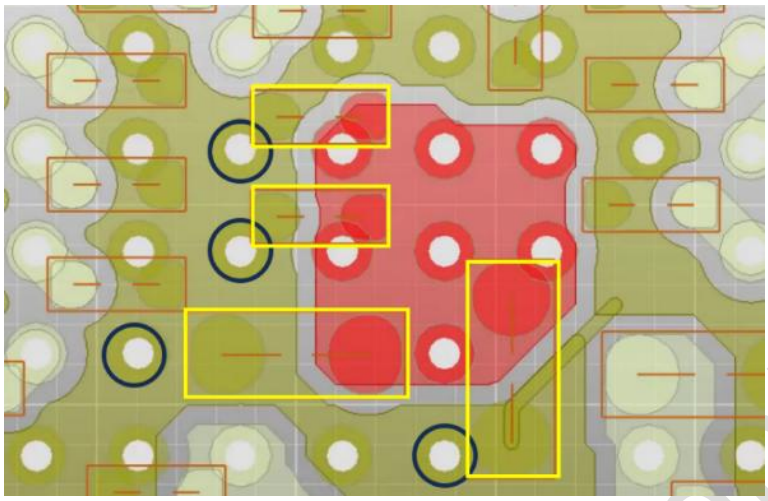


图 3-24 RV1126B 去耦电容放置及对应 GND 过孔数量示意图

（7）RV1126B芯片VDD_CPU，建议顶层走“井”字形，交叉连接。

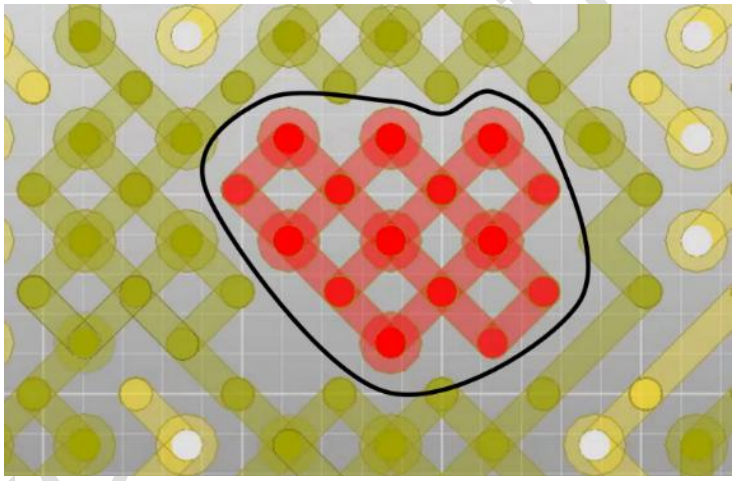


图 3-25 RV1126B VDD_CPU 的电源管脚走线和过孔

（8）VDD_CPU电源PDN目标阻抗建议值如下表：

表 3-1 RV1126B VDD_CPU 电源 PDN 目标阻抗建议值

频率	阻抗值（单位：欧）
100Khz~1Mhz	≤0.06
1Mhz ~30Mhz	≤0.08
30Mhz~100Mhz	≤0.18

Rockchip Confidential

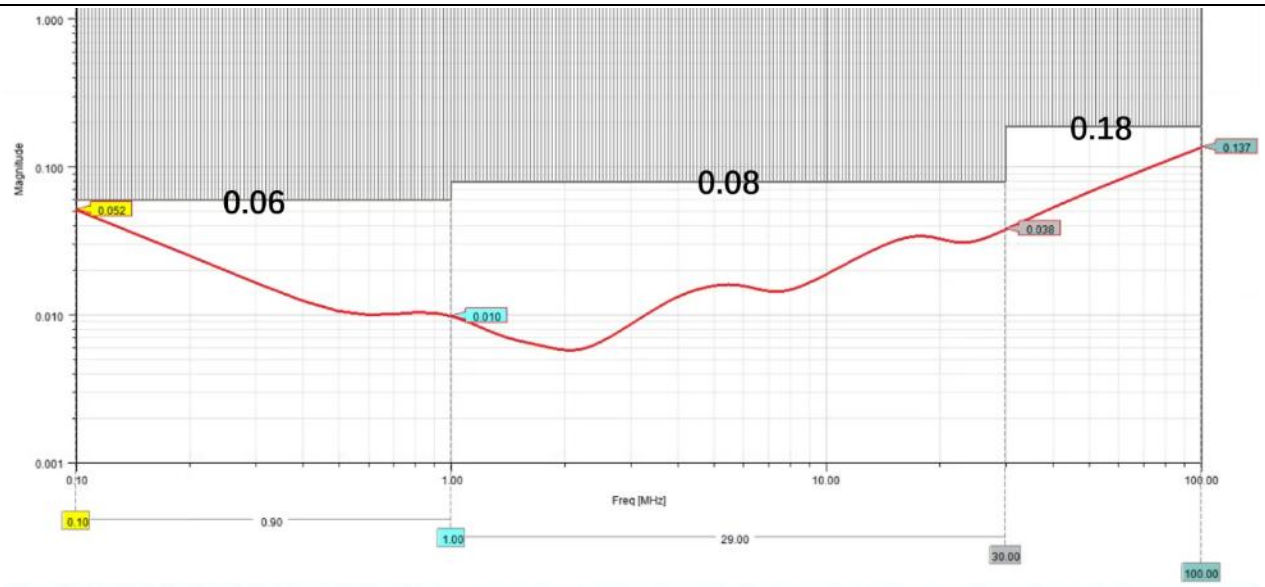


图 3-26 RV1126B VDD_CPU 电源建议 PDN 要求

3.2.1.2. VDD_LOGIC电源PCB设计

（1）DCDC输出端，电源换层孔（0503过孔）数量至少4个，建议≥6个。

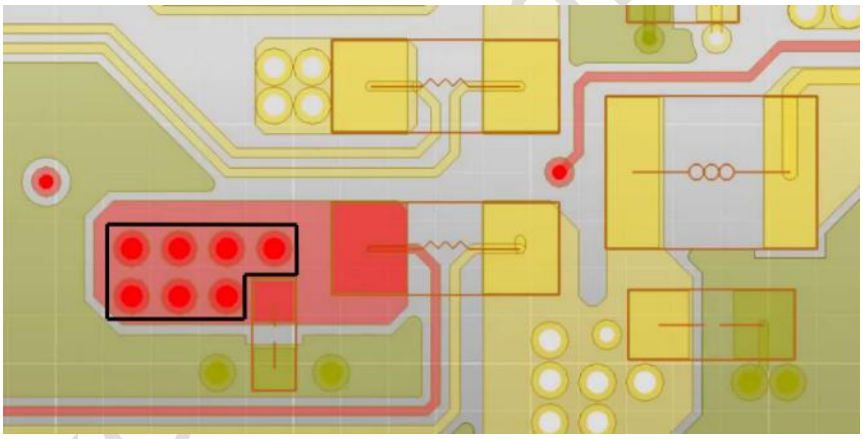


图 3-27 DCDC 换层过孔数量示意图

（2）靠近DCDC的去耦电容，每个焊盘至少对应一个过孔，建议≥2个。请勿移除该去耦电容。

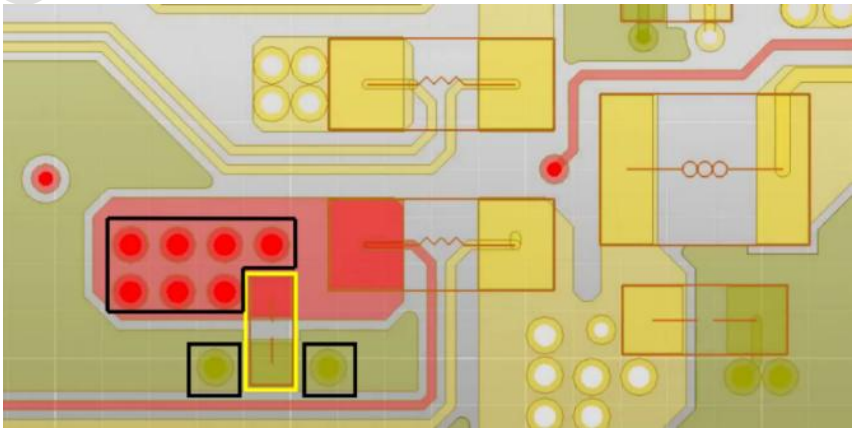


图 3-28 去耦电容过孔数量示意图

Rockchip Confidential

（3）DCDC到RV1126B芯片的铜皮宽度W1建议≥150mil，直流电阻建议≤10毫欧。RV1126B下方铜皮的有效宽度W2/W3建议≥40mil。

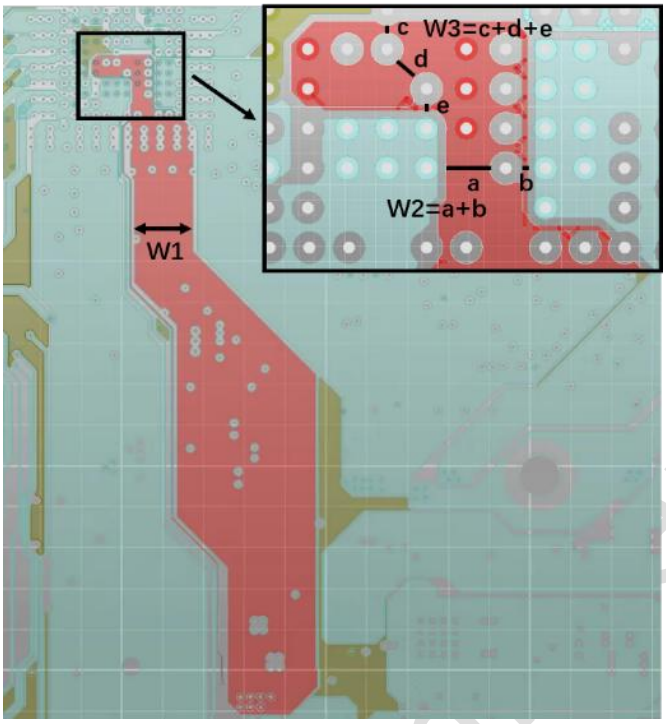


图 3-29 RV1126B VDD_LOGIC 电源层覆铜

（4）RV1126B的VDD_LOGIC电源，建议每个电源Pad配置一个电源过孔。

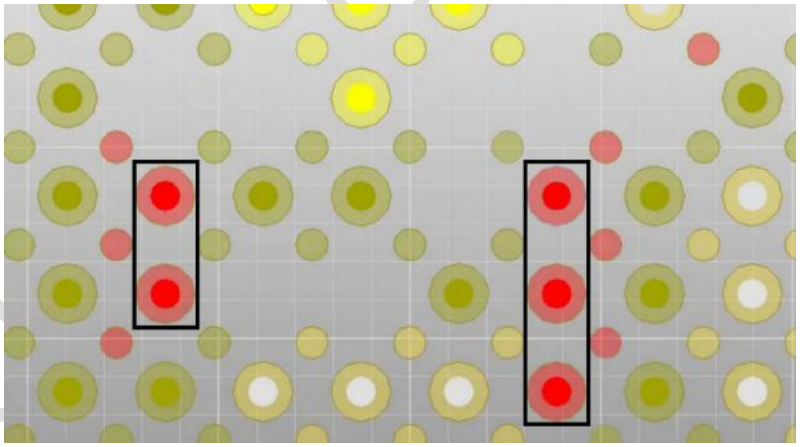


图 3-30 RV1126B 电源过孔数量示意图

（5）RV1126B VDD_LOGIC的每个电源过孔，在40mil范围（过孔中心到过孔中心的间距）内至少配置一个对应的GND过孔。

Rockchip Confidential

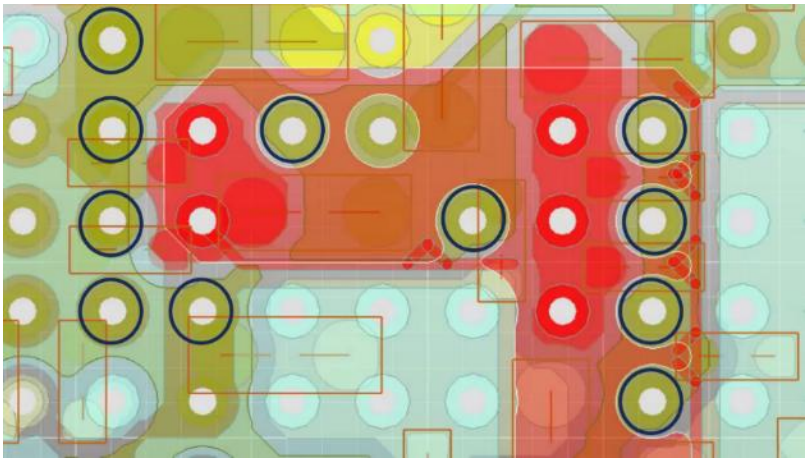


图 3-31 电源管脚 40mil 范围内的 GND 过孔数量示意图

（6）在RV1126B原理图中，靠近VDD_LOGIC电源管脚的去耦电容须放置于对应电源管脚的背面，其余去耦电容应尽量靠近RV1126B布置。去耦电容的GND焊盘至少配置一个GND过孔。

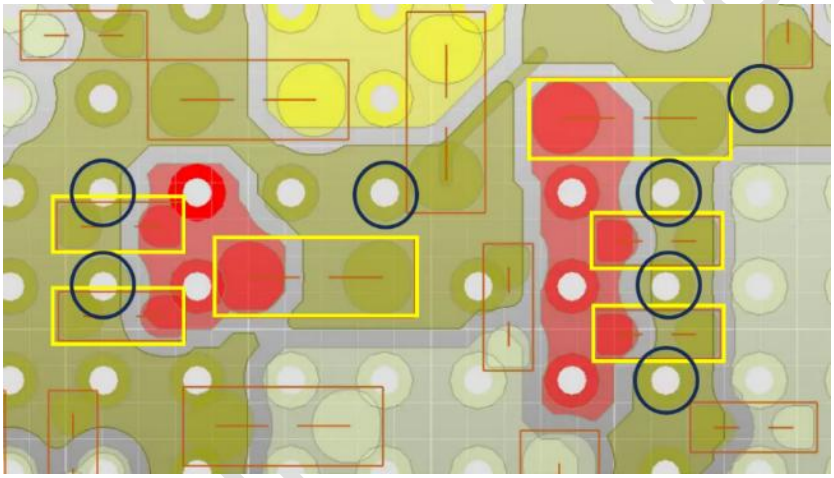


图 3-32 RV1126B 去耦电容放置及对应 GND 过孔数量示意图

（7）RV1126B芯片VDD_LOGIC，建议顶层走“井”字形，交叉连接。

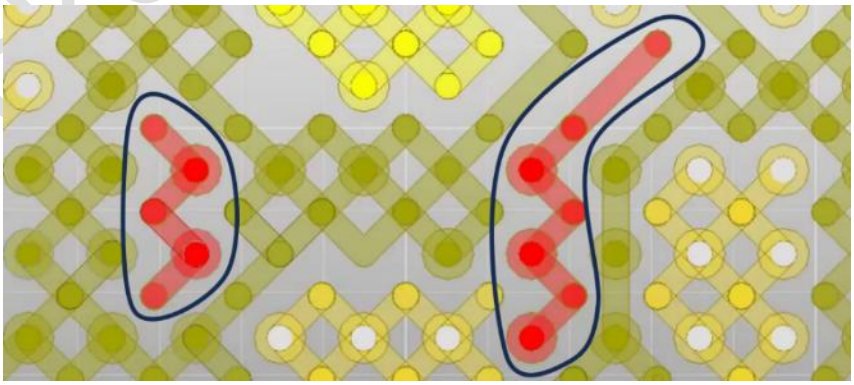


图 3-33 RV1126B VDD_LOGIC 的电源管脚走线和过孔

（8）VDD_LOGIC电源PDN目标阻抗建议值如下表：

Rockchip Confidential

表 3-2 RV1126B VDD_LOGIC 电源 PDN 目标阻抗建议值

频率	阻抗值（单位：欧）
100Khz~1Mhz	≤0.06
1Mhz ~30Mhz	≤0.08
30Mhz~100Mhz	≤0.17

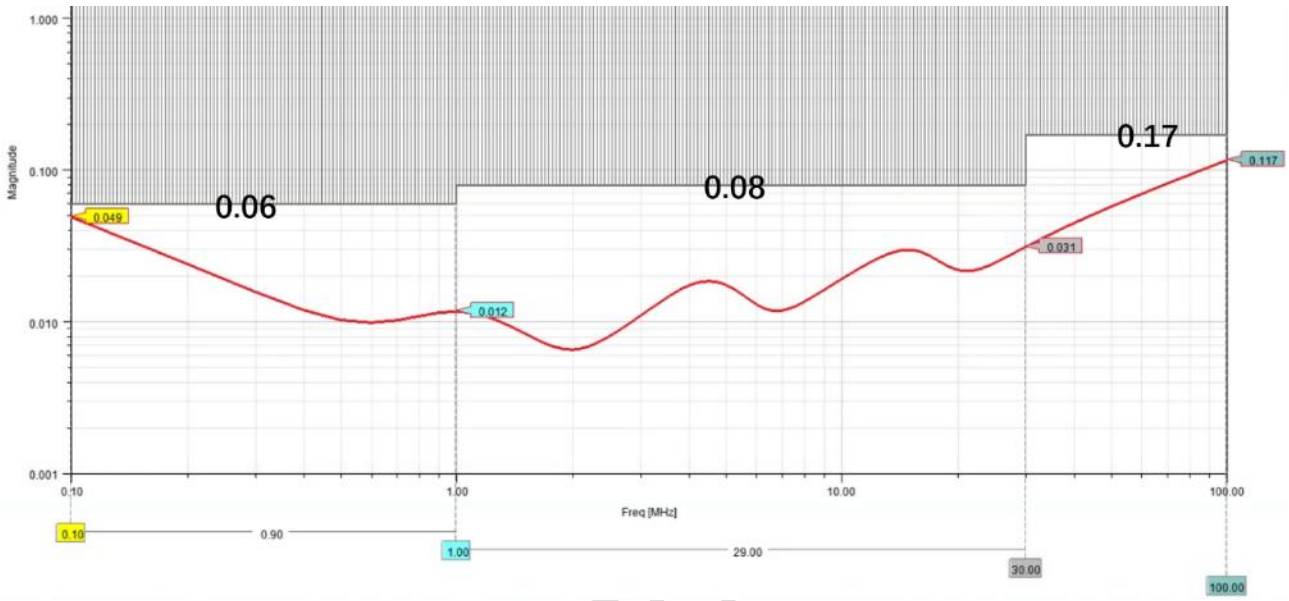


图 3-34 RV1126B VDD_LOGIC 电源建议 PDN 要求

3.2.1.3. VDD_NPU电源PCB设计

（1）DCDC输出端，电源换层孔（0503过孔）数量至少6个，建议≥8个。

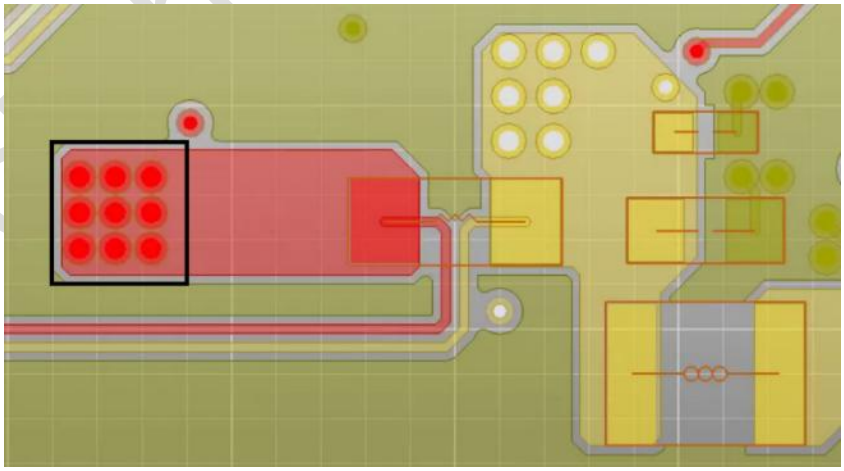


图 3-35 DCDC 换层过孔数量示意图

（2）靠近DCDC的去耦电容，每个焊盘至少对应一个过孔，建议≥2个。请勿移除该去耦电容。

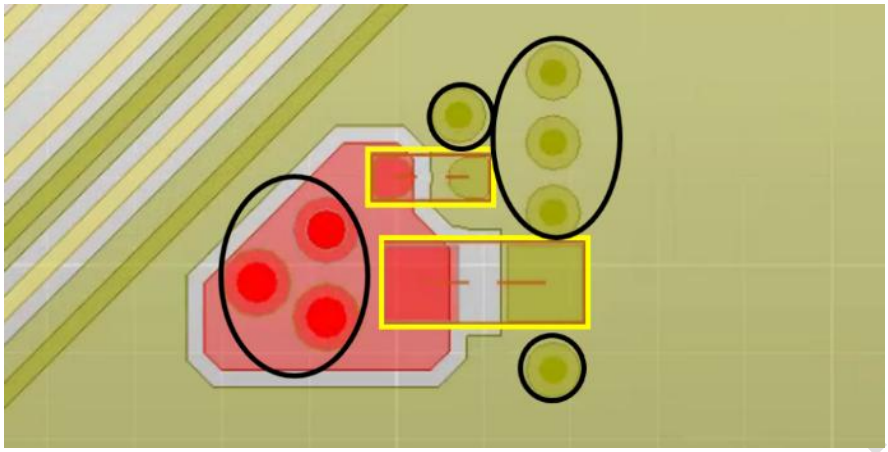


图 3-36 去耦电容过孔数量示意图

（3）DCDC到RV1126B芯片的铜皮宽度W1建议≥200mil，直流电阻建议≤10毫欧。RV1126B下方铜皮的有效宽度W2建议≥60mil。

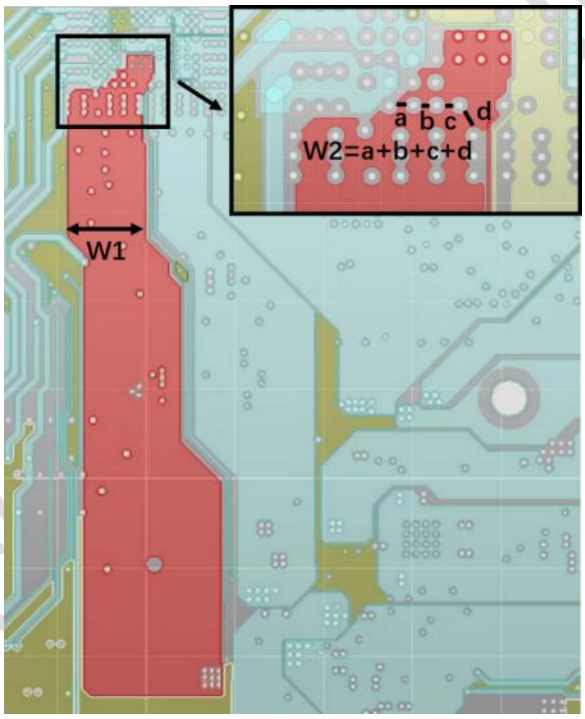


图 3-37 RV1126B VDD_NPU 电源层覆铜

（4）RV1126B的VDD_NPU电源，建议每个电源Pad配置一个电源过孔。

Rockchip Confidential

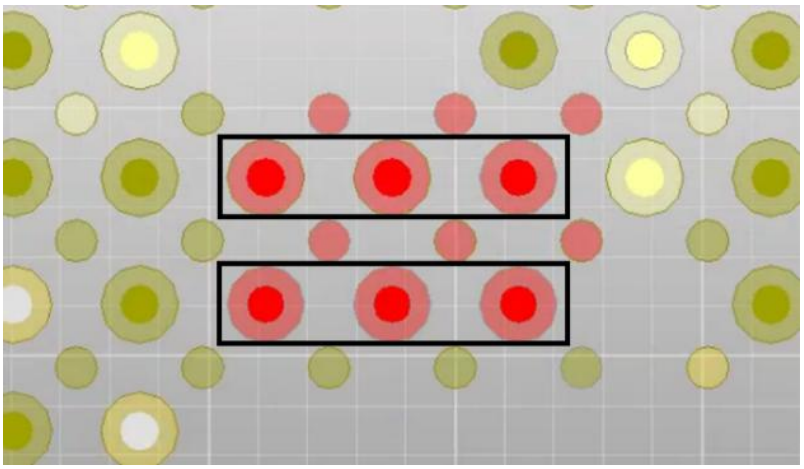


图 3-38 RV1126B 电源过孔数量示意图

（5）RV1126B VDD_NPU的每个电源过孔，建议在40mil范围（过孔中心到过孔中心的间距）内对应配置一个GND过孔。

（6）在RV1126B原理图中，靠近VDD_NPU电源管脚的去耦电容须放置于对应电源管脚的背面，其余去耦电容应尽量靠近RV1126B布置。去耦电容的GND焊盘至少配置一个GND过孔。

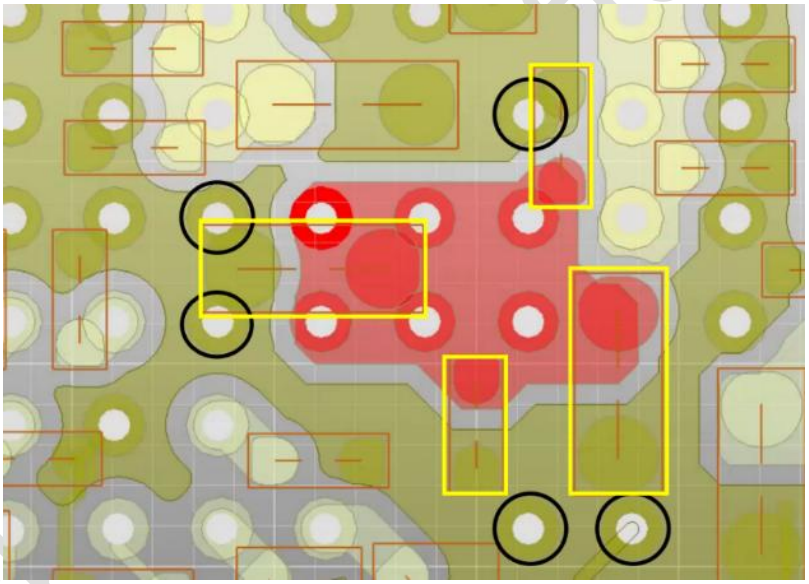


图 3-39 RV1126B 去耦电容放置及对应 GND 过孔数量示意图

（7）RV1126B芯片VDD_NPU，建议顶层走“井”字形，交叉连接。

Rockchip Confidential

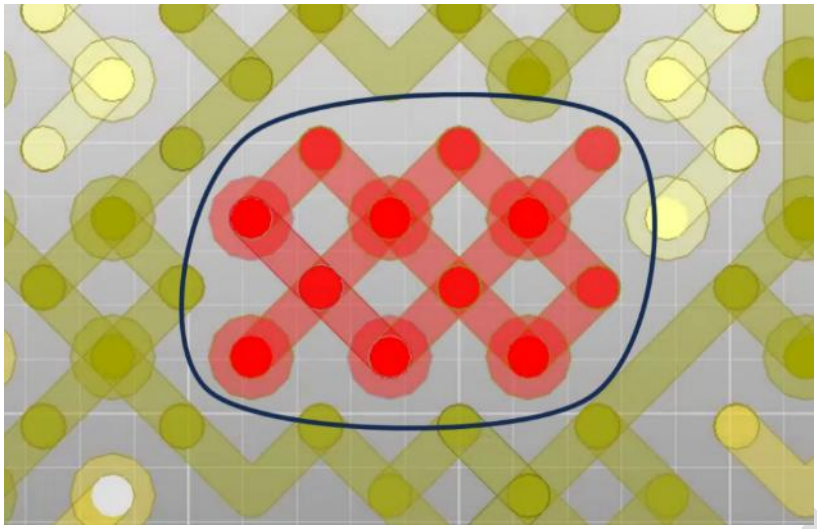


图 3-40 RV1126B VDD_NPU 的电源管脚走线和过孔

（8）VDD_NPU电源PDN目标阻抗建议值如下表：

表 3-3 RV1126B VDD_NPU 电源 PDN 目标阻抗建议值

频率	阻抗值（单位：欧）
100Khz~1Mhz	≤0.06
1Mhz ~30Mhz	≤0.08
30Mhz~100Mhz	≤0.21

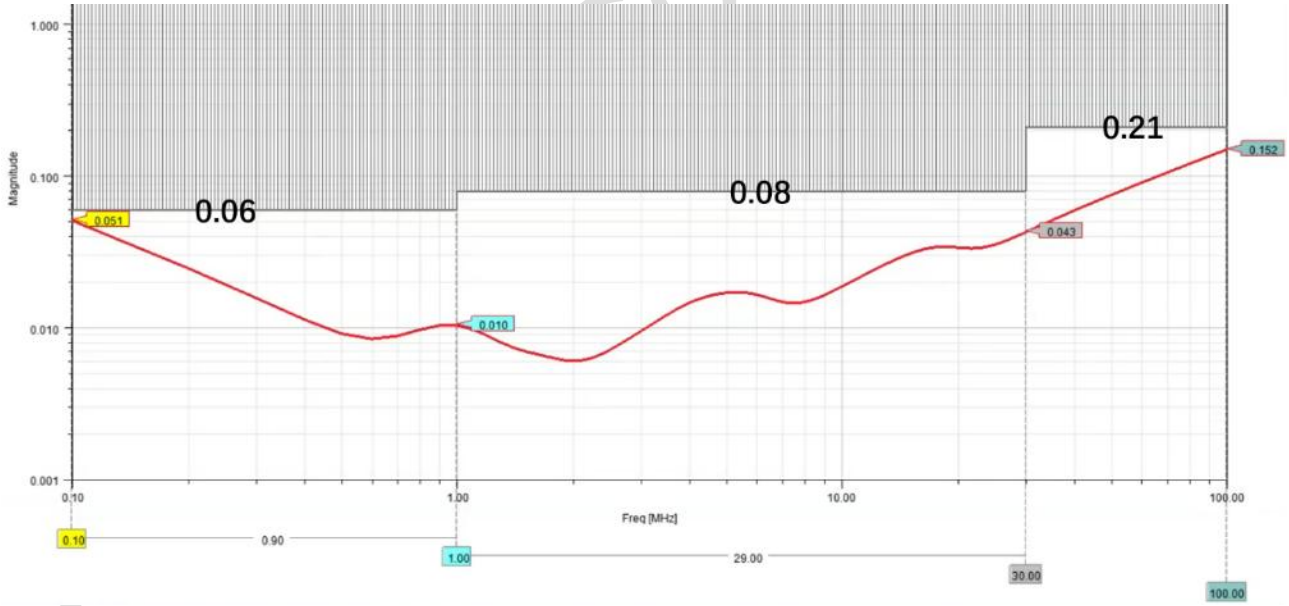


图 3-41 RV1126B VDD_NPU 电源建议 PDN 要求

3.2.1.4. VCC_DDR电源PCB设计

（1）DCDC输出端，电源换层孔（0503过孔）数量至少4个，建议≥6个。

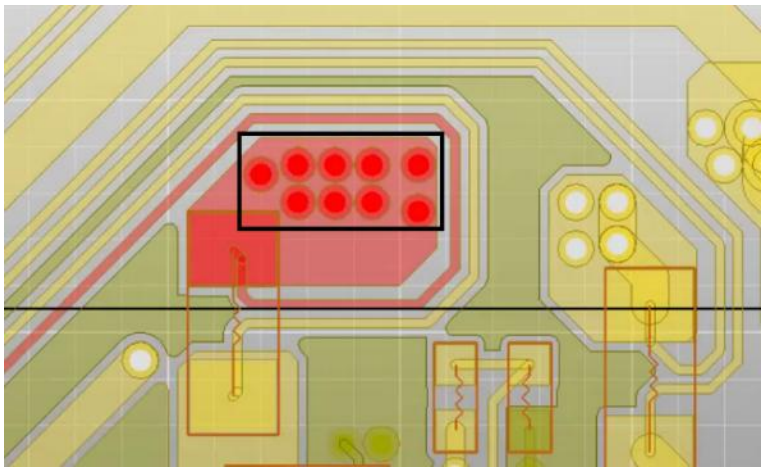


图 3-42 DCDC 换层过孔数量示意图

（3）DCDC到RV1126B芯片的铜皮宽度建议≥250mil。直流电阻建议≤10毫欧。

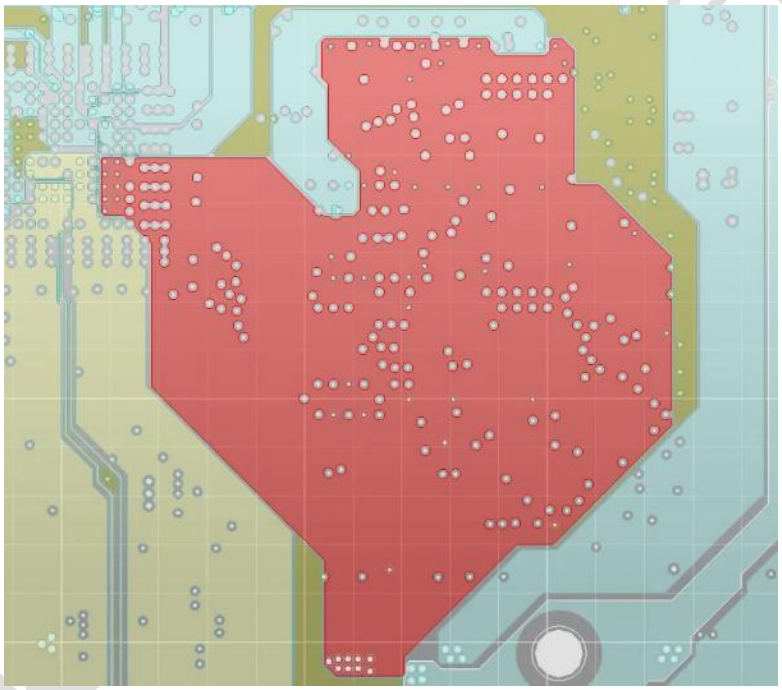


图 3-43 铜皮宽度示意图

（4）RV1126B下方铜皮的有效宽度W建议≥40mil。

Rockchip Confidential

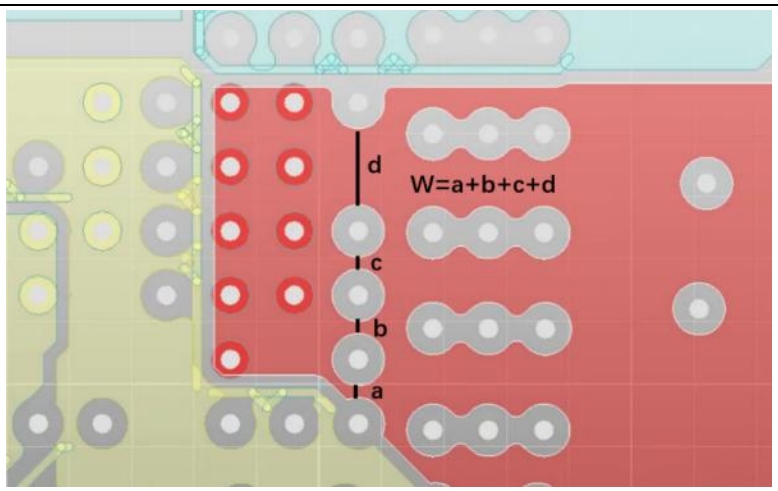


图 3-44 铜皮有效宽度示意图

（5）RV1126B的VCC_DDR电源，建议每个电源Pad配置一个电源过孔。

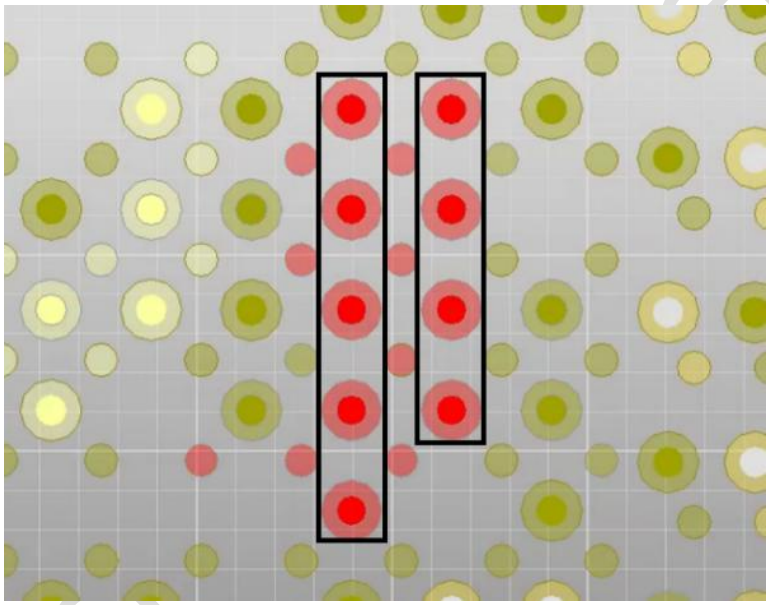


图 3-45 RV1126B 电源过孔数量示意图

（6）RV1126B VCC_DDR的每个电源过孔，在40mil范围（过孔中心到过孔中心的间距）内至少配置一个对应的GND过孔。

Rockchip Confidential

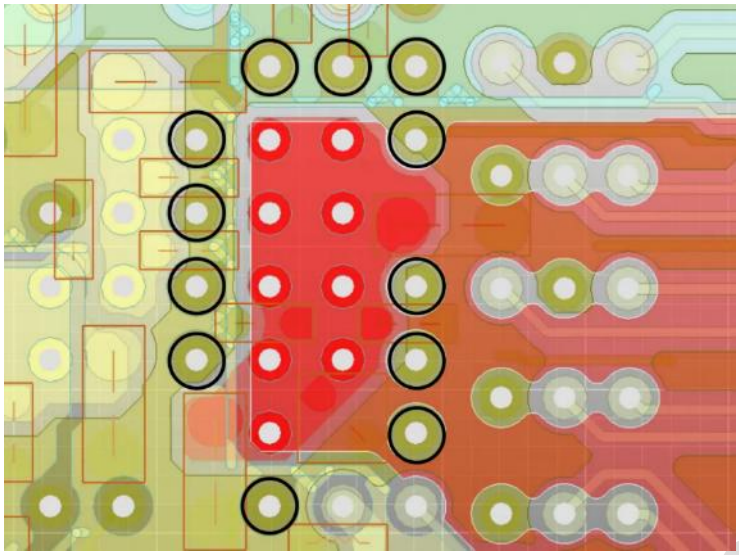


图 3-46 电源管脚 40mil 范围内的 GND 过孔数量示意图

（7）在RV1126B原理图中，靠近VCC_DDR电源管脚的去耦电容须放置于对应电源管脚的背面，其余去耦电容应尽量靠近RV1126B布置。去耦电容的GND焊盘至少配置一个GND过孔。

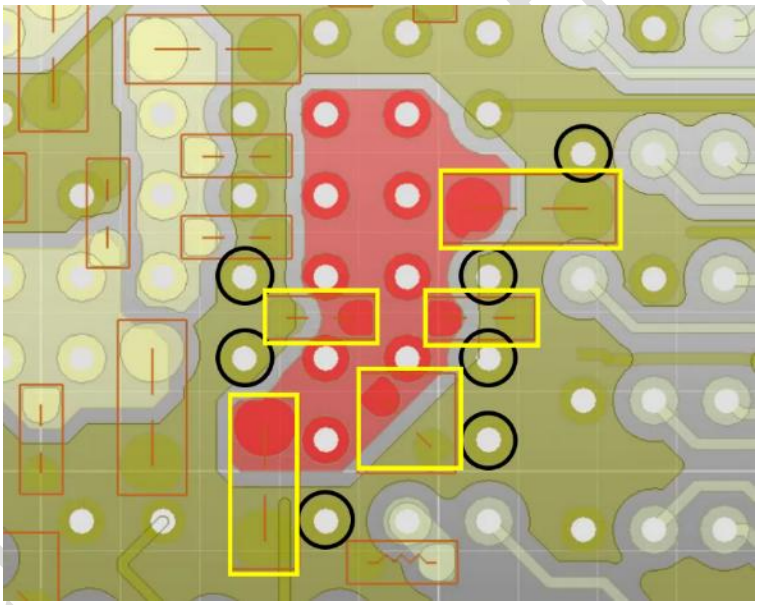


图 3-47 RV1126B 去耦电容放置及对应 GND 过孔数量示意图

（8）RV1126B芯片VCC_DDR，建议顶层走“井”字形，交叉连接。

Rockchip Confidential

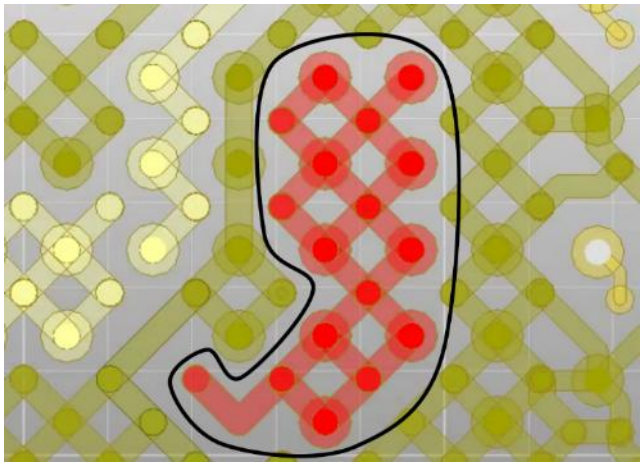


图 3-48 RV1126B VCC_DDR 的电源管脚走线和过孔

3.2.1.5. VCC0V6_DDR电源PCB设计

（1）DCDC输出端，电源换层孔（0503过孔）数量至少4个，建议≥6个。

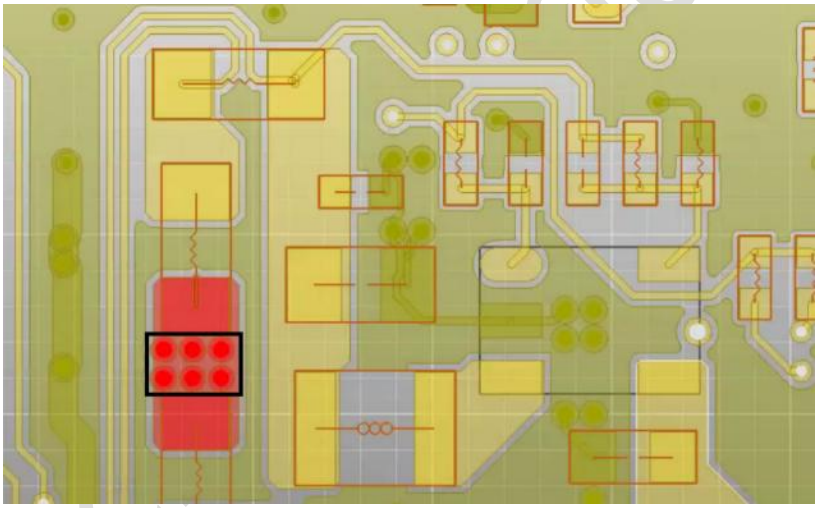


图 3-49 DCDC 换层过孔数量示意图

（2）DCDC到RV1126B芯片的铜皮宽度建议≥120mil。直流电阻建议≤15毫欧。

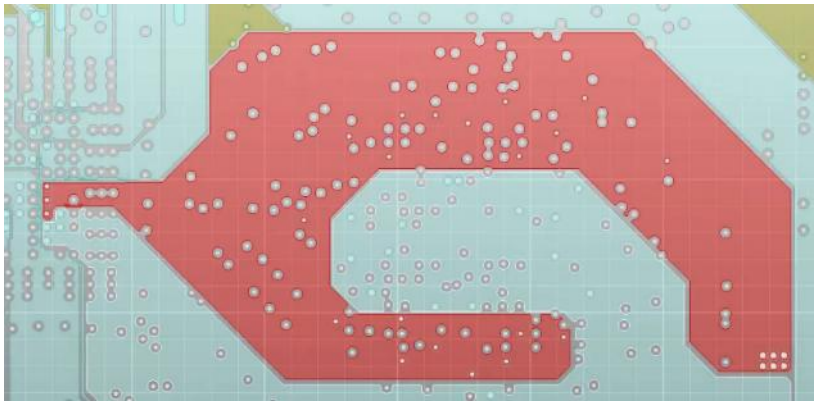


图 3-50 铜皮宽度示意图

Rockchip Confidential

（4）RV1126B下方铜皮的有效宽度W建议≥40mil。

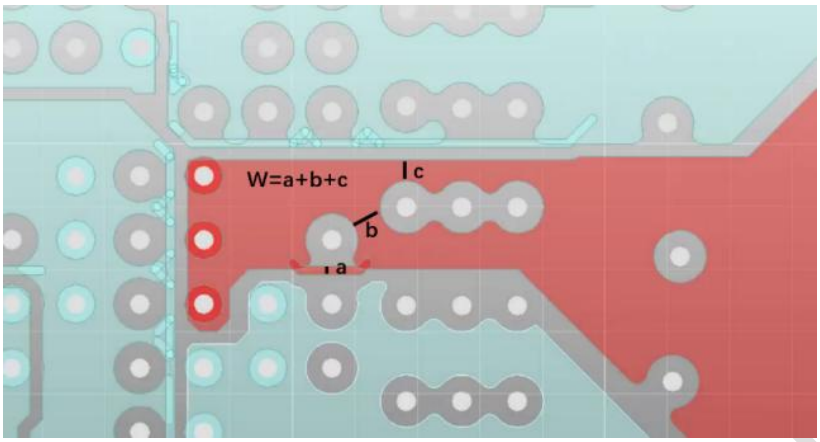


图 3-51 铜皮有效宽度示意图

（5）RV1126B的VCC0V6_DDR电源，建议每个电源Pad配置一个电源过孔。

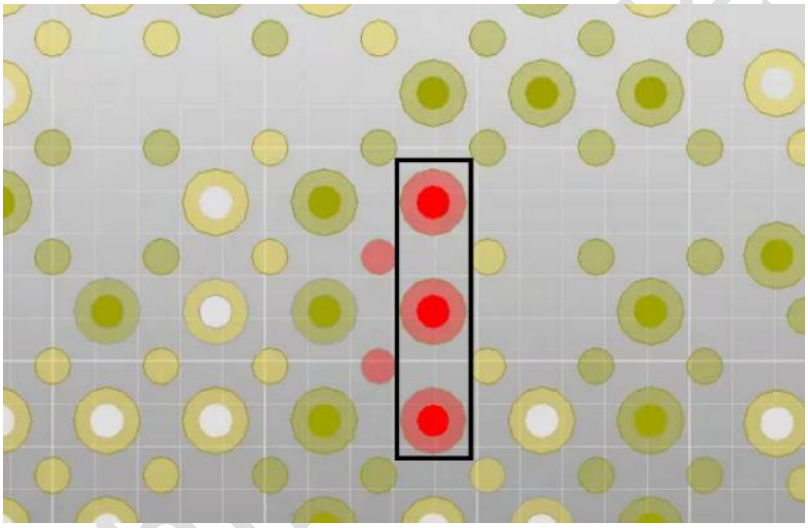


图 3-52 RV1126B 电源过孔数量示意图

（6）RV1126B VCC0V6_DDR的每个电源过孔，在40mil范围（过孔中心到过孔中心的间距）内至少配置一个对应的GND过孔。

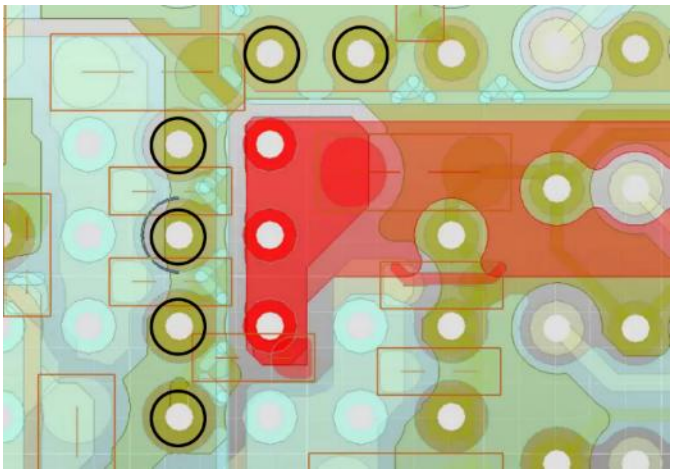


图 3-53 电源管脚 40mil 范围内的 GND 过孔数量示意图

Rockchip Confidential

（7）在RV1126B原理图中，靠近VCC0V6_DDR电源管脚的去耦电容须放置于对应电源管脚的背面，其余去耦电容应尽量靠近RV1126B布置。去耦电容的GND焊盘至少配置一个GND过孔。

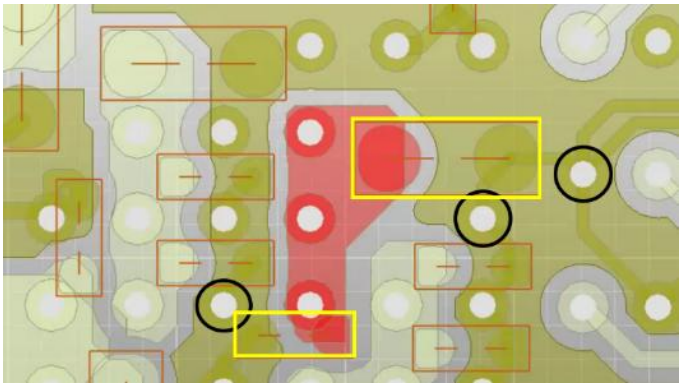


图 3-54 RV1126B 去耦电容放置及对应 GND 过孔数量示意图

（8）RV1126B芯片VCC0V6_DDR，建议顶层走“井”字形，交叉连接。

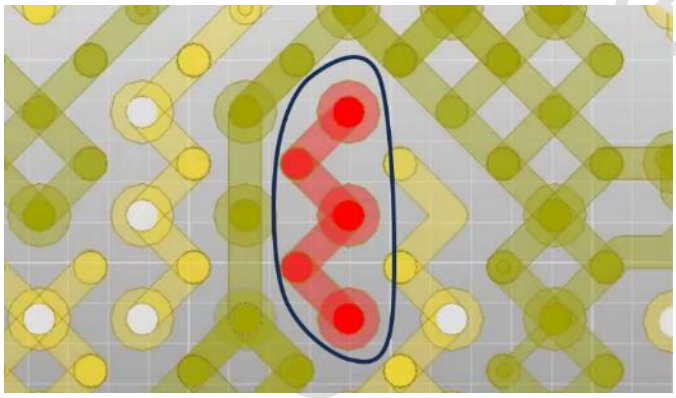


图 3-55 RV1126B VCC0V6_DDR 的电源管脚走线和过孔

3.2.1.6. 其他电源

高速接口和PLL的电源需要保证电容靠近电源过孔，容值小的电容，如100nF电容和电源过孔的间距（过孔中心到电容焊盘边缘的距离）建议≤12mil。1uF的电容和电源过孔的间距建议≤50mil。同时每个电容的GND管脚建议对应一个GND过孔。

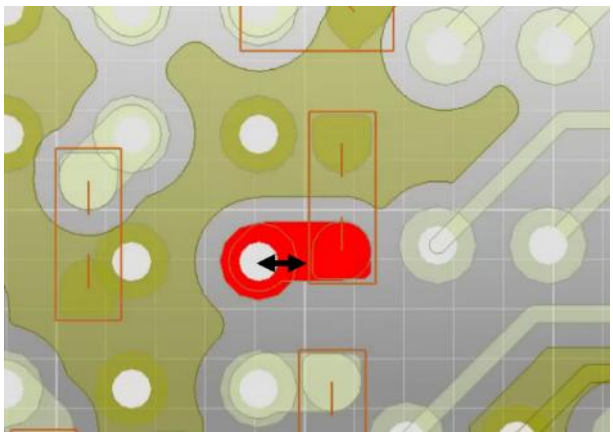


图 3-56 电源电容靠近电源过孔放置示意图

Rockchip Confidential

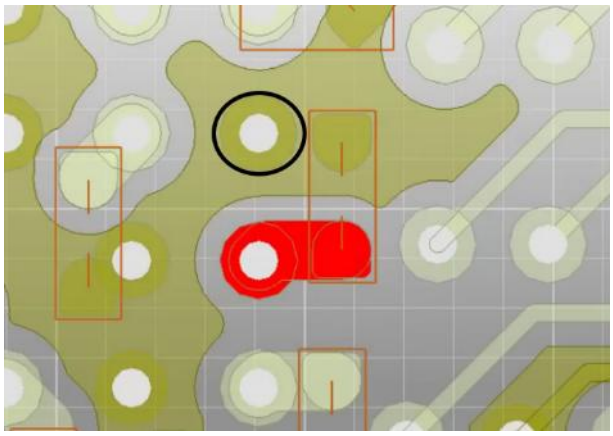


图 3-57 电源电容 GND 管脚对应的 GND 过孔数量示意图

3.2.2. DDR PCB设计

DDR接口PCB设计难度大，所以强烈建议使用我们提供的DDR模板和对应的DDR固件。DDR模板是经过严格的仿真和测试验证后发布的。如果自己设计PCB，请参考如下PCB设计建议，建议仿真优化后再发板。

（1）RV1126B DDR区域GND管脚，对应的GND过孔数量，建议严格参考模板设计，不能删减GND过孔，举例如下：

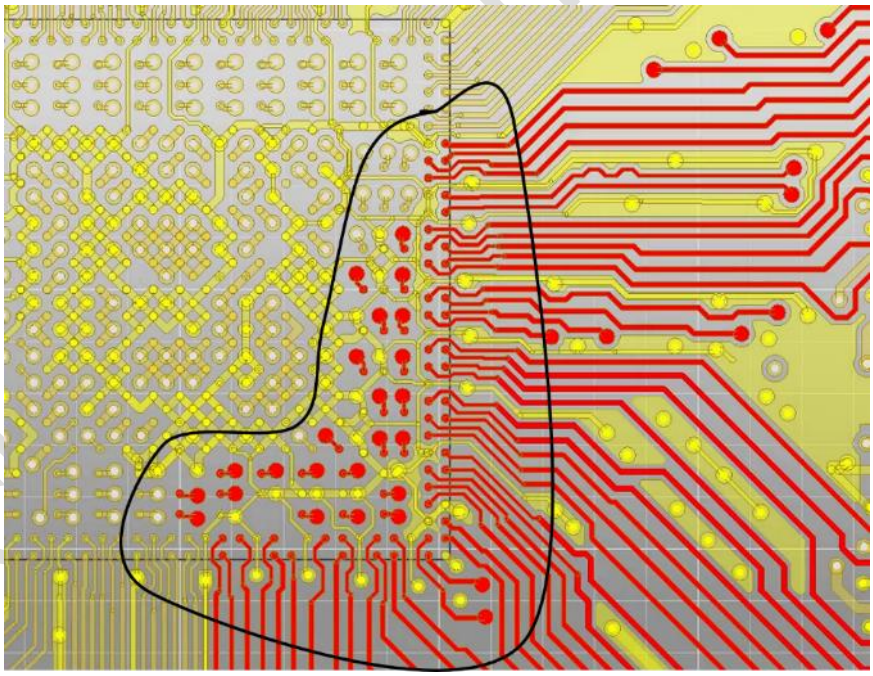


图 3-58 GND 过孔设计

（2）走线距离参考层的边缘越近，信号的回流会越差，走线和参考层边缘的距离建议≧12mil。

Rockchip Confidential

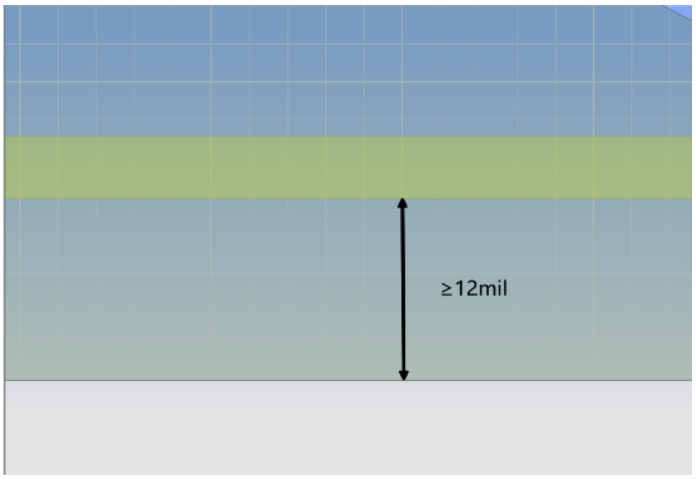


图 3-59 走线和参考层边缘距离图示

（3）信号换层前后，参考层都为GND平面时，在信号过孔25mil（过孔中心到过孔中心的间距）范围内需要添加GND回流过孔，改善信号回流路径。GND过孔需要把信号换层前后GND参考平面连接起来。

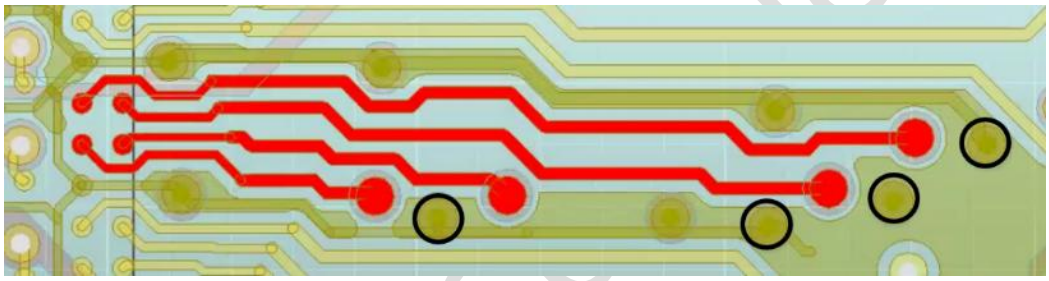


图 3-60 信号 GND 回流过孔示意图

（4）DQS和CLK信号，从发送到接收整个链路建议做包地处理，包地线每隔≤500mil建议加一个GND过孔。信号换层过孔25mil范围内（过孔中心到过孔中心的间距），建议加GND回流过孔，保证回流的连续性。

图 3-61 DQS 信号包地处理示意图

（5）绕线自身的串扰会影响信号质量，走线绕等长时建议S≧3W。

Rockchip Confidential

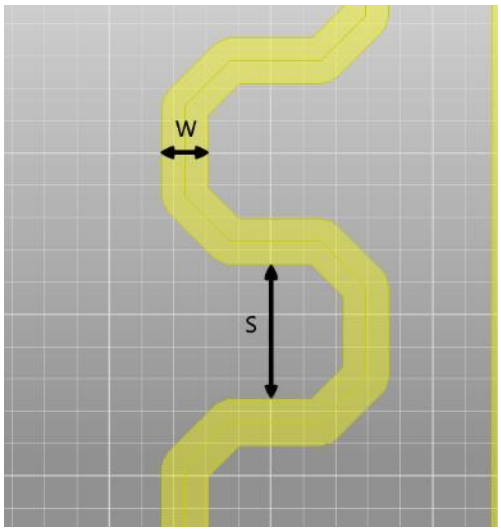


图 3-62 信号绕线图示

（6）非功能焊盘会破坏铜皮，以及增大过孔的寄生电容，需要删除过孔的非功能焊盘。

（7）避免连排过孔对铜皮的破坏。

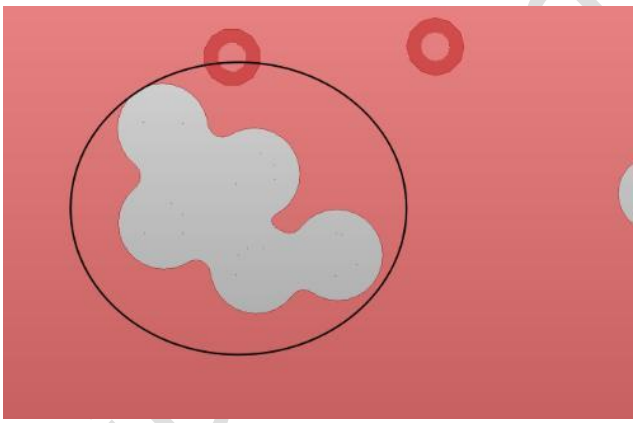


图 3-63 排过孔对铜皮破坏示意图

（8）过孔靠近管脚放置，可以减小回路电感。

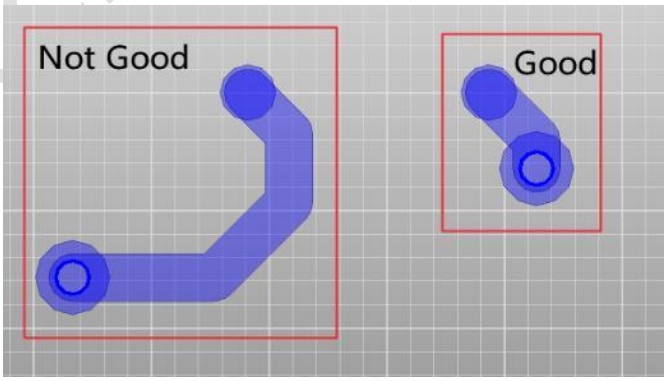


图 3-64 过孔靠近管脚放置示意图

（9）电容建议均匀放置。

（10）避免电源层被走线或者连排过孔破坏。

Rockchip Confidential

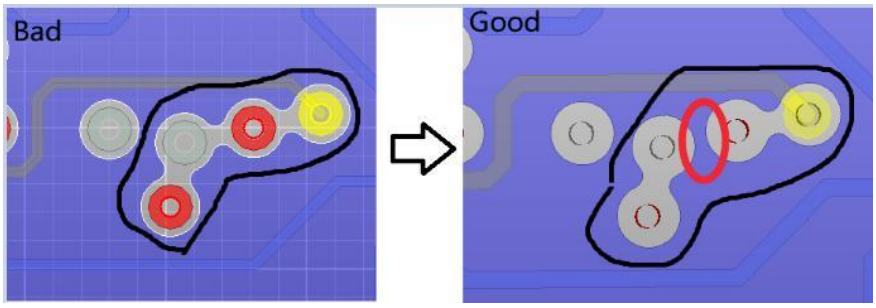


图 3-65 电源层被一排过孔大面积破坏示意图

3.2.2.1. DDR3/DDR3L

表 3-4 DDR3/DDR3L 走线要求

参数	要求
单端信号阻抗	50 Ohm ± 10%
差分信号阻抗	100 Ohm ± 10%
DQ 和DQS之间的等长（同一个Byte内）	≤ 100ps
DM 和DQS之间的等长（同一个Byte内）	≤100ps
CS、ODT、CKE和CLK之间的等长	≤5ps
除CS、ODT、CKE之外的地址、控制线和CLK之间的等长	≤200ps
DQS_P和DQS_N之间的等长 （同一个Byte内）	≤ 2ps
CLK_P和CLK_N之间的等长	≤2ps
DQS和CLK之间的等长	≤250ps
不同Byte之间的间距（airgap）	≥2 倍走线宽度
同一个Byte内DQ和DQ之间的间距（airgap）	≥2 倍走线宽度
同一个Byte内DQ和DQS之间的间距（airgap）	建议≥3 倍走线宽度 至少 2 倍走线宽度
地址、控制线之间的间距（airgap）	≥2 倍走线宽度
CLK和其他信号线之间的间距（airgap）	建议≥3 倍走线宽度 至少 2 倍走线宽度

3.2.2.2. LPDDR3 PCB设计

Rockchip Confidential

表 3-5 LPDDR3 走线要求

参数	要求
单端信号阻抗	50 Ohm ± 10%
差分信号阻抗	100 Ohm ± 10%
DQ 和DQS之间的等长（同一个Byte内）	≤ 100ps
DM 和DQS之间的等长（同一个Byte内）	≤100ps
地址、控制线和CLK之间的等长	≤5ps
DQS_P和DQS_N之间的等长 （同一个Byte内）	≤ 2ps
CLK_P和CLK_N之间的等长	≤2ps
DQS和CLK之间的等长	≤250ps
不同Byte之间的间距（airgap）	≥2 倍走线宽度
同一个Byte内DQ和DQ之间的间距（airgap）	≥2 倍走线宽度
同一个Byte内DQ和DQS之间的间距（airgap）	建议≥3 倍走线宽度 至少 2 倍走线宽度
地址、控制线之间的间距（airgap）	≥2 倍走线宽度
CLK和其他信号线之间的间距（airgap）	建议≥3 倍走线宽度 至少 2 倍走线宽度

3.2.2.3. DDR4 PCB设计

表 3-6 DDR4 走线要求

参数	要求
单端信号阻抗	50 Ohm ± 10%
差分信号阻抗	100 Ohm ± 10%
DQ 和DQS之间的等长（同一个Byte内）	≤ 100ps
DM 和DQS之间的等长（同一个Byte内）	≤100ps
CS、ODT、CKE和CLK之间的等长	≤5ps
除CS、ODT、CKE之外的地址、控制线和CLK之间的等长	≤200ps
DQS_P和DQS_N之间的等长 （同一个Byte内）	≤ 1ps
CLK_P和CLK_N之间的等长	≤ 1ps
DQS和CLK之间的等长	≤230ps
不同Byte之间的间距（airgap）	≥2 倍走线宽度
同一个Byte内DQ和DQ之间的间距（airgap）	≥2 倍走线宽度
同一个Byte内DQ和DQS之间的间距（airgap）	建议≥3 倍走线宽度 至少 2 倍走线宽度
地址、控制线之间的间距（airgap）	≥2 倍走线宽度
CLK和其他信号线之间的间距（airgap）	建议≥3 倍走线宽度 至少 2 倍走线宽度

Rockchip Confidential

3.2.2.4. LPDDR4 PCB设计

表 3-7 LPDDR4 走线要求

参数	要求
单端信号阻抗	50 Ohm ± 10%
差分信号阻抗	100 Ohm ± 10%
DQ 和DQS之间的延时（同一个Byte内）	≤ 50ps
DM 和DQS之间的延时（同一个Byte内）	≤50ps
地址、控制线和CLK之间的延时	≤50ps
DQS_P和DQS_N之间的延时 （同一个Byte内）	≤ 1ps
CLK_P和CLK_N之间的延时	≤1ps
DQS和CLK 之间的延时	≤200ps
不同Byte之间的间距（airgap）	≥2 倍走线宽度
同一个Byte内DQ和DQ之间的间距（airgap）	≥2 倍走线宽度
同一个Byte内DQ和DQS之间的间距（airgap）	建议≥3 倍走线宽度 至少 2 倍走线宽度
地址、控制线之间的间距（airgap）	≥2 倍走线宽度
CLK和其他信号线之间的间距（airgap）	建议≥3 倍走线宽度 至少 2 倍走线宽度

3.2.2.5. LPDDR4X PCB设计

表 3-8 LPDDR4X 走线要求

参数	要求
单端信号阻抗	50 Ohm ± 10%
差分信号阻抗	100 Ohm ± 10%
DQ 和DQS之间的延时（同一个Byte内）	≤ 50ps
DM 和DQS之间的延时（同一个Byte内）	≤50ps
地址、控制线和CLK之间的延时	≤50ps
DQS_P和DQS_N之间的延时 （同一个Byte内）	≤ 1ps
CLK_P和CLK_N之间的延时	≤1ps
DQS和CLK 之间的延时	≤200ps
不同Byte之间的间距（airgap）	≥2 倍走线宽度
同一个Byte内DQ和DQ之间的间距（airgap）	≥2 倍走线宽度
同一个Byte内DQ和DQS之间的间距（airgap）	建议≥3 倍走线宽度 至少 2 倍走线宽度
地址、控制线之间的间距（airgap）	≥2 倍走线宽度
CLK和其他信号线之间的间距（airgap）	建议≥3 倍走线宽度

Rockchip Confidential

参数	要求
	至少 2 倍走线宽度

3.2.3. MIPI TX/RX PCB设计

表 3-9 布线要求-MIPI

参数	要求
走线阻抗	差分100ohm ±10%
差分对内最大时延差	<2ps
数据和时钟差分对之间的时延差	<6ps
差分对对间间距（airgap）	建议大于等于3倍线宽
MIPI与其它信号间距 （airgap）	建议大于等于3倍线宽
走线长度	<6inches
各信号所允许过孔数量	建议不超过4个

MIPI信号设计建议如下：

- MIPI 信号建议以 GND 为参考平面，并保持信号参考平面的完整性。
- SoC 区域 GND pad 对应的 GND 过孔数量要求如下，不建议删减过孔数量。

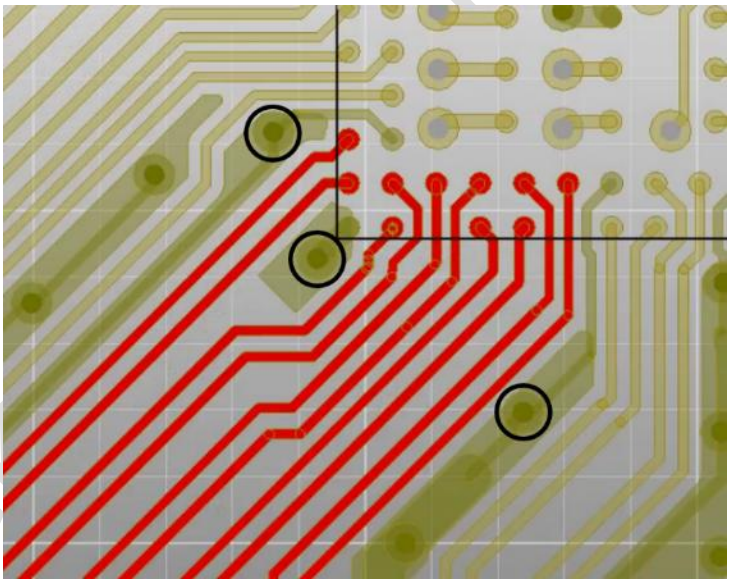


图 3-66 GND 过孔数量示意图

- MIPI 信号建议整组做包地处理，包地线建议每隔 500mil 打一个 GND 过孔。

Rockchip Confidential

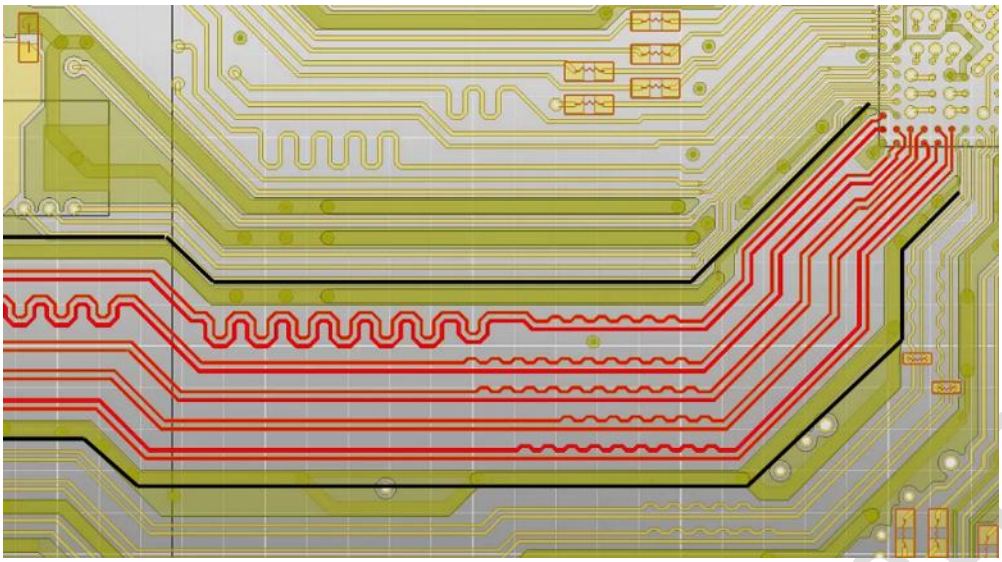


图 3-67 RV1126B MIPI 信号包地线示意图

3.2.4. USB3.0 PCB设计

表 3-10 布线要求-USB3.0

参数	要求
走线阻抗	差分90ohm ±10%
差分对内最大时延差	<1ps
走线长度	Host设备<6 inches，Device和OTG设备<5 inches
电容要求	100nF ±20%， 建议用0201封装
差分对间间距（airgap）	建议大于等于4倍USB线宽
USB与其它信号间距 （airgap）	建议大于等于4倍USB线宽
各信号所允许过孔数量	建议不超过2个
ESD	I/O对地电容不超过0.2pF

USB3.0信号设计建议如下：

- USB3.0 信号建议以 GND 为参考平面，并保持信号参考平面的完整性。
- SoC 区域 GND pad 对应的 GND 过孔数量要求如下，不建议删减过孔数量。

Rockchip Confidential

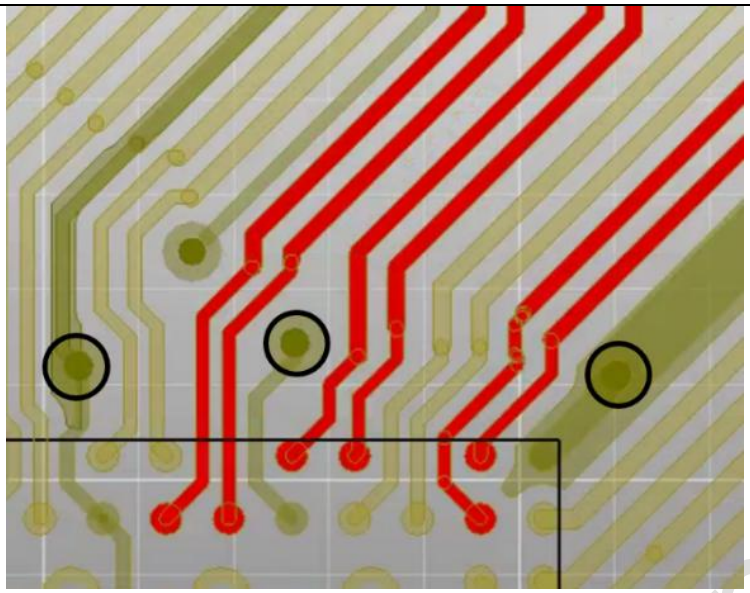


图 3-68 GND 过孔数量示意图

- USB3.0 信号建议整组做包地处理，包地线建议每隔 300mil 打一个 GND 过孔。

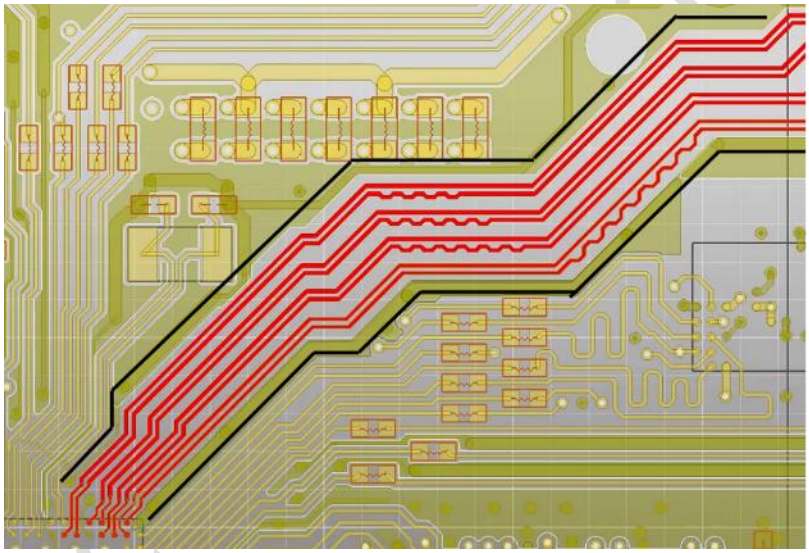


图 3-69 RV1126B USB3.0 包地建议

- 建议连接器位置的信号焊盘，按照红色区域，在临近层进行挖空处理。

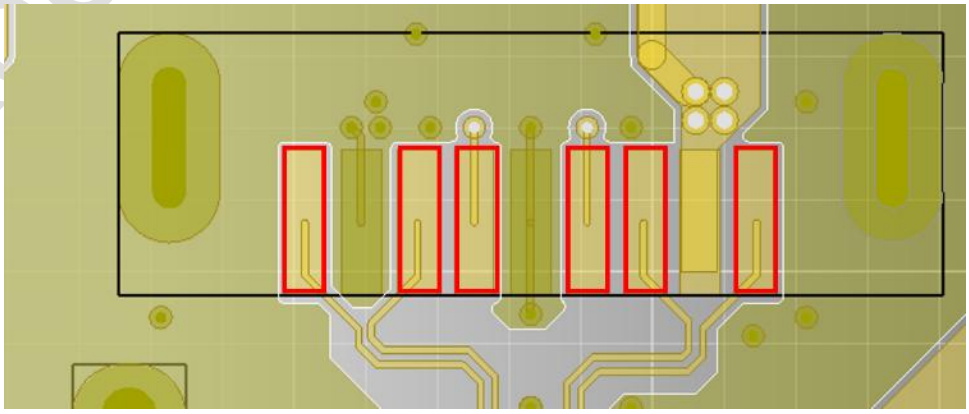


图 3-70 RV1126B USB3.0 信号焊盘挖空建议

Rockchip Confidential

3.2.5. USB2.0 PCB设计

表 3-11 布线要求-USB2.0

参数	要求
走线阻抗	差分90ohm ±10%
差分对内最大时延差	<3ps
走线长度	<6 inches
各信号所允许过孔数量	建议不超过4个，不得超过6个
USB2.0信号和其他信号的间距（airgap）	3倍走线宽度

USB信号设计建议如下：

- USB 差分信号建议以 GND 为参考平面，并保持信号参考平面的完整性。
- USB_DM/DP 走线建议包地，包地线建议每隔 500mil 打一个 GND 过孔。
- 建议连接器位置的信号焊盘，按照红色区域，对临近层进行挖空处理。

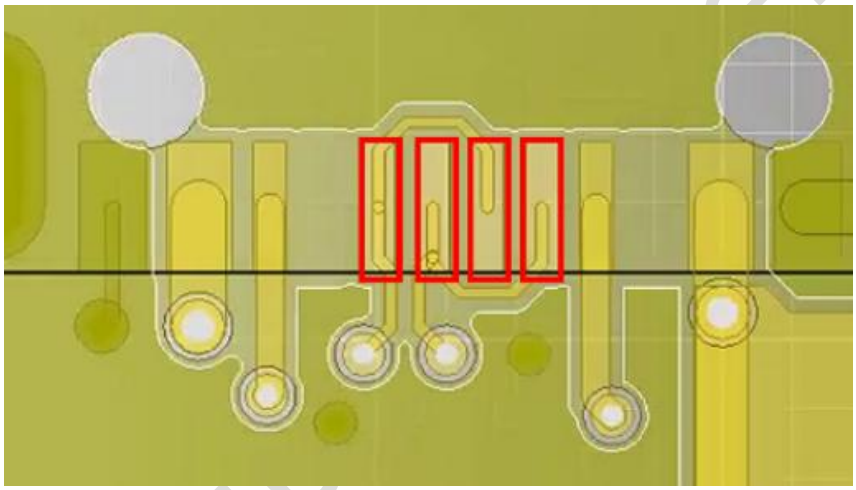


图 3-71 RV1126B USB2.0 信号焊盘挖空建议

3.2.6. FEPHY PCB设计

表 3-12 布线要求-FEPHY

参数	要求
走线阻抗	差分100ohm ±10%
差分对内最大时延差	<3ps
走线长度	<24 inches
各信号所允许过孔数量	<2 vias
差分对对间间距（airgap）	建议大于等于3倍线宽
FEPHY信号与其他信号间距（airgap）	建议大于等于3倍线宽

FEPHY信号设计建议如下：

- FEPHY 信号建议以 GND 为参考平面，并保持信号参考平面的完整性。

Rockchip Confidential

- SoC 区域 GND pad 对应的 GND 过孔数量要求如下，不建议删减过孔数量。

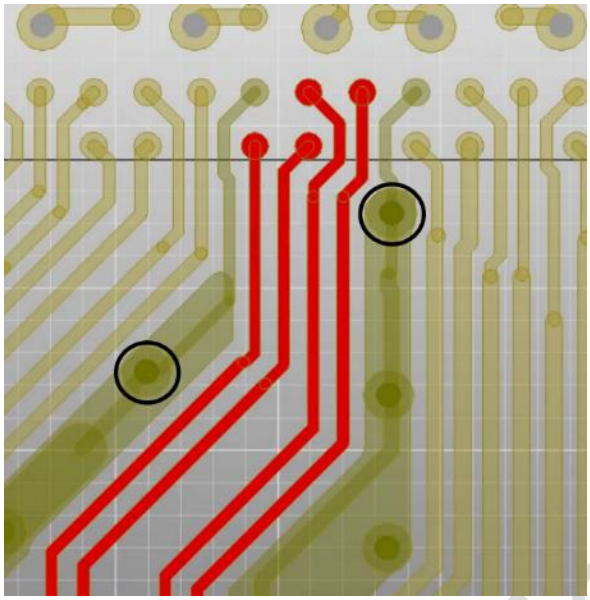


图 3-72 GND 过孔数量示意图

- FEPHY 接口的 TXP 与 TXN 间，以及 RXP 与 RXN 间的并联电阻务必靠近 CPU 端放置，建议电阻焊盘距离信号 Pad 小于 300mil。

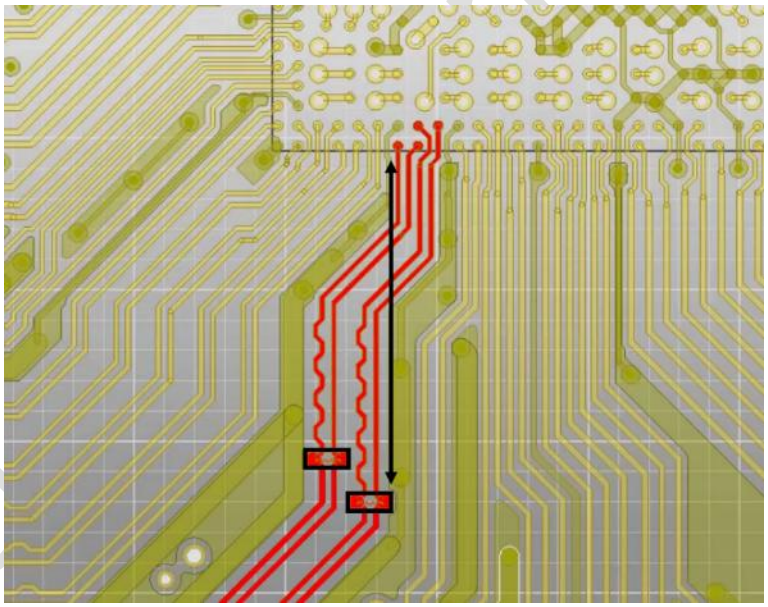


图 3-73 并联电阻放置示意图

3.2.7. DSMC PCB设计

DSMC 接口支持如下3种走线方式：

Rockchip Confidential

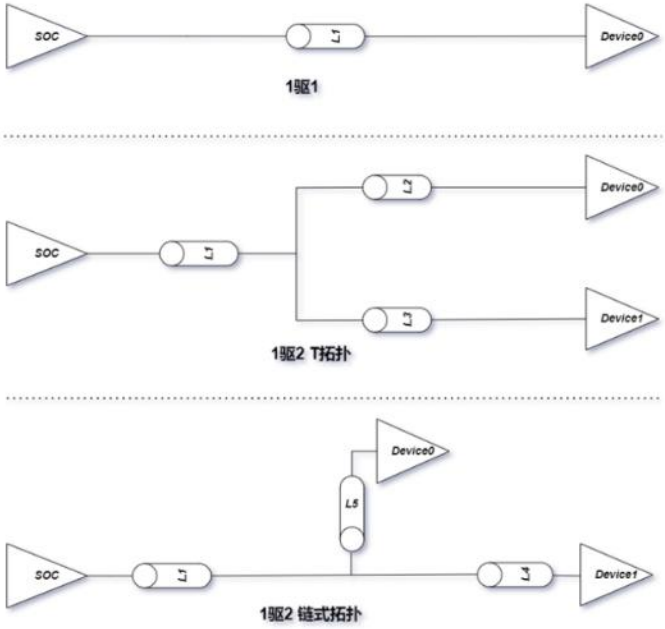


图 3-74 DSMC 走线拓扑图

表 3-13 布线要求-DSMC

参数	要求
走线阻抗	单端50ohm ±10%，差分100±10%
分支（L2/L3/L4/L5）走线长度	L2<500mil L3<500mil L4<1000mil L5<100mil
走线总长度	L1+L2<5 inches L1+L3<5 inches L1+L4<5 inches
1驱2 T拓扑的分支之间时延差要求	|L2-L3|<2ps
CLK_P与CLK_N之间时延差要求	建议<1ps
CLK与CS之间时延差要求	建议<16ps
CLK与DQS之间时延差要求	建议<16ps
DATA与DQS之间的时延差要求	建议<16ps
DSMC信号线之间间距（airgap）	建议≥2倍DSMC线宽
DSMC与其他信号间距（airgap）	建议3倍DSMC线宽，至少2倍DSMC线宽

DSMC信号设计建议如下：

- DSMC 信号建议以 GND 为参考平面，并保持信号参考平面的完整性。
- SoC 区域 GND pad 对应的 GND 过孔数量要求如下，不建议删减过孔数量。

Rockchip Confidential

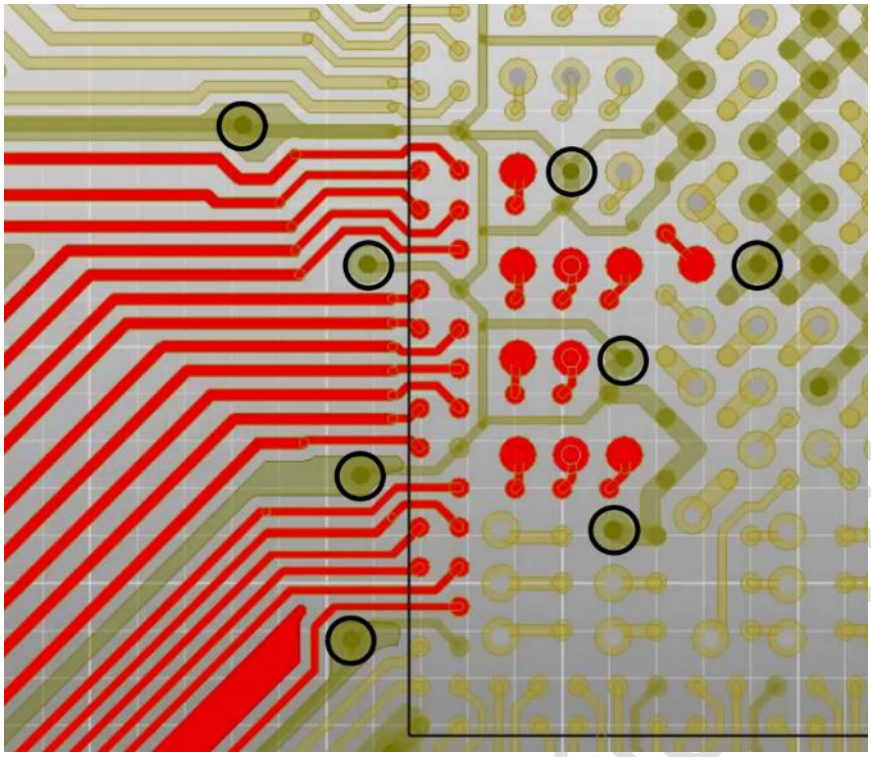


图 3-75 GND 过孔数量示意图

- CLK 和 DQS 信号建议包地处理，包地线建议每隔 500mil 打一个 GND 过孔。

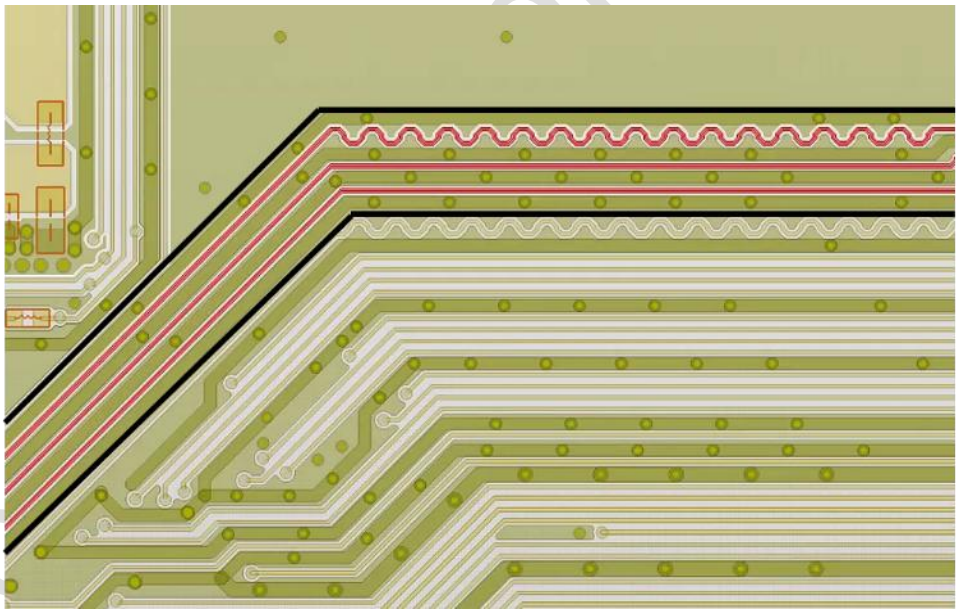


图 3-76 RV1126B DSMC_CLK&DQS 信号包地建议

- DSMC_CLK 信号，建议靠近接收端放置对地电容，电容和 pad 间距小于 400mil。

Rockchip Confidential

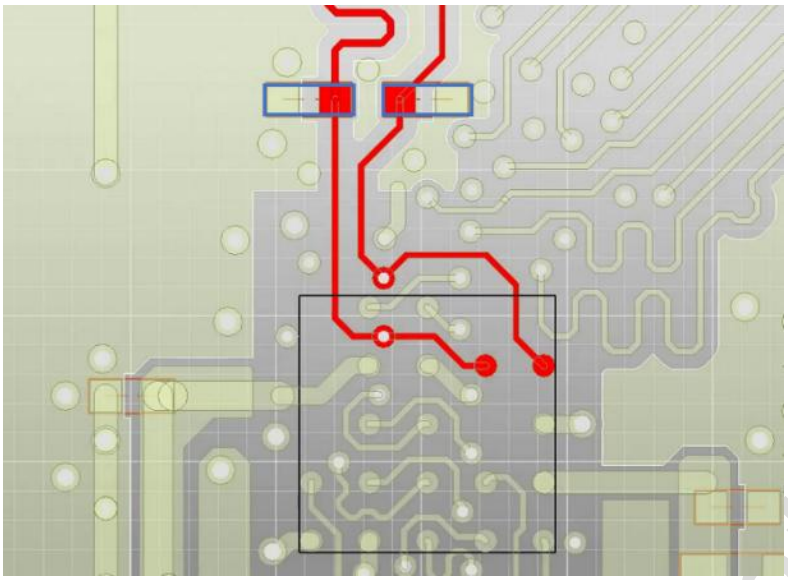


图 3-77 RV1126B DSMC_CLK 信号对地电容摆放建议

3.2.8. eMMC PCB设计

表 3-14 布线要求-eMMC

参数	要求
走线阻抗	单端50ohm ±10%
时钟与数据之间时延差	<20ps
走线长度	<3 inches
eMMC信号线之间间距（airgap）	至少2倍eMMC线宽
eMMC与其它信号间距 （airgap）	建议3倍线宽，至少2倍eMMC线宽
各信号所允许过孔数量	建议不超过2个

eMMC信号设计要求如下：

- eMMC 信号建议以 GND 为参考平面，并保持参考平面的完整性。
- eMMC 信号换层前后，参考层建议都为地平面，在信号过孔 40mil（过孔和过孔的中心间距）范围内建议添加地回流过孔，改善信号回流路径，地过孔需要把信号换层前后地参考平面连接起来。

Rockchip Confidential

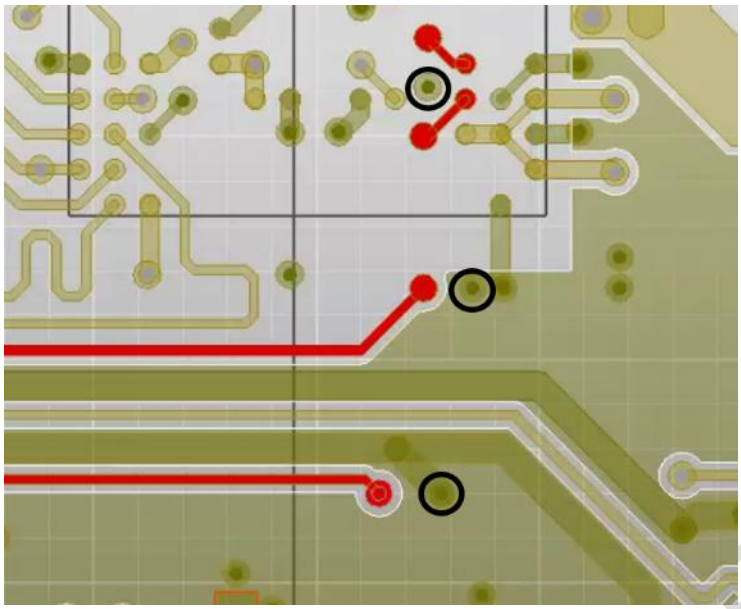


图 3-78 添加地回流过孔示意图

3.2.9. RGMII PCB设计

表 3-15 布线要求-RGMII

参数	要求
走线阻抗	单端50ohm ±10%
(TXD{0-3}，TXEN) to TXCLK时延差	<20ps
(RXD{0-3}，RXDV) to RXCLK时延差	<20ps
走线长度	<6 inches
RGMII信号线之间间距（airgap）	建议≥2倍RGMII线宽
RGMII与其它信号间距（airgap）	建议3倍RGMII线宽，至少2倍RGMII线宽
各信号所允许过孔数量	建议不超过2个

RGMII信号设计建议如下：

- RGMII 信号建议以 GND 为参考平面，并保持信号参考平面的完整性。
- ETH_CLK_25M_OUT 信号建议包地处理，包地线建议每隔 500mil 打一个 GND 过孔。

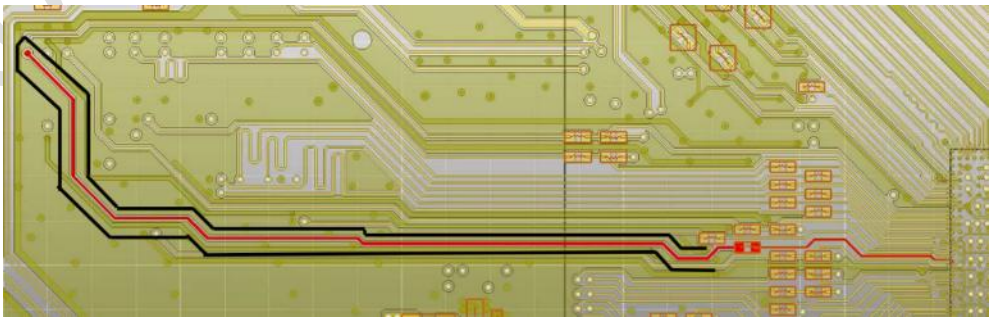


图 3-79 RV1126B ETH_CLK_25M_OUT 信号包地走线建议

Rockchip Confidential

3.2.10. RMII PCB设计

表 3-16 布线要求-RMII

参数	要求
走线阻抗	单端50ohm ±10%
时钟与数据之间时延差	<20ps
走线长度	<6 inches
RMII信号线之间间距（airgap）	至少2倍RMII线宽
RMII与其它信号间距（airgap）	建议3倍RMII线宽，至少2倍RMII线宽
各信号所允许过孔数量	建议不超过2个

3.2.11. SDMMC/SDIO PCB设计

表 3-17 布线要求-SDMMC/SDIO

参数	要求
走线阻抗	单端50ohm ±10%
时钟与数据之间时延差	<20ps
走线长度	<4 inches（50Mhz＜CLK频率≤200Mhz） <6 inches（CLK频率≤50Mhz）
SDMMC信号线之间间距（airgap）	至少2倍SDMMC线宽
各信号所允许过孔数量	建议不超过2个

3.2.12. FSPI PCB设计

表 3-18 布线要求- FSPI

参数	要求
走线阻抗	单端50ohm ±10%
时钟与数据时延差	<33ps
走线长度	<4 inches
FSPI信号线之间间距（airgap）	至少2倍FSPI线宽
FSPI与其它信号间距 （airgap）	建议3倍线宽，至少2倍FSPI线宽

3.2.13. LCDC PCB设计

Rockchip Confidential

表 3-19 布线要求-BT1120/BT656/LCDC/MCU

参数	要求
走线阻抗	单端50ohm ±10%
时钟与数据之间时延差	<30ps
走线长度	<5 inches
信号线之间间距（airgap）	至少2倍线宽
各信号所允许过孔数量	建议不超过4个

3.2.14. SAI PCB设计

表 3-20 布线要求-SAI

参数	要求
走线阻抗	单端50ohm ±10%
时钟与数据之间时延差	<50ps
走线长度	<6 inches
信号线之间间距（airgap）	至少2倍线宽
各信号所允许过孔数量	建议不超过4个

3.2.15. SPI PCB设计

表 3-21 布线要求-SPI

参数	要求
走线阻抗	单端50ohm ±10%
时钟与数据之间时延差	<50ps
走线长度	<6 inches
信号线之间间距（airgap）	至少2倍线宽
各信号所允许过孔数量	建议不超过4个

Rockchip Confidential

4. 热设计建议

4.1. 热仿真结果

暂无。

4.2. 术语解释

本章中的术语解释如下：

- T_J: 平均管芯温度（摄氏度）；
- T_A: 周围环境温度（摄氏度）；
- T_C: 封装外壳温度（摄氏度）；
- T_B: PCB 结合面温度（摄氏度）；
- P: 总输入功率（瓦）；
- $\boldsymbol{\theta}_{JA}$: 管芯到周围环境的封装热阻力（每瓦摄氏度）；
- $\boldsymbol{\theta}_{JC}$: 管芯到封装外壳的封装热阻力（每瓦摄氏度）；
- $\boldsymbol{\theta}_{JB}$: 管芯到 PCB 结合面的封装热阻力（每瓦摄氏度）；

4.3. 芯片内部热控制方式

4.3.1. 温度控制策略

在 Linux 内核中，定义了一套温控框架 linux Generic Thermal System Drivers，它可以通过不同的策略控制系统的温度，目前常用的有以下三种策略：

- Power_allocator：引入 PID（比例-积分-微分）控制，根据当前温度，动态给各模块分配 power，并将 power 转换为频率，温度低的时候可分配的 power 比较大，即可以运行的频率高，随着温度上升，可分配的 power 减小，可运行的频率也逐渐降低，从而达到根据温度限制频率的效果。
- Step_wise：根据当前温度，cooling device 逐级限制频率。
- Fair share：频率档位比较多的 cooling device 优先降频。
- Userspace：不限制频率。

RV1126B芯片内部有TSADC (Temperature-Sensor ADC) 模块检测片内温度，默认使用Power_allocator策略，工作状态分以下几种情况：

- 当温度超过设定的温度值：
  - 温度趋势上升，允许的最高频率将降低；
  - 温度趋势下降，允许的最高频率将升高；
- 当温度低于设定的温度值：
  - 允许的最高频率为默认值，不受 Thermal 策略控制；
- 在降频后芯片依旧过温（比如散热不良）超过一定的温度（可设置）时软件会触发重启。

Rockchip Confidential

4.4. 电路与PCB板级热设计建议

- 布局空旷的区域，在不破坏电源平面完整性条件下，尽量增加地过孔，从而增加散热路径。
- 注意所使用 LDO 的输入输出压差，提高整体电源效率，减少电源自身耗散引起的发热。
- 大电流供电的走线/铺铜，应考虑其载流能力，避免过小的走线宽度引起过大温升。
- e-PAD 建议按参考设计文件打满过孔。
- 进行合理的结构设计，考虑产品内部与外界合理的热交换途径；在使用散热片时，需注意鳍片的方向与结构风道一致，并选用足够尺寸的散热片、导热系数大的散热材料。

Rockchip Confidential

5. ESD/EMI防护设计建议

5.1. 概述

本章对于RV1126B产品设计中的ESD/EMI防护设计给出了建议，帮助客户更好的提高产品的抗静电、抗电磁干扰水平。

5.2. 术语解释

本章中的术语解释如下：

- Electro-Static discharge（ESD）：静电释放；
- Electromagnetic Interference（EMI）：电磁干扰，包括传导干扰和辐射干扰两部分；

5.3. ESD防护

- 保证合理的模具设计；端口和插接件部分需预留抗 ESD 器件；
- 在 PCB 布局时做好敏感器件的保护，隔离；
- 布局时尽量将 RV1126B 芯片放在 PCB 中间，不能放在 PCB 中间的需要保证屏蔽罩离板边至少 2MM 以上的距离，且要保证屏蔽罩能可靠接地；
- 应该按功能模块及信号流向来布局 PCB，各个敏感部分相互独立，对容易产生干扰的部分最好能隔离；
- 要求合理摆放应对 ESD 器件，一般要求摆在源头，即 ESD 器件摆放在接口处或静电释放处；
- 元件布局远离板边且距插接件有一定距离；
- PCB 表面一定要有良好的 GND 回路，各接插件在表层都要有较好的 GND 连接回路。有加屏蔽罩的应尽量跟表层地相连，并在屏蔽罩焊接处多打地孔接地。要做到这一点，就要求各个连接座部分在表层不要走线，也不要出现大范围切断表层铜皮的走线；
- 表层板边不走线且多打地孔；
- 必要时要做好信号跟地之间的隔离；
- 多露铜，以便加强静电释放效果，或者便于增加加泡棉等补救措施；

5.4. EMI防护

- 电磁干扰三要素：干扰源、耦合通道及敏感设备。我们不能处理敏感设备，所以处理 EMI 问题就只能从干扰源跟耦合通道入手了。解决 EMI 问题，最好的方式就是消除干扰源，消除不了的就想办法切断耦合通道或者避免天线效应；
- PCB 上干扰源一般很难完全消除，可以通过滤波、接地、平衡、阻抗控制，改善信号质量(如端接）等方法来应对。各种方法一般会综合运用，但良好的接地是最基本的要求；
- 常用应对 EMI 材料有屏蔽罩，专用滤波器，电阻，电容，电感，磁珠，共模电感/磁环，吸波材料，展频器件等；

Rockchip Confidential

- 滤波器选择原则：若负载（接收器）为高阻抗（一般的单端信号接口都是高阻抗，比如 SDIO、RBG、CIF 等），则选择容性滤波器件并入线路；若负载（接收器）为低阻抗（比如电源输出接口），则选择感性滤波器件串入线路。使用滤波器件后不能使信号质量超出其 SI 许可范围。差分接口一般使用共模电感来抑制 EMI；
- PCB 上屏蔽措施需良好接地，不然可能会引起辐射泄露或者屏蔽措施形成了天线效应，连接器的屏蔽需符合相关技术标准；
- EMI 跟 ESD 对 LAYOUT 的要求有高度一致性，前述 ESD 的 LAYOUT 要求，大部分适用于 EMI 防护。另外增加下面的要求；
  - 尽量保证信号完整性；
  - 差分线要做好等长及紧密耦合，保证差分信号的对称性，以尽量减少差分信号的错位跟时钟，避免相位不匹配引起 EMI 问题；
  - 有插件电解电容等带金属壳器件的元件，应避免耦合干扰信号从而辐射。也要避免器件的干扰信号从壳体耦合到其他信号线；
- 带散热器的设计，需注意散热器有成为耦合 EMI 能量、产生辐射的可能，因此在选用散热器时需满足热设计要求，还应考虑 EMI 要求。散热器可预留接地条件，并根据首版本的实际测试进行处理。

Rockchip Confidential

6. 焊接工艺说明

6.1. 术语解释

本章中的术语解释如下：

- Lead-free：无铅工艺；
- Pb-free：无铅工艺，所有器件（主板、所有 IC、电阻电容等）均为无铅器件，并使用无铅锡膏的纯无铅工艺；
- Reflow profile：回流焊；
- Restriction of Hazardous Substances（ROHS）：关于限制在电子电器设备中使用某些有害成分的指令；
- Surface Mount Technology（SMT）：表面贴装技术；
- Sn-Pb：锡铅混合工艺，指使用有铅锡膏进行含铅 IC 与无铅 IC 混合焊接的工艺；

6.2. 概述

RV1126B 芯片为 RoHS 指令认证产品，即均是 Lead-free 产品。本章规范了在使用 RV1126B 芯片 SMT（表面贴装技术，Surface Mounted Technology）时各个时间段温度的基本设置，介绍了在使用RV1126B 芯片 SMT 回流焊时的工艺控制。

6.3. 回流焊要求

6.3.1. 焊膏成分与使用要求

建议采用 SAC305 锡膏，flux 比重为 10%~11.5%，锡膏冷藏温度 2~10℃，使用前应常温下回温，回温时间 3~4 小时并做好时间记录。锡膏类型推荐选择Type 4。

刷板前锡膏需要搅拌，手工搅拌 3～5 分钟或机械搅拌 3 分钟，搅拌后呈自然垂流状。

6.3.2. 推荐SMT曲线

由于 RV1126B 芯片均采用环保材料，建议使用 Pb-Free 工艺。图6-1 回流焊曲线仅为推荐值，客户端需根据实际生产情况进行调整。

Rockchip Confidential

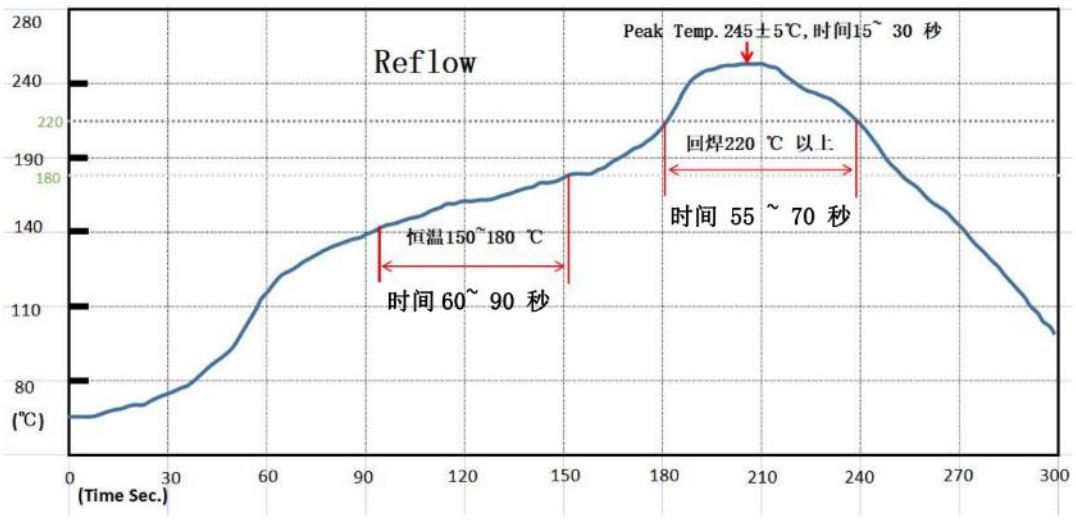


图 6-1 RV1126B 回流焊推荐曲线

- 预热区温升斜率/ Rising Slope：1~2℃/秒（sec）
- 恒温/ Soak Time(150~180℃)：60~90 秒（sec）
- 回流（220℃以上时间）/ Reflow above 220℃ Time：55~70 秒（sec）
- 峰值温度/ Peak Temp：245±5℃
- 峰值时间/ Peak Time：15~30 秒（sec）
- 冷却斜率/ Falling Slope：≤3℃/秒（sec）

Rockchip Confidential

7. 包装和存放条件

7.1. 概述

规定了RV1126B的存放和使用规范，以确保产品的安全和正确使用。

7.2. 术语解释

本章中的术语解释如下：

- Desiccant：干燥剂，用于吸附潮气的一种材料；
- Floor life：产品允许暴露在环境中的最长时间，从在拆开防潮包装到回流焊之前；
- Humidity Indicator Card(HIC)：湿度指示卡；
- Moisture Sensitivity Level(MSL)：潮敏等级；
- Moisture Barrier Bag(MBB)：防潮包装袋；
- Rebake：重新烘烤；
- Solder Reflow：回流焊；
- Shell Life：存储期限；
- Storage environment：存放环境。

7.3. 防潮包装

产品的干燥真空包装材料如下：

- 干燥剂；
- 六点湿度卡；
- 防潮袋，铝箔，银色不透明，带有湿敏等级的标识。

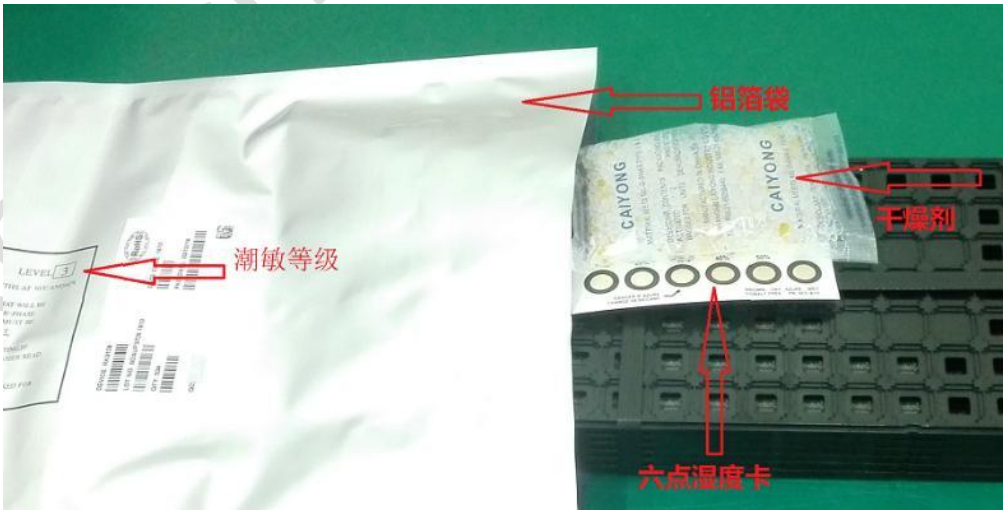


图 7-1 芯片干燥真空包装

Rockchip Confidential

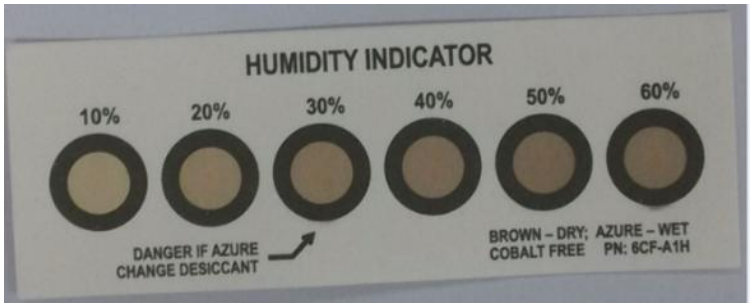


图 7-2 六点湿度卡

7.4. 产品存放

7.4.1. 存放环境

产品真空包装存放，在温度≤40℃且相对湿度 < 90%时，保存期限可达12个月。

7.4.2. 暴露时间

在环境条件 < 30℃和湿度60%下，请参照如下表7-1。

RV1126B 芯片MSL等级为3，对湿度非常敏感。如果拆包装后没有及时使用，且长时间放置后未烘烤贴片，会大概率出现芯片失效。

表 7-1 暴露时间参照表（MSL）

MSL等级	暴露时间 工厂环境条件：≤30 ℃ / 60% RH
1	Unlimited at ≤300 ℃/85 %RH
2	1年
2a	4周
3	168小时
4	72小时
5	48小时
5a	24小时
6	Mandatory bake before use， and must be reflowed within the time limit specified on the label.

7.5. 潮敏产品使用

RV1126B 芯片在包装袋被打开后，芯片回流焊前必须符合如下条件：

- 连续或累计暴露时间在 168 小时内，且工厂环境为≤30℃/60% RH；
- 保存在 < 10% RH 环境下的；

在下述情况下，芯片必须进行烘烤去除内部湿气，以避免回流焊时产生分层或爆米花问题：

- 湿度指示卡在 23±5℃时，＞10%的点已变色。（颜色变化请参考湿度指示卡标示）；
- 未符合 2a 或 2b 的规范。

Rockchip Confidential

芯片重新烘烤的时间请参考如下表7-2所示：

表 7-2 RV1126B Re-bake 参考表

Package Body	**MSL**	**High Temp Bake @125℃ +10/-0℃**		**Medium Temp Bake @90℃+8/-0℃**		**Low Temp Bake @40℃ +5/-0℃**	
		Exceeding Floor Life by > 72h	**Exceeding Floor Life by ≤ 72h**	**Exceeding Floor Life by > 72h**	**Exceeding Floor Life by ≤ 72h**	**Exceeding Floor Life by > 72h**	**Exceeding Floor Life by ≤ 72h**
Thickness ≤1.4mm	3	9 hours	7 hours	33 hours	23 hours	13 days	9 days

注意

此表中显示的均是受潮后，必须的最小的烘烤时间。

重新烘烤优先选择低温烘烤。

Rockchip Confidential