

一、选择题 (共 15 小题, 每小题 2 分, 共 30 分)

题号	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
答案															

提示: 请将选择题答案写在上面表格中。

1. Gray 码的特点是相邻码组中有 _____ 位码相异。

- A. 三位 B. 两位 ☒ C. 一位 D. 多位

2. 逻辑函数 $F = \overline{A}\overline{B} + \overline{B}DEG + \overline{A}\overline{B} + B$ 的最简式为 _____。

- A. $F = \overline{B}$ B. $F = B$ C. $F = 0$ ☒ D. $F = 1$

3. A_1, A_2, A_3, A_4 电路采用奇校验, 则校验位 C 的逻辑表达式是 _____。

- A. $A_1 + A_2 + A_3 + A_4 + 1$ ☒ B. $A_1 \oplus A_2 \oplus A_3 \oplus A_4 \oplus 1$

- C. $A_1 A_2 A_3 A_4 + 1$

- D. $A_1 \oplus A_2 \oplus A_3 \oplus A_4 \oplus 0$

将数据位上校验位
奇数则 1 偶数则 0
在补成共有奇数个 1

4. 设 M_5, M_6 为函数 F 的两个最大项, $M_5 + M_6 =$ _____。

第 1 页 共 9 页

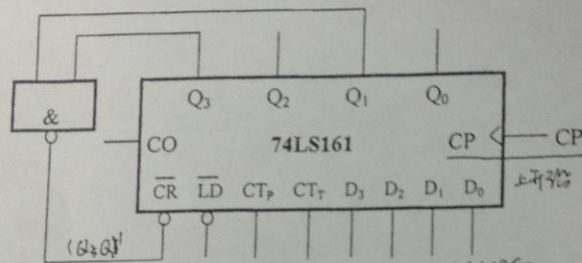
$$= (M_5 M_6)' = (\overline{A}\overline{B}C\overline{A}\overline{B}\overline{C})' = 0' = 1$$

$$A + \overline{B} + C + A + \overline{B} + \overline{C}$$

4、74LS161 是同步 4 位 二进制 加法计数器，其逻辑功能表如下，试分析下列电路是几进制计数器，并画出其状态图。

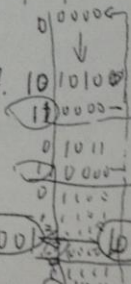
74LS161 逻辑功能表

	\overline{CR}	\overline{LD}	CT_P	CT_T	CP	$Q_3 Q_2 Q_1 Q_0$
✓	0	x	x	x	x	0 0 0 0 置 0
	1	0	x	x	↑	$D_3 D_2 D_1 D_0$
	1	1	0	x	x	$Q_3 Q_2 Q_1 Q_0$
	1	1	x	0	x	$Q_3 Q_2 Q_1 Q_0$
✓	1	1	1	1	↑	加法计数



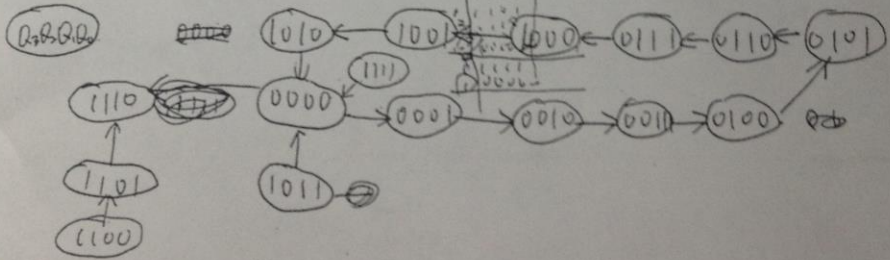
$$\overline{CR} = (Q_3 Q_1)' = Q_3' + Q_1'$$

“1” “1” “1” “1”
1x1x 时清零



二进制计数器

$$11 + 1 + 3 + 1 = 16 \checkmark$$

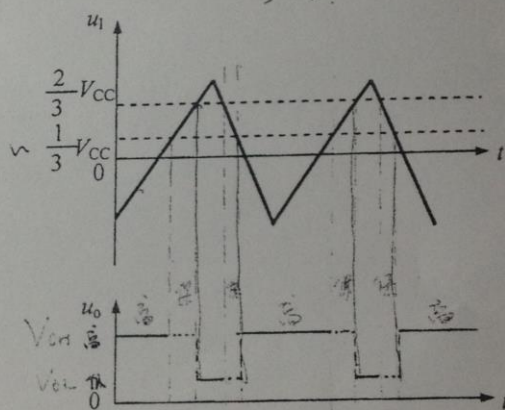
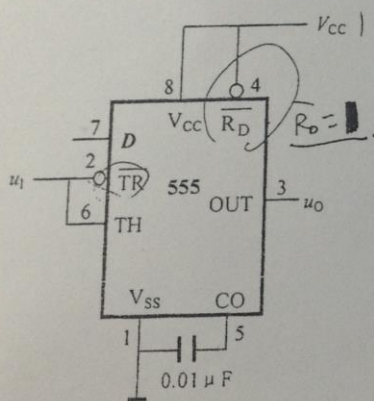


$\overline{CR} = (Q_3 Q_1)' = Q_3' + Q_1'$ 正常工作时，为二进制加法计数
当 $Q_3 Q_2 Q_1 Q_0 = "1010"$ 时， $\overline{CR} = 1$ ，下一个脉冲到来时
 $Q_3 Q_2 Q_1 Q_0 = "0000"$ ，故共有 "0000" ~ "1010" 11 个状态。
∴ 11 进制计数器。

3、555 定时器的功能表如下，(1)简单分析下图电路的工作原理，(2)该 555 定时器组成什么电路，(3)画出相应的输出波形。

555 定时器功能表

输入			输出	
$\overline{R_D}$	TH (u_{I1})	TR (u_{I2})	u_O	VT _D 状态
0	X	X	低	导通
1	$< \frac{2}{3} V_{CC}$ ↓	$< \frac{1}{3} V_{CC}$ ↓	高	截止
1	$< \frac{2}{3} V_{CC}$ ↓	$> \frac{1}{3} V_{CC}$ ↑	不变	不变
1	$> \frac{2}{3} V_{CC}$ ↑	$> \frac{1}{3} V_{CC}$ ↑	低	导通



(1) 555 定时器工作原理:

~~多谐振荡器~~

~~多谐振荡器原理~~ → 施密特触发器原理

(2) 组成什么电路 功能

~~多谐振荡器~~

2、用 D 触发器设计同步五进制计数器。已知状态转换过程的编码是 $000 \xrightarrow{0} 011 \xrightarrow{1} 010 \xrightarrow{2} 001 \xrightarrow{3} 000$ 。要求:

- (1) 列出状态转移表;
- (2) 写出状态方程;
- (3) 写出激励方程; (马区动方程)
- (4) 画出允许自启动的状态转移图。

加了五进制计数器?

$Cl = CLK'$ (下降沿触发)

计数顺序	电路状态 $Q_2 Q_1 Q_0$	等效十进制数 C	备注
0	000	0	
1	011	1	
2	010	2	
3	001	3	
4	000	4	

状态转移表

CLK	$Q_2 Q_1 Q_0$	C
0	000	1
1	011	0
2	010	0
3	001	0
4	000	0
5	000	1

$M=5, 2^2 < M < 2^3 \therefore n=3$
3个D触发器。

Q_0 激励

$Q_2 Q_1 Q_0$	00	01	11	10
0	0	1	0	1
1	0	0	0	0

$$\begin{cases} Q_0^* = Q_1 + Q_2 \\ Q_1^* = Q_1 Q_0 + Q_2 \\ Q_2^* = Q_2 Q_1 Q_0 \end{cases}$$

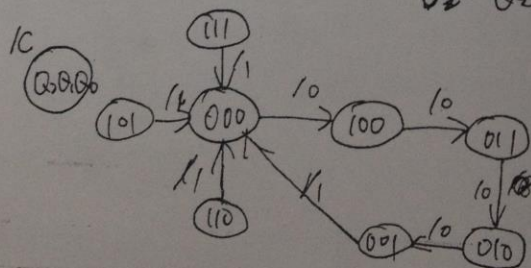
$$\begin{cases} D_0 = Q_0 Q_1 + Q_2 \\ D_1 = Q_1 Q_2 + Q_2 \\ D_2 = Q_2 Q_1 Q_0 \end{cases}$$

Q_1 激励

$Q_2 Q_1 Q_0$	00	01	11	10
0	0	0	1	1
1	0	0	0	0

Q_2 激励

$Q_2 Q_1 Q_0$	00	01	11	10
0	1	0	0	0
1	0	0	0	0



得分	评阅人

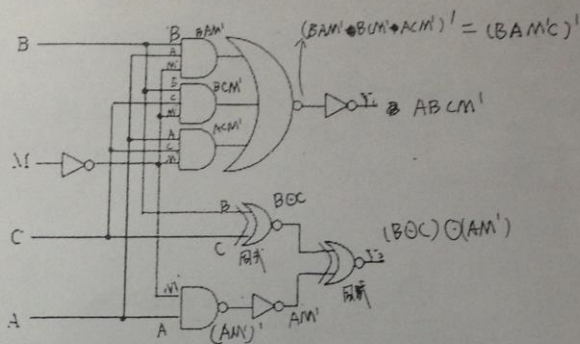
四、分析计算题 (共 4 小题, 每小题 10 分, 共 40 分)

1、某逻辑电路如下图所示: *组合逻辑*

(1) 写出输出函数 Y_1 、 Y_2 的表达式。

(2) 列出真值表。

(3) 描述 $M=0$ 和 $M=1$ 时的逻辑功能。



	M'	A	B	C	AM' (if 0)	Y_2	Y_1
					AM'	$B \cdot C$	$(B \cdot C) \cdot (AM')'$
$M=1$	0	1	1	1	0	1	0
	0	1	1	0	0	0	1
	0	1	0	1	0	0	1
	0	1	0	0	0	1	0
	0	0	1	1	0	1	0
	0	0	1	0	0	0	1
	0	0	0	1	0	0	1
	0	0	0	0	0	1	0
$M=0$	1	1	1	1	1	1	1
	1	1	1	0	1	0	0
	1	1	0	1	1	0	0
	1	1	0	0	1	1	1
	1	0	1	1	0	1	0
	1	0	1	0	0	0	1
	1	0	0	1	0	0	1
	1	0	0	0	0	1	0

$M=1$ 时, $Y_1=0$, $Y_2(A,B,C) = \sum m(1,2,5,6) = \bar{A}\bar{B}C + \bar{A}B\bar{C} + A\bar{B}\bar{C} + ABC = \bar{A}(B \oplus C) + A(B \oplus C) = B \oplus C$

\Rightarrow 判断 BC 中 1 的个数

$M=0$ 时, $Y_1 = ABC$, $Y_2(A,B,C) = \sum m(1,2,4,7) = \bar{A}\bar{B}C + \bar{A}B\bar{C} + A\bar{B}\bar{C} + ABC = \bar{A}(B \oplus C) + A(B \oplus C) = \bar{A} \oplus B \oplus C$

\Rightarrow 判断 ABC 中 1 的个数, 若 1 个数为奇数, 则 $Y_1=1, Y_2=1$ 则 3T.
 若 1 个数为偶数, 则 $Y_1=0, Y_2=1$ 则 1T.

2、简述组合逻辑和时序逻辑的异同。

异

同

同

3、简述组合逻辑设计的一般步骤。

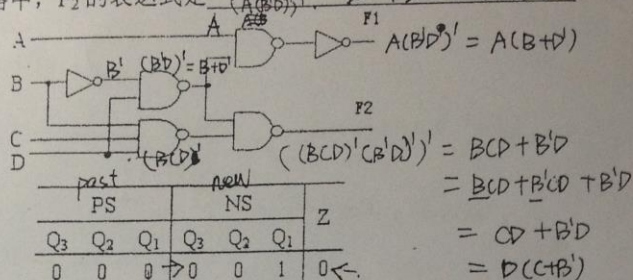
4、简述常见的存储器及它们的特点

法和

法。

6、七段译码驱动器用于显示十个阿拉伯数字 0-9，数码管可采用 TTL 电路或 CMOS 电路。

7、写出下图所示电路中， F_2 的表达式是 $F_2 = D(C+B)$ 。



past PS			new NS			Z
Q ₃	Q ₂	Q ₁	Q ₃	Q ₂	Q ₁	
0	0	0	0	0	1	0
0	0	1	0	1	0	0
0	1	0	0	1	1	0
0	1	1	1	0	0	0
1	0	0	0	0	0	1
1	0	1	1	1	0	0
1	1	0	0	1	0	1
1	1	1	1	0	1	0

表 1 状态转移真值表

8、某时序电路的状态转移真值表如表 1 所示，该电路是模 三 计数器。

9、时序电路的描述方程通常有输出方程、状态方程和 驱动 方程。

10、RAM 是随机读写存储器，优点是读写方便，缺点是 数据易丢失（一停电则数据全丢失）。

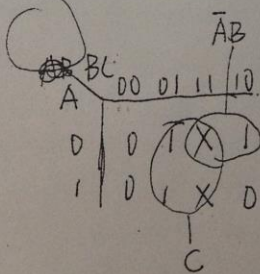
得分	评阅人

三、简答题（共 4 小题，每小题 5 分，共 20 分）

1、对下列 Z 函数要求：(1) 列出真值表；(2) 用卡诺图化简。

$$\begin{cases} Z = \overline{A}B + \overline{A} \cdot \overline{B} \cdot C + \overline{A} \cdot B \cdot \overline{C} = \overline{A}B + \overline{A}(B \oplus C) \\ BC=0 \end{cases}$$

A	B	C	Z
0	0	1	1
0	1	0	1
0	0	0	0
1	0	1	1
1	1	0	0
1	0	0	0



$$\therefore \begin{cases} Z = \overline{A}B + C \\ BC=0 \end{cases}$$

P.171

A. 111

B. 010

C. 000

D. 101

A 000

13. 全加器中向高位的进位 C_{i+1} 为_____。

- A. $A_i \oplus B_i \oplus C_i$ B. $A_i B_i + (A_i \oplus B_i) C_i$ C. $A_i + B_i + C_i$ D. $(A_i \oplus C_i) B_i$

14. 有一个左移移位寄存器，当预先置入 1011 后，其串行输入固定接 0，在 4 个移位脉冲 CP 作用下，四位数据的移位过程是_____。

- A. 1011--0110--1100--1000--0000 B. 1011--0101--0010--0001--0000
C. 1011--0111--1111 D. 1011--1101--1110--1111

15. 寄存器在电路组成上的特点_____。

- A. 有 CP 输入端，无数码输入端 B. 有 CP 和数码输入端
C. 无 CP 输入端有数码输入端 D. 以上都不对

得分

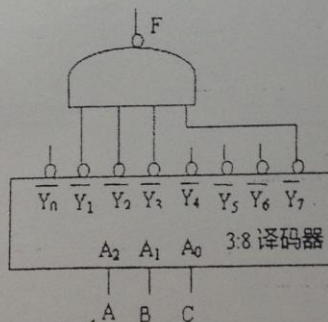
评阅人

二、填空题 (共 10 小题，每小题 1 分，共 10 分)

1. 利用移位寄存器产生 00001111 序列，至少需要_____级触发器。

2. 一个由 3:8 译码器构成的逻辑电路如图 1 所示，函数 F 的最小项表达式为

$$F(A_2, A_1, A_0) = \sum m(1, 2, 3, 7)$$



$$F = (m_1' + m_2' + m_3' + m_7')$$

图 1 逻辑电路图

DMUX 称为_____，它是一种单路输入多路输出的标准化逻辑构件。

4. 单稳态触发器有两个工作状态_____和_____。

5. 在同步时序逻辑电路设计中，对状态表的状态进行编码时，常用的方法有_____。

A. 1

B. $m_5 + m_6$ C. M_{11}

D. 不确定

5. 关于 JK 触发器, 说法正确的是_____。

A. 主从型和边沿触发型 JK 触发器, 电路结构不同, 逻辑符号不同。

B. $J=0, K=0$ 时, JK 触发器保持。C. $J=0, K=1$ 时, JK 触发器置 1。XD. $J=K$ 时, JK 触发器相当于 D 触发器。X 相当于 D 触发器6. a_1, a_2, a_3, a_4, a_5 是五个开关, 设它们闭合时为逻辑 1, 断开时为逻辑 0,电灯 $F=1$ 时表示灯亮, $F=0$ 时表示灯灭。若在五个不同的地方控制同一个电灯的亮灭, 逻辑函数 F 的表达式是_____。A. $a_1 a_2 a_3 a_4 a_5$ B. $a_1 + a_2 + a_3 + a_4 + a_5$ C. $a_1 \oplus a_2 \oplus a_3 \oplus a_4 \oplus a_5$ D. $a_1 \odot a_2 \odot a_3 \odot a_4 \odot a_5$

7. 同步时序电路和异步时序电路比较, 其差异在于后者_____。

A. 没有触发器X

B. 没有统一的时钟脉冲控制

C. 没有稳定状态X

D. 输出只与内部状态有关(穆尔型电路)

8. JK 触发器在 CP 脉冲作用下, 欲使 $Q^{n+1} = Q^n$, 则输入信号应为_____。A. $J=K=0$ B. $J=Q, K=\bar{Q}$ C. $J=\bar{Q}, K=Q$ D. $J=Q, K=0$

9. 把一个五进制计数器与一个四进制计数器串联可得到_____进制计数器。

A. 4

B. 5

C. 9

D. 20

10. 以下哪一条不是消除竞争冒险的措施_____。

A. 接入滤波电路

B. 利用触发器

C. 加入选通脉冲

D. 修改逻辑设计

11. 关于 JK 触发器, 说法正确的是_____。

A. 主从型和边沿触发型 JK 触发器, 电路结构不同, 逻辑符号不同。

B. JK 触发器逻辑功能为置“0”, 置“1”, 保持, 无计数功能。

C. $J=0, K=1$ 时, JK 触发器置 1。XD. $J=K$ 时, JK 触发器相当于 D 触发器 X12. 8 线—3 线优先编码器的输入为 $I_0—I_7$, 当优先级最高的 I_7 有效时, 其输出 $\overline{Y_2} \cdot \overline{Y_1} \cdot \overline{Y_0}$ 的值是_____。 $\overline{1} \cdot \overline{1} \cdot \overline{1} = 0$