



普通高等教育“十五”国家级规划教材配套参考书

数字电子技术基础

第五版

习题解答

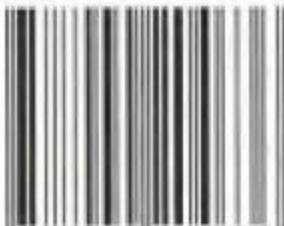
阎石 王红 编



高等教育出版社
Higher Education Press

- 数字电子技术基础 (第五版)
- 数字电子技术基础 (第五版) 电子教案
- 数字电子技术基础 (第五版) 习题解答
- 模拟电子技术基础 (第四版)
- 模拟电子技术基础 (第四版) 电子教案
- 模拟电子技术基础 (第四版) 习题解答

ISBN 7-04-020463-0



9 787040 204636 >

定价 26.90 元

普通高等教育“十五”国家级规划教材配套参考书

数字电子技术基础

第五版

习题解答

阎 石 王 红 编

高等教育出版社

内容简介

本书是为配合清华大学电子学教研组编、阎石主编的《数字电子技术基础》(第五版)教材的使用而编写的习题解答。书中除包含有《数字电子技术基础》(第五版)全部习题的详细解答以外,还含有各章习题类型以及每种类型题目的解题方法和步骤等内容。

本书的使用对象主要是电气、电子信息类各专业的师生,也可供其他有关专业师生和社会读者参考。

图书在版编目(CIP)数据

数字电子技术基础(第5版)习题解答 / 阎石,王红

编. —北京:高等教育出版社,2006.10

ISBN 7-04-020463-0

I. 数... II. ①阎... ②王... III. 数字电路—电子
技术—高等学校—解题 IV.TN79-44

中国版本图书馆 CIP 数据核字(2006)第 108668 号

策划编辑 韩颖 责任编辑 韩颖 封面设计 于涛 责任绘图 尹莉
版式设计 王艳红 责任校对 杨凤玲 责任印制 陈伟光

出版发行	高等教育出版社	购书热线	010-58581118
社址	北京市西城区德外大街 4 号	免费咨询	800-810-0598
邮政编码	100011	网 址	http://www.hep.edu.cn
总机	010-58581000		http://www.hep.com.cn
经 销	蓝色畅想图书发行有限公司	网上订购	http://www.landraco.com
印 刷	北京民族印刷厂		http://www.landraco.com.cn
		畅想教育	http://www.widedu.com

开 本	787×960 1/16	版 次	2006 年 10 月第 1 版
印 张	21.5	印 次	2006 年 10 月第 1 次印刷
字 数	390 000	定 价	26.90 元

本书如有缺页、倒页、脱页等质量问题,请到所购图书销售部门联系调换。

版权所有 侵权必究

物料号 20463-00

前　　言

本书是为配合《数字电子技术基础》(第五版)(阎石主编,高等教育出版社2006年5月出版)的使用而编写的。其中不仅包含了《数字电子技术基础》(第五版)各章习题的全部解答,而且还给出了各章习题类型,并总结归纳了每种类型习题的解题方法和步骤。

除了第一、二章以外,其他各章的习题中设计性习题占有相当大的比重。由于多数设计性习题的答案不是唯一的,所以这里给出的解答只是其中的一种,不能作为判断正、误的唯一标准。

虽然书中给出了每种类型题目一般的解题方法和步骤,但这并不意味着任何情况下都必须机械地套用这些方法和步骤。根据题目的具体条件和要求,有时可以省略其中的某些步骤,或采用其他更为简捷的解题方法。

习题中的很大一部分可以利用 Multisim7 进行仿真分析和求解。无论是组合逻辑电路、时序逻辑电路还是脉冲波形产生和整形电路,只要它们能够用 Multisim7 的元、器件库所提供的元、器件接成,原则上就可以用 Multisim7 进行仿真分析。因此,可以从这一类题目中选择一些作为使用 Multisim7 解题的练习。

各章习题解答部分中出现的“图 x. x. x”、“式(x. x. x)”、“表 x. x. x”都是《数字电子技术基础》(第五版)中的插图、公式、表格的编号。而“图 x—x”、“式(x—x)”、“表 x—x”则是本书各章“习题类型与解题方法”部分所采用的插图、公式、图表的编号。请阅读时注意区分。

本书的第 9 章由王红编写,其余各章由阎石编写。虽然大部分习题曾经在《数字电子技术基础》(第四版)中使用过,但由于这次作了删节和补充,难免会有错误和不当之处,恳请读者批评指正。通信地址:100084 清华大学自动化系。E-mail:yanshi@tsinghua.edu.cn;wang_hong@tsinghua.edu.cn。

作者

2006 年 6 月

目 录

第一章 数制和码制	1
1.1 本章习题类型与解题方法	1
1.2 习题解答	6
第二章 逻辑代数基础	24
2.1 本章习题类型与解题方法	24
2.2 习题解答	42
第三章 门电路	70
3.1 本章习题类型与解题方法	70
3.2 习题解答	85
第四章 组合逻辑电路	107
4.1 本章习题类型与解题方法	107
4.2 习题解答	121
第五章 触发器	149
5.1 本章习题类型与解题方法	149
5.2 习题解答	154
第六章 时序逻辑电路	180
6.1 本章习题类型与解题方法	180
6.2 习题解答	195
第七章 半导体存储器	228
7.1 本章习题类型与解题方法	228
7.2 习题解答	231
第八章 可编程逻辑器件	243
8.1 本章习题类型与解题方法	243

II 目 录

8.2 习题解答	255
第九章 硬件描述语言	265
9.1 本章习题类型与解题方法	265
9.2 习题解答	265
第十章 脉冲波形的产生和整形	271
10.1 本章习题类型与解题方法	271
10.2 习题解答	286
第十一章 数 - 模和模 - 数转换	302
11.1 本章习题类型与解题方法	302
11.2 习题解答	317
参考文献	334

第一章

数制和码制

1.1 本章习题类型与解题方法

这一章的习题在内容上有三种主要类型：不同数制间的转换，原码、反码、补码间的转换，二进制数的补码运算。

一、不同数制间的转换

1. 将任意进制数转换为等值的十进制数

解题方法和步骤：

利用公式

$$D = \sum k_i N^i \quad (1-1)$$

即可将任何进制的数转换为等值的十进制数。上式中的 N 为以十进制数表示的计数进位的基数， k_i 为第 i 位的系数，它可以是 $0 \sim N$ 中的任何一个整数。若整数部分有 n 位，小数部分有 m 位，则 i 将包含从 $n-1$ 到 0 的所有正整数和从 -1 到 $-m$ 的所有负整数。

对于整数部分为 n 位、小数部分为 m 位的二进制数 ($N=2$)，则得到等值的十进制数为

$$\begin{aligned} D &= \sum k_i 2^i \\ &= k_{n-1} 2^{n-1} + k_{n-2} 2^{n-2} + \cdots + k_0 2^0 + k_{-1} 2^{-1} + k_{-2} 2^{-2} + \cdots + k_{-m} 2^{-m} \end{aligned} \quad (1-2)$$

其中每一位的系数 k_i 可能是 1 或 0。

对于整数部分为 n 位、小数部分为 m 位的八进制数 ($N=8$)，则得到等值的十进制数为

$$\begin{aligned} D &= \sum k_i 8^i \\ &= k_{n-1} 8^{n-1} + k_{n-2} 8^{n-2} + \cdots + k_0 8^0 + k_{-1} 8^{-1} + \cdots + k_{-m} 8^{-m} \end{aligned} \quad (1-3)$$

对于整数部分为 n 位、小数部分为 m 位的十六进制数 ($N=16$), 则得到等值的十进制数为

$$\begin{aligned} D &= \sum k_i 16^i \\ &= k_{n-1} 16^{n-1} + k_{n-2} 16^{n-2} + \cdots + k_0 16^0 + k_{-1} 16^{-1} + \cdots + k_{-m} 16^{-m} \end{aligned} \quad (1-4)$$

【例 1-1】 将下面给出的二进制、八进制和十六进制数转换为等值的十进制数。

$$(1) (1101.011)_2; (2) (36.27)_8; (3) (4A.BD)_{16}.$$

解:

(1) 根据式(1-2)得到

$$\begin{aligned} (1101.011)_2 &= 1 \times 2^3 + 1 \times 2^2 + 0 \times 2^1 + 1 \times 2^0 + 0 \times 2^{-1} + 1 \times 2^{-2} + 1 \times 2^{-3} \\ &= 8 + 4 + 1 + 0.25 + 0.125 = (13.375)_{10} \end{aligned}$$

(2) 根据式(1-3)得到

$$\begin{aligned} (36.27)_8 &= 3 \times 8^1 + 6 \times 8^0 + 2 \times 8^{-1} + 7 \times 8^{-2} \\ &= 24 + 6 + 0.25 + 0.11 = (30.36)_{10} \end{aligned}$$

(3) 根据式(1-4)得到

$$\begin{aligned} (4A.BD)_{16} &= 4 \times 16^1 + 10 \times 16^0 + 11 \times 16^{-1} + 13 \times 16^{-2} \\ &= 64 + 10 + 0.69 + 0.05 = (74.74)_{10} \end{aligned}$$

2. 将十进制数转换为等值的二进制数

解题方法和步骤:

若十进制数包含整数和小数, 则整数部分和小数部分需按不同方法分别进行转换。

(1) 整数部分的转换

将十进制数除以 2, 所得余数即二进制数的 k_0 ;

将上面得到的商再除以 2, 所得余数即二进制数的 k_1 ;

将上面得到的商再除以 2, 所得余数即二进制数的 k_2 ;

依此类推, 直到所得商等于 0 为止, 就得到了等值的二进制数。

(2) 小数部分的转换

将十进制数的小数乘以 2, 所得乘积的整数部分即 k_{-1} ;

将上面得到的乘积的小数部分再乘以 2, 所得乘积的整数部分即 k_{-2} ;

将上面得到的乘积的小数部分再乘以 2, 所得乘积的整数部分即 k_{-3} ;

依此类推, 直到求出要求的位数为止, 就得到了等值的二进制数。

【例 1-2】 将十进制数 $(273.69)_{10}$ 转换为等值的二进制数。小数部分要求保留 4 位有效数字。

解: 首先进行整数部分的转换

$$\begin{array}{r}
 2 \mid 273 \cdots \cdots \text{余数} = 1 = k_0 \\
 2 \mid 136 \cdots \cdots \text{余数} = 0 = k_1 \\
 2 \mid 68 \cdots \cdots \text{余数} = 0 = k_2 \\
 2 \mid 34 \cdots \cdots \text{余数} = 0 = k_3 \\
 2 \mid 17 \cdots \cdots \text{余数} = 1 = k_4 \\
 2 \mid 8 \cdots \cdots \text{余数} = 0 = k_5 \\
 2 \mid 4 \cdots \cdots \text{余数} = 0 = k_6 \\
 2 \mid 2 \cdots \cdots \text{余数} = 0 = k_7 \\
 2 \mid 1 \cdots \cdots \text{余数} = 1 = k_8 \\
 2 \quad 0
 \end{array}$$

故整数部分等值的二进制数为 $(100010001)_2$ 。

其次进行小数部分的转换

$$\begin{array}{r}
 0.69 \\
 \times \quad 2 \\
 \hline
 1.38 \cdots \cdots \text{整数部分} = 1 = k_{-1} \\
 0.38 \\
 \times \quad 2 \\
 \hline
 0.76 \cdots \cdots \text{整数部分} = 0 = k_{-2} \\
 0.76 \\
 \times \quad 2 \\
 \hline
 1.52 \cdots \cdots \text{整数部分} = 1 = k_{-3} \\
 0.52 \\
 \times \quad 2 \\
 \hline
 1.04 \cdots \cdots \text{整数部分} = 1 = k_{-4}
 \end{array}$$

于是得到小数部分的转换结果为 $(0.1011)_2$ 。

总的转换结果为 $(273, 69)_{10} = (100010001, 1011)_2$ 。

3. 二进制与八进制和十六进制间的互相转换

解题方法和步骤：

在将二进制数转换为八进制数时,首先将二进制数的整数部分从最低位向高位每三位划分为一组,同时将二进制数的小数部分从最高位向低位每三位划分为一组,然后将每一组代之以等值的八进制数,就得到了所求的转换结果。

在将二进制数转换为十六进制数时,首先将二进制数的整数部分从最低位向高位每4位划分为一组,同时将二进制数的小数部分从最高位向低位每4位划分

为一组,然后将每一组代之以等值的十六进制数,就得到了所求的转换结果。

相反地,在将八进制数转换为二进制数时,只需将八进制数的每一位代之以等值的3位二进制数并按原来的顺序排列起来就行了。

同理,在将十六进制数转换为二进制数时,只需将十六进制数的每一位代之以等值的4位二进制数并按原来的顺序排列起来就行了。

【例1-3】 试将二进制数 $(10111001011.0110111)_2$ 转换为等值的八进制和十六进制数。

解:将给定的二进制数整数部分从右到左每3位分成一组、小数部分从左到右每3位分成一组,然后将每组用等值的八进制数代替,得到等值的八进制数为

$$\begin{array}{cccccccc} (& 10 & 111 & 001 & 011. & 011 & 011 & 1 &)_2 \\ & \downarrow \\ (& 2 & 7 & 1 & 3. & 3 & 3 & 4 &)_8 \end{array}$$

整数部分最左边一组的10应视为010,小数部分最右边的一组1应视为100,即不够3位时以0补足三位。

将二进制数的整数部分自右向左每4位分成一组,同时将小数部分自左向右每4位分成一组,然后将每组代之以等值的十六进制数,则得到

$$\begin{array}{cccccc} (& 101 & 1100 & 1011. & 0110 & 111 &)_2 \\ & \downarrow & \downarrow & \downarrow & \downarrow & \downarrow \\ (& 5 & C & B & 6 & E &)_{16} \end{array}$$

整数部分最左边一组的101应视为0101,小数部分最右边一组的111应视为1110,即不够4位时以0补足四位。

4. 将十进制数转换为等值的八进制和十六进制数

转换方法和步骤:

(1) 首先将十进制数转换为等值的二进制数。

(2) 再将得到的二进制数转换为等值的八进制和十六进制数。

二、原码、反码、补码之间的转换

在数字电路中是用加在二进制数绝对值前面的符号位表示正、负数的。习惯上用符号位的0表示正数,用符号位的1表示负数。用这种表示方法得到的数码叫做原码。

同时还规定,正数的反码和补码与原码相同,所以正数不存在需要转换的问题。

1. 从负数的原码求反码和补码

解题方法和步骤:

(1) 保持符号位的1不变,将数字部分的每一位求反(1改为0,0改为1),

就得到了反码。

(2) 在反码的末位上加 1, 即得到补码。

2. 从负数的补码求原码

因为“补码的补码等于原码”, 所以将补码再求补, 得到的就是原码。

【例 1-4】 写出二进制数 $+1010$ 和 -0101 的原码、反码和补码。

解: $+1010$ 的原码应写成 01010 , 反码和补码与原码相同, 也是 01010 。

-0101 的原码是 10101 , 反码是 11010 , 补码是 11011 。

三、二进制数的补码运算

在数字计算机中, 为了简化运算器的电路结构, 是用补码相加完成两数相减(不同符号两个数的代数和)运算的。

解题方法和步骤:

(1) 将两个带符号的加数写成补码形式。

(2) 将这两个补码按二进制加法相加, 即得补码形式的和。

两数的符号位和来自数值部分的进位相加, 所得结果就是和的符号位。

这里需要注意两点。第一, 补码相加的和仍为补码, 当符号位为 1 时, 和为负数, 这时的数值部分不是这个数的绝对值。第二, 将两数写成补码时, 数值部分所取的位数必须足以表示和的最大绝对值, 否则计算结果将出现错误。

【例 1-5】 试用补码运算的方法计算下列各式

(1) $1101 + 0101$; (2) $1110 - 0111$; (3) $0111 - 1110$; (4) $-1011 - 1010$ 。

解:

(1) 因两数相加之和的绝对值为 10010 , 所以补码的数值部分至少应取 5 位。加上 1 位符号位, 补码一共为 6 位。于是得到两数的补码相加结果

$$\begin{array}{r} 001101 \\ + 000101 \\ \hline 010010 \end{array}$$

和的符号位仍为 0, 表示和为正数($+18$)。

(2) 因两数符号不同, 和的绝对值一定小于加数当中绝对值较大一个的绝对值, 所以补码的数值部分不需要增加位数。由此可得两数的补码相加结果

$$\begin{array}{r} 01110 \\ + 11001 \\ \hline 00111 \end{array}$$

和的符号位为 0, 表示和为正数($+7$)。

(3) 同上, 因两数异号, 所以补码的数值部分取 4 位即可。两数的补码相加结果为

$$\begin{array}{r}
 00111 \\
 +10010 \\
 \hline
 11001
 \end{array}$$

和的符号位为 1, 表示和为负数。

如果将和的补码再求补, 则得到和的原码为 10111 (-7)。

(4) 因两数绝对值之和为 5 位二进制数 10101, 所以补码的数值部分至少需要用五位表示。加上一位符号位以后, 补码一共为 6 位。由此可得到两数原码和补码为

原码	补码
101011	110101
101010	110110

将上面的两个补码相加后得到

$$\begin{array}{r}
 110101 \\
 +110110 \\
 \hline
 101011
 \end{array}$$

和的符号位为 1, 表示和为负。

如果将和的补码再求补码, 就得到了和的原码为 110101 (-21)。

1.2 习题解答

【题 1.1】 为了将 600 份文件顺序编号, 如果采用二进制代码, 最少需要用几位? 如果改用八进制或十六进制代码, 则最少各需要用几位?

解: 因为 9 位二进制代码共有 $2^9 = 512$ 个码, 不够用; 而 10 位二进制代码共有 $2^{10} = 1024$ 个码, 大于 600, 故采用二进制代码时最少需要十位。

若将 10 位二进制代码转换为八进制和十六进制代码, 则各需要用 4 位和 3 位。因此, 如果改用八进制代码, 则需要用 4 位; 如果改用十六进制代码, 则 3 位就够了。

【题 1.2】 将下列二进制整数转换为等值的十进制数。

(1) $(01101)_2$; (2) $(10100)_2$; (3) $(10010111)_2$; (4) $(1101101)_2$ 。

解:

$$(1) (01101)_2 = 0 \times 2^4 + 1 \times 2^3 + 1 \times 2^2 + 0 \times 2^1 + 1 \times 2^0 = 13$$

$$(2) (10100)_2 = 1 \times 2^4 + 0 \times 2^3 + 1 \times 2^2 + 0 \times 2^1 + 0 \times 2^0 = 20$$

$$\begin{aligned}
 (3) (10010111)_2 &= 1 \times 2^7 + 0 \times 2^6 + 0 \times 2^5 + 1 \times 2^4 + 0 \times 2^3 + 1 \times 2^2 + 1 \times 2^1 + 1 \times 2^0 \\
 &= 151
 \end{aligned}$$

$$(4) (1101101)_2 = 1 \times 2^6 + 1 \times 2^5 + 0 \times 2^4 + 1 \times 2^3 + 1 \times 2^2 + 0 \times 2^1 + 1 \times 2^0 \\ = 109$$

【题 1.3】 将下列二进制小数转换为等值的十进制数。

$$(1) (0.1001)_2; (2) (0.0111)_2; (3) (0.101101)_2; (4) (0.001111)_2.$$

解：

$$(1) (0.1001)_2 = 1 \times 2^{-1} + 0 \times 2^{-2} + 0 \times 2^{-3} + 1 \times 2^{-4} = 0.5625$$

$$(2) (0.0111)_2 = 0 \times 2^{-1} + 1 \times 2^{-2} + 1 \times 2^{-3} + 1 \times 2^{-4} = 0.4375$$

$$(3) (0.101101)_2 = 1 \times 2^{-1} + 0 \times 2^{-2} + 1 \times 2^{-3} + 1 \times 2^{-4} + 0 \times 2^{-5} + 1 \times 2^{-6} \\ = 0.703125$$

$$(4) (0.001111)_2 = 0 \times 2^{-1} + 0 \times 2^{-2} + 1 \times 2^{-3} + 1 \times 2^{-4} + 1 \times 2^{-5} + 1 \times 2^{-6} \\ = 0.234375$$

【题 1.4】 将下列二进制数转换为等值的十进制数。

$$(1) (101.011)_2; (2) (110.101)_2; (3) (1111.1111)_2; (4) (1001.0101)_2.$$

解：

$$(1) (101.011)_2 = 1 \times 2^2 + 0 \times 2^1 + 1 \times 2^0 + 0 \times 2^{-1} + 1 \times 2^{-2} + 1 \times 2^{-3} \\ = 5.375$$

$$(2) (110.101)_2 = 1 \times 2^2 + 1 \times 2^1 + 0 \times 2^0 + 1 \times 2^{-1} + 0 \times 2^{-2} + 1 \times 2^{-3} \\ = 6.625$$

$$(3) (1111.1111)_2 = 1 \times 2^3 + 1 \times 2^2 + 1 \times 2^1 + 1 \times 2^0 + 1 \times 2^{-1} + 1 \times 2^{-2} + 1 \times 2^{-3} + 1 \times 2^{-4} \\ = 15.9375$$

$$(4) (1001.0101)_2 = 1 \times 2^3 + 0 \times 2^2 + 0 \times 2^1 + 1 \times 2^0 + 0 \times 2^{-1} + 1 \times 2^{-2} + 0 \times 2^{-3} + 1 \times 2^{-4} \\ = 9.3125$$

【题 1.5】 将下列二进制数转换为等值的八进制数和十六进制数。

$$(1) (1110.0111)_2; (2) (1001.1101)_2; (3) (0110.1001)_2; \\ (4) (101100.110011)_2.$$

解：

(1) 将 $(1110.0111)_2$ 转换为八进制和十六进制数得到

$$\begin{array}{ccc} (1110.0111)_2 & & (1110.0111)_2 \\ \downarrow & & \downarrow \quad \downarrow \\ (001\ 110.\ 011\ 100)_2 & & (E.\ 7)_{16} \\ \downarrow \quad \downarrow \quad \downarrow \quad \downarrow & & \\ (1\ 6\ 3\ 4)_8 & & \end{array}$$

(2) 将 $(1001.1101)_2$ 转换为八进制和十六进制数得到

$$\begin{array}{ccc}
 (1001.1101)_2 & & (1001.1101)_2 \\
 \downarrow & & \downarrow \downarrow \\
 (001\ 001.110\ 100)_2 & & (9.\ D)_{16} \\
 \downarrow \downarrow \downarrow \downarrow & & \\
 (1\ 1.6\ 4)_8 & &
 \end{array}$$

(3) 将 $(0110.1001)_2$ 转换为八进制和十六进制数得到

$$\begin{array}{ccc}
 (0110.1001)_2 & & (0110.1001)_2 \\
 \downarrow & & \downarrow \\
 (110.\ 100\ 100)_2 & & (6.\ 9)_{16} \\
 \downarrow \downarrow \downarrow & & \\
 (6.\ 4\ 4)_8 & &
 \end{array}$$

(4) 将 $(101100.110011)_2$ 转换为八进制和十六进制数得到

$$\begin{array}{ccc}
 (101100.110011)_2 & & (101100.110011)_2 \\
 \downarrow & & \downarrow \\
 (101\ 100.\ 110\ 011)_2 & & (0010\ 1100.\ 1100\ 1100)_2 \\
 \downarrow \downarrow \downarrow \downarrow & & \downarrow \downarrow \\
 (5.\ 4.\ 6.\ 3)_8 & & (2.\ C.\ C.\ C.)_{16} \\
 & &
 \end{array}$$

【题 1.6】 将下列十六进制数转换为等值的二进制数。

(1) $(8C)_{16}$; (2) $(3D.BE)_{16}$; (3) $(8F.FF)_{16}$; (4) $(10.00)_{16}$ 。

解：

(1) 将 $(8C)_{16}$ 中每一位十六进制数代之以等值的 4 位二进制数, 得到

$$\begin{array}{c}
 (8\ C)_{16} \\
 \downarrow \downarrow \\
 (1000\ 1100)_2
 \end{array}$$

(2) 将 $(3D.BE)_{16}$ 中的每一位十六进制数代之以等值的 4 位二进制数, 得到

$$\begin{array}{c}
 (3\ D.\ B\ E)_{16} \\
 \downarrow \downarrow \downarrow \downarrow \\
 (0011\ 1101.\ 1011\ 1110)_2
 \end{array}$$

(3) 将 $(8F.FF)_{16}$ 中的每一位十六进制数代之以等值的 4 位二进制数, 得到

$$\begin{array}{c}
 (8\ F.\ F\ F)_{16} \\
 \downarrow \downarrow \downarrow \downarrow \\
 (1000\ 1111.\ 1111\ 1111)_2
 \end{array}$$

(4) 将 $(10.00)_{16}$ 中的每一位十六进制数代之以等值的 4 位二进制数, 得到

$$\begin{array}{cccc} (& 1 & 0. & 0 & 0)_{16} \\ \downarrow & \downarrow & \downarrow & \downarrow \\ (0001 \ 0000. \ 0000 \ 0000)_2 \end{array}$$

【题 1.7】 将下列十进制数转换为等值的二进制数和十六进制数。

(1) $(17)_{10}$; (2) $(127)_{10}$; (3) $(79)_{10}$; (4) $(255)_{10}$ 。

解:

(1)

$$\begin{array}{r} 2 \mid 17 \cdots \cdots \text{余数} = 1 = k_0 \\ 2 \mid 8 \cdots \cdots \text{余数} = 0 = k_1 \\ 2 \mid 4 \cdots \cdots \text{余数} = 0 = k_2 \\ 2 \mid 2 \cdots \cdots \text{余数} = 0 = k_3 \\ 2 \mid 1 \cdots \cdots \text{余数} = 1 = k_4 \\ 0 \end{array}$$

故得到 $(17)_{10} = (10001)_2$,

$$\begin{array}{l} (10001)_2 = (0001 \ 0001)_2 \\ \quad \quad \quad \downarrow \quad \downarrow \\ \quad \quad \quad (1 \ 1)_{16} \end{array}$$

(2)

$$\begin{array}{r} 2 \mid 127 \cdots \cdots \text{余数} = 1 = k_0 \\ 2 \mid 63 \cdots \cdots \text{余数} = 1 = k_1 \\ 2 \mid 31 \cdots \cdots \text{余数} = 1 = k_2 \\ 2 \mid 15 \cdots \cdots \text{余数} = 1 = k_3 \\ 2 \mid 7 \cdots \cdots \text{余数} = 1 = k_4 \\ 2 \mid 3 \cdots \cdots \text{余数} = 1 = k_5 \\ 2 \mid 1 \cdots \cdots \text{余数} = 1 = k_6 \\ 0 \end{array}$$

故得到 $(127)_{10} = (1111111)_2$,

$$\begin{array}{l} (1111111)_2 = (0111 \ 1111)_2 \\ \quad \quad \quad \downarrow \quad \downarrow \\ \quad \quad \quad (7 \ F)_{16} \end{array}$$

(3)

$$\begin{array}{r} 2 \mid 79 \cdots \cdots \text{余数} = 1 = k_0 \\ 2 \mid 39 \cdots \cdots \text{余数} = 1 = k_1 \\ 2 \mid 19 \cdots \cdots \text{余数} = 1 = k_2 \\ 2 \mid 9 \cdots \cdots \text{余数} = 1 = k_3 \\ 2 \mid 4 \cdots \cdots \text{余数} = 0 = k_4 \\ 2 \mid 2 \cdots \cdots \text{余数} = 0 = k_5 \\ 2 \mid 1 \cdots \cdots \text{余数} = 1 = k_6 \\ 0 \end{array}$$

故得到 $(79)_{10} = (1001111)_2$ 。

$$(0100\ 1111)_2$$

↓ ↓

$$= (\quad 4 \quad \ F \quad)_{16}$$

(4)

$$\begin{array}{r} 2 \mid 255 \cdots \text{余数} = 1 = k_0 \\ 2 \mid 127 \cdots \text{余数} = 1 = k_1 \\ 2 \mid 63 \cdots \text{余数} = 1 = k_2 \\ 2 \mid 31 \cdots \text{余数} = 1 = k_3 \\ 2 \mid 15 \cdots \text{余数} = 1 = k_4 \\ 2 \mid 7 \cdots \text{余数} = 1 = k_5 \\ 2 \mid 3 \cdots \text{余数} = 1 = k_6 \\ 2 \mid 1 \cdots \text{余数} = 1 = k_7 \\ 0 \end{array}$$

故得到 $(255)_{10} = (11111111)_2$ 。

$$(1111\ 1111)_2$$

↓ ↓

$$= (\quad F \quad \ F \quad)_{16}$$

【题 1.8】 将下列十进制数转换为等值的二进制数和十六进制数。要求二进制数保留小数点以后 8 位有效数字。

(1) $(0.519)_{10}$; (2) $(0.251)_{10}$; (3) $(0.0376)_{10}$; (4) $(0.5128)_{10}$ 。

解：

(1) 0.519

$$\begin{array}{r} \times 2 \\ \hline \end{array}$$

1.038 整数部分 = 1 = k_{-1}

0.038

$$\begin{array}{r} \times 2 \\ \hline \end{array}$$

0.076 整数部分 = 0 = k_{-2}

0.076

$$\begin{array}{r} \times 2 \\ \hline \end{array}$$

0.152 整数部分 = 0 = k_{-3}

0.152

$$\begin{array}{r} \times 2 \\ \hline \end{array}$$

0.304 整数部分 = 0 = k_{-4}

$$\begin{array}{r}
 0.304 \\
 \times \quad 2 \\
 \hline
 0.608 \cdots \cdots \cdots \text{整数部分} = 0 = k_{-5} \\
 0.608 \\
 \times \quad 2 \\
 \hline
 1.216 \cdots \cdots \cdots \text{整数部分} = 1 = k_{-6} \\
 0.216 \\
 \times \quad 2 \\
 \hline
 0.432 \cdots \cdots \cdots \text{整数部分} = 0 = k_{-7} \\
 0.432 \\
 \times \quad 2 \\
 \hline
 0.864 \cdots \cdots \cdots \text{整数部分} = 0 = k_{-8}
 \end{array}$$

故得 $(0.519)_{10} \approx (0.10000100)_2$ 。再转换为十六进制, 得到

$$(0.10000100)_2$$

$$\begin{array}{c}
 \downarrow \quad \downarrow \\
 = (\quad 0.8 \quad 4 \quad)_{16}
 \end{array}$$

$$\begin{array}{r}
 (2) \quad 0.251 \\
 \times \quad 2 \\
 \hline
 0.502 \cdots \cdots \cdots \text{整数部分} = 0 = k_{-1} \\
 0.502 \\
 \times \quad 2 \\
 \hline
 1.004 \cdots \cdots \cdots \text{整数部分} = 1 = k_{-2} \\
 0.004 \\
 \times \quad 2 \\
 \hline
 0.008 \cdots \cdots \cdots \text{整数部分} = 0 = k_{-3} \\
 0.008 \\
 \times \quad 2 \\
 \hline
 0.016 \cdots \cdots \cdots \text{整数部分} = 0 = k_{-4} \\
 0.016 \\
 \times \quad 2 \\
 \hline
 0.032 \cdots \cdots \cdots \text{整数部分} = 0 = k_{-5}
 \end{array}$$

$$\begin{array}{r}
 0.032 \\
 \times \quad 2 \\
 \hline
 0.064 \cdots \cdots \cdots \text{整数部分} = 0 = k_{-6} \\
 0.064 \\
 \times \quad 2 \\
 \hline
 0.128 \cdots \cdots \cdots \text{整数部分} = 0 = k_{-7} \\
 0.128 \\
 \times \quad 2 \\
 \hline
 0.256 \cdots \cdots \cdots \text{整数部分} = 0 = k_{-8}
 \end{array}$$

故得 $(0.251)_{10} = (0.01000000)_2$

$$\begin{array}{c}
 (0.0100 \ 0000)_2 \\
 \downarrow \quad \downarrow \\
 = (\quad 0.4 \quad 0 \quad)_{16}
 \end{array}$$

(3) 0.0376

$$\begin{array}{r}
 \times \quad 2 \\
 \hline
 0.0752 \cdots \cdots \cdots \text{整数部分} = 0 = k_{-1} \\
 0.0752 \\
 \times \quad 2 \\
 \hline
 0.1504 \cdots \cdots \cdots \text{整数部分} = 0 = k_{-2} \\
 0.1504 \\
 \times \quad 2 \\
 \hline
 0.3008 \cdots \cdots \cdots \text{整数部分} = 0 = k_{-3} \\
 0.3008 \\
 \times \quad 2 \\
 \hline
 0.6016 \cdots \cdots \cdots \text{整数部分} = 0 = k_{-4} \\
 0.6016 \\
 \times \quad 2 \\
 \hline
 1.2032 \cdots \cdots \cdots \text{整数部分} = 1 = k_{-5} \\
 0.2032 \\
 \times \quad 2 \\
 \hline
 0.4064 \cdots \cdots \cdots \text{整数部分} = 0 = k_{-6}
 \end{array}$$

$$\begin{array}{r}
 0.4064 \\
 \times \quad 2 \\
 \hline
 0.8128 \dots \dots \dots \text{整数部分} = 0 = k_{-7} \\
 0.8128 \\
 \times \quad 2 \\
 \hline
 1.6256 \dots \dots \dots \text{整数部分} = 1 = k_{-8}
 \end{array}$$

故得 $(0.0376)_{10} = (0.00001001)_2$ 。再转换为十六进制, 得到

$$(0.00001001)_2$$

$$\begin{array}{c}
 \downarrow \quad \downarrow \\
 = (0.0 \quad 9)_{16}
 \end{array}$$

$$(4) \quad 0.5128$$

$$\begin{array}{r}
 \begin{array}{r}
 \times \quad 2 \\
 \hline
 1.0256 \dots \dots \dots \text{整数部分} = 1 = k_{-1} \\
 0.0256 \\
 \times \quad 2 \\
 \hline
 0.0512 \dots \dots \dots \text{整数部分} = 0 = k_{-2} \\
 0.0512 \\
 \times \quad 2 \\
 \hline
 0.1024 \dots \dots \dots \text{整数部分} = 0 = k_{-3} \\
 0.1024 \\
 \times \quad 2 \\
 \hline
 0.2048 \dots \dots \dots \text{整数部分} = 0 = k_{-4} \\
 0.2048 \\
 \times \quad 2 \\
 \hline
 0.4096 \dots \dots \dots \text{整数部分} = 0 = k_{-5} \\
 0.4096 \\
 \times \quad 2 \\
 \hline
 0.8192 \dots \dots \dots \text{整数部分} = 0 = k_{-6} \\
 0.8192 \\
 \times \quad 2 \\
 \hline
 1.6384 \dots \dots \dots \text{整数部分} = 1 = k_{-7}
 \end{array}
 \end{array}$$

$$\begin{array}{r}
 0.6384 \\
 \times \quad 2 \\
 \hline
 1.2768 \dots \dots \dots \text{整数部分} = 1 = k_{-8}
 \end{array}$$

故得 $(0.5128)_{10} = (0.10000011)_2$ 。再转换为十六进制, 得到

$$\begin{array}{c}
 (0.1000\ 0011)_2 \\
 \downarrow \quad \downarrow \\
 = (0.8\ 3)_{16}
 \end{array}$$

【题 1.9】 将下列十进制数转换为等值的二进制数和十六进制数。要求二进制数保留小数点以后 4 位有效数字。

(1) $(25.7)_{10}$; (2) $(188.875)_{10}$; (3) $(107.39)_{10}$; (4) $(174.06)_{10}$ 。

解:

(1) 将整数部分和小数部分分别转换

$$\begin{array}{ll}
 \begin{array}{l}
 2 \mid 25 \dots \dots \text{余数} = 1 = k_0 \\
 2 \mid 12 \dots \dots \text{余数} = 0 = k_1 \\
 2 \mid 6 \dots \dots \text{余数} = 0 = k_2 \\
 2 \mid 3 \dots \dots \text{余数} = 1 = k_3 \\
 2 \mid 1 \dots \dots \text{余数} = 1 = k_4
 \end{array} & \begin{array}{l}
 0.7 \\
 \times \quad 2 \\
 \hline
 1.4 \dots \dots \text{整数部分} = 1 = k_{-1} \\
 0.4 \\
 \times \quad 2 \\
 \hline
 0.8 \dots \dots \text{整数部分} = 0 = k_{-2} \\
 0.8 \\
 \times \quad 2 \\
 \hline
 1.6 \dots \dots \text{整数部分} = 1 = k_{-3} \\
 0.6 \\
 \times \quad 2 \\
 \hline
 1.2 \dots \dots \text{整数部分} = 1 = k_{-4}
 \end{array}
 \end{array}$$

故得到 $(25.7)_{10} = (11001.1011)_2$ 。再转换为十六进制, 得到

$$\begin{array}{c}
 (11001.1011)_2 = (0001\ 1001.1011)_2 \\
 \downarrow \quad \downarrow \quad \downarrow \\
 = (1\ 9. B)_{16}
 \end{array}$$

(2) 将整数部分和小数部分分别转换

$$\begin{array}{r}
 2 \boxed{188} \cdots \text{余数} = 0 = k_0 & 0.875 \\
 2 \boxed{94} \cdots \text{余数} = 0 = k_1 & \times 2 \\
 2 \boxed{47} \cdots \text{余数} = 1 = k_2 & 1.750 \cdots \text{整数部分} = 1 = k_{-1} \\
 2 \boxed{23} \cdots \text{余数} = 1 = k_3 & 0.750 \\
 2 \boxed{11} \cdots \text{余数} = 1 = k_4 & \times 2 \\
 2 \boxed{5} \cdots \text{余数} = 1 = k_5 & 1.500 \cdots \text{整数部分} = 1 = k_{-2} \\
 2 \boxed{2} \cdots \text{余数} = 0 = k_6 & 0.500 \\
 2 \boxed{1} \cdots \text{余数} = 1 = k_7 & \times 2 \\
 & 1.000 \cdots \text{整数部分} = 1 = k_{-3} \\
 & 0.000 \\
 & \times 2 \\
 & 0.000 \cdots \text{整数部分} = 0 = k_{-4}
 \end{array}$$

故得到 $(188.875)_{10} = (10111100.1110)_2$ 。再转换为十六进制, 得到 $(1011\ 1100.1110)_2$ 。再转换为十六进制, 得到

$$\begin{array}{c}
 \downarrow \quad \downarrow \quad \downarrow \\
 = (B\ C.\ E)_{16}
 \end{array}$$

(3) 将整数部分和小数部分分别转换

$$\begin{array}{r}
 2 \boxed{107} \cdots \text{余数} = 1 = k_0 & 0.39 \\
 2 \boxed{53} \cdots \text{余数} = 1 = k_1 & \times 2 \\
 2 \boxed{26} \cdots \text{余数} = 0 = k_2 & 0.78 \cdots \text{整数部分} = 0 = k_{-1} \\
 2 \boxed{13} \cdots \text{余数} = 1 = k_3 & 0.78 \\
 2 \boxed{6} \cdots \text{余数} = 0 = k_4 & \times 2 \\
 2 \boxed{3} \cdots \text{余数} = 1 = k_5 & 1.56 \cdots \text{整数部分} = 1 = k_{-2} \\
 2 \boxed{1} \cdots \text{余数} = 1 = k_6 & 0.56 \\
 & \times 2 \\
 & 1.12 \cdots \text{整数部分} = 1 = k_{-2} \\
 & 0.12 \\
 & \times 2 \\
 & 0.24 \cdots \text{整数部分} = 0 = k_{-3}
 \end{array}$$

故得到 $(107.39)_{10} = (1101011.0110)_2$ 。再转换为十六进制, 得到

$$(0110\ 1011. 0110)_2$$

$$\begin{array}{c} \downarrow \quad \downarrow \quad \downarrow \\ = (\quad 6 \quad B. \quad 6 \quad)_{16} \end{array}$$

(4) 将整数部分和小数部分分别转换

$$\begin{array}{ll}
 2 \mid 174 \cdots \cdots \text{余数} = 0 = k_0 & 0.06 \\
 2 \mid 87 \cdots \cdots \text{余数} = 1 = k_1 & \times 2 \\
 2 \mid 43 \cdots \cdots \text{余数} = 1 = k_2 & 0.12 \cdots \cdots \text{整数部分} = 0 = k_{-1} \\
 2 \mid 21 \cdots \cdots \text{余数} = 1 = k_3 & 0.12 \\
 2 \mid 10 \cdots \cdots \text{余数} = 0 = k_4 & \times 2 \\
 2 \mid 5 \cdots \cdots \text{余数} = 1 = k_5 & 0.24 \cdots \cdots \text{整数部分} = 0 = k_{-2} \\
 2 \mid 2 \cdots \cdots \text{余数} = 0 = k_6 & 0.24 \\
 2 \mid 1 \cdots \cdots \text{余数} = 1 = k_7 & \times 2 \\
 & 0.48 \cdots \cdots \text{整数部分} = 0 = k_{-3} \\
 & 0.48 \\
 & \times 2 \\
 & 0.96 \cdots \cdots \text{整数部分} = 0 = k_{-4}
 \end{array}$$

故得到 $(174.06)_{10} = (10101110.0000)_2$ 。转换为十六进制后得到

$$(1010\ 1110. 0000)_2$$

$$\begin{array}{c} \downarrow \\ = (\quad A \quad E. \quad 0 \quad)_{16} \end{array}$$

【题 1.10】 写出下列二进制数的原码、反码和补码。

$$(1) (+1011)_2; (2) (+00110)_2; (3) (-1101)_2; (4) (-00101)_2。$$

解：

(1) 正数的反码、补码与原码相同，均为 01011。

(2) 原码、反码、补码均为 000110。

(3) 原码为 11101，反码为 10010，补码为 10011。

(4) 原码为 100101，反码为 111010，补码为 111011。

【题 1.11】 写出下列带符号位二进制数（最高位为符号位）的反码和补码。

$$(1) (011011)_2; (2) (001010)_2; (3) (111011)_2; (4) (101010)_2。$$

解：

(1) 符号位为 0，该数为正数，故反码和补码与原码相同，均为 011011。

- (2) 符号位为 0, 该数为正数, 故反码和补码、原码相同, 均为 001010。
 (3) 符号位为 1, 该数为负数。反码为 100100, 补码为 100101。
 (4) 符号位为 1, 该数为负数, 反码为 110101, 补码为 110110。

【题 1.12】用 8 位的二进制补码表示下列的十进制数。

- (1) +17; (2) +28; (3) -13; (4) -47; (5) -89; (6) -121.

解：首先需要把每个十进制数的绝对值转换为 7 位的二进制数，然后加上 1 位符号位，就得到了 8 位的原码，再将原码化成补码形式。

(1) 求 +17 的补码

$$\begin{array}{r}
 2 \boxed{17} \cdots \text{余数} = 1 = k_0 \\
 2 \boxed{8} \cdots \text{余数} = 0 = k_1 \\
 2 \boxed{4} \cdots \text{余数} = 0 = k_2 \\
 2 \boxed{2} \cdots \text{余数} = 0 = k_3 \\
 2 \boxed{1} \cdots \text{余数} = 1 = k_4 \\
 0
 \end{array}$$

故得 $(17)_{10} = (10001)_2$ 。在高位加 00 将绝对值表示为 7 位二进制数, 再于绝对值前面增加一位符号位 0(正数), 就得到原码 00010001。它的补码与原码相同, 也是 00010001。

(2) 求 +28 的补码

$$\begin{array}{r}
 2 | \underline{28} \cdots \text{余数} = 0 = k_0 \\
 2 | \underline{14} \cdots \text{余数} = 0 = k_1 \\
 2 | \underline{7} \cdots \text{余数} = 1 = k_2 \\
 2 | \underline{3} \cdots \text{余数} = 1 = k_3 \\
 2 | \underline{1} \cdots \text{余数} = 1 = k_4 \\
 0
 \end{array}$$

故得 $(28)_{10} = (11100)_2 = (0011100)_2$ 。在绝对值前面加上符号位 0，得到原码 00011100。补码与原码相同，也是 00011100。

(3) 求 -13 的补码

$$\begin{array}{r}
 2 \boxed{13} \cdots \text{余数} = 1 = k_0 \\
 2 \boxed{6} \cdots \text{余数} = 0 = k_1 \\
 2 \boxed{3} \cdots \text{余数} = 1 = k_2 \\
 2 \boxed{1} \cdots \text{余数} = 1 = k_3 \\
 0
 \end{array}$$

故得 $(13)_{10} = (1101)_2 = (0001101)_2$ 。在绝对值前面加上符号位 1，得到原码 **10001101**。从原码化成补码后得到 **11110011**。

(4) 求 -47 的补码

$$\begin{array}{r}
 2 \mid 47 \cdots \text{余数} = 1 = k_0 \\
 2 \mid 23 \cdots \text{余数} = 1 = k_1 \\
 2 \mid 11 \cdots \text{余数} = 1 = k_2 \\
 2 \mid 5 \cdots \text{余数} = 1 = k_3 \\
 2 \mid 2 \cdots \text{余数} = 0 = k_4 \\
 2 \mid 1 \cdots \text{余数} = 1 = k_5 \\
 0
 \end{array}$$

故得 $(47)_{10} = (101111)_2 = (0101111)_2$ 。在绝对值前面加上符号位 1, 得原码为 **10101111**。将原码化成补码后得到 **11010001**。

(5) 求 -89 的补码

$$\begin{array}{r}
 2 \mid 89 \cdots \text{余数} = 1 = k_0 \\
 2 \mid 44 \cdots \text{余数} = 0 = k_1 \\
 2 \mid 22 \cdots \text{余数} = 0 = k_2 \\
 2 \mid 11 \cdots \text{余数} = 1 = k_3 \\
 2 \mid 5 \cdots \text{余数} = 1 = k_4 \\
 2 \mid 2 \cdots \text{余数} = 0 = k_5 \\
 2 \mid 1 \cdots \text{余数} = 1 = k_6 \\
 0
 \end{array}$$

故得 $(89)_{10} = (1011001)_2$ 。在绝对值前面加上符号位 1, 得到原码为 **11011001**。将原码化为补码后得到 **10100111**。

(6) 求 -121 的补码

$$\begin{array}{r}
 2 \mid 121 \cdots \text{余数} = 1 = k_0 \\
 2 \mid 60 \cdots \text{余数} = 0 = k_1 \\
 2 \mid 30 \cdots \text{余数} = 0 = k_2 \\
 2 \mid 15 \cdots \text{余数} = 1 = k_3 \\
 2 \mid 7 \cdots \text{余数} = 1 = k_4 \\
 2 \mid 3 \cdots \text{余数} = 1 = k_5 \\
 2 \mid 1 \cdots \text{余数} = 1 = k_6 \\
 0
 \end{array}$$

故得 $(121)_{10} = (1111001)_2$ 。在绝对值前加上符号位 1, 得到原码为 **11111001**。将它化成补码后得 **10000111**。

【题 1.13】 计算下列用补码表示的二进制数的代数和。如果和为负数, 试

求出负数的绝对值。

$$(1) \ 01001101 + 00100110; \quad (2) \ 00011101 + 01001100;$$

$$(3) \ 00110010 + 10000011; \quad (4) \ 00011110 + 10011100;$$

$$(5) \ 11011101 + 01001011; \quad (6) \ 10011101 + 01100110;$$

$$(7) \ 11100111 + 11011011; \quad (8) \ 11111001 + 10001000.$$

解：

$$(1) \begin{array}{r} 01001101 \\ + 00100110 \\ \hline 01110011 \end{array}$$

符号位等于 0, 和为正数。

$$(2) \begin{array}{r} 00011101 \\ + 01001100 \\ \hline 01101001 \end{array}$$

符号位等于 0, 和为正数 01101001。

$$(3) \begin{array}{r} 00110010 \\ + 10000011 \\ \hline 10110101 \end{array}$$

符号位等于 1, 和为负数。将和的补码再求补, 得原码 11001011。故和的绝对值为 1001011。

$$(4) \begin{array}{r} 00011110 \\ + 10011100 \\ \hline 10111010 \end{array}$$

符号位等于 1, 和为负数。将和的补码再求补, 得原码 11000110。故和的绝对值为 1000110。

$$(5) \begin{array}{r} 11011101 \\ + 01001011 \\ \hline 00101000 \end{array}$$

符号位等于 0, 和为正数 00101000。

$$(6) \begin{array}{r} 10011101 \\ + 01100110 \\ \hline 00000011 \end{array}$$

符号位等于 0, 和为正数 **00000011**。

$$\begin{array}{r}
 (7) \quad \begin{array}{r} 11100111 \\ + 11011011 \\ \hline 11000010 \end{array}
 \end{array}$$

符号位等于 1, 和为负数。将和的补码再求补, 得原码 **10111110**。故和的绝对值为 **0111110**。

$$\begin{array}{r}
 (8) \quad \begin{array}{r} 11111001 \\ + 10001000 \\ \hline 10000001 \end{array}
 \end{array}$$

符号位等于 1, 和为负数。将和的补码再求补, 得原码 **11111111**。故和的绝对值为 **1111111**。

【题 1.14】 用二进制补码运算计算下列各式。式中的 4 位二进制数是不带符号位的绝对值。如果和为负数, 试求出负数的绝对值。(提示: 所用补码的有效位数应足够表示代数和的最大绝对值。)

$$\begin{array}{l}
 (1) \ 1010 + 0011; (2) \ 1101 + 1011; (3) \ 1010 - 0011; (4) \ 1101 - 1011; \\
 (5) \ 0011 - 1010; (6) \ 1011 - 1101; (7) \ -0011 - 1010; (8) \ -1101 - 1011。
 \end{array}$$

解:

(1) 因为和的绝对值小于 2^4 , 故可采用 5 位的二进制补码(符号位加 4 位有效数字)表示两个加数。**1010** 的补码为 **01010**, **0011** 的补码为 **00011**。

$$\begin{array}{r}
 01010 \\
 + 00011 \\
 \hline 01101
 \end{array}$$

得到和的补码为 **01101**。符号位等于 0, 和为正数。

(2) 因为和的绝对值大于 2^4 而小于 2^5 , 所以需要用 6 位的二进制补码(符号位加 5 位有效数字)表示两个加数。**1101** 的补码为 **001101**, **1011** 的补码为 **001011**。

$$\begin{array}{r}
 001101 \\
 + 001011 \\
 \hline 011000
 \end{array}$$

得到和的补码为 **011000**。符号位等于 0, 和为正数。

(3) 因为和的绝对值小于 2^4 , 故可用 5 位的二进制补码(符号位加 4 位有效数字)表示两个加数。**1010** 的补码为 **01010**, **-0011** 的补码为 **11101**。

$$\begin{array}{r}
 01010 \\
 +11101 \\
 \hline
 00111
 \end{array}$$

得到和的补码为 **00111**。符号位等于 **0**, 和为正数。

(4) 因为和的绝对值小于 2^4 , 故可用五位二进制补码(符号位加 4 位有效数字)表示两个加数。**1101** 的补码为 **01101**, **-1011** 的补码为 **10101**。

$$\begin{array}{r}
 01101 \\
 +10101 \\
 \hline
 00010
 \end{array}$$

得到和的补码为 **00010**。符号位等于 **0**, 和为正数。

(5) 因为和的绝对值小于 2^4 , 所以可用 5 位的二进制补码(符号位加 4 位有效数字)表示两个加数。**0011** 的补码为 **00011**, **-1010** 的补码为 **10110**。

$$\begin{array}{r}
 00011 \\
 +10110 \\
 \hline
 11001
 \end{array}$$

得到和的补码为 **11001**。符号位等于 **1**, 表示和为负数。将和的补码再求补, 得到原码 **10111**, 和的绝对值等于 **0111**。

(6) 因为和的绝对值小于 2^4 , 所以用 5 位的二进制补码(符号位加 4 位有效数字)表示两个加数。**1011** 的补码为 **01011**, **-1101** 的补码为 **10011**。

$$\begin{array}{r}
 01011 \\
 +10011 \\
 \hline
 11110
 \end{array}$$

得到和的补码为 **11110**。符号位等于 **1**, 和为负数。将和的补码再求补, 得原码 **10010**。故知和的绝对值等于 **0010**。

(7) 因为和的绝对值小于 2^4 , 所以用五位的二进制补码表示两个加数。**-0011** 的补码为 **11101**, **-1010** 的补码为 **10110**。

$$\begin{array}{r}
 11101 \\
 +10110 \\
 \hline
 10011
 \end{array}$$

得到和的补码为 **10011**。符号位等于 **1**, 和为负数。将和的补码再求补, 得原码 **11101**, 故和的绝对值为 **1101**。

(8) 因为和的绝对值大于 2^4 而小于 2^5 , 所以需要用 6 位的二进制补码表示两个加数。-1101 的补码写作 110011, -1011 的补码写作 110101。

$$\begin{array}{r} 110011 \\ + 110101 \\ \hline 101000 \end{array}$$

得到和的补码为 101000。符号位等于 1, 和为负数。将和的补码再求补, 得原码 111000, 和的绝对值为 11000。

【题 1.15】 用二进制补码运算计算下列各式。(提示: 所用补码的有效位数应足够表示代数和的最大绝对值。)

- (1) $3 + 15$; (2) $8 + 11$; (3) $12 - 7$; (4) $23 - 11$; (5) $9 - 12$; (6) $20 - 25$;
(7) $-12 - 5$; (8) $-16 - 14$ 。

解:

(1) 和的绝对值等于 18, 需要用 5 位二进制数表示。加上符号位以后, 补码应有 6 位。+3 的补码写作 000011, +15 的补码写作 001111。

$$\begin{array}{r} 000011 \\ + 001111 \\ \hline 010010 \end{array}$$

得到和的补码为 010010 (+18)。

(2) 和的绝对值等于 19, 需要用 5 位二进制数表示。加上符号位以后, 补码应为 6 位。+8 的补码写作 001000, +11 的补码写作 001011。相加后得到

$$\begin{array}{r} 001000 \\ + 001011 \\ \hline 010011 \end{array}$$

和的补码为 010011 (+19)。

(3) 和的绝对值和加数的绝对值均小于 16, 可以用 5 位的二进制补码(符号位加 4 位有效数字)运算。+12 的补码写作 01100, -7 的补码写作 11001, 将两数的补码相加

$$\begin{array}{r} 01100 \\ + 11001 \\ \hline 00101 \end{array}$$

得到和的补码为 00101 (+5)。

- (4) 用二进制数表示 23 需要 5 位代码, 加上符号位以后, 补码应有 6 位。

+23 的补码写作 010111, -11 的补码写作 110101, 相加后得到

$$\begin{array}{r} 010111 \\ + 110101 \\ \hline 001100 \end{array}$$

和的补码为 001100 (+12)。

(5) +9 的补码写作 01001, -12 的补码写作 10100。将两个补码相加

$$\begin{array}{r} 01001 \\ + 10100 \\ \hline 11101 \end{array}$$

得到和的补码为 11101, 和为负值。如再求补, 则得到和的原码 10011 (-3)。

(6) 用二进制数表示 25 需要 5 位, 再加 1 位符号位, 补码应有 6 位。+20 的补码写作 010100, -25 的补码写作 100111。将两个补码相加

$$\begin{array}{r} 010100 \\ + 100111 \\ \hline 111011 \end{array}$$

得到和的补码为 111011, 和为负数。如再求补, 则得到和的原码 100101 (-5)。

(7) 和的绝对值为 17, 转换成二进制时为 5 位数, 再加上一位符号位, 补码需用 6 位。-12 的补码写作 110100, -5 的补码写作 111011。将两个补码相加

$$\begin{array}{r} 110100 \\ + 111011 \\ \hline 101111 \end{array}$$

得到和的补码为 101111, 和为负数。如果将和的补码再求补, 则可得原码 110001 (-17)。

(8) 因为和的绝对值是 30, 所以需要用 5 位二进制数表示, 再加 1 位符号位, 补码应有 6 位。-16 的补码写作 110000, -14 的补码写作 110100。将两个补码相加

$$\begin{array}{r} 110000 \\ + 110100 \\ \hline 100010 \end{array}$$

得到和的补码为 100010, 和为负数。如果将和的补码再求补, 则可得它的原码为 111110 (-30)。

第二章

逻辑代数基础

2.1 本章习题类型与解题方法

这一章的习题从内容上可以分为四种类型:逻辑等式的证明、逻辑函数不同表示方法之间的转换、逻辑函数形式的变换和逻辑函数的化简。下面分别总结、归纳一下这几种类型习题的解题方法并给出相应的例解。

一、逻辑等式的证明

解题方法和步骤:

方法一,分别列出等式两边逻辑式的真值表,若真值表完全相同,则等式成立。

方法二,若能利用逻辑代数的公式和定理将等式两边化为完全相同的形式,则等式成立。

方法三,分别画出等式两边逻辑式的卡诺图,若卡诺图相同,则等式成立。

方法四,用 Multisim 的逻辑转换器将等式两边的逻辑式分别化简,若化简结果相同,则等式成立。

【例 2-1】 试用列真值表的方法证明下面的等式

$$A \oplus B' = A' \oplus B$$

解: 分别列出 $A \oplus B'$ 和 $A' \oplus B$ 的真值表,如表 2-1。可见, $A \oplus B'$ 与 $A' \oplus B$ 的真值表完全相同,故等式成立。

表 2-1 例 2-1 的真值表

A	B	A'	B'	$A \oplus B'$	$A' \oplus B$
0	0	1	1	1	1
0	1	1	0	0	0
1	0	0	1	0	0
1	1	0	0	1	1

【例 2-2】试用公式变换的方法证明下面的等式

$$(A \oplus B) + A = (A \oplus B) + B$$

解：左式 $(A \oplus B) + A = AB' + A'B + A$

$$= A'B + A \quad (\text{根据 } A + AB = A)$$

$$= A + B \quad (\text{根据 } A + A'B = A + B)$$

右式 $(A \oplus B) + B = AB' + A'B + B$

$$= AB' + B \quad (\text{根据 } A + AB = A)$$

$$= A + B \quad (\text{根据 } A + A'B = A + B)$$

故等式成立。

【例 2-3】试用卡诺图证明下面的等式

$$AB' + A'C + BC' = AC' + B'C + A'B$$

解：画出等式两边对应的卡诺图，均得到图 2-1 的结果，故等式成立。

从以上的三个例子还可以看出，列真值表的方法一般适合于证明变量数较少（例如不多于四个）、逻辑式也比较简单的等式。变量数较多、函数式又比较复杂的情况下，一般适于使用公式变换的方法去证明。画卡诺图证明的方法通常用在变量数较少（不多于四个），而且逻辑式是与或形式的情况下。

A	BC			
	00	01	11	10
0	0	1	1	1
1	1	1	0	1

图 2-1 例 2-3 的卡诺图

二、逻辑函数不同表示方法之间的转换

用于表示逻辑函数的方法有逻辑真值表（简称真值表）、逻辑函数式（简称逻辑式）、逻辑图、卡诺图、波形图和硬件描述语言（简称 HDL）等几种。由于每一种描述方法各有其特点和应用场合，所以经常要求将用某一种表示方法给定的逻辑函数改用另外的表示方法来描述。尽管目前已经有计算机软件能自动完成这些转换，但为了理解和掌握这些转换方法的基本原理，通过手工的方法去解这一类题目仍然是必不可少的。

1. 真值表 \Rightarrow 逻辑式

解题方法和步骤：

(1) 首先从真值表中找出所有使函数值等于 1 的那些输入变量取值组合。

(2) 每一组使输出为 1 的输入变量取值下，必然有一个最小项的值等于 1。取值为 1 的变量在这个最小项中写为原变量，取值为 0 的变量在这个最小项中写为反变量。

(3) 将所有的这些最小项相加，就得到了所求的逻辑函数式。

【例 2-4】给出逻辑函数的真值表如表 2-2，试写出这个逻辑函数的逻辑式。

表 2-2 例 2-4 的逻辑真值表

A	B	C	D	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	$1 \rightarrow A'B'CD' = 1$
0	0	1	1	$1 \rightarrow A'B'CD = 1$
0	1	0	0	$1 \rightarrow A'BC'D' = 1$
0	1	0	1	0
0	1	1	0	$1 \rightarrow A'BCD' = 1$
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	$1 \rightarrow AB'CD' = 1$
1	0	1	1	$1 \rightarrow AB'CD = 1$
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

解：由真值表可见，当输入变量 $ABCD$ 的取值为 **0010**、**0011**、**0100**、**0110**、**1010** 和 **1011** 之中的任何一种时， Y 都等于 1。这六种输入变量取值的每一种都使一个对应的最小项等于 1，所以输出 Y 就等于这些最小项之和。例如，当 $ABCD$ 取值为 **0010** 时，最小项 $A'B'CD' = 1$ ，所以 Y 的函数式中应包含这一项。而当 $ABCD$ 取值为 **0011** 时，最小项 $A'B'CD = 1$ ，所以 Y 的函数式中也应包含这一项。依此类推，于是得到

$$Y = A'B'CD' + A'B'CD + A'BC'D' + A'BCD' + AB'CD' + AB'CD$$

2. 逻辑式 \Rightarrow 逻辑图

解题方法和步骤：

(1) 如果没有附加限制条件，则只要用逻辑图形符号取代逻辑函数式中的代数运算符号，将这些图形符号按输入到输出的顺序连起来，就得到所求的逻辑图了。

(2) 如果对使用的逻辑图形符号有限制，则往往还需要将函数式变换为适于使用限定图形符号的形式，然后再用图形符号代替代数运算符号。例如，规定全部使用与非图形符号画出逻辑图，那么就必须先将函数式化为全部由与非运算组成的形式。这个问题我们在后面还会讲到。

【例 2-5】 给定逻辑函数式为

$$Y = A'BD' + A'CD' + B'C$$

试画出对应的逻辑图。

解：由于本题对逻辑图中可以使用的图形符号种类没有限制，所以直接用与、或、非逻辑图形符号取代式中的代数运算符号就行了，于是得到如图 2-2 所示的逻辑图。

3. 逻辑式 \rightarrow 卡诺图

解题方法和步骤：

(1) 将逻辑函数式展开为最小项之和的形式。

(2) 画出最小项的卡诺图，在函数式中包含的最小项对应的位置上填入 1，其余位置上填入 0，就得到了表示该

逻辑函数的卡诺图。如果函数式中包含无关项，则在相应位置上填入“ \times ”，表示填入 0 或 1 均可。

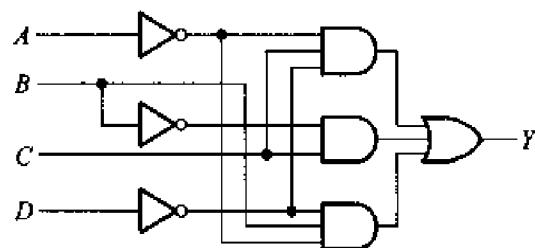


图 2-2 例 2-5 的逻辑图

【例 2-6】 给定逻辑函数式为

$$Y = A'BC'D + B'C'D' + A'C$$

试画出表示该逻辑函数的卡诺图。

解：首先将 Y 化为最小项之和形式。式中第一项是最小项，第二、三项不是最小项。第二项缺少 A 或 A' 因子，第三项缺少 B 或 B' 和 D 或 D' 因子。利用公式 $A + A' = 1$ ，将所缺的因子补齐，于是得到

$$\begin{aligned} Y &= A'BC'D + B'C'D' + A'C(B + B')(D + D') \\ &= A'BC'D + A'B'C'D' + AB'C'D' + A'B'CD' + A'B'CD + A'BCD' + A'BCD \end{aligned}$$

$$= m_0 + m_2 + m_3 + m_5 + m_6 + m_7 + m_8$$

画出四变量的卡诺图，在其中 $m_0, m_2, m_3, m_5, m_6, m_7$ 和 m_8 的位置填入 1，其余位置填入 0，即得到如图 2-3 所示的卡诺图。

在解这类题目的过程中，完全可以跳过将函数展开为最小项之和的这一步，根据给出的逻辑式直接填写卡诺图中的 1 和 0。例如 $B'C'D'$ 一项包含了所有含 B' 、 C' 、 D' 因子的最小项，而 $A'C$ 则包含了所有含有 A' 和 C 两个因子的最小项，这样就可以直接填写出函数的卡诺图了。

【例 2-7】 已知逻辑函数式为

		CD	00	01	11	10
		AB	00	01	11	10
			1 0	0 1	1 3	1 2
			0 4	1 5	1 7	1 6
			0 12	0 13	0 15	0 14
			1 8	0 9	0 11	0 10

图 2-3 例 2-6 的卡诺图

$$Y = AB + A'D' + AB'C'$$

试画出表示 Y 的卡诺图。

解：因为 AB 这一项包含了所有含 AB 的最小项，所以可以直接在四变量卡诺图上标为 $A = 1, B = 1$ 的最小项 ($m_{12}, m_{13}, m_{14}, m_{15}$) 位置上填入 1。同理， $A'D'$ 一项包含了所有含有 $A'D'$ 的最小项，所以在对应 $A = 0, D = 0$ 的最小项 (m_0, m_2, m_4, m_6) 位置上填入 1。 $AB'C'$ 包含了所有含 $AB'C'$ 的最小项，所以应在对应 $A = 1, B = 0, C = 0$ 的最小项 (m_8, m_9) 位置上填入 1。这样就直接得到了如图 2-4 所示的卡诺图，而不必事先将 Y 化成最小项之和的表达式。

4. 波形图 \Rightarrow 真值表

解题方法和步骤：

- (1) 在周期性重复的波形图中，将每个时间段内输入变量和输出的取值对应列表，即可得到函数的真值表。
- (2) 若波形图中有些输入变量状态组合始终没有出现，则这些输入变量组合下等于 1 的最小项为函数的约束项。

【例 2-8】 由逻辑分析仪给出了某逻辑电路输入与输出的波形图如图 2-5 所示，试列出描述该电路逻辑功能的真值表。

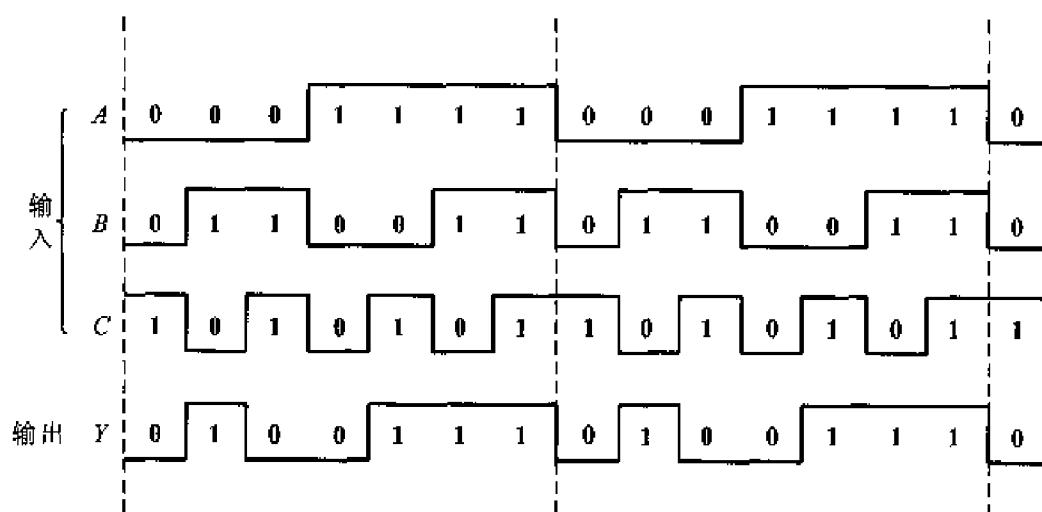


图 2-5 例 2-8 的函数波形图

解：由波形图上可以看出，从 ABC 的 001 状态至 111 状态为一个循环周期（也可以从任何一个其他状态算起，七个输入状态为一个循环周期），将 ABC 的

七个不同的状态组合与 Y 的对应状态列表, 即得表 2-3 的真值表。由于波形图中始终没有出现 $ABC = 000$ 的状态, 所以最小项 $A'B'C'$ 始终等于 0, 是一个约束项, 在真值表中以“ \times ”表示。 Y 的函数式中可以包含 $A'B'C'$ 这个最小项, 也可以不包含这一项。

表 2-3 例 2-8 的逻辑真值表

A	B	C	Y
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1
0	0	0	\times

5. 逻辑式 \Rightarrow 真值表

解题方法和步骤:

将所有的输入变量取值组合逐一代入逻辑式, 算出输出的函数值, 然后将输入与输出的取值对应列成表格, 得到的就是真值表。

【例 2-9】 已知逻辑函数式为

$$Y = ABC + ABD + ACD + BCD$$

试列出此函数的真值表。

解: 将 $ABCD$ 四变量全部 16 种取值的组合 (0000 ~ 1111) 逐个代入 Y 的函数式中, 求出对应的 Y 值, 然后列表, 就得到了如表 2-4 所示的真值表。由真值表可以看出, 这是一个代码判断函数, 当输入代码中含有三个和三个以上的 1 时, $Y = 1$; 否则 $Y = 0$ 。

表 2-4 例 2-9 的真值表

A	B	C	D	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0

续表

A	B	C	D	Y
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

6. 逻辑图 \Rightarrow 逻辑式

解题方法和步骤：

通常采用的方法是从电路的输入端到输出端逐级写出逻辑图形符号所表示的逻辑代数运算式,从而得到所求的逻辑式。

【例 2-10】写出图 2-6 所示电路输出 Y 的逻辑函数式。

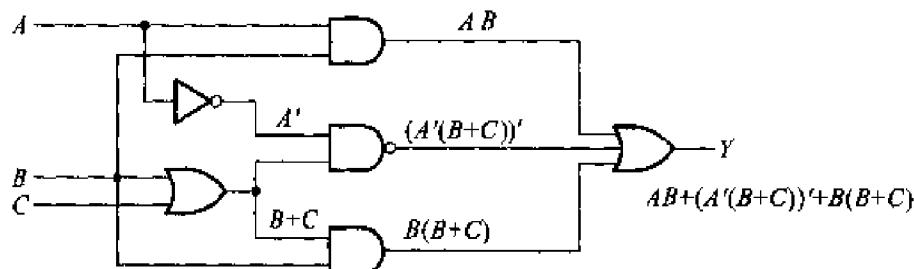


图 2-6 例 2-10 的逻辑图

解：从输入端开始,逐级写出图形符号代表的代数运算式,如图 2-6 中所示,最后得到

$$Y = AB + (A'(B+C))' + B(B+C)$$

7. 其他的互相转换

利用上面几种基本的转换方法,可以实现任何两种表示方法之间的转换。例如我们要找出给定逻辑图的真值表,就可以先写出等效的逻辑式,再从逻辑式列出真值表。又比如我们需写出给定波形图所代表的逻辑式,这时可以先列出与波形图对应的真值表,然后从真值表写出逻辑式。

三、逻辑函数式的变换

在设计逻辑电路的过程中,往往首先得到的是逻辑函数的与或形式(也称为积之和形式)。如果规定全部使用与非门组成这个逻辑电路,这时就必须把与或形式的逻辑函数式转换成全部由与非运算组合成的形式(也称为与非-与非形式)。又如,在使用 ROM 实现一个组合逻辑函数时,则要求将逻辑函数式化为最小项之和的形式,等等。

1. 与或形式 \Rightarrow 与非-与非形式

解题方法和步骤:

利用摩根定理将整个与或式两次求反,即可将与或形式化为与非-与非形式。

【例 2-11】 将下面的逻辑函数化为与非-与非形式

$$Y = AB' + A'BD + CD'$$

解: 应用摩根定理将上式两次求反,得到

$$\begin{aligned} Y &= (Y')' = ((AB' + A'BD + CD')')' \\ &= ((AB')'(A'BD)'(CD')')' \end{aligned}$$

这样就把函数式化成了全部由与非运算组成的形式。

2. 与或形式 \Rightarrow 与或非形式

解题方法和步骤:

根据逻辑代数的基本公式和代入定理可知,任何一个逻辑函数都遵守公式 $Y + Y' = 1$ 。又知所有最小项之和恒等于 1,所以若将不包含在 Y 式中的所有最小项相加,得到的就是 Y' 。将这些最小项之和再求反,也得到 Y 。因此,将不包含在函数式中的那些最小项相加,然后求反,得到的就是函数式的与或非形式。

如果画出函数的卡诺图,则只需将图中填入 0 的那些最小项相加,再求反,就可得到与或非形式的逻辑函数式了。

【例 2-12】 将下面的逻辑函数式化为与或非形式

$$Y = A'C'D' + A'BD + AB' + B'CD'$$

解: 首先画出 Y 的卡诺图,如图 2-7 所示。

将卡诺图中的 0 合并,然后求反,得到

$$Y = (A'B'D + AB + BCD')'$$

3. 与或式 \Rightarrow 或与式

解题方法和步骤:

方法一,首先用上面所讲的方法将与或形式的逻辑函数转换成与或非形式。然后,利用摩根定理就可以将与或非形式的逻辑式转换成或与形式的逻辑式了。

方法二,反复运用公式 $A + BC = (A + B)(A + C)$ 进行运算,也可以将与或形式的逻辑函数式变换为或与形式的逻辑函数式。

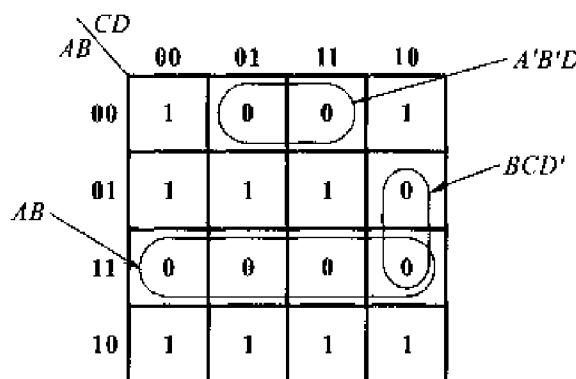


图 2-7 例 2-12 的卡诺图

【例 2-13】将下面给出的逻辑函数转换为或与形式的逻辑式

$$Y = AC + A'B' + A'C'$$

解：采用第一种方法时，需首先画出 Y 的卡诺图，如图 2-8 所示。

将图中的 0 合并，然后求反，得到

$$Y = (A'BC + AC')'$$

再利用摩根定理将上式展开

$$\begin{aligned} Y &= (A'BC)' \cdot (AC')' \\ &= (A + B' + C') (A' + C) \end{aligned}$$

也可以采用第二种方法，直接进行公式运算

$$\begin{aligned} Y &= AC + A'B' + A'C' \\ &= (A + A'B' + A'C') (C + A'B' + A'C') \\ &= (A + B' + C') (C + A'B' + A') \\ &= (A + B' + C') (A' + C) \end{aligned}$$

也得到同样的变换结果。

这里需要提醒一点，用第二种公式推演方法得到的或与式有时不是最简的，还能进一步化简；而用第一种方法，在合并卡诺图上的 0 时已经进行了合并化简，所以得到的或与表达式应当是最简的了。

4. 与或式 \Rightarrow 或非 - 或非式

解题方法和步骤：

- (1) 首先按前述方法将与或式转换为与或非形式。
- (2) 用摩根定理将与或非式中的每个乘积项化为或非的形式，即可得到或非 - 或非形式的函数式了。

【例 2-14】将下面的逻辑函数式化为或非 - 或非形式

$$Y = A'D' + A'B'C + AC'D + CD'$$

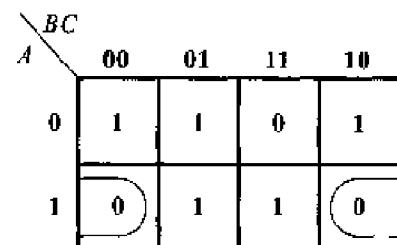


图 2-8 例 2-13 的卡诺图

解：画出 Y 的卡诺图，如图 2-9 所示。

将图中的 0 合并后得到

$$\begin{aligned} Y &= (AC'D' + A'C'D + ACD + BCD)' \\ &= ((A' + C + D)' + (A + C + D')' + \\ &\quad (A' + C' + D')' + (B' + C' + D')')' \end{aligned}$$

5. 将逻辑函数式化为最小项之和的形式

解题方法和步骤：

(1) 首先利用逻辑代数的公式和定理将函数式化成与或形式。

(2) 利用公式 $A + A' = 1$ 将每个乘积项中缺少的因子补齐。例如某个乘积项中缺少因子

B ，则应在该项上乘以 $(B + B')$ ，然后拆成两项，每项中便分别增加了 B 或 B' 因子。

【例 2-15】 试将下面的逻辑函数式化为最小项之和的形式

$$Y = ((AB')' + C)' + AD$$

解：首先将上式化为与或形式

$$Y = (AB')C' + AD = AB'C' + AD$$

然后在第一项上乘以 $(D + D')$ ，在第二项上乘以 $(B + B')$ ，得到

$$\begin{aligned} Y &= AB'C'(D + D') + AD(B + B') \\ &= AB'C'D' + AB'C'D + AB'D + ABD \end{aligned}$$

再将上式的最后两项上各乘以 $(C + C')$ ，最后得到

$$\begin{aligned} Y &= AB'C'D' + AB'C'D + AB'D(C + C') + ABD(C + C') \\ &= AB'C'D' + AB'C'D + AB'CD + ABCD + ABC'D \\ &= m_8 + m_9 + m_{11} + m_{13} + m_{15} \end{aligned}$$

6. 将逻辑函数式化为最大项之积的形式

解题方法和步骤：

(1) 若给出的函数式已经是或与形式，则可以利用公式 $AA' = 0$ 将每个括号内缺少的因子补齐。例如 $(A + C')$ 中缺少 B 或 B' ，这时就可以在括号里加上 BB' ，然后再利用公式 $A + BC = (A + B)(A + C)$ 将它拆开，就得到了两个最大项的乘积

$$(A + C' + BB') = (A + B' + C')(A + B + C')$$

(2) 若给出的函数式是与或形式，则应当先利用上面介绍的方法将它变换为或与形式，然后再按(1)中所说的方法去做。

【例 2-16】 将下面的逻辑函数式化为最大项之积的形式

$$Y = (B + C')(A + B' + C)$$

		CD	00	01	11	10
AB		00	1	0	1	1
		01	1	0	0	1
		11	0	1	0	1
		10	0	1	0	1

图 2-9 例 2-14 的卡诺图

解：在左边的一个括号内加入 AA' ，然后利用公式 $A + BC = (A + B)(A + C)$ 将它拆开成两个最大项，得到

$$\begin{aligned} Y &= (B + C' + AA')(A + B' + C) \\ &= (A' + B + C')(A + B + C')(A + B' + C) \\ &= M_1 M_2 M_5 \end{aligned}$$

【例 2-17】 将下面的逻辑函数式化为最大项之积的形式

$$Y = A'BD + AB'C' + A'C + AD' + BC + B'D'$$

解：首先将上式化成最小项之和的形式

$$Y(A, B, C, D) = \sum m(0, 2, 3, 5, 6, 7, 8, 9, 10, 12, 14, 15)$$

而 Y' 应当等于不包含在上式中的那些最小项之和，即

$$Y'(A, B, C, D) = \sum m(1, 4, 11, 13)$$

因此

$$\begin{aligned} Y(A, B, C, D) &= (Y')' = (m_1 + m_4 + m_{11} + m_{13})' \\ &= m'_1 m'_4 m'_{11} m'_{13} \end{aligned}$$

根据 $m'_1 = M_1$ ，于是得到

$$\begin{aligned} Y(A, B, C, D) &= M_1 M_4 M_{11} M_{13} \\ &= (A + B + C + D')(A + B' + C + D) \\ &\quad (A' + B + C' + D')(A' + B' + C + D') \end{aligned}$$

四、逻辑函数的化简

1. 公式化简法

解题方法和步骤：

公式化简法就是运用逻辑代数的公式和定理进行逻辑运算，以消去逻辑函数式中多余的乘积项和每项中多余的因子。

如果有无关项的逻辑函数，则应充分利用无关项的特点（可以写入逻辑式也可以从逻辑式中删除），使化简的结果更加简单。

【例 2-18】 用公式化简法化简下面的逻辑函数

$$Y = ((A' + B')D)' + (A'B' + BD)C' + A'BC'D + D'$$

$$\begin{aligned} \text{解：} Y &= ((AB)'D)' + A'B'C' + BC'D + A'BC'D + D' \dots \text{（根据 } A' + B' = (AB)' \text{，} \\ &\quad (A + B)C = AC + BC \text{）} \end{aligned}$$

$$\begin{aligned} &= AB + D' + A'B'C' + BC' + A'BC' \dots \text{（根据 } (AB)' = A' + B' \text{，} \\ &\quad A + A'B = A + B \text{）} \end{aligned}$$

$$= AB + D' + A'C' + BC' \dots \text{（根据 } A + A' = 1 \text{）}$$

$$= AB + D' + A'C' + (A + A')BC' \dots \text{（根据 } A + A' = 1 \text{）}$$

$$= AB + D' + A'C' + ABC' + A'BC' \dots \text{（根据 } (A + B)C = AC + BC \text{）}$$

$$= AB + D' + A'C' \dots \text{（根据 } A + AB = A \text{）}$$

2. 卡诺图化简法

解题方法和步骤：

(1) 画出表示逻辑函数的卡诺图。

(2) 找出可以合并的最小项，把它们圈起来。

(3) 选择化简后保留的乘积项。选取的原则是

第一，这些乘积项必须包含函数式中所有的最小项，即包含卡诺图中全部的 1；

第二，所用的乘积项数目最少，即用最少的可合并的圈将卡诺图中的 1 圈进去；

第三，每个乘积项的因子最少，即每个圈应尽可能地圈大。

为了使每个可以合并的圈尽量大，可以在不同的圈里重复圈入某一项。因为 $A + A = A$ ，所以重复写入某个最小项不影响逻辑函数值。

如果是有关项的函数，则既可以将它圈入可合并的最小项当中，也可以不圈入。是否应当圈入可合并的最小项当中，要看能否得到最大的合并圈。

【例 2-19】 试用卡诺图化简如下的逻辑函数

$$Y = A'B'C' + A'C'D + AB'C + BCD'$$

$$A'B'C'D' + AB'C'D' + ABCD = 0 \text{ (约束条件)}$$

解：将 Y 展开为最小项之和形式得到

$$Y = A'B'C'D' + A'BC'D + A'B'C'D + A'BCD' + AB'CD' + AB'CD + ABCD'$$

$$= m_1 + m_4 + m_5 + m_6 + m_{10} + m_{11} + m_{14}$$

$$m_0 + m_8 + m_{15} = 0 \text{ (约束条件)}$$

在四变量最小项卡诺图中，在 Y 所含最小项的位置上填入 1，约束项位置上填入“ \times ”，其余位置上填入 0，就得到了 Y 的卡诺图，如图 2-10 所示。

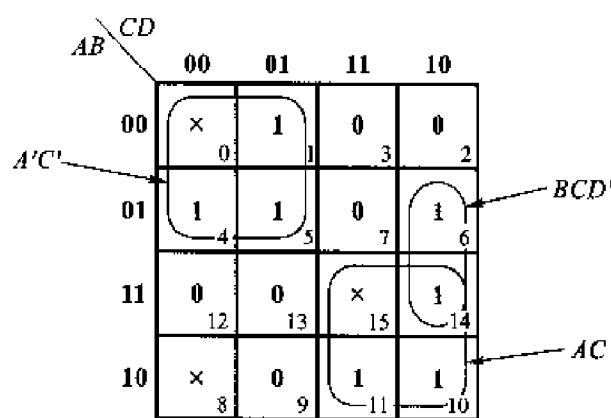


图 2-10 例 2-19 的卡诺图

利用约束项 m_6 可将 m_0, m_1, m_4 和 m_5 合并为 $A'C'$, 利用约束项 m_{15} 可将 m_{10}, m_{11}, m_{14} 和 m_{15} 合并为 AC 。化简后的结果为

$$Y = A'C' + AC + BCD'$$

如将上式展开为最小之和形式时, 式中将包含有 m_6 和 m_{15} 两个约束项, 而不包含 m_8 。

五、用 Multisim7 进行逻辑函数的化简和变换

Multisim7 是目前许多学校在电路和电子技术教学中使用的一种集成化、多功能的计算机软件, 广泛应用于电路的分析、设计和运行状态的仿真。其中包含有专门为分析逻辑电路而设计的逻辑分析仪和逻辑转换器这两种虚拟仪器。利用逻辑转换器能够方便、快捷地在逻辑函数的真值表、函数式和逻辑图之间进行转换。而且, 还可以将逻辑函数化简为最简单的与或形式。

解题方法和步骤:

(1) 启动 Multisim7 程序后, 显示器屏幕上将出现如图 2-11 所示的用户界面。

(2) 如果给定的是逻辑函数式或真值表, 要求转换成其他的逻辑功能描述方式或化简, 可如下进行:

从用户界面右侧的仪器栏中找到逻辑转换器按钮“Logic Converter”, 点击这个按钮, 屏幕上便出现一个如图 2-12 中上方所示的逻辑转换器图标“XLC1”。

双击这个图标, 便出现图 2-12 中图标下面的逻辑转换器操作面板“Logic Converter - XLC1”。

当给定的是逻辑函数式时, 应首先将函数式键入操作面板最下边的一栏中, 然后点击操作面板右侧的按钮, 即可完成相应的转换了。

当给定的是真值表时, 应首先将真值表键入到操作面板左侧的空白表格中, 然后点击操作面板右侧的按钮, 即可完成相应的转换。

(3) 如果给定的是逻辑图, 要求转换为其他的逻辑功能描述方式, 则应如下进行:

打开用户界面后首先输入逻辑图。这时可以从用户界面左侧的元器件库中找出所需的电路单元, 并连接成给定的电路。

点击逻辑转换器按钮, 显示出逻辑转换器图标, 将电路的输入端和输出端分别接到图标的输入端和输出端上。

双击这个图标, 打开逻辑转换器的操作面板, 利用操作面板右侧的一列按钮就可以完成从逻辑图到真值表, 再从真值表到逻辑式的转换, 以及逻辑式的化简了。

【例 2-20】 已知逻辑函数的真值表如表 2-5 所示, 试求该逻辑函数的最简与或逻辑函数式。



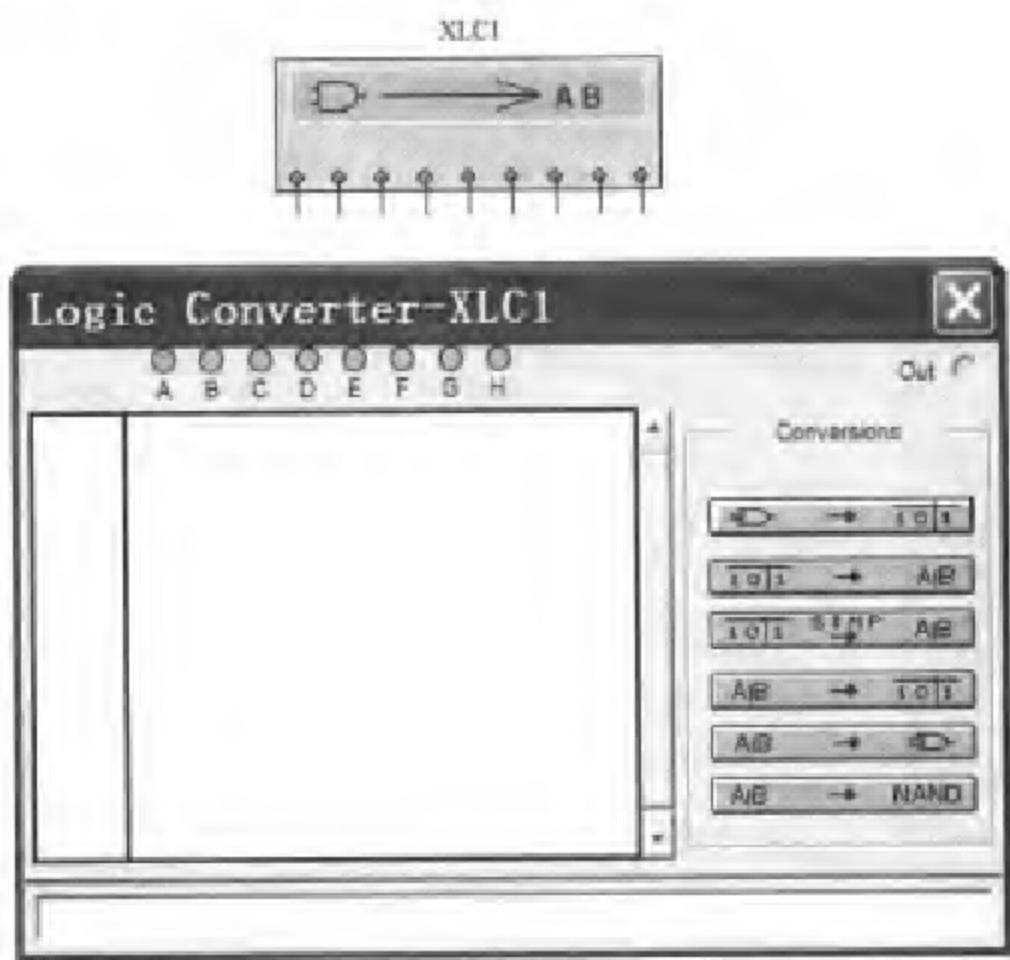


图 2-12 逻辑转换器的图标和操作面板

表 2-5 例 2-20 的逻辑函数真值表

A	B	C	D	F
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	x
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	x
1	0	0	0	0
1	0	0	1	1

续表

A	B	C	D	Y
0	0	1	0	0
0	0	1	1	x
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	x

解：首先按照上面所说的步骤得到逻辑转换器的操作面板，如图 2-13。点击操作面板上 A、B、C、D 上方的小圆圈，面板左边的表格中便立刻出现 A、B、C、D 这四个变量的所有 16 种取值的组合，同时对应的函数输出值全部显示为“？”。表格中左边的一列十进制数是对应的最小项编号。

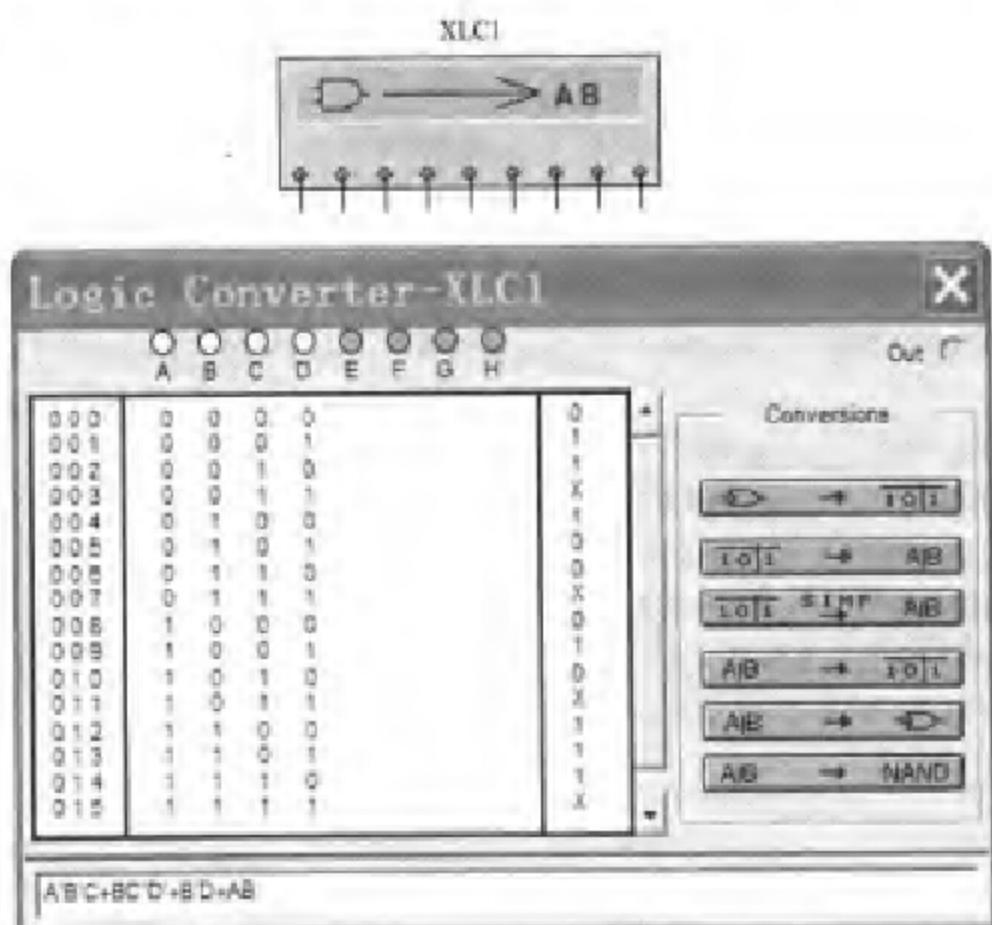


图 2-13 用 Multisim7 化简由真值表给出的逻辑函数

连续点击这些“?”，其值将在 0、1、× 之间循环改变，这样就可以选定每一组输入变量取值下的函数输出值了。

输入真值表以后，只要点击操作面板右边的第二个按钮，逻辑函数的最小项之和表达式便出现在面板最下边的一栏中（图中未显示这一步的结果）。再点击面板右边的第三个按钮，就得到了化简后的最简与或逻辑式，如图 2-13 中所示，即

$$Y = A'B'C + BC'D' + B'D + AB$$

【例 2-21】 试分析图 2-14 给出的逻辑电路，求出它的逻辑真值表和逻辑函数式。

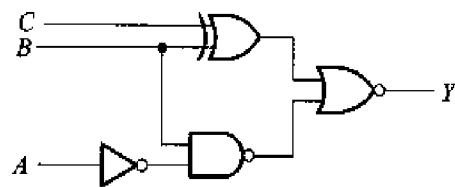


图 2-14 例 2-21 的逻辑电路

解：打开 Multisim7 的用户界面后，首先需要输入图 2-14 的逻辑图。从屏幕左侧的元器件库中逐一找出与非门（7400N）、或非门（74LS02N）、反相器（74LS04D）、异或门（74LS86D），并连接成与图 2-14 相同的逻辑图，如图 2-15 所示。

点击逻辑转换器的图标，将电路的三个输入端接至逻辑转换器图标左侧的三个输入端上，同时将电路的输出端接至逻辑转换器图标最右边专用的输出端上。双击逻辑转换器图标，打开逻辑转换器操作面板。点击面板上右侧的第一个按钮，电路的逻辑真值表便显示在操作面板左侧的表格中。再点击第二个按钮，就可以将真值表转换为逻辑函数式了。得到的函数式形式在操作面板的最下边一栏中，如图 2-15 中所示。最后得到

$$Y = A'BC$$

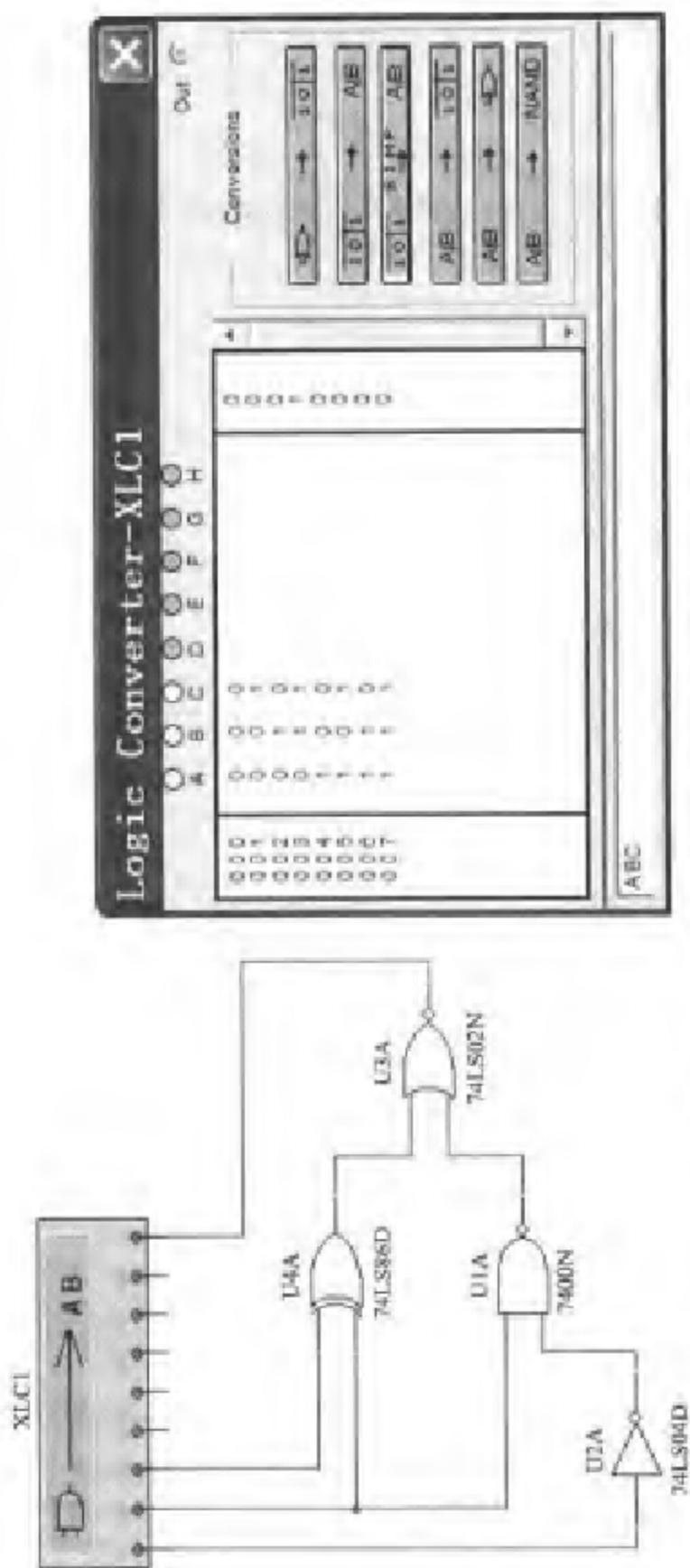


图 2-15 用 Multisim7 完成从逻辑电路图到真值表和逻辑式的转换

2.2 习题解答

【题 2.1】 试用列真值表的方法证明下列异或运算公式。

- (1) $A \oplus 0 = A$
- (2) $A \oplus 1 = A'$
- (3) $A \oplus A = 0$
- (4) $A \oplus A' = 1$
- (5) $(A \oplus B) \oplus C = A \oplus (B \oplus C)$
- (6) $A(B \oplus C) = AB \oplus AC$
- (7) $A \oplus B' = (A \oplus B)' = A \oplus B \oplus 1$

解：将输入变量所有的取值逐一代入公式两边计算，然后将计算结果列成真值表。如果两边的真值表相同，则等式成立。

(1) 证明 $A \oplus 0 = A$

A	0	$A \oplus 0$
0	0	0
1	0	1

(2) 证明 $A \oplus 1 = A'$

A	1	$A \oplus 1$
0	1	1
1	1	0

(3) 证明 $A \oplus A = 0$

A	A	$A \oplus A$
0	0	0
1	1	0

(4) 证明 $A \oplus A' = 1$

A	A'	$A \oplus A'$
0	1	1
1	0	1

(5) 证明 $(A \oplus B) \oplus C = A \oplus (B \oplus C)$

A	B	C	$A \oplus B$	$B \oplus C$	$(A \oplus B) \oplus C$	$A \oplus (B \oplus C)$
0	0	0	0	0	0	0
0	0	1	0	1	1	1
0	1	0	1	1	1	1
0	1	1	1	0	0	0
1	0	0	1	0	1	1
1	0	1	1	1	0	0
1	1	0	0	1	0	0
1	1	1	0	0	1	1

(6) 证明 $A(B \oplus C) = AB \oplus AC$

A	B	C	$B \oplus C$	AB	AC	$A(B \oplus C)$	$AB \oplus AC$
0	0	0	0	0	0	0	0
0	0	1	1	0	0	0	0
0	1	0	1	0	0	0	0
0	1	1	0	0	0	0	0
1	0	0	0	0	0	0	0
1	0	1	1	0	1	1	1
1	1	0	1	1	0	1	1
1	1	1	0	1	1	0	0

(7) 证明 $A \oplus B' = (A \oplus B)' = A \oplus B \oplus 1$

A	B	B'	$A \oplus B'$	$A \oplus B$	$(A \oplus B)'$	$A \oplus B \oplus 1$
0	0	1	1	0	1	1
0	1	0	0	1	0	0
1	0	1	0	1	0	0
1	1	0	1	0	1	1

【题 2.2】 证明下列逻辑恒等式(方法不限)

- (1) $AB' + B + A'B = A + B$
- (2) $(A + C')(B + D)(B + D') = AB + BC'$
- (3) $((A + B + C')'C'D)' + (B + C')(AB'D + B'C') = 1$
- (4) $A'B'C' + A(B + C) + BC = (AB'C' + A'B'C + A'BC')'$

解: 在前面的解题方法中我们介绍了四种证明逻辑恒等式的方法, 即列真值表的方法、用公式和定理推演的方法、画卡诺图的方法和使用 Multisim7 进行化简的方法。

在实际应用中, 除非逻辑式很简单、而且逻辑变量数很少的情况下, 一般不宜用列真值表的方法。对多变量、复杂的逻辑等式, 通常采用公式推演或公式推演与画卡诺图相结合的方法去证明。如果有条件使用 Multisim 等 EDA 软件进行证明, 则更加简单、便捷。

下面采用公式推演的方法来进行证明。

- (1) 用公式推演将等式左边化简, 得到

$$AB' + B + A'B = A + A'B = A + B$$

所得结果与等式右边相同, 故等式成立。

- (2) 用公式推演将等式左边化简为

$$\begin{aligned}
 (A + C')(B + D)(B + D') &= (A + C')(B + BD' + BD + DD') \\
 &= (A + C')B \\
 &= AB + BC'
 \end{aligned}$$

所得结果与等式右边相同,故等式成立。

(3) 用公式推演将等式左边化为

$$\begin{aligned}
 &((A + B + C')'C'D)' + (B + C')(AB'D + B'C') \\
 &= A + B + C' + (C'D)' + (B + C')(AB'D + B'C') \\
 &= A + B + C' + C + D' + (B + C')(AB'D + B'C') \\
 &= (C' + C) + A + B + D' + (B + C')(AB'D + B'C') \\
 &= 1 + A + B + D' + (B + C')(AB'D + B'C') = 1
 \end{aligned}$$

故等式成立。

(4) 用公式推演将等式左边写成

$$A'B'C' + A(B + C) + BC = A'B'C' + AB + AC + BC$$

将等式右边变换为与或式,得到

$$\begin{aligned}
 (A'B'C' + A'B'C + A'BC')' &= (A'B'C')'(A'B'C)'(A'BC')' \\
 &= (A' + B + C)(A + B + C')(A + B' + C) \\
 &= (A'C' + B + AC)(A + B' + C) \\
 &= A'B'C' + AB + BC + AC
 \end{aligned}$$

可见,等式成立。

在用公式推导证明逻辑等式时并不要求必须将等式两边化成最简的与或形式,只要能把等式两边变换为相同的逻辑式就行了。本题的(1)、(2)、(3)小题中,因为等式右边已经是最简与或式了,所以将左边的式子化成与右边的式子相同的过程也就是化简过程了。

【题 2.3】 已知逻辑函数 Y_1 和 Y_2 的真值表如表 P2.3(a)、(b) 所示,试写出 Y_1 和 Y_2 的逻辑函数式。

解: 找出 Y_1 (或 Y_2) 为 1 时的输入变量取值组合,写出在这些变量取值下其值为 1 的最小项(如表中所示),将这些最小项相加,得到

$$\begin{aligned}
 Y_1 &= A'B'C' + A'B'C + AB'C' + AB'C + ABC \\
 Y_2 &= A'B'C'D + A'B'CD' + A'BC'D' + A'BCD + AB'C'D' + AB'CD + ABC'D + ABCD
 \end{aligned}$$

【题 2.4】 已知逻辑函数的真值表如表 P2.4(a)、(b) 所示,试写出对应的逻辑函数式。

解: 参见上题的说明。

$$\begin{aligned}
 Y &= A'B'C + A'BC' + AB'C' \\
 Z &= M'N'PQ + M'NPQ' + M'NPQ + MN'PQ + MNP'Q' + MNP'Q + MNPQ' + MNPQ
 \end{aligned}$$

表 P2.3(a)

A	B	C	Y_1
0	0	0	$1 \rightarrow A'B'C'$
0	0	1	$1 \rightarrow A'B'C$
0	1	0	0
0	1	1	0
1	0	0	$1 \rightarrow AB'C'$
1	0	1	$1 \rightarrow AB'C$
1	1	0	0
1	1	1	$1 \rightarrow ABC$

表 P2.3(b)

A	B	C	D	Y_2
0	0	0	0	0
0	0	0	1	$1 \rightarrow A'B'C'D$
0	0	1	0	$1 \rightarrow A'B'CD'$
0	0	1	1	0
0	1	0	0	$1 \rightarrow A'BC'D'$
0	1	0	1	0
0	1	1	0	0
0	1	1	1	$1 \rightarrow A'BCD$
1	0	0	0	$1 \rightarrow AB'C'D'$
1	0	0	1	0
1	0	1	0	0
1	0	1	1	$1 \rightarrow AB'CD$
1	1	0	0	0
1	1	0	1	$1 \rightarrow ABC'D$
1	1	1	0	$1 \rightarrow ABCD'$
1	1	1	1	0

表 P2.4(a)

A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0

表 P2.4(b)

M	N	P	Q	Z
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

【题 2.5】列出下列逻辑函数的真值表。

$$(1) Y_1 = A'B + BC + ACD'$$

$$(2) Y_2 = A'B'CD' + (B \oplus C)'D + AD$$

解：

(1) Y_1 的真值表如表 A2.5(a)。

表 A2.5(a) Y_1 的真值表

A	B	C	D	$A'B$	BC	ACD'	Y_1
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0
0	0	1	0	0	0	0	0
0	0	1	1	0	0	0	0
0	1	0	0	1	0	0	1
0	1	0	1	1	0	0	1
0	1	1	0	1	1	0	1
0	1	1	1	1	1	0	1
1	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0
1	0	1	0	0	0	1	1
1	0	1	1	0	0	0	0
1	1	0	0	0	0	0	0
1	1	0	1	0	0	0	0
1	1	1	0	0	1	1	1
1	1	1	1	0	1	0	1

(2) 如果采用全部列举的方法, 为直观起见, 可以将 Y_2 式展开为

$$Y_2 = A'B'CD' + AD + B'C'D + BCD$$

然后列出如表 A2.5(b) 的真值表。

表 A2.5(b) Y_2 的真值表

A	B	C	D	$A'B'CD'$	AD	$B'C'D$	BCD	Y_2
0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	1	0	1
0	0	1	0	1	0	0	0	1
0	0	1	1	0	0	0	0	0
0	1	0	0	0	0	0	0	0
0	1	0	1	0	0	0	0	0

续表

A	B	C	D	$A'B'CD'$	AD	$B'C'D$	BCD	Y_2
0	1	1	0	0	0	0	0	0
0	1	1	1	0	0	0	1	1
1	0	0	0	0	0	0	0	0
1	0	0	1	0	1	1	0	1
1	0	1	0	0	0	0	0	0
1	0	1	1	0	1	0	0	1
1	1	0	0	0	0	0	0	0
1	1	0	1	0	1	0	0	1
1	1	1	0	0	0	0	0	0
1	1	1	1	0	1	0	1	1

也可以将 $ABCD$ 的十六种取值逐一代入 Y_1 和 Y_2 的式中计算, 求出对应的输出值, 然后列出只包含 $ABCD$ 与 Y_1 和 Y_2 对应取值的真值表。

【题 2.6】 写出图 P2.6(a)、(b) 所示电路的输出逻辑函数式。

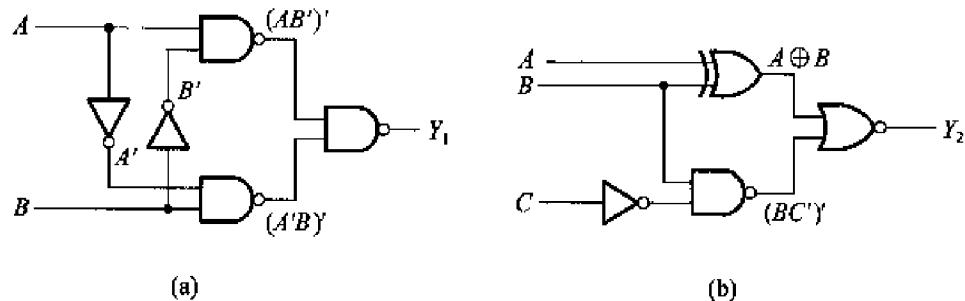


图 P2.6

解: 从输入端向输出端逐级写出每个门的输出逻辑式, 如图中所示, 可得到

$$Y_1 = ((AB')'(A'B)')' = AB' + A'B = A \oplus B$$

$$Y_2 = ((A \oplus B) + (BC'))' = ABC'$$

因题目未要求化简, 所以写出哪一步的式子都可以。

【题 2.7】 写出图 P2.7(a)、(b) 所示电路的输出逻辑函数式。

解: 从输入向输出逐级写出每个门的输出逻辑式, 如图中所示, 得到

$$\begin{aligned}
 Y_1 &= ((A+B)'C)' \oplus (C'D)' \\
 &= (A'B'C)' \oplus (C'D)' \\
 &= A'B'C(C+D') + (A+B+C')C'D \\
 &= A'B'C + A'B'CD' + AC'D + BC'D + C'D
 \end{aligned}$$

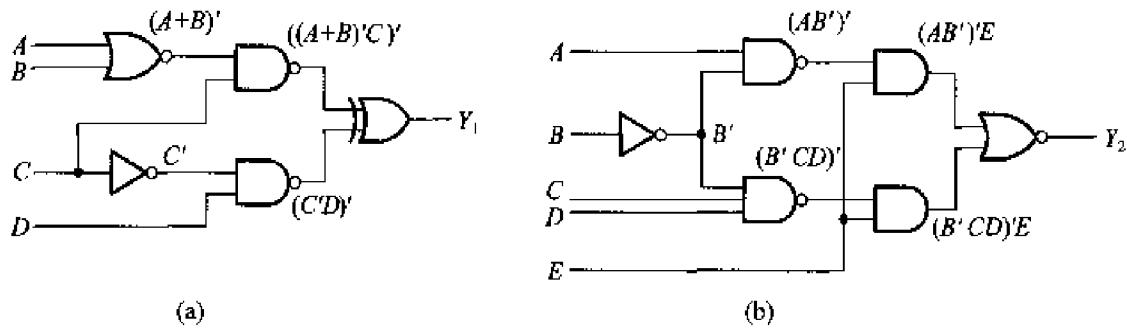


图 P2.7

$$\begin{aligned}
 &= A'B'C + C'D \\
 Y_2 &= ((AB')'E + (B'CD)'E)' \\
 &= ((AB')'E)'((B'CD)'E)' \\
 &= (AB' + E')(B'CD + E') \\
 &= AB'CD + E'
 \end{aligned}$$

因为题目没有要求化简, 所以写出逻辑式的哪一步都是可以的。

【题 2.8】 已知逻辑函数 Y 的波形图如图 P2.8 所示, 试求 Y 的真值表和逻辑函数式。

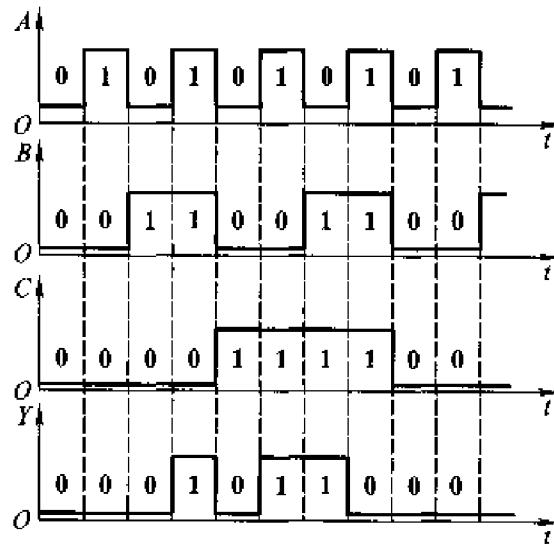


图 P2.8

解: 根据波形图列出 Y 与 A, B, C 关系的真值表, 如表 A2.8。从真值表写出逻辑式为

$$Y = ABC' + AB'C + A'BC$$

表 A2.8

C	B	A	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

【题 2.9】 给定逻辑函数 Y 的波形图如图 P2.9 所示, 试写出该逻辑函数的真值表和逻辑函数式。

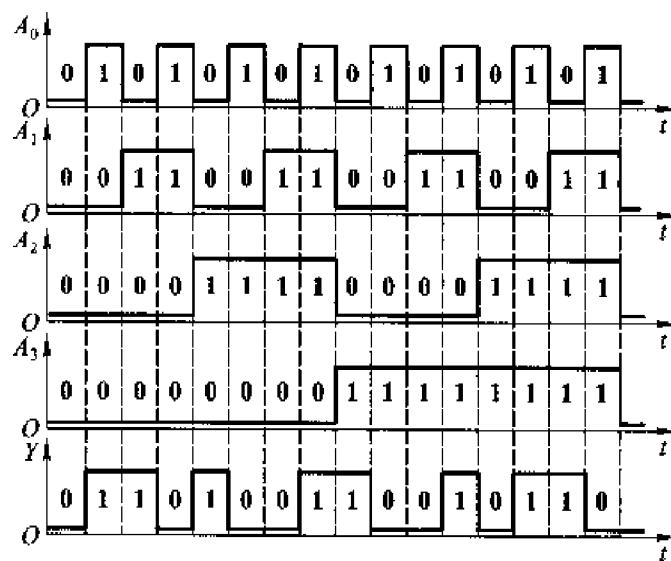


图 P2.9

解: 由给定的波形图中每个时间段里 Y 与 A_0, A_1, A_2, A_3 对应的取值可列出函数的真值表, 如表 A2.9, 从真值表写出相应的逻辑式, 得到

$$\begin{aligned}
 Y = & A_3' A_2' A_1' A_0 + A_3' A_2' A_1 A_0' + A_3' A_2 A_1' A_0' + A_3' A_2 A_1 A_0 + A_3 A_2' A_1' A_0' \\
 & + A_3 A_2' A_1 A_0 + A_3 A_2 A_1' A_0 + A_3 A_2 A_1 A_0'
 \end{aligned}$$

表 A2.9

A_3	A_2	A_1	A_0	Y
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0

【题 2.10】 将下列各函数式化为最小项之和的形式。

- (1) $Y = A'BC + AC + B'C$
- (2) $Y = AB'C'D + BCD + A'D$
- (3) $Y = A + B + CD$
- (4) $Y = AB + ((BC)'(C' + D'))'$
- (5) $Y = LM' + MN' + NL'$
- (6) $Y = ((A \odot B)(C \odot D))'$

解：

- (1)
$$\begin{aligned} Y &= A'BC + AC(B + B') + B'C(A + A') \\ &= A'BC + AB'C + ABC + A'B'C \end{aligned}$$
- (2)
$$\begin{aligned} Y &= AB'C'D + (A + A')BCD + A'D(B + B')(C + C') \\ &= AB'C'D + A'BCD + ABCD + A'B'C'D + A'B'CD + A'BC'D \end{aligned}$$
- (3)
$$\begin{aligned} Y &= A(B + B') + B(A + A') + CD(A + A')(B + B') \\ &= AB(C + C')(D + D') + A'B(C + C')(D + D') + \\ &\quad AB'(C + C')(D + D') + CD(A + A')(B + B') \\ &= A'B'CD + A'BC'D' + A'BC'D + A'BCD' + A'BCD + AB'C'D' + \\ &\quad AB'C'D + AB'CD' + AB'CD + ABC'D' + ABC'D + ABCD' + ABCD \end{aligned}$$

$$= \sum m(3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15)$$

$$\begin{aligned} (4) \quad Y &= AB + BC + CD \\ &= ABC'D' + ABC'D + ABCD' + ABCD + A'BCD' + A'BCD + \\ &\quad A'B'CD + AB'CD \end{aligned}$$

$$(5) \quad Y = LM'N' + LM'N + L'MN' + LMN' + L'M'N + L'MN$$

$$\begin{aligned} (6) \quad Y &= (A \odot B)' + (C \odot D)' = (A \oplus B) + (C \oplus D) \\ &= A'B + AB' + C'D + CD' \\ &= A'BC'D' + A'BC'D + A'BCD' + A'BCD + AB'C'D' + AB'C'D + \\ &\quad AB'CD' + AB'CD + A'B'CD' + ABCD' + A'B'C'D + ABC'D \\ &= \sum m(1, 2, 4, 5, 6, 7, 8, 9, 10, 11, 13, 14) \end{aligned}$$

【题 2.11】 将下列各式化为最大项之积的形式。

$$(1) \quad Y = (A + B)(A' + B' + C')$$

$$(2) \quad Y = AB' + C$$

$$(3) \quad Y = A'BC' + B'C + AB'C$$

$$(4) \quad Y = BCD' + C + A'D$$

$$(5) \quad Y(A, B, C) = \sum m(1, 2, 4, 6, 7)$$

$$(6) \quad Y(A, B, C, D) = \sum m(0, 1, 2, 4, 5, 6, 8, 10, 11, 12, 14, 15)$$

解：

$$\begin{aligned} (1) \quad Y &= (A + B + CC')(A' + B' + C') \\ &= (A + B + C)(A + B + C')(A' + B' + C') \end{aligned}$$

$$\begin{aligned} (2) \quad Y &= (A + C)(B' + C) \\ &= (A + BB' + C)(AA' + B' + C) \\ &= (A + B' + C)(A + B + C)(A' + B' + C) \end{aligned}$$

(3) 首先将 Y 展开为最小项之和形式, 得到

$$Y(A, B, C) = m_1 + m_2 + m_5$$

根据 $Y + Y' = 1$ 以及全部最小项之和为 1 可知

$$\begin{aligned} Y' &= m_0 + m_3 + m_4 + m_6 + m_7 \\ Y &= (Y')' = (m_0 + m_3 + m_4 + m_6 + m_7)' \\ &= m'_0 m'_3 m'_4 m'_6 m'_7 \end{aligned}$$

又知 $m'_1 = M_1$, 故得

$$\begin{aligned} Y &= M_0 M_3 M_4 M_6 M_7 \\ &= (A + B + C)(A + B' + C')(A' + B + C)(A' + B' + C)(A' + B' + C') \end{aligned}$$

$$\begin{aligned} (4) \quad Y &= BCD' + C + A'D \\ &= C + A'D \\ &= (A' + C)(C + D) \end{aligned}$$

$$\begin{aligned}
&= (A' + BB' + C)(AA' + C + D) \\
&= (A' + B' + C + DD')(A' + B + C + DD') \\
&\quad (A' + BB' + C + D)(A + BB' + C + D) \\
&= (A' + B' + C + D')(A' + B' + C + D) \\
&\quad (A' + B + C + D')(A' + B + C + D) \\
&\quad (A + B' + C + D)(A + B + C + D)
\end{aligned}$$

(5) 因为已知 $Y(A, B, C) = m_1 + m_2 + m_4 + m_6 + m_7$, 所以

$$\begin{aligned}
Y'(A, B, C) &= m_0 + m_3 + m_5 \\
Y(A, B, C) &= (Y')' = (m_0 + m_3 + m_5)' = m_0' \cdot m_3' \cdot m_5' \\
&= M_0 \cdot M_3 \cdot M_5 \\
&= (A + B + C)(A + B' + C')(A' + B + C')
\end{aligned}$$

(6) 因为已知

$$\begin{aligned}
Y(A, B, C, D) &= m_0 + m_1 + m_2 + m_4 + m_5 + m_6 + m_8 + m_{10} + \\
&\quad m_{11} + m_{12} + m_{14} + m_{15}
\end{aligned}$$

所以可知

$$\begin{aligned}
Y'(A, B, C, D) &= m_3 + m_7 + m_9 + m_{13} \\
Y(A, B, C, D) &= (Y')' = (m_3 + m_7 + m_9 + m_{13})' \\
&= m_3' \cdot m_7' \cdot m_9' \cdot m_{13}' \\
&= M_3 \cdot M_7 \cdot M_9 \cdot M_{13} \\
&= (A + B + C' + D')(A + B' + C' + D') \\
&\quad (A' + B + C + D')(A' + B' + C + D')
\end{aligned}$$

【题 2.12】 将下列逻辑函数式化为与非-与非形式, 并画出全部由与非逻辑单元组成的逻辑电路图。

- (1) $Y = AB + BC + AC$
- (2) $Y = (A' + B)(A + B')C + (BC)'$
- (3) $Y = (ABC' + AB'C + A'BC)'$
- (4) $Y = A(BC)' + ((AB')' + A'B' + BC)'$

解:

- (1) $Y = ((AB + BC + AC)')' = ((AB)' \cdot (BC)' \cdot (AC)')'$
- (2) $Y = (A' + B)(A + B')C + (BC)'$
 $= (AB + A'B')C + B' + C'$
 $= A + B' + C' = (A'BC)'$
- (3) $Y = (ABC' + AB'C + A'BC)'$
 $= A'B'C' + A'B'C + A'BC' + AB'C' + ABC$
 $= A'B' + A'C' + B'C' + ABC$

$$\begin{aligned}
 &= ((A'B' + A'C' + B'C' + ABC)'')' \\
 &= ((A'B')' \cdot (A'C')' \cdot (B'C')' \cdot (ABC)')' \\
 \end{aligned}$$

$$\begin{aligned}
 (4) \quad Y &= A(BC)' + ((AB')' + A'B' + BC)' \\
 &= A(BC)' + AB' \cdot (A'B')' \cdot (BC)' \\
 &= A(BC)' = ((A \cdot (BC)')')' \\
 \end{aligned}$$

(1)、(2)、(3)、(4)各式对应的电路图如图 A2.12(a)、(b)、(c)、(d)。

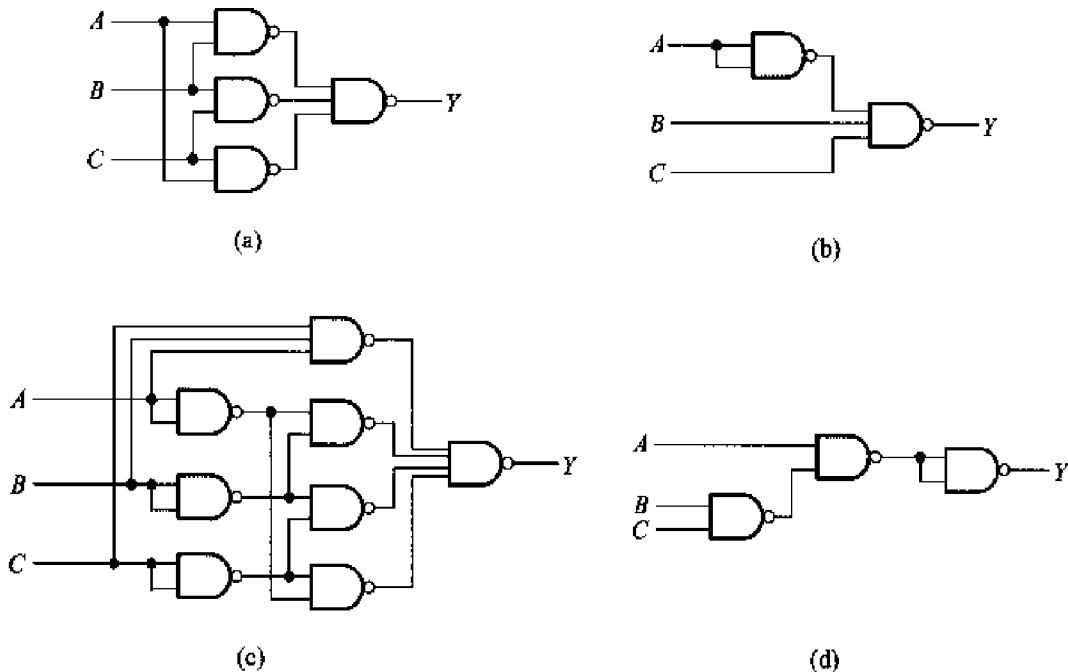


图 A2.12

【题 2.13】 将下列逻辑函数化为或非 - 或非形式，并画出全部用或非逻辑单元组成的逻辑电路图。

- (1) $Y = AB'C + BC'$
- (2) $Y = (A + C)(A' + B + C')(A' + B' + C)$
- (3) $Y = (ABC' + B'C')D' + A'B'D$
- (4) $Y = ((CD')'(BC)'(ABC)'D')'$

解：

$$\begin{aligned}
 (1) \quad Y &= AB'C + BC' \\
 &= ((AB'C)' \cdot (BC')')' \\
 &= ((A' + B + C')(B' + C))' \\
 &= (A'B' + A'C + BC + B'C')' \\
 &= (A'B' + BC + B'C')' \\
 &= ((A + B)' + (B' + C')' + (B + C)')' \\
 \end{aligned}$$

$$(2) Y = (A + C)(A' + B + C')(A' + B' + C) \\ = A'C + BC + AB'C'$$

画出上式的卡诺图, 合并其中的 0, 然后求反, 得到

$$Y = (A'C' + AB'C + BC')' \\ = ((A + C)' + (B' + C)' + (A' + B + C')')'$$

$$(3) Y = (ABC' + B'C)'D' + A'B'D \\ = (((ABC' + B'C)'D' + A'B'D)')' \\ = ((ABC' + B'C + D)(A + B + D'))' \\ = (ABC' + AD + B'CD' + BD)' \\ = ((A' + B' + C)' + (A' + D')' + (B + C' + D)' + (B' + D')')'$$

$$(4) Y = ((CD')' \cdot (BC)' \cdot (ABC)' \cdot D')' \\ = ((C' + D)(B' + C')(A' + B' + C')D')' \\ = (C'D'(B' + C'))' \\ = (C'D')' = ((C + D)')'$$

以上(1)、(2)、(3)、(4)各式对应的电路图如图 A2.13(a)、(b)、(c)、(d) 所示。

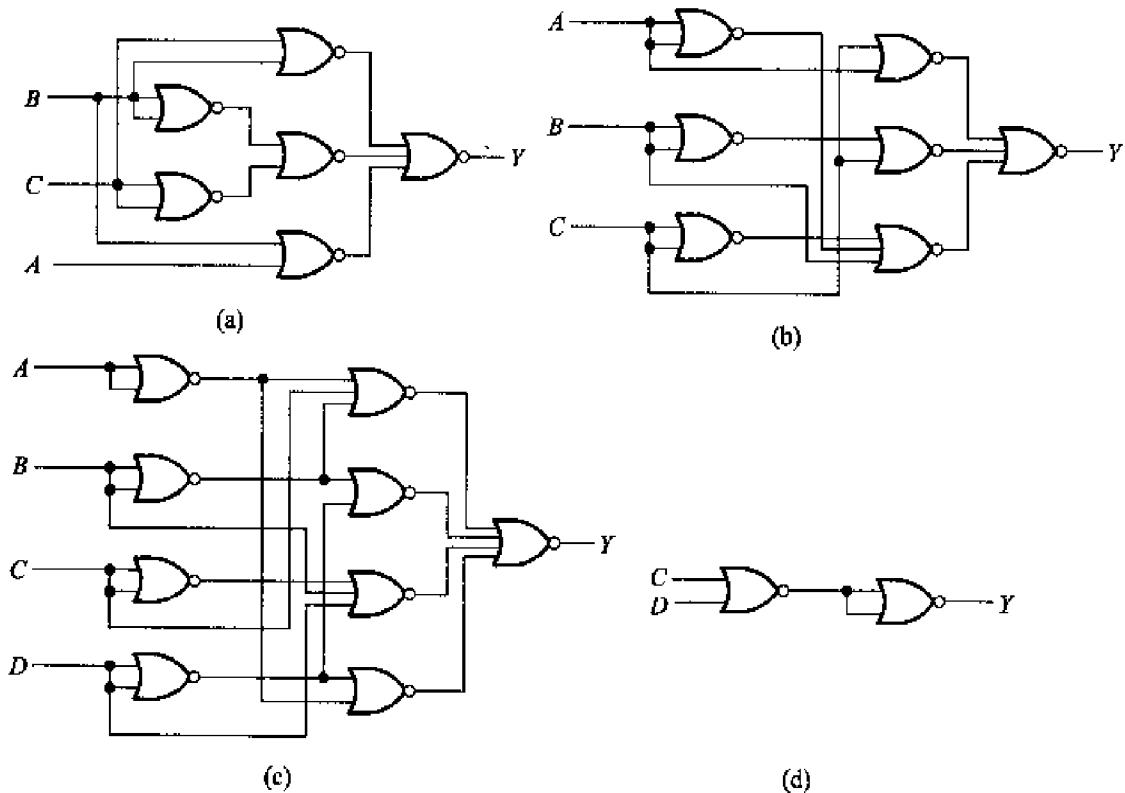


图 A2.13

【题 2.14】 利用逻辑代数的基本公式和常用公式化简下列各式。

- (1) $ACD' + D'$
- (2) $AB'(A + B)$
- (3) $AB' + AC + BC$
- (4) $AB(A + B'C)$
- (5) $E'F' + E'F + EF' + EF$
- (6) $ABD + AB'CD' + AC'DE + A$
- (7) $A'BC + (A + B')C$
- (8) $AC + BC' + A'B$

解：

- (1) $ACD' + D' = D'$
- (2) $AB'(A + B) = AB'$
- (3) $AB' + AC + BC = AB' + BC$
- (4) $AB(A + B'C) = AB$
- (5) $E'F' + E'F + EF' + EF = E'(F' + F) + E(F' + F) = E' + E = 1$
- (6) $ABD + AB'CD' + AC'DE + A = A$
- (7) $A'BC + (A + B')C = (A'B)C + (A'B)'C = C$
- (8) $AC + BC' + A'B = AC + B(A' + C') = AC + (AC)'B = AC + B$

【题 2.15】 用逻辑代数的基本公式和常用公式将下列逻辑函数化为最简与或形式。

- (1) $Y = AB' + B + A'B$
- (2) $Y = AB'C + A' + B + C'$
- (3) $Y = (A'BC)' + (AB')'$
- (4) $Y = AB'CD + ABD + AC'D$
- (5) $Y = AB'(A'CD + (AD + B'C')')(A' + B)$
- (6) $Y = AC(C'D + A'B) + BC((B' + AD)' + CE)'$
- (7) $Y = AC' + ABC + ACD' + CD$
- (8) $Y = A + (B + C')(A + B' + C)(A + B + C)$
- (9) $Y = BC' + ABC'E + B'(A'D' + AD)' + B(AD' + A'D)$
- (10) $Y = AC + AC'D + AB'E'F + B(D \oplus E) + BC'D'E' + BC'D'E + ABE'F$

解：

- (1) $Y = AB' + B + A'B = AB' + B \approx A + B$
- (2) $Y = AB'C + A' + B + C' = AB'C + (AB'C)' = 1$
- (3) $Y = (A'BC)' + (AB')' = A + B' + C' + A' + B$
 $= (A + A') + (B + B') + C' = 1$
- (4) $Y = AB'CD + ABD + AC'D = AD(B'C + B + C') \approx AD(C + C') = AD$

- $$\begin{aligned}
 (5) \quad Y &= AB'(A'CD + (AD + B'C')')(A' + B) \\
 &= (AB')(AB')'(A'CD + (AD + B'C')') = 0 \\
 (6) \quad Y &= AC(C'D + A'B) + BC((B' + AD)' + CE)' \\
 &= BC(B' + AD)(CE)' = ABCD(C' + E') = ABCDE' \\
 (7) \quad Y &= AC' + ABC + ACD' + CD = A(C' + BC) + C(AD' + D) \\
 &= A(C' + B) + C(A + D) \\
 &= AC' + AB + AC + CD = A(C + C') + AB + CD \\
 &= A + CD \\
 (8) \quad Y &= A + (B + C')'(A + B' + C)(A + B + C) = A + B'C(A + C) \\
 &= A + AB'C + B'C = A + B'C \\
 (9) \quad Y &= BC' + ABC'E + B'(A'D' + AD)' + B(AD' + A'D) \\
 &= BC' + B'(AD' + A'D) + B(AD' + A'D) \\
 &= BC' + (B' + B)(AD' + A'D) = BC' + AD' + A'D \\
 (10) \quad Y &= AC + AC'D + AB'E'F + B(D \oplus E) + BC'DE' + BC'D'E + ABE'F \\
 &= AC + ACD + AC'D + AB'E'F + B(D \oplus E) + BC'(D \oplus E) + ABE'F \\
 &= AC + AD + AE'F(B' + B) + B(D \oplus E) \\
 &= AC + AD + AE'F + B(D \oplus E)
 \end{aligned}$$

【题 2.16】写出图 P2.16 中各卡诺图所表示的逻辑函数式。

解：

- $Y = A'BC + AB'C' + AB'C + ABC'$
- $Y = A'B'C'D' + A'B'CD' + A'BC'D + AB'C'D' + AB'CD' + ABCD$
- $Y = A'B'C'D + A'B'CD' + A'BC'D + A'BCD + AB'CD' + ABC'D' + ABCD$
- $Y = A'B'C'D'E' + A'B'CD'E + A'B'CDE + A'BC'D'E + A'BC'DE + A'BCD'E' + AB'C'D'E' + AB'C'DE' + AB'C'DE + ABC'D'E + ABCD'E + ABCDE$

【题 2.17】用卡诺图化简法化简以下逻辑函数。

- $Y_1 = C + ABC$
- $Y_2 = AB'C + BC + A'BC'D$
- $Y_3(A, B, C) = \sum m(1, 2, 3, 7)$
- $Y_4(A, B, C, D) = \sum m(0, 1, 2, 3, 4, 6, 8, 9, 10, 11, 14)$

解：

- 画出 Y_1 的卡诺图, 如图 A2.17(a)。将图中的 1 合并, 得到

$$Y_1 = C$$

- 画出 Y_2 的卡诺图, 如图 A2.17(b)。按图中合并最小项方法得到

$$Y_2 = A'BD + AC + BC$$

- 画出 Y_3 的卡诺图, 如图 A2.17(c)。合并最小项后得到

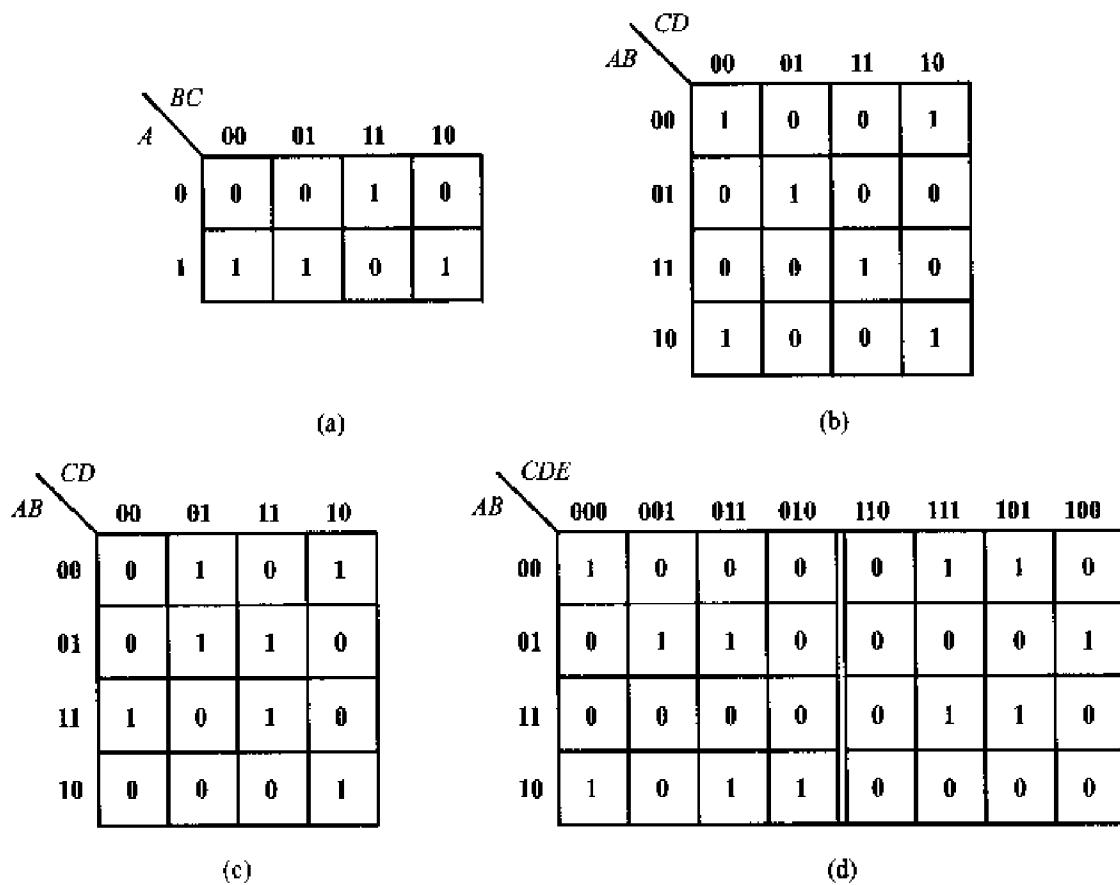


图 P2.16

$$Y_3 = A'B + A'C + BC$$

(4) 画出 Y_4 的卡诺图, 如图 A2.17(d)。合并最小项后得到

$$Y_4 = A'D' + CD' + B'$$

【题 2.18】 用卡诺图化简法将下列函数化为最简与或形式。

$$(1) Y = ABC + ABD + C'D' + AB'C + A'CD' + AC'D$$

$$(2) Y = AB' + A'C + BC + C'D$$

$$(3) Y = A'B' + BC' + A' + B' + ABC$$

$$(4) Y = A'B' + AC + B'C$$

$$(5) Y = AB'C' + A'B' + A'D + C + BD$$

$$(6) Y(A, B, C) = \sum m(0, 1, 2, 5, 6, 7)$$

$$(7) Y(A, B, C, D) = \sum m(0, 1, 2, 5, 8, 9, 10, 12, 14)$$

$$(8) Y(A, B, C) = \sum m(1, 4, 7)$$

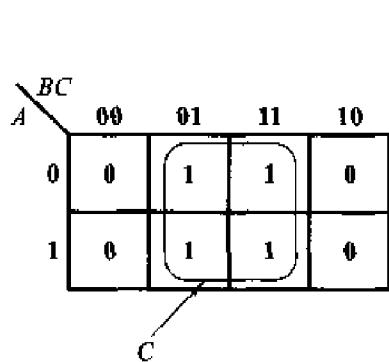
解:

(1) 画出函数的卡诺图, 如图 A2.18(a)。合并最小项后得到

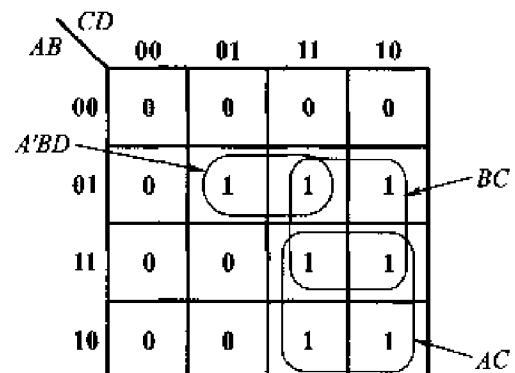
$$Y = A + D'$$

(2) 画出函数的卡诺图, 如图 A2.18(b)。合并最小项后得到

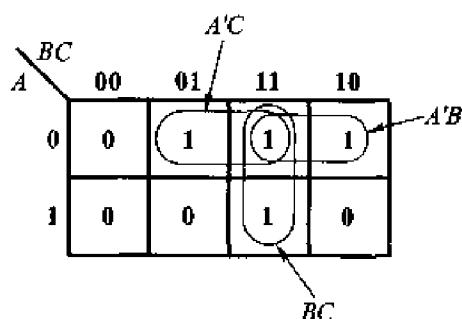
$$Y = AB' + C + D$$



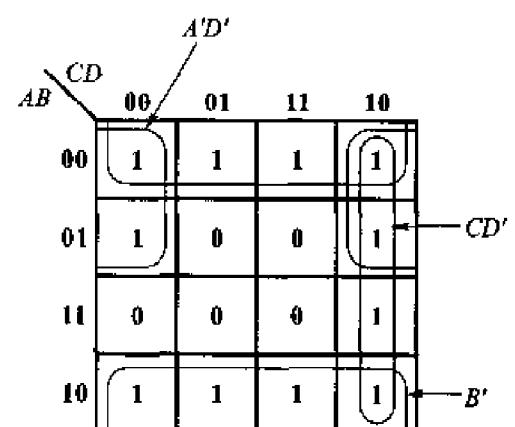
(a)



(b)



(c)



(d)

图 A2.17

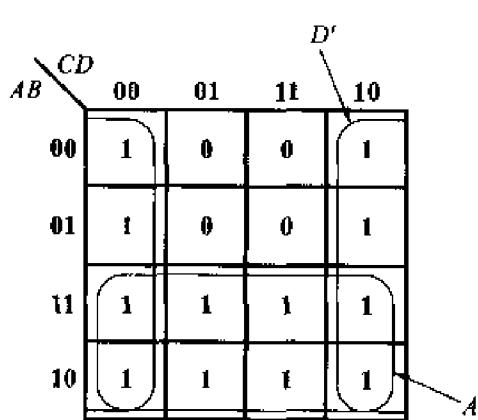


图 A2.18(a)

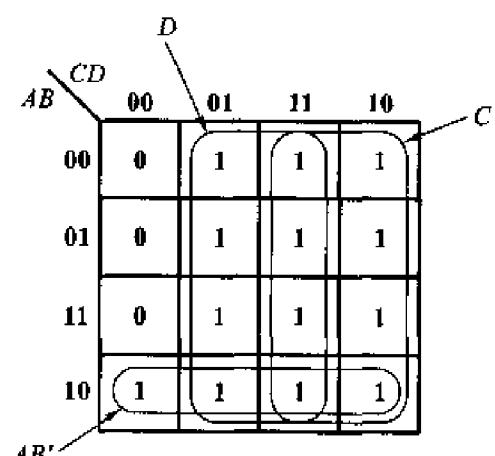


图 A2.18(b)

(3) 画出函数的卡诺图,如图 A2.18(c)。合并最小项后得到

$$Y = 1$$

(4) 画出函数的卡诺图,如图 A2.18(d)。合并最小项后得到

$$Y = A'B' + AC$$

		BC		00		01		11		10	
		A	0	0	1	1	1	1	1	1	1
0	0	1	1	1	1	1	1	1	1	1	1
	1	1	1	1	1	1	1	1	1	1	1

		BC		00		01		11		10	
		A	0	0	1	1	0	0	1	1	0
0	0	1	1	1	1	0	0	1	1	0	0
	1	0	0	0	0	1	1	0	0	0	0

图 A2.18(e)

图 A2.18(d)

(5) 画出函数的卡诺图, 如图 A2.18(e)。合并最小项后得到

$$Y = B' + C + D$$

(6) 画出函数的卡诺图, 如图 A2.18(f)。合并最小项后得到

$$Y = A'B' + AC + BC'$$

		CD		00		01		11		10	
		AB	0	0	1	1	1	1	1	1	1
00	0	1	1	1	1	1	1	1	1	1	1
	1	0	1	1	1	1	1	1	1	1	1
01	0	0	1	1	1	1	1	1	1	1	1
	1	0	1	1	1	1	1	1	1	1	1
11	0	0	1	1	1	1	1	1	1	1	1
	1	1	1	1	1	1	1	1	1	1	1
10	0	1	1	1	1	1	1	1	1	1	1
	1	0	1	1	1	1	1	1	1	1	1

		BC		00		01		11		10	
		A	0	0	1	1	0	0	1	1	0
0	0	1	1	1	1	0	0	1	1	0	0
	1	0	0	0	0	1	1	0	0	0	0

图 A2.18(e)

图 A2.18(f)

(7) 画出函数的卡诺图, 如图 A2.18(g)。合并最小项后得到

$$Y = AD' + B'C' + B'D' + A'C'D$$

(8) 画出函数的卡诺图, 如图 A2.18(h)。由于最小项已不能合并, 故仍为

$$Y = A'B'C + AB'C' + ABC = \sum m(1, 4, 7)$$

		CD		00		01		11		10	
		AB	0	0	1	1	0	0	1	1	0
00	0	1	1	1	1	1	1	1	1	1	1
	1	0	0	0	0	1	1	0	0	0	0
01	0	0	1	1	1	1	1	1	1	1	1
	1	0	0	0	0	1	1	0	0	0	0
11	0	1	0	0	0	1	1	0	0	0	0
	1	0	1	0	0	1	1	0	0	0	0
10	0	1	1	0	0	1	1	0	0	0	0
	1	0	0	1	1	0	0	1	1	0	0

图 A2.18(g)

		BC		00		01		11		10	
		A	0	0	1	1	0	0	1	1	0
0	0	0	0	1	1	0	0	1	1	0	0
	1	1	0	0	1	1	0	1	0	0	0

图 A2.18(h)

【题 2.19】 化简下列逻辑函数(方法不限)。

- (1) $Y = AB' + A'C + C'D' + D$
- (2) $Y = A'(CD' + C'D) + BC'D + AC'D + A'CD'$
- (3) $Y = ((A' + B')D)' + (A'B' + BD)C' + A'BC'D + D'$
- (4) $Y = AB'D + A'B'C'D + B'CD + (AB' + C)'(B + D)$
- (5) $Y = (AB'C'D + AC'DE + B'DE' + AC'D'E)'$

解:

- (1)
$$\begin{aligned} Y &= AB' + A'C + C'D' + D = AB' + A'C + C' + D = AB' + A' + C' + D \\ &= A' + B' + C' + D \end{aligned}$$
- (2)
$$\begin{aligned} Y &= A'(CD' + C'D) + BC'D + AC'D + A'CD' \\ &= A'CD' + A'C'D + BC'D + AC'D + A'CD' \\ &= C'D(A' + A) + BC'D + A'CD' = C'D + B(C'D) + A'CD' \\ &= C'D + A'CD' \end{aligned}$$
- (3)
$$\begin{aligned} Y &= ((A' + B')D)' + (A'B' + BD)C' + A'BC'D + D' \\ &= ((AB)'D)' + A'B'C' + BC'D + A'BC'D + D' \\ &= AB + D' + A'B'C' + BC' + A'BC' = AB + A'C'(B + B') + BC' + D' \\ &= AB + A'C' + BC' + D' \\ &= AB + A'C' + D' \end{aligned}$$

(4) 首先将函数展开为与或形式并化简

$$\begin{aligned} Y &= AB'D + A'B'C'D + B'CD + (AB' + C)'(B + D) \\ &= AB'D + A'B'C'D + B'CD + (A' + B)C'(B + D) \\ &= AB'D + A'B'C'D + B'CD + BC' + A'C'D \\ &= AB'D + B'CD + BC' + A'C'D \end{aligned}$$

根据上式画出相应的卡诺图,如图 A2.19(a)。利用卡诺图进一步化简后得到

$$Y = BC' + B'D$$

(5) 画出函数的卡诺图。填写这个卡诺图时,只要在括号内各个最小项对应位置上填入 0,在其余位置上填入 1 就行了。将括号内的逻辑式化为最小项之和形式得到

$$\begin{aligned} Y(A, B, C, D, E) &= (AB'C'D + AC'DE + B'DE' + AC'D'E)' \\ &= (m_2 + m_6 + m_{17} + m_{18} + m_{19} + m_{22} + m_{23} + m_{27})' \end{aligned}$$

将上式括号内最小项在卡诺图中的位置上填入 0,而在卡诺图中其余最小项位置上填入 1,就得到了图 A2.19(b) 的卡诺图。合并最小项后得出

$$Y = A'E + CE + BE' + D'E'$$

合并最小项时需注意,图中以双线为轴左右对称的最小项也是相邻的。

【题 2.20】 写出图 P2.20 中各逻辑图的逻辑函数式,并化简为最简与或式。

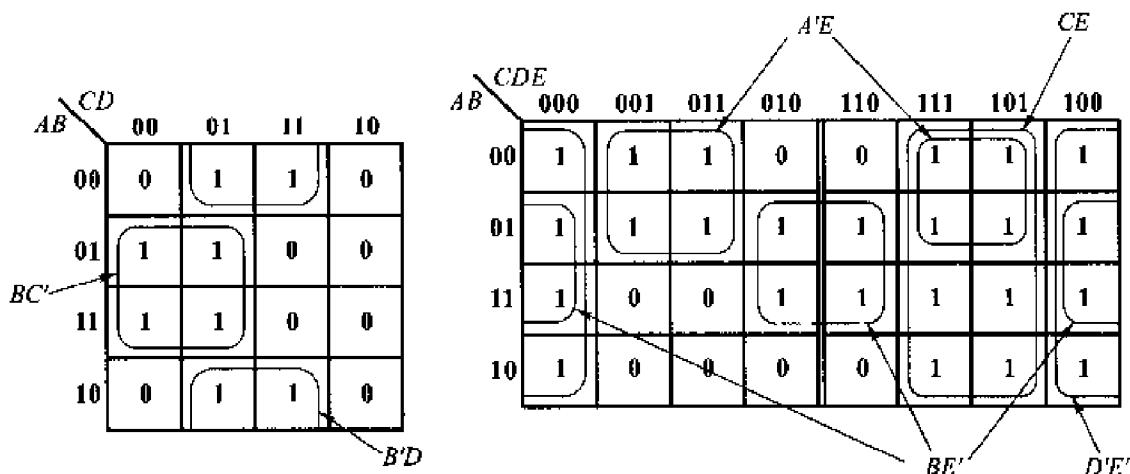


图 A2.19(a)

图 A2.19(b)

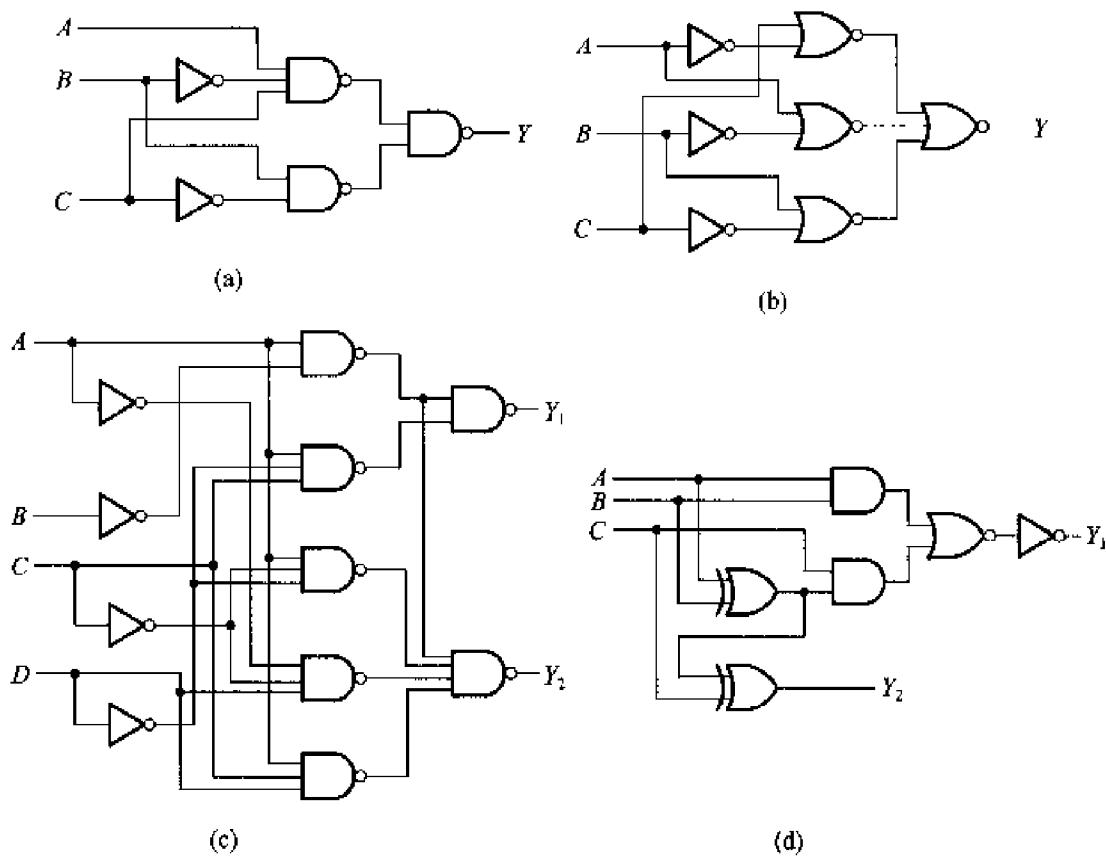


图 P2.20

解：

- (a) $Y = ((AB'C)'(BC')')' = AB'C + BC'$
- (b) $Y = ((A' + C)' + (A + B')' + (B + C')')'$
 $= (A' + C)(A + B')(B + C') = ABC + A'B'C'$
- (c) $Y_1 = ((AB')'(ACD')')' = AB' + ACD'$

$$\begin{aligned} Y_2 &= ((AB')'(AC'D')'(A'C'D')'(ACD)')' \\ &= AB' + AC'D' + A'C'D + ACD \end{aligned}$$

$$(d) Y_1 = (((AB) + C(A \oplus B))')' = AB + C(A'B + AB') = AB + AC + BC$$

$$\begin{aligned} Y_2 &= (A \oplus B) \oplus C = (A \oplus B)C' + (A \oplus B)'C \\ &= AB'C' + A'BC' + A'B'C + ABC \end{aligned}$$

【题 2.21】对于互相排斥的一组变量 A, B, C, D, E (即任何情况下 A, B, C, D, E 不可能有两个或两个以上同时为 1), 试证明 $AB'C'D'E' = A, A'BC'D'E' = B, A'B'CD'E' = C, A'B'C'DE' = D, A'B'C'D'E = E$ 。

解: 首先证明 $AB'C'D'E' = A$ 。

根据题意,任何时候不可能出现两个以上的变量同时等于 1,所以凡是包含两个以上原变量因子的最小项均为约束项,取值始终为 0。而且,任何包含两个以上原变量的乘积项也始为 0。由此可知

$$\begin{aligned} AB'C'D'E' &= AB'C'D'E' + AB'C'D'E = AB'C'D'(E' + E) \\ &= AB'C'D' + AB'C'D = AB'C'(D' + D) \\ &= AB'C' + AB'C = AB'(C' + C) \\ &= AB' + AB = A(B' + B) \\ &= A \end{aligned}$$

同理可以证明 $A'BC'D'E' = B, A'B'CD'E' = C, A'B'C'DE' = D, A'B'C'D'E = E$ 。

【题 2.22】将下列具有约束项的逻辑函数化为最简与或形式。

$$(1) Y_1 = AB'C' + ABC + A'B'C + A'BC'$$

给定约束条件为 $A'B'C' + A'BC = 0$ 。

$$(2) Y_2 = (A + C + D)' + A'B'CD' + AB'C'D, \text{给定约束条件为 } AB'CD' + AB'CD + ABC'D' + ABC'D + ABCD' + ABCD = 0。$$

$$(3) Y_3 = CD'(A \oplus B) + A'BC' + A'C'D, \text{给定约束条件为 } AB + CD = 0。$$

$$(4) Y_4 = (AB' + B)CD' + ((A + B)(B' + C))', \text{给定约束条件为 } ABC + ABD + ACD + BCD = 0。$$

解: 先将函数式化为最小项之和形式,然后画出每个函数的卡诺图,利用卡诺图化简。

$$(1) Y_1(A, B, C) = \sum m(1, 2, 4, 7) + d(0, 3)$$

画出 Y_1 的卡诺图,如图 A2.22(a)。化简后得到

$$Y_1 = A' + B'C' + BC$$

$$(2) Y_2(A, B, C, D) = \sum m(0, 2, 4, 9) + d(10, 11, 12, 13, 14, 15)$$

画出 Y_2 的卡诺图,如图 A2.22(b)。化简后得到

$$Y_2 = A'B'D' + A'C'D' + AD$$

$$(3) Y_3(A, B, C, D) = \sum m(1, 4, 5, 6, 10) + d(3, 7, 11, 12, 13, 14, 15)$$

画出 Y_3 的卡诺图, 如图 A2.22(e)。化简后得到

$$Y_3 = B + A'D + AC$$

$$(4) Y_4(A, B, C, D) = \sum m(0, 1, 2, 3, 4, 5, 6, 10, 12) + d(7, 11, 13, 14, 15)$$

画出 Y_4 的卡诺图, 如图 A2.22(d)。化简后得到

$$Y_4 = A' + B + C$$

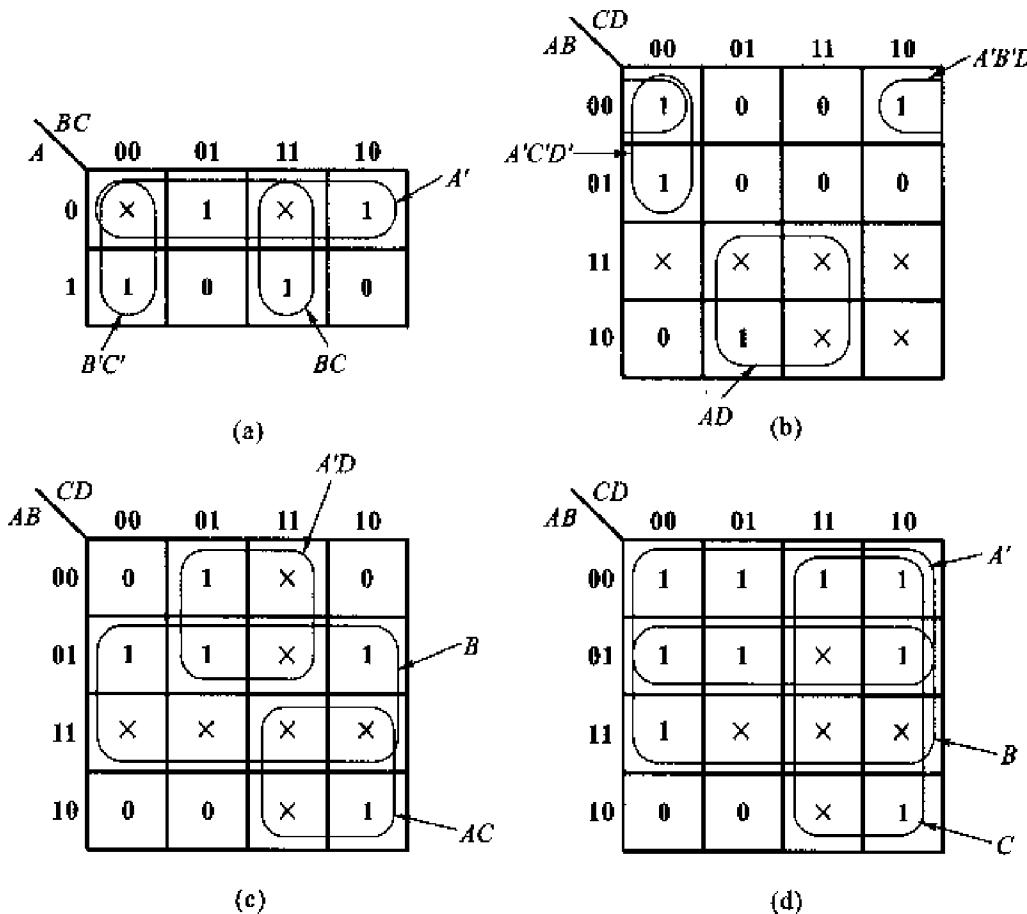


图 A2.22

【题 2.23】 将下列具有无关项的逻辑函数化为最简的与或逻辑式。

$$(1) Y_1(A, B, C) = \sum m(0, 1, 2, 4) + d(5, 6)$$

$$(2) Y_2(A, B, C) = \sum m(1, 2, 4, 7) + d(3, 6)$$

$$(3) Y_3(A, B, C, D) = \sum m(3, 5, 6, 7, 10) + d(0, 1, 2, 4, 8)$$

$$(4) Y_4(A, B, C, D) = \sum m(2, 3, 7, 8, 11, 14) + d(0, 5, 10, 15)$$

解: 画出 Y_1, Y_2, Y_3, Y_4 的卡诺图分别为图 A2.23(a)、(b)、(c)、(d)。化简后得到

$$Y_1 = B' + C'$$

$$Y_2 = B + A'C + AC'$$

$$Y_3 = A' + B'D'$$

$$Y_4 = AC + CD + B'D'$$

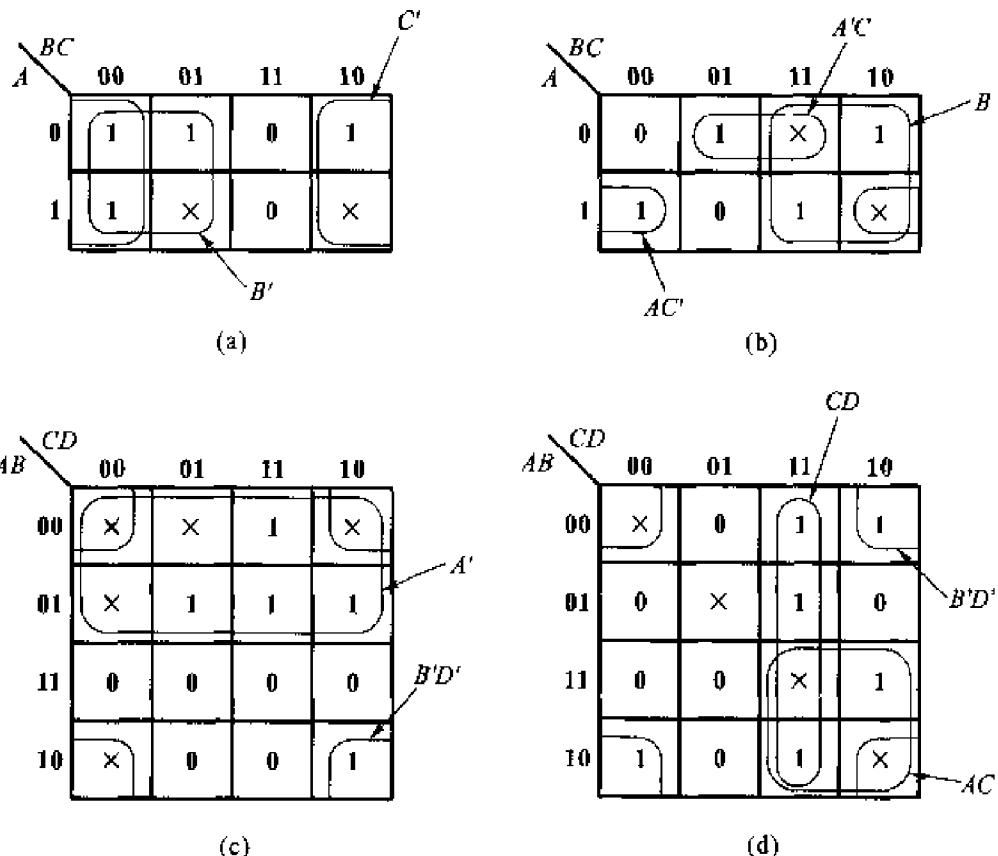


图 A2.23

【题 2.24】 试证明两个逻辑函数间的与、或、异或或运算可以通过将它们的卡诺图中对应的最小项作与、或、异或运算来实现,如图 P2.24 所示。

解: 设两个逻辑函数分别为 $Y_1 = \sum m_{i_1}$, $Y_2 = \sum m_{i_2}$ 。

(1) 证明 $Y_1 \cdot Y_2 = \sum m_{i_1} \cdot m_{i_2}$

因为任何两个不同的最小项之积均为 0, 而两个相同的最小项之积仍等于这个最小项, 所以 Y_1 和 Y_2 的乘积中仅为它们的共同的最小项之和, 即

$$Y_1 \cdot Y_2 = \sum m_{i_1} \cdot \sum m_{i_2} = \sum m_{i_1 \cdot i_2}$$

因此, 可以通过将 Y_1 、 Y_2 卡诺图上对应的最小项相乘, 得到 $Y_1 \cdot Y_2$ 卡诺图上对应的最小项。

(2) 证明 $Y_1 + Y_2 = \sum m_{i_1} + \sum m_{i_2}$

因为 $Y_1 + Y_2$ 等于 Y_1 和 Y_2 的所有最小项之和, 所以将 Y_1 和 Y_2 卡诺图中对

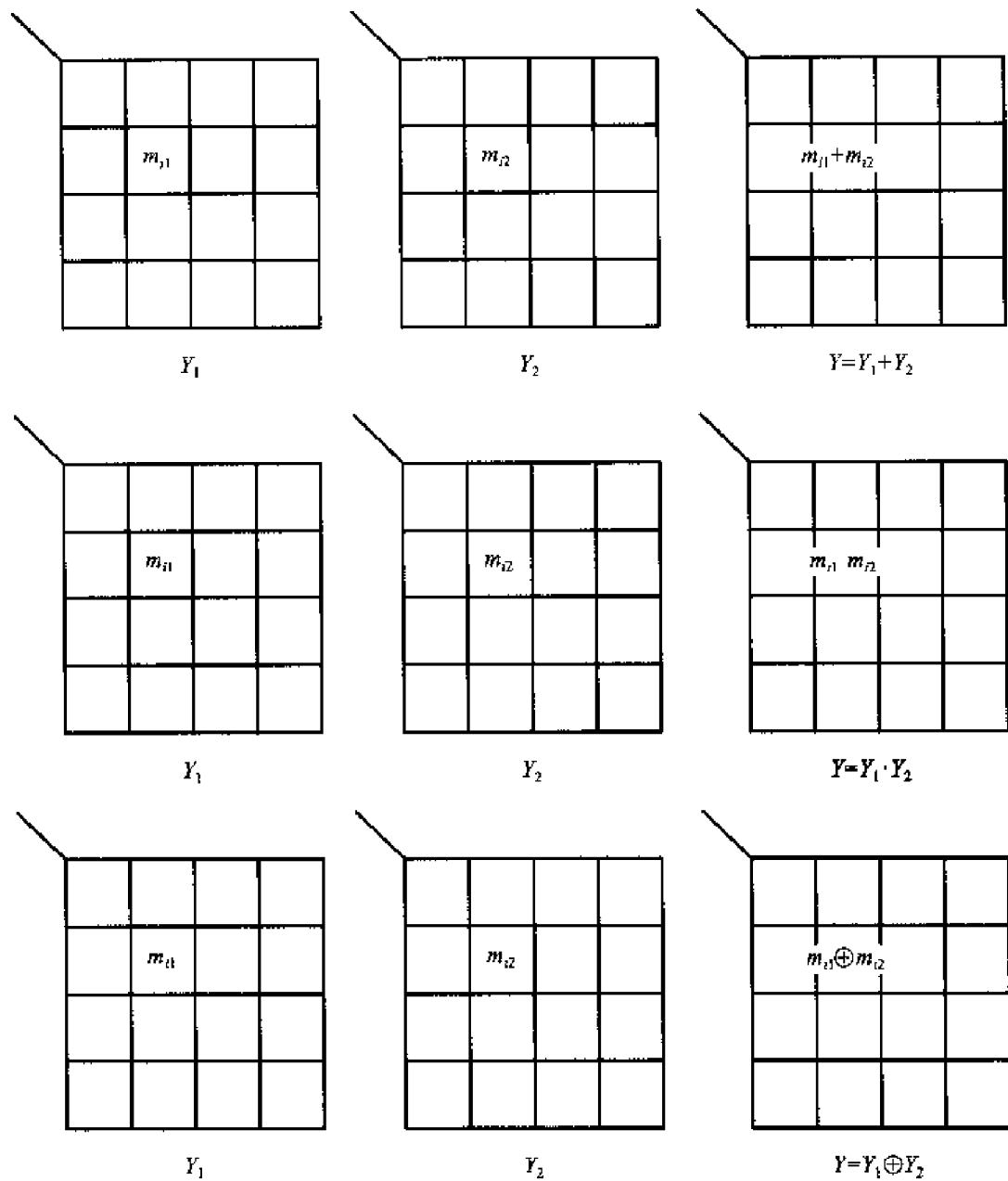


图 P2.24

应的最小项相加,就得到 $Y_1 + Y_2$ 卡诺图中对应的最小项了。

(3) 证明 $Y_1 \oplus Y_2 = \sum m_{11} \oplus m_{12}$

已知 $Y_1 \oplus Y_2 = (Y_1 \odot Y_2)' = (Y_1 Y_2 + Y'_1 Y'_2)'$

根据上面已证明的与运算方法知, $Y_1 Y_2$ 等于两个卡诺图中同为 1 的最小项之和, $Y'_1 Y'_2$ 等于 Y_1, Y_2 卡诺图中同为 0 的最小项之和。因此, $Y_1 \odot Y_2$ 等于 Y_1, Y_2 卡诺图中同为 1 和同为 0 的最小项之和。

由于 $Y_1 \oplus Y_2 = (Y_1 \odot Y_2)'$, 所以 $Y_1 \oplus Y_2$ 应等于 Y_1, Y_2 卡诺图中取值不同的

那些最小项之和。因此,可以通过 Y_1 、 Y_2 卡诺图中对应最小项的异或运算求出 $Y_1 \oplus Y_2$ 卡诺图中对应的最小项。

【题 2.25】 利用卡诺图之间的运算(参见上题)将下列逻辑函数化为最简与或式。

$$(1) Y = (AB + A'C + B'D)(AB'C'D + A'CD + BCD + B'C)$$

$$(2) Y = (A'B'C + A'BC' + AC)(AB'C'D + A'BC + CD)$$

$$(3) Y = (A'D' + C'D + CD') \oplus (AC'D' + ABC + A'D + CD)$$

$$(4) Y = (A'C'D' + B'D' + BD) \oplus (A'BD' + B'D + BCD')$$

解:

$$(1) \text{令 } Y_1 = AB + A'C + B'D, Y_2 = AB'C'D + A'CD + BCD + B'C$$

则 $Y = Y_1 \cdot Y_2 = AB'D + A'B'C + CD$ [见图 A2.25(a)]

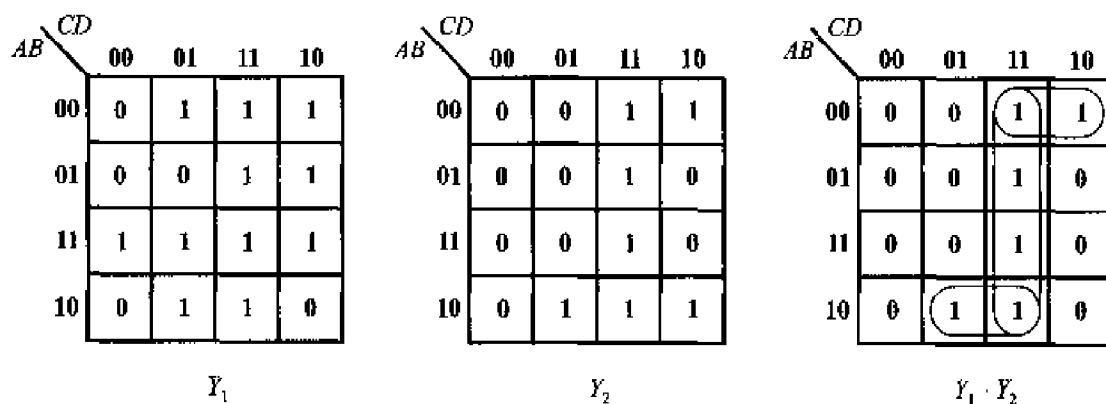


图 A2.25(a)

(2) 令 $Y_1 = A'B'C + A'BC' + AC, Y_2 = AB'C'D + A'BC + CD$,
则 $Y_1 \cdot Y_2 = ACD + B'CD$ [见图 A2.25(b)]

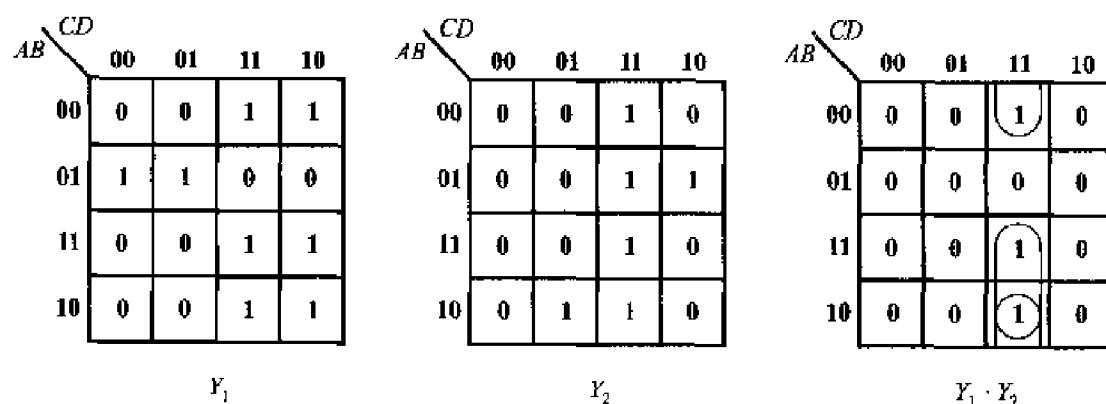


图 A2.25(b)

(3) 令 $Y_1 = A'D' + C'D + CD'$, $Y_2 = AC'D' + ABC + A'D + CD$
则 $Y_1 \oplus Y_2 = AB' + A'C + AD + C'D'$ [见图 A2.25(c)]
(此题化简结果不是唯一的。)

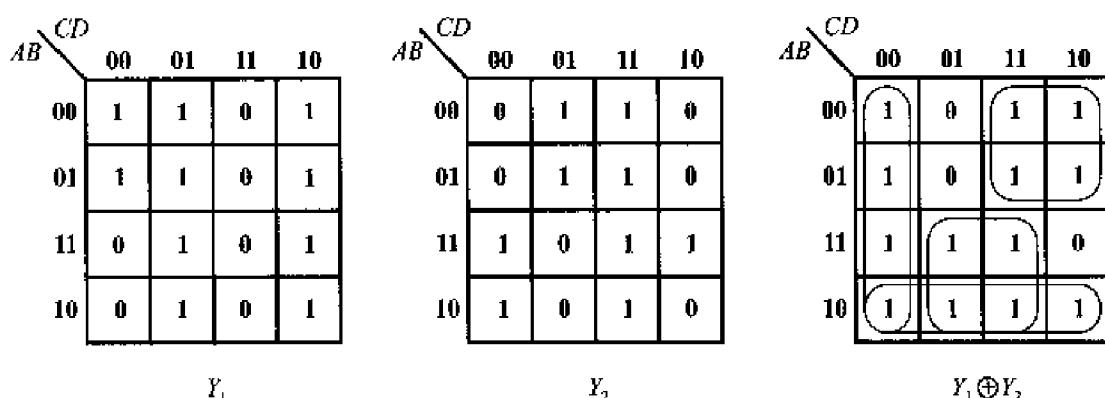


图 A2.25(c)

(4) 令 $Y_1 = A'C'D' + B'D' + BD$, $Y_2 = A'BD' + B'D + BCD'$,
则 $Y_1 \oplus Y_2 = (BC'D')' = B' + C + D$ [见图 A2.25(d)]

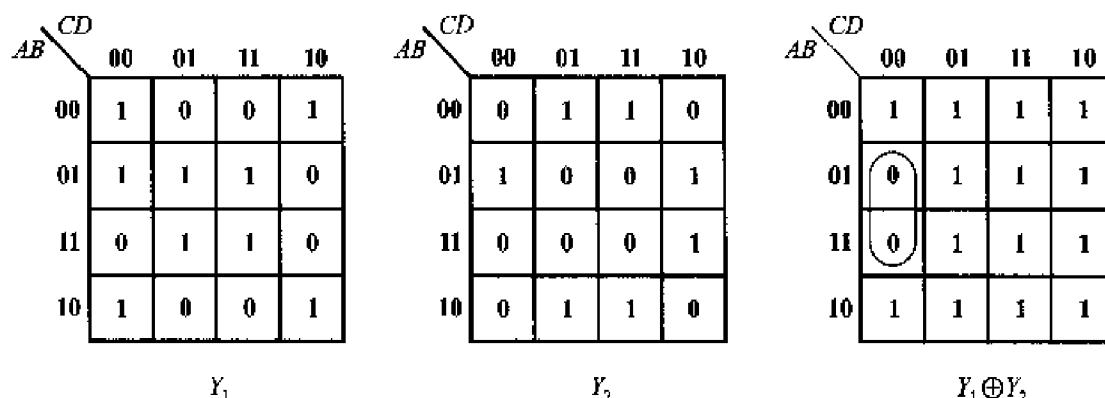


图 A2.25(d)

【题 2.26】用 Multisim7 求下列函数的反函数式, 并将得到的函数式化简成最简与或形式。

- (1) $Y = AB + C$
- (2) $Y = (A + BC)C'D$
- (3) $Y = ((A + B')(A' + C))'AC + BC$
- (4) $Y = ((AB')'C + C'D)'(AC + BD)$
- (5) $Y = AD' + A'C' + B'C'D + C$
- (6) $Y = E'F'G' + E'F'G + E'FG' + E'FG + EF'G' + EF'G + EFG' + EFG$

解:

(1) 启动 Multisim7 程序, 找出逻辑转换器, 打开本书第 38 页上图 2-12 所示的逻辑转换器操作面板。在操作面板底下一栏中键入 Y' , 即键入

$$(AB + C)'$$

点击面板右侧第四个按钮, 首先将函数式转换成真值表, 然后再点击第三个按钮, 就得到最简的与或表达式, 并显示于操作面板底下一栏中。得到的化简结果为

$$Y' = A'B' + B'C'$$

(2) 按(1)中同样的操作方法, 得到

$$Y' = A' + C + D'$$

$$(3) Y' = B' + C'$$

$$(4) Y' = A' + B + C'$$

$$(5) Y' = AC'D$$

$$(6) Y' = 0$$

【题 2.27】 用 Multisim7 将下列逻辑函数式化为最简与或形式。

$$(1) Y(A, B, C, D) = ((AB + B'D)(A'C')')'(CD' + AD)$$

$$(2) Y(A, B, C, D, E) = ABCD'E' + A'B'D'E + AC'DE + A'C(BE + (C'D)')'$$

$$(3) Y(A, B, C, D, E) = \sum m(0, 4, 11, 15, 16, 19, 20, 23, 27, 31)$$

$$(4) Y(A, B, C, D, E) = \sum m(1, 3, 5, 8, 9, 12, 13, 18, 19, 22, 23, 24, 25, 28, 29)$$

$$(5) Y(A, B, C, D, E) = \sum m(2, 9, 15, 19, 20, 23, 24, 25, 27, 28) + d(5, 6, 16, 31)$$

$$(6) Y(A, B, C, D, E) = \sum m(1, 4, 5, 8, 9, 10, 13, 14, 19, 20, 22, 23, 26, 28) + d(0, 11, 12, 18, 30)$$

$$(7) Y(A, B, C, D, E, F) = \sum m(0, 4, 8, 11, 12, 15, 16, 17, 20, 21, 27, 31, 32, 36, 59, 63)$$

$$(8) Y(A, B, C, D, E, F) = \sum m(3, 7, 9, 11, 13, 15, 16, 19, 27, 29, 31, 41, 43, 45, 47, 48)$$

$$(9) Y(A, B, C, D, E, F) = \sum m(8, 9, 12, 14, 15, 19, 20, 23, 24, 29, 36, 41, 42, 51, 52, 57, 58) + d(3, 6, 21, 22, 33, 34, 35, 49, 50)$$

$$(10) Y(A, B, C, D, E, F) = \sum m(0, 4, 9, 11, 15, 25, 27, 31, 32, 41, 45, 53, 59, 63) + d(13, 29, 36, 43, 47, 57, 61)$$

解:

(1) 启动 Multisim7 程序, 找出逻辑转换器图标, 打开逻辑转换器操作面板 (见图 2-12)。在操作面板最下面的一栏中键入给定的逻辑函数。利用面板右

侧的按钮就可以先将函数式转换为真值表,然后再从真值表转换为最简的与或表达式。化简结果为

$$Y = A'CD' + B'CD'$$

(2) 按(1)中所说的操作方法,得到

$$Y = A'B'D'E + AC'DE + ABCD'E'$$

(3) 对于以最小项之和形式给出的逻辑函数,而且是以最小项编号给出时,采用真值表输入逻辑函数更方便。

点击逻辑转换器操作面板上方 A 、 B 、 C 、 D 、 E 上面的小圆圈,五变量的全部取值组合便出现在面板左侧表格中。最左侧还以十进制给出对应的最小项编号。将函数中所含最小项编号对应的输出设置为 1,无关项对应的输出设置成 \times ,其余位置上的输出设置成 0,就得到了函数的真值表。利用面板右侧的按钮,即可将真值表转换为最简与或表达式了。化简结果为

$$Y = B'D'E' + ADE + BDE$$

按照同样的操作方法,即可得到以下各小题的化简结果了。

$$(4) Y = A'B'C'E + A'D'E + AB'D + BD'$$

$$(5) Y = A'B'DE' + BCDE + BC'D'E + ADE + AD'E'$$

$$(6) Y = A'D' + AB'D + BDE' + CD'E'$$

$$(7) Y = A'B'E'F' + A'BC'E' + A'CEF + B'C'E'F' + BCEF$$

$$(8) Y = A'B'EF + A'D'EF + A'CDF + B'CF + BC'D'E'F' + CEF$$

$$(9) Y = A'B'CD'E' + A'B'CE'F' + A'B'CDE + A'BC'D + A'CD'E'F' + A'BDE'F + C'D'EF + AC'DE'F' + AD'E'F + AD'EF$$

$$(10) Y = B'C'E'F' + ABDE'F + CF$$

第三章

门 电 路

3.1 本章习题类型与解题方法

这一章的习题大致可以分为四种类型:双极型三极管工作状态的计算、集成门电路逻辑功能的分析、输入特性和输出特性的应用、OD 门和 OC 门外接上拉电阻的计算。下面结合例题说明它们的解题方法。

一、双极型三极管工作状态的计算

在三极管开关电路中,为了使三极管工作在开关状态,必须保证输入为低电平时三极管工作在截止状态,而输入为高电平时三极管工作在饱和导通状态。(当然,非饱和逻辑电路除外)。因此,这一类习题要求计算输入为高、低电平下三极管的工作状态,以判断电路参数的选择是否合理。

解题方法和步骤:

(1) 利用戴维宁定理将输入电路(即接在三极管的基极和发射极之间的外接电路)简化为等效的 V_E 与 R_E 串联电路,如图 3-1 中所示。

(2) 计算 v_i 为低电平时的 V_E 值。若 $V_E < V_{ON}$,则认为三极管基本截止,参数设计合理。若 $V_E > V_{ON}$,则三极管导通,表明电路参数的选择不合理。

V_{ov} 是三极管发射结的开启电压,硅管近似地取为 0.7 V,锗管近似地取为 0.3 V。

(3) 计算 v_i 为高电平时的 V_E 值以及此时的 i_B ,并与临界饱和基极电流 I_{BS} 比较。若 $i_B > I_{BS}$,则三极管饱和导通,参数设计合理。若 $i_B < I_{BS}$,则三极管不饱和,说明参数设计不合理。

【例 3-1】 在图 3-2(a)所示三极管开关电路中,已知 $V_{CC} = 10$ V, $V_{EE} = -5$ V, $R_C = 1$ kΩ, $R_L = 11$ kΩ, $R_2 = 3.3$ kΩ, $R_3 = 18$ kΩ。三极管的电流放大系数 $\beta = 30$,饱和导通压降 $V_{CE(sat)} = 0.1$ V,饱和导通内阻 $R_{CE(sat)} = 20$ Ω。输入高、低

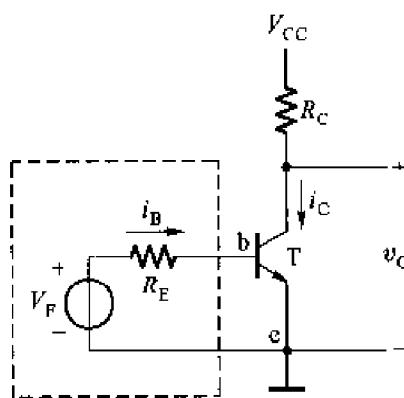


图 3-1 输入电路化简后的三极管开关电路

电平分别为 $V_{IH} = 3.6$ V, $V_{IL} = 0.3$ V。试计算输入为高、低电平下三极管的工作状态,说明电路参数的设计是否合理。

解:首先利用戴维宁定理将输入电路化简。为清楚起见,把输入电路的完整形式画于图 3-2(b)中。根据戴维宁定理,等效电压源 V_E 等于 $b - e$ 两端开路时的电压,等效内阻 R_E 等于将内部电压源短路后,从 $b - e$ 两端看进去的电阻,于是得到

$$\begin{aligned} V_E &= v_1 - \frac{v_1 + V_{EE}}{R_2 + R_3} R_2 \\ &= v_1 - \frac{v_1 + 5}{3.3 + 18} \times 3.3 \\ &= 0.845 v_1 - 0.775 \text{ V} \\ R_E &= \frac{R_2 \cdot R_3}{R_2 + R_3} \\ &= \frac{3.3 \times 18}{3.3 + 18} \text{ k}\Omega \\ &= 2.8 \text{ k}\Omega \end{aligned}$$

当 $v_1 = V_{IL} = 0.3$ V 时, $V_E = (0.845 \times 0.3 - 0.775)$ V = -0.52 V, 故三极管截止。

当 $v_1 = V_{IH} = 3.6$ V 时, $V_E = (0.845 \times 3.6 - 0.775)$ V = 2.27 V。此时的基极电流为

$$i_B = \frac{V_E - V_{BE}}{R_E} = \frac{2.27 - 0.7}{2.8} \text{ mA} = 0.56 \text{ mA}$$

而临界饱和基极电流为

$$I_{BS} = \frac{V_{CC} - V_{CE(sat)}}{\beta(R_C + R_{CE(sat)})} = \frac{10 - 0.1}{30 \times 1.02 \times 10^3} \text{ A} = 0.33 \text{ mA}$$

可见, $i_B > I_{BS}$, 故三极管饱和导通。

计算结果说明, v_1 为低电平时三极管截止, v_1 为高电平时三极管饱和导通, 所以电路参数的设计是合理的。

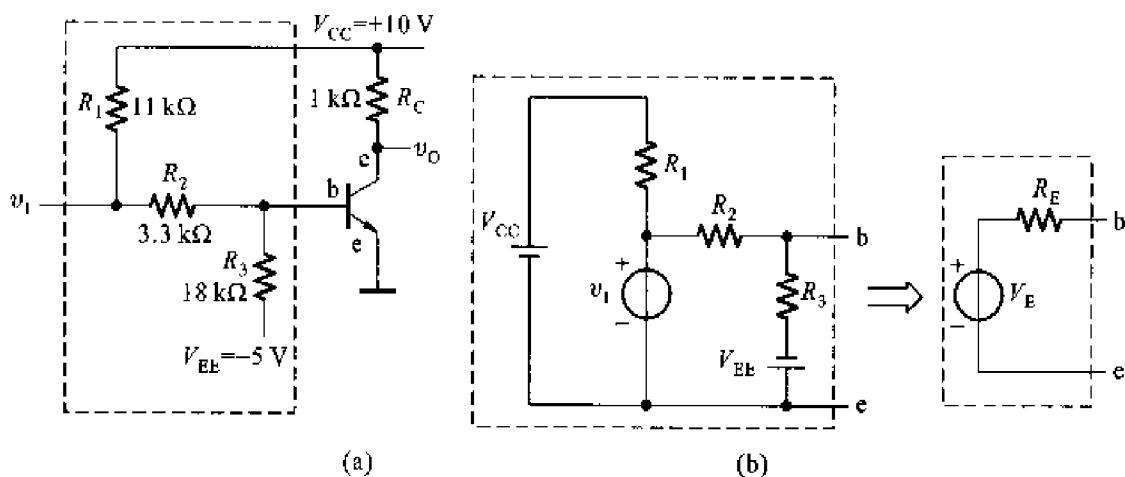


图 3-2 例 3-1 的三极管开关电路和输入电路的等效电路

二、集成门电路逻辑功能的分析

这一类题目又分为两种情况, 一种是给出了门电路输入的电压波形或逻辑状态, 求输出的电压波形或逻辑状态; 另一种是给出了集成门电路的内部电路结构图, 求它的逻辑功能。

解题方法和步骤:

(1) 对于前一种题目(即给出了门电路输入的电压波形或逻辑状态, 求输出的电压波形或逻辑状态), 只需按照给定门电路的逻辑功能逐一找出每一种输入状态下的输出就行了。需要注意的问题就是当输入端不是接高、低逻辑电平, 而是悬空、经过电阻接地或接电源电压时, 输入端逻辑状态的确定方法。

对 CMOS 门电路而言, 通常是不允许输入端工作在悬空状态的。输入端经过电阻接地时, 与接逻辑低电平等效; 经过电阻接电源电压时, 与接逻辑高电平等效。

而对 TTL 电路而言, 输入端的悬空状态和接逻辑高电平等效。输入端经过电阻(通常取几十千欧以内)接电源电压时, 与接逻辑高电平等效。输入端经过电阻接地时, 输入端的电平与电阻阻值的大小有关, 当电阻阻值很小时(例如只有几十欧姆), 输入端相当于接逻辑低电平; 当电阻阻值大到一定程度以后, 输入端电压将升高到逻辑高电平。例如在 74 系列门电路中, 当这个电阻大于 $2\text{ k}\Omega$ 以后, 输入端电压将高于 1.4 V ; 在 74LS 系列门电路中, 当这个电阻大于 $9\text{ k}\Omega$ 以后, 输入端电压将高于 1.4 V 。这时输入端状态与接逻辑高电平等效。

(2) 对于后一种题目(即给出了集成门电路的内部电路结构图, 求它的逻

辑功能),通常可以按如下步骤进行求解:

- ① 首先将电路划分为若干个基本功能结构模块。
- ② 从输入到输出依次写出每个电路模块输出与输入的逻辑关系式,最后就得到了整个电路逻辑功能的表达式。

图 3-3 中给出了 TTL 集成门电路中的几种基本的电路模块。

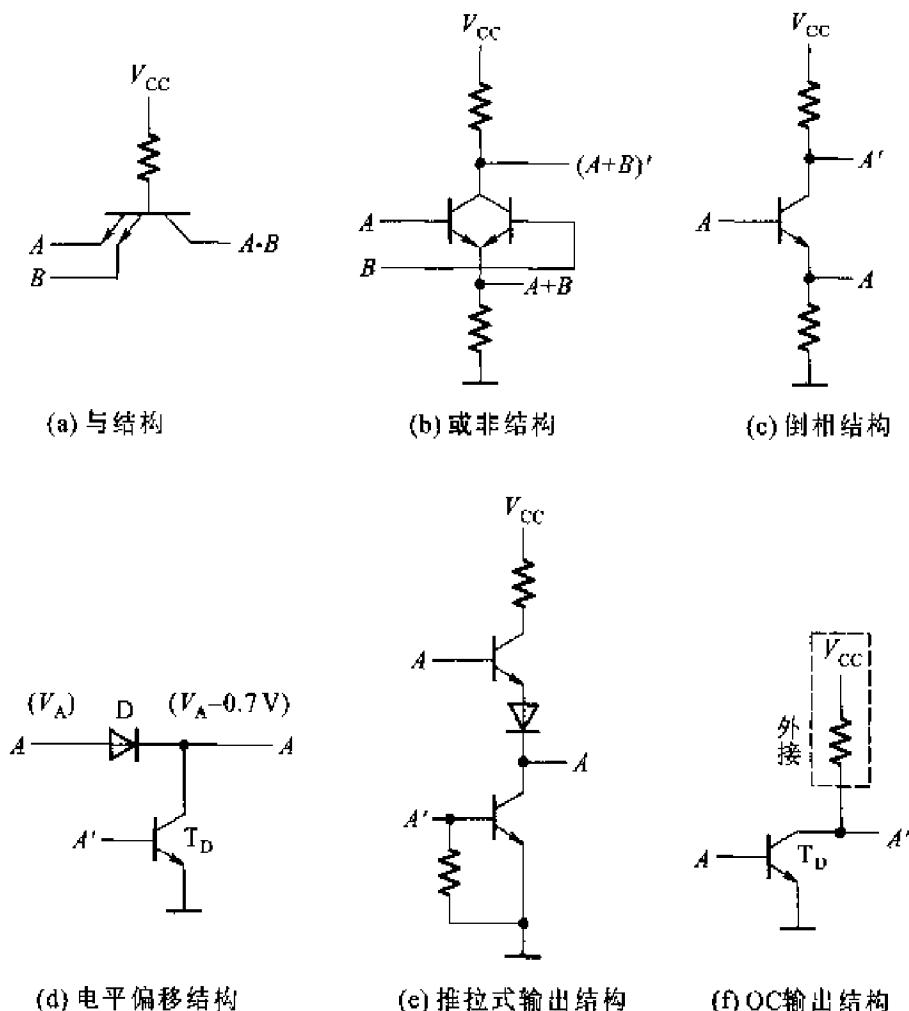


图 3-3 TTL 集成门电路中的几种基本功能结构

这些基本功能电路模块有与结构、或非结构、倒相结构、电平偏移结构推拉式输出结构和 OC 输出结构等几种。电平偏移结构的功能在于实现电平的变换。当输入 A 为高电平时,二极管 D 导通,输出也是高电平,但输出的高电平比输入电平低一个二极管的压降。当输入 A 为低电平时,二极管工作在截止状态,这时三极管 T_D 导通,为输出端提供一个低内阻的对地放电通路。

图 3-4 是 CMOS 集成门电路的几种基本电路结构模块。其中包含反相结构、与非结构、或非结构、传输门结构和 OD 输出结构。利用这几种电路模块能很方便地组成各种逻辑功能的集成电路。

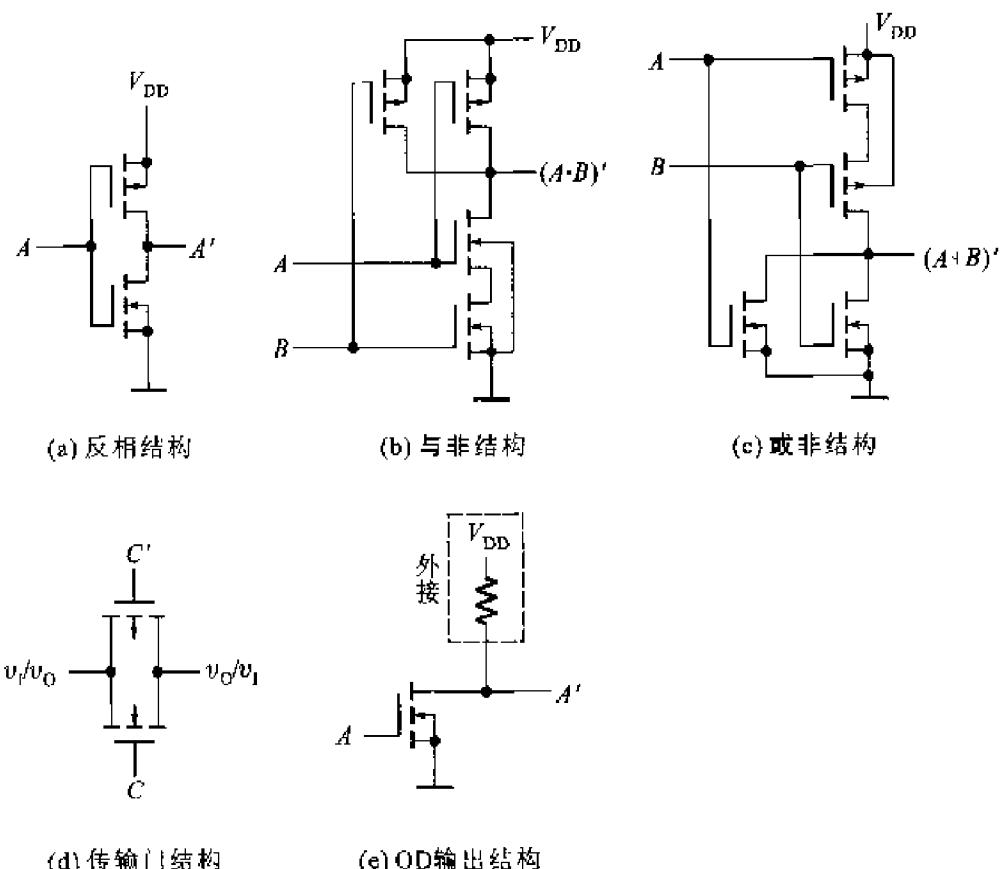


图 3-4 CMOS 集成门电路中的几种基本功能结构

【例 3-2】 试分析图 3-5 电路的逻辑功能。

解：首先将电路划分为虚线框内的六个基本功能模块：最左边的三个与结构模块、中间的两个或非结构模块和最右边的推拉式输出模块，如图中所示。

然后自左而右地逐个写出每个模块的逻辑关系式（如图中所示），最后得到

$$Y = (AB + (A+B)')' = (AB + A'B')' = A \oplus B$$

因此，图 3-5 电路是异或门电路。

【例 3-3】 试分析图 3-6 电路的逻辑功能。

解：这个电路可以划分成四个反相器和一个传输门共五个功能模块。传输门的工作状态由 B 和 B' 控制，当 $B = 0$ 时传输门导通，输出等于输入的 A' ；当 $B = 1$ 时传输门截止。电路图中间的一个反相器受 B' 状态的控制，当 $B = 0$ 时 ($B' = 1$) T_1 和 T_2 同时截止，反相器不工作；当 $B = 1$ 时 ($B' = 0$) T_1 和 T_2 同时导通，反相器工作，输出等于 A 。再经过输出端反相器反相以后得到

$$Y = \begin{cases} A & (\text{当 } B = 0) \\ A' & (\text{当 } B = 1) \end{cases}$$

把上式的真值表列出（表 3-1）即可看到， $Y = A \oplus B$ 。

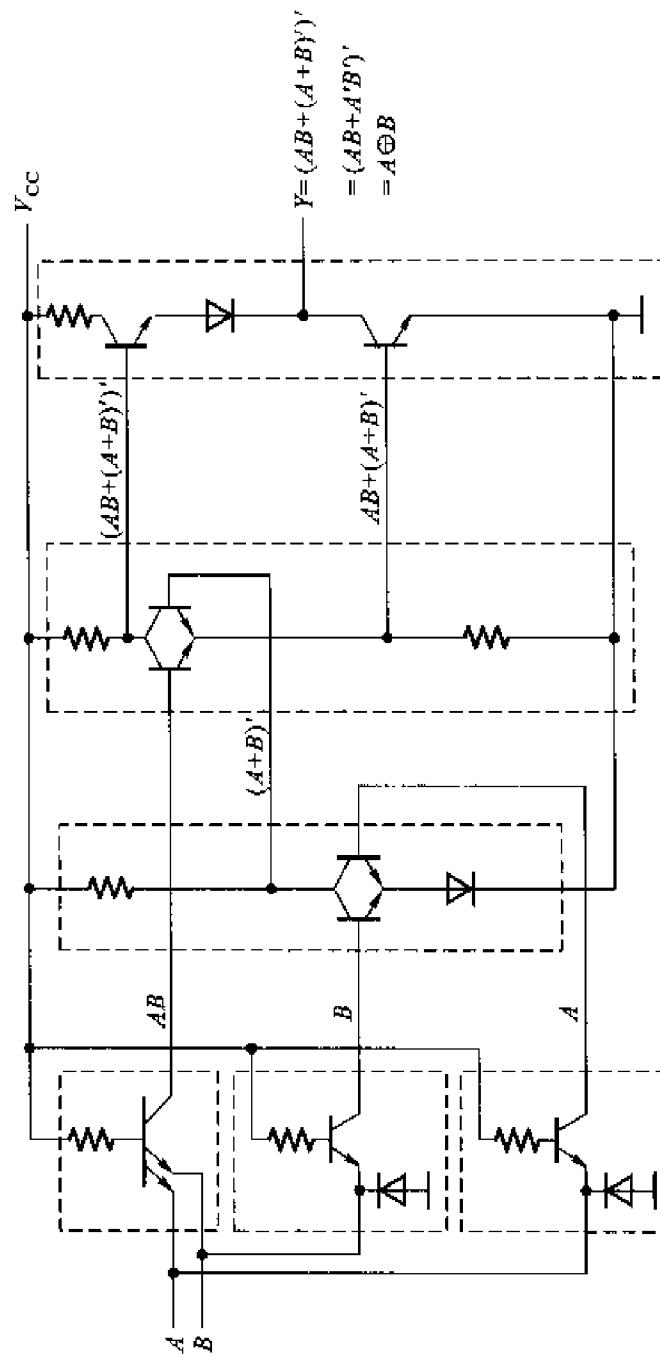


图 3-5 例 3-2 的电路

表 3-1 图 3-6 电路的逻辑真值表

A	B	Y
0	0	0
1	0	1
0	1	1
1	1	0

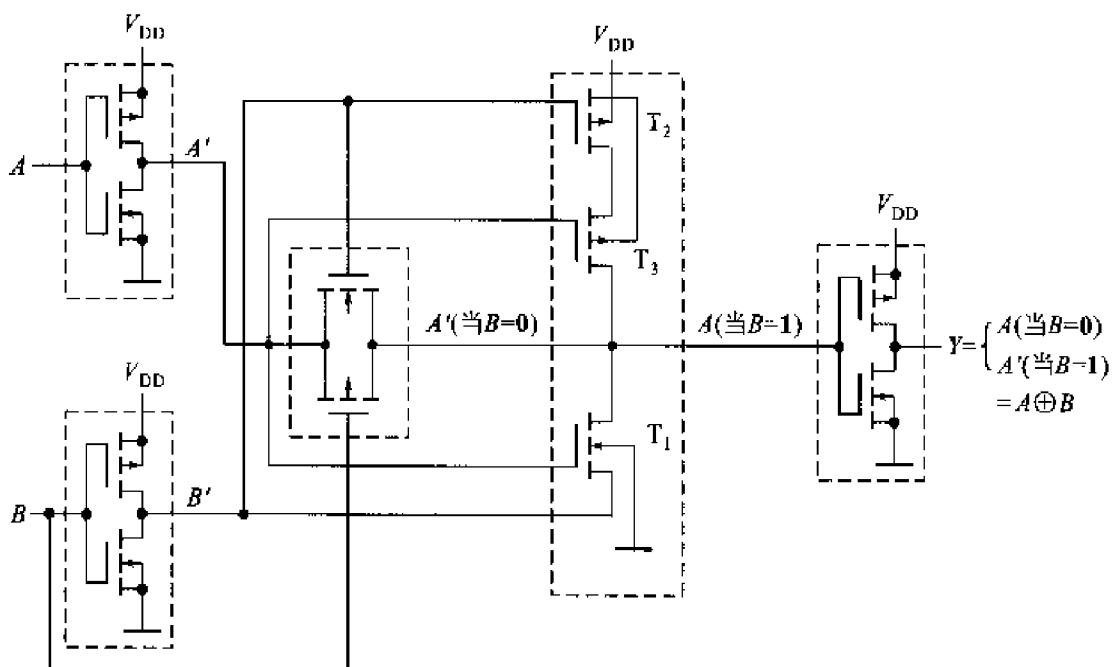


图 3-6 例 3-3 的电路

三、输入特性和输出特性的应用

这里所说的输入、输出特性的应用,是指应用数字集成电路的输入电气特性和输出电气特性解决集成电路之间的互相连接、集成电路与输入端外接电路的连接以及集成电路与输出端外接负载电路的连接问题。

1. TTL 电路扇出系数的计算

所谓扇出系数,是指一个门电路可以同时驱动某一种门电路的最大数目。

解题方法和步骤:

① 首先需要知道驱动门的低电平输出电流最大值 $I_{OL(\max)}$ 和高电平输出电流最大值 $I_{OH(\max)}$ 、负载门低电平输入电流最大值 $I_{IL(\max)}$ 和高电平输入电流最大值 $I_{IH(\max)}$ 。这些参数可以从手册上查到,也可以是题目给出的。

② 计算在 $I_{OL} \leq I_{OL(\max)}$ 的条件下,驱动门能驱动负载门的数目 N_1 。由图 3-7(a) 可知,这时应满足

$$I_{OL} = N_1 |kI_{IL(\max)}| \leq I_{OL(\max)}$$

$$N_1 \leq \frac{I_{OL(\max)}}{|kI_{IH(\max)}|}$$

负载为或/或非门时, k 等于每个门的并联输入端数; 负载为与/与非门时, k 等于 1。

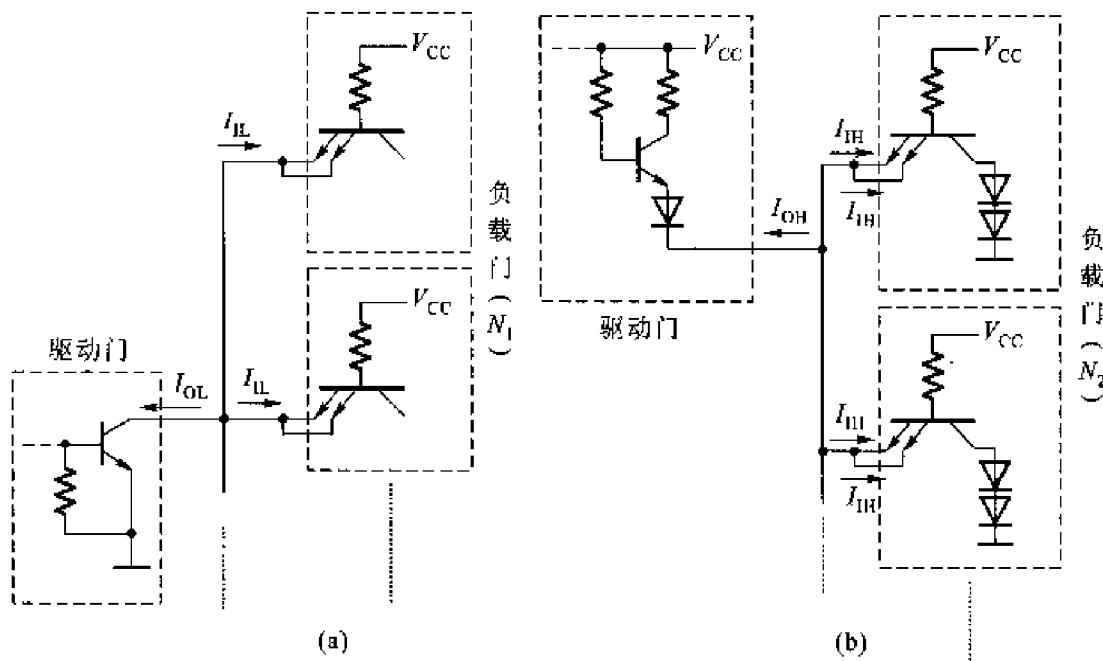


图 3-7 计算 TTL 电路扇出系数的简化电路

③ 计算在 $I_{OH} \leq I_{OH(\max)}$ 的条件下, 驱动门能驱动负载门的数目 N_2 。由图 3-7(b) 可知, 这时应满足

$$I_{OH} = pN_2 I_{IH(\max)} \leq |I_{OH(\max)}|$$

$$N_2 \leq \frac{|I_{OH(\max)}|}{pI_{IH(\max)}}$$

上式中的 p 是每个负载门的并联输入端个数。

④ 取 N_1 、 N_2 中小的一个, 即为所求的扇出系数。

【例 3-4】 在图 3-8 电路中, 试计算 2 输入或非门 G_1 能驱动多少个同样的或非门电路。已知或非门的低电平输出电流最大值 $I_{OL(\max)} = 16 \text{ mA}$, 高电平输出电流最大值 $I_{OH(\max)} = -0.4 \text{ mA}$, 高电平输入电流最大值 $I_{IH(\max)} = 40 \mu\text{A}$, 低电平输入电流最大值 $I_{IL(\max)} = -1.6 \text{ mA}$ 。

解: 在保证 $I_{OH} \leq I_{OH(\max)}$ 的条件下, 设 G_1

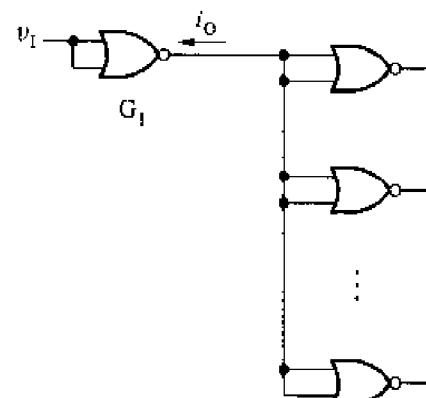


图 3-8 例 3-4 的电路

可驱动负载门的个数为 N_1 , 因为每个负载门的两个或输入端并联, 故有

$$I_{OL} = N_1 |2I_{IL(\max)}| \leq I_{OL(\max)}$$

$$N_1 \leq \frac{I_{OL(\max)}}{|2I_{IL(\max)}|} = \frac{16}{2 \times 1.6} = 5$$

若 C_1 输出高电平时能驱动的负载门个数为 N_2 , 则有

$$I_{OH} = N_2 |2I_{IH(\max)}| \leq |I_{OH(\max)}|$$

$$N_2 \leq \frac{|I_{OH(\max)}|}{2I_{IH(\max)}} = \frac{0.4}{2 \times 0.04} = 5$$

综合 C_1 输出高、低电平时的驱动能力后得到 $N = 5$ 。

2. TTL 电路输入端串联电阻允许值的计算

由图 3-9 可知, 当输入信号经过串联电阻 R_p 接到门电路的输入端时, 由于 TTL 电路的高电平输入电流和低电平输入电流都不等于零, 所以在串联电阻 R_p 上要产生压降。当输入为高电平时, 由图 3-9(a) 可见, 如果 R_p 数值过大, 则加到门电路输入端的 V_A 将低于规定的 $V_{IH(\min)}$, 这是不允许的。同理, 当输入为低电平时, 由图 3-9(b) 可见, 如果 R_p 选得过大, 则 V_A 将高于规定的 $V_{IL(\max)}$, 这也是不允许的。因此, 需要计算出 R_p 阻值的允许范围。

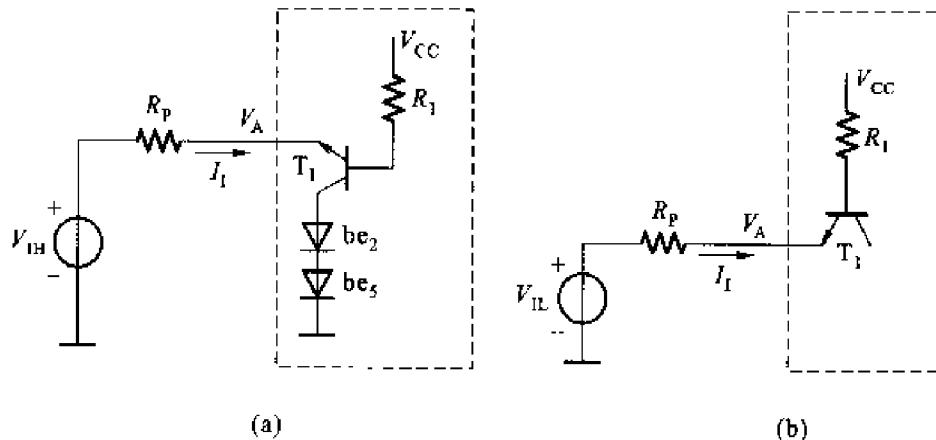


图 3-9 TTL 电路输入端串联电阻允许值的计算

解题方法和步骤:

(1) 计算 $V_I = V_H$ 时 R_p 的最大允许值。为保证 $V_A \geq V_{IH(\min)}$, 即

$$V_A = V_H - R_p I_{IH(\max)} \geq V_{IH(\min)}$$

于是得到

$$R_p \leq \frac{V_H - V_{IH(\min)}}{I_{IH(\max)}} \quad (3-1)$$

其中 V_H 、 $V_{IH(\min)}$ 、 $I_{IH(\max)}$ 的具体数值由题目给出, 也可以从器件手册中查到。

$I_{IH(max)}$ 的值在 $V_A > V_{IH(min)}$ 的范围内基本不变。如果 V_A 处有多个输入端并联, 则应以总的输入电流代替式(3-1)中的 $I_{IH(max)}$ 。

(2) 计算 $V_i = V_{IL}$ 时 R_p 的最大允许值。由图 3-9(b) 可见, 为了保证 $V_A \leq V_{IL(max)}$, R_p 上的压降应小于 $V_{IL(max)} - V_{IL}$ 。因为 R_p 与 R_i 同处于一个串联支路中, 所以它们的电阻值之比等于它们上面的压降之比, 即

$$\begin{aligned} \frac{R_p}{R_i} &\leq \frac{V_{IL(max)} - V_{IL}}{V_{CC} - V_{BE1} - V_{IL(max)}} \\ R_p &\leq \frac{V_{IL(max)} - V_{IL}}{V_{CC} - V_{BE1} - V_{IL(max)}} R_i \end{aligned} \quad (3-2)$$

式中的 V_{IL} 、 $V_{IL(max)}$ 由题目给出, 或从器件手册中查到。 V_{BE1} 是 T_1 发射结的导通压降, 约 0.7 V。

如果 V_A 处有 n 个 TTL 门电路并联, 则可以利用戴维宁定理将这 n 个输入电路等效为 V_{CC} 、 V_{BE1} 和一个阻值为 R_i/n 的电阻串联的支路, 并以 R_i/n 代替式(3-2)中的 R_i 。

(3) 取式(3-1)和式(3-2)的计算结果中阻值较小的一个作为 R_p 的最大允许值。

【例 3-5】 在图 3-10 电路中, 试求 RC 滤波电路中 R 的最大允许阻值是多少。已知门 G_1 输出的高、低电平分别为 3.4 V 和 0.2 V, 门 G_2 和 G_3 的高电平输入电流最大值 $I_{IH(max)} = 40 \mu A$, 输入高电平最小值 $V_{IH(min)} = 2 V$, 输入低电平最大值 $V_{IL(max)} = 0.8 V$ 。

解: 当 RC 电路输入为高电平 $V_{OH1} = 3.4 V$ 时, 由式(3-1)得到

$$R \leq \frac{V_{OH1} - V_{IH(min)}}{4I_{IH(max)}} = \frac{3.4 - 2.0}{4 \times 0.04} k\Omega = 8.75 k\Omega$$

而当 RC 电路输入为低电平 $V_{OL1} = 0.2 V$ 时, 由式(3-2)又得到

$$R \leq \frac{V_{IL(max)} - V_{IL}}{V_{CC} - V_{BE1} - V_{IL(max)}} \cdot \frac{R_i}{3} = \frac{0.8 - 0.2}{5 - 0.7 - 0.8} \times \frac{4}{3} k\Omega = 0.228 k\Omega$$

为同时满足 RC 电路输入高电平时和输入低电平时对 R 取值的限制, R 的阻值不应大于 0.228 k Ω 。

3. 三极管接口电路的电路参数计算

在输入信号的高、低电平与数字集成电路要求的输入电平不同, 或者输入信号不能提供数字集成电路所要求的输入电流时, 就需要在输入信号与集成电路之间接入接口电路, 如图 3-11(a) 所示。同样, 在数字集成电路输出的高、低电平不符合负载电路的要求, 或者数字集成电路不能提供负载所需要的输出电流时, 也需要在数字集成电路与负载之间接入接口电路, 如图 3-11(b) 所示。

在没有合适的接口电路芯片可以选用的情况下, 可以用三极管开关电路设

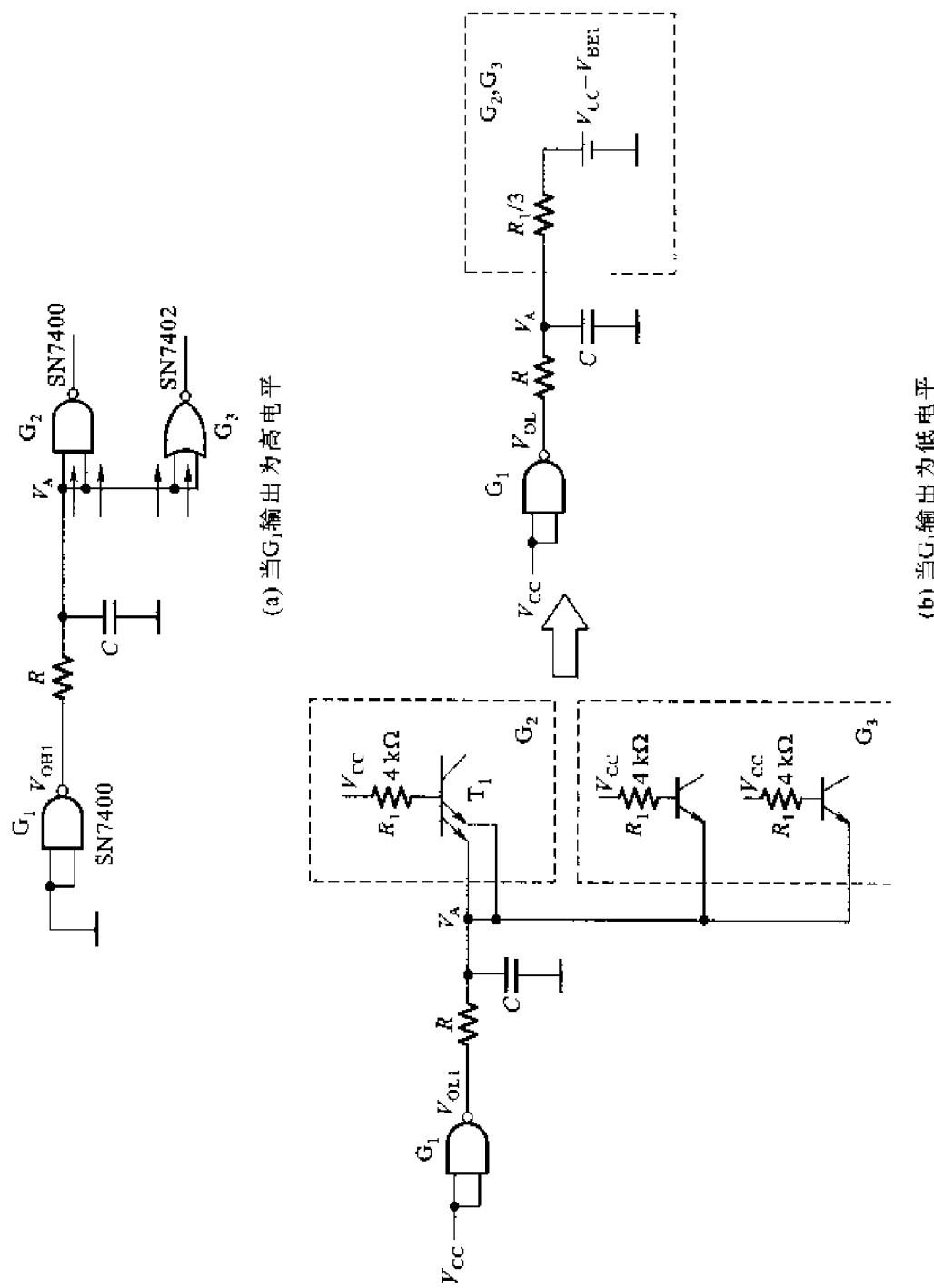


图 3-10 例 3-5 的电路

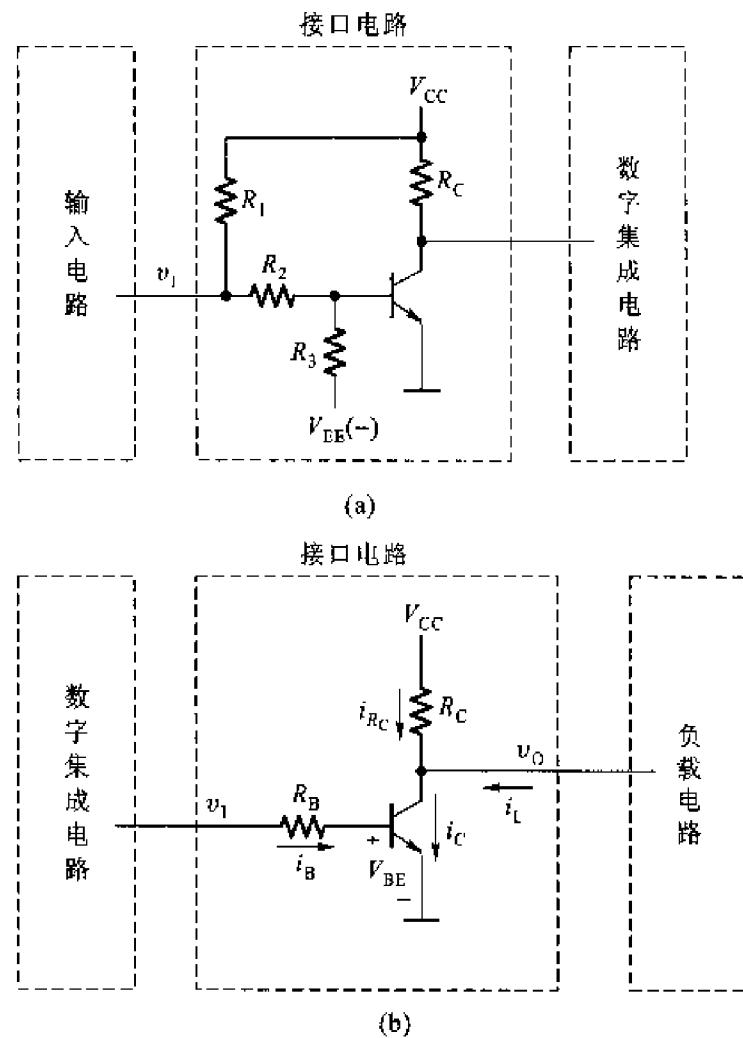


图 3-11 三极管接口电路

计成所需要的接口电路。数字集成电路可能是 TTL 电路、CMOS 电路或其他类型的集成电路。负载电路部分同样既可能是 TTL、CMOS 电路，也可能是其他类型的电路。

解题方法和步骤：

在图 3-11(b) 电路中，为了保证接口电路在 $v_1 = V_{IL}$ 时 v_0 的高电平高于要求的 V_{OH} ，在 $v_1 = V_{IH}$ 时三极管饱和导通 ($v_0 \approx 0$)，无论是在分析给定接口电路时还是设计接口电路时，电路参数的配合必须符合以下关系：

① 当 $v_1 = V_{IL}$ 时， $V_{BE} < V_{ON}$ (开启电压，硅三极管约为 0.6 V)，三极管截止，且

$$v_0 = V_{CC} - R_C | i_1 | \geq V_{OH} \quad (3-3)$$

② 当 $v_1 = V_{IH}$ 时，三极管饱和导通，即

$$i_B = \frac{i_C}{\beta} = \frac{1}{\beta} (i_{R_1} + i_1)$$

$$= \frac{1}{\beta} \left(\frac{V_{CC} - V_{CE(sat)}}{R_C} + i_L \right) \geq I_{BS} \quad (3-4)$$

式中 I_{BS} 为三极管的饱和基极电流, $V_{CE(sat)}$ 是三极管的饱和压降, β 是三极管的电流放大系数。

【例 3-6】 在图 3-12 电路中, CMOS 门电路 G_1 通过接口电路同时驱动 TTL 与非门 G_2 、 G_3 和 TTL 或非门 G_4 和 G_5 。已知 G_1 输出的高、低电平分别为 4.3 V 和 0.1 V, 输出电阻小于 50Ω ; $G_2 \sim G_5$ 的高电平输入电流 $I_{IH} = 40 \mu A$, 低电平输入电流 $I_{IL} = -1.6 \text{ mA}$; 三极管的电流放大系数 $\beta = 60$, 饱和压降 $V_{CE(sat)} \leq 0.2 \text{ V}$ 。要求接口电路输出的高、低电平满足 $V_{OH} \geq 3.4 \text{ V}$, $V_{OL} \leq 0.2 \text{ V}$, 试选择一组合适的 R_B 和 R_C 的阻值。

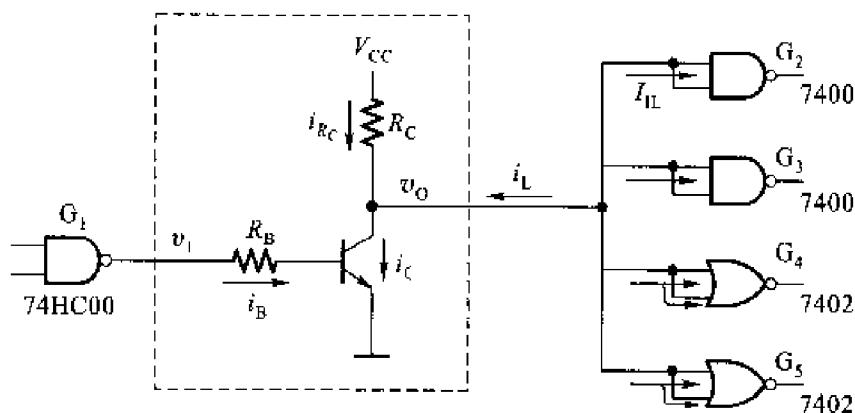


图 3-12 例 3-6 的电路

解: 当 G_1 输出低电平时, 接口电路的输入为 $v_1 = V_{IL} = 0.1 \text{ V}$, 故三极管截止, v_0 的高电平应满足式(3-3), 即

$$V_{OH} = V_{CC} - R_C |i_L| \geq 3.4 \text{ V}$$

为了保证 $V_{OH} \geq 3.4 \text{ V}$, 选 $V_{CC} = 5 \text{ V}$, 而 $|i_L| = 8 |I_{IH}| = 0.32 \text{ mA}$, 于是得到

$$R_C \leq \frac{V_{CC} - 3.4}{|i_L|} = \frac{5 - 3.4}{0.32} \text{ k}\Omega = 5.0 \text{ k}\Omega$$

当 G_1 输出高电平时, 接口电路的输入为 $v_1 = V_{IH} = 4.3 \text{ V}$ 。为保证三极管饱和导通, 应满足式(3-4), 即

$$\begin{aligned} i_B &\geq \frac{1}{\beta} \left(\frac{V_{CC} - V_{CE(sat)}}{R_C} + i_L \right) \\ \frac{V_{IH} - V_{BE}}{R_B} &\geq \frac{1}{\beta} \left(\frac{V_{CC} - V_{CE(sat)}}{R_C} + i_L \right) \end{aligned} \quad (3-5)$$

上式中有 R_B 和 R_C 两个待定参数, 通常可以在已求出的 R_C 允许阻值范围内选定一个阻值, 然后代入上式求出所需要的 R_B 值。因为与非门的输入端并

联后总的低电平输入电流并不增加,而或非门输入端并联后总的低电平输入电流按并联输入端的数目加倍,所以 v_0 为低电平时接口电路总的负载电流 i_L 等于 $6I_{IL}$ 。若取 $R_C = 2\text{ k}\Omega$,则将这些值代入式(3-5)后得到

$$\frac{4.3 - 0.7}{R_B} \geq \frac{1}{60} \left(\frac{5 - 0.2}{2} + 6 \times 1.6 \right)$$

$$R_B \leq \frac{3.6}{2.4 + 9.6} \times 60 \text{ k}\Omega = 18 \text{ k}\Omega$$

由于产品手册上给出的 β 值通常都是三极管工作在线性放大区时的 β 值,而进入饱和区以后 β 值迅速减小,所以应当选用比上面计算结果更小的 R_B 阻值。在本例中可以选 $R_B = 12\text{ k}\Omega$ (或 $15\text{ k}\Omega$)。

四、OC 门和 OD 门外接上拉电阻阻值的计算

解题方法和步骤:

OC 门和 OD 门的应用电路接法可以画成图 3-13 所示的形式。

(1) 当 OC 门(或 OD 门)全部截止,输出为高电平时,由图 3-13(a)可见,所有 OC 门输出三极管截止状态下的漏电流 I_{OH} 和负载电路全部的高电平输入电流 $\sum I_{IH}$ 全部流过 R_L ,在 R_L 上产生压降。为保证 v_0 输出的高电平高于要求的 V_{OH} 值, R_L 的阻值不能取得太大,据此即可求出 R_L 的最大允许值。由图 3-13(a) 电路得到

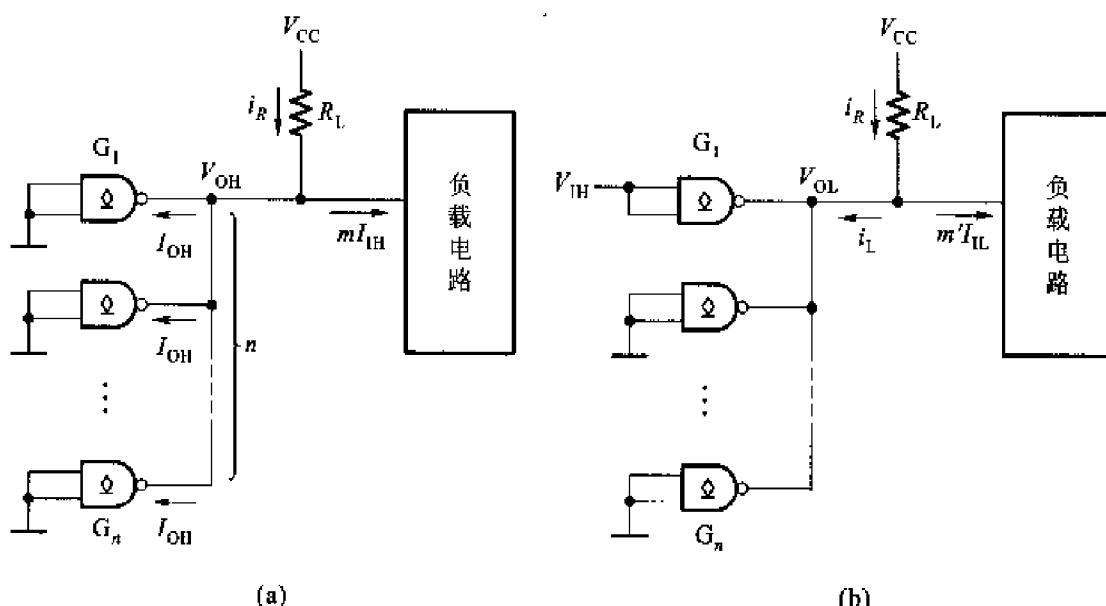


图 3-13 OC 门和 OD 门应用电路的一般结构形式

$$V_{CC} - R_L (nI_{OH} + mI_{IH}) \geq V_{OH}$$

$$R_L \leq \frac{V_{CC} - V_{OH}}{nI_{OH} + mI_{IH}} = R_{L(\max)} \quad (3-6)$$

上式中的 m 是负载门电路高电平输入电流的数目。

(2) 当 OC 门(或 OD 门)输出为低电平,而且只有一个 OC 门导通的情况下,为了保证流经 R_L 的电流和负载电路所有的低电平输入电流全部流入一个导通的 OC 门时,仍然不会超过允许的最大电流 $I_{OL(\max)}$, R_L 的阻值不能选得太小。据此可求出 R_L 的最小允许值。由图 3-13(b) 电路得到

$$\begin{aligned} \frac{V_{CC} - V_{OL}}{R_L} + |m'I_{IL}| &\leq I_{OL(\max)} \\ R_L &\geq \frac{V_{CC} - V_{OL}}{I_{OL(\max)} - |m'I_{IL}|} = R_{L(\min)} \end{aligned} \quad (3-7)$$

式中的 V_{OL} 是 OC 门输出三极管的饱和导通压降,具体数值通常都在 0.2 V 上下。 m' 是负载门电路低电平输入电流的数目。负载为 CMOS 门电路时, m' 和 m 相等。

(3) 在 $R_{L(\max)}$ 与 $R_{L(\min)}$ 中间选定一个标称电阻值作为 R_L 的阻值。

【例 3-7】 在图 3-14 中,用 OC 门 G_1 和 G_2 的并联输出驱动三极管开关电路。要求 OC 门输出高电平时三极管 T 饱和导通,OC 门输出低电平时三极管 T 截止。

已知 OC 门 7403 输出高电平时输出端三极管的漏电流为 $I_{OH} \leq 0.1 \text{ mA}$, 输出为低电平 $V_{OL} = 0.2 \text{ V}$ 时允许流入的最大负载电流为 $I_{OL(\max)} = 16 \text{ mA}$ 。三极管 T 的电流放大系数 $\beta = 50$, 集电极负载电阻 $R_C = 1 \text{ k}\Omega$, 饱和导通压降 $V_{CE(sat)} = 0.1 \text{ V}$, 饱和导通内阻 $R_{CE(sat)} = 20 \Omega$ 。给定 $V_{CC1} = 5 \text{ V}$, $V_{CC2} = 10 \text{ V}$ 。试求 R_L 取值的允许范围。

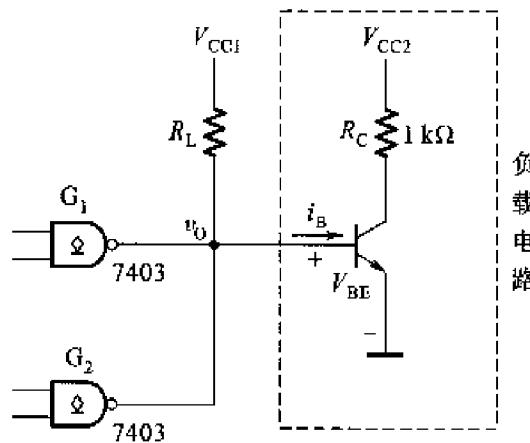


图 3-14 例 3-7 的电路

解: 当 OC 门 G_1 和 G_2 同时截止时, v_O 为高电平。因为三极管的发射结 be

导通后, v_0 被钳在 0.7 V, 所以 $V_{OH} = 0.7$ V。这时由 V_{CC1} 经 R_1 提供给三极管 T 的基极电流 I_b (亦即负载电路的输入电流) 应当大于三极管 T 的饱和基极电流 I_{BS} , 所以 R_1 值不能太大。根据式(3-6)得到

$$R_1 \leq \frac{V_{CC1} - V_{BE}}{2I_{OH} + I_{BS}} = \frac{5 - 0.7}{2 \times 0.1 + I_{BS}}$$

其中 $I_{BS} = \frac{V_{CC2} - V_{CE(sat)}}{\beta(R_C + R_{CE(sat)})} = (10 - 0.1)/1 \times 50 \text{ mA} \approx 0.2 \text{ mA}$, 代入上式后得到

$$R_1 \leq \frac{5 - 0.7}{2 \times 0.1 + 0.2} \text{ k}\Omega = 10.8 \text{ k}\Omega$$

当 OC 门中只有一个导通时, 输出为低电平 $V_{OL} = 0.2$ V。这时三极管 T 截止, 负载电路的输入电流 $i_b = 0$ 。为保证 OC 门的负载电流不超过 $I_{OL(max)}$, R_1 值不能太小。根据式(3-7)得到

$$R_1 \geq \frac{V_{CC1} - V_{OL}}{I_{OL(max)}} = \frac{5 - 0.2}{16} = 0.3 \text{ k}\Omega$$

故应取 $0.3 \text{ k}\Omega \leq R_1 \leq 10.8 \text{ k}\Omega$ 。

3.2 习题解答

【题 3.1】 在图 3.2.5 所示的正逻辑与门和图 3.2.6 所示的正逻辑或门电路中, 若改用负逻辑, 试列出它们的逻辑真值表, 并说明 Y 和 A、B 之间是什么逻辑关系。

解: 将表 3.2.2 中的 0 改成 1, 1 改成 0, 就得到了图 3.2.5 电路的负逻辑真值表, 如表 A3.1(a)。这个真值表说明 Y 与 A、B 之间是逻辑或的关系, 即 $Y = A + B$ 。

同理, 将表 3.2.4 中的 0 改成 1, 1 改成 0, 就得到了图 3.2.6 电路的负逻辑真值表, 如表 A3.1(b)。这个真值表表明 Y 和 A、B 之间是与的逻辑关系, 即 $Y = A \cdot B$ 。

表 A3.1(a)

图 3.2.5 的负逻辑真值表

A	B	Y
1	1	1
1	0	1
0	1	1
0	0	0

$$Y = A + B$$

表 A3.1(b)

图 3.2.6 的负逻辑真值表

A	B	Y
1	1	1
1	0	0
0	1	0
0	0	0

$$Y = A \cdot B$$

【题 3.2】试画出图 P3.2 中各个门电路输出端的电压波形。输入端 A 、 B 的电压波形如图中所示。

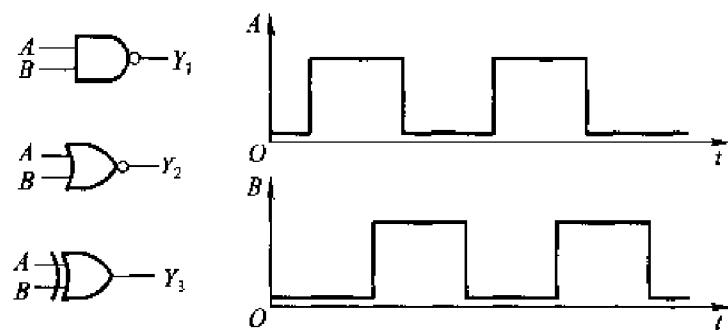


图 P3.2

解：根据与非、或非和异或逻辑的定义，画出 Y_1 、 Y_2 和 Y_3 的波形如图 A3.2 所示。

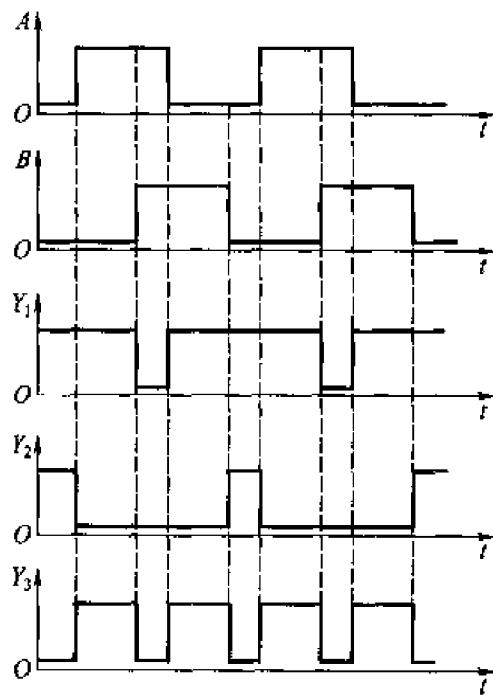


图 A3.2

【题 3.3】试说明能否将与非门、或非门、异或门当做反相器使用？如果可以，各输入端应如何连接？

解：与非门、或非门和异或门都可以接成反相器使用。输入端的接法如图 A3.3 所示。

【题 3.4】画出图 P3.4 所示电路在下列两种情况下的输出电压波形：

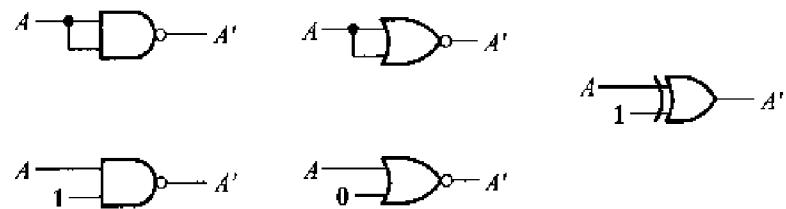


图 A3.3

(1) 忽略所有门电路的传输延迟时间；

(2) 考虑每个门都有传输延迟时间 t_{pd} 。

输入端 A, B 的电压波形如图中所给出。

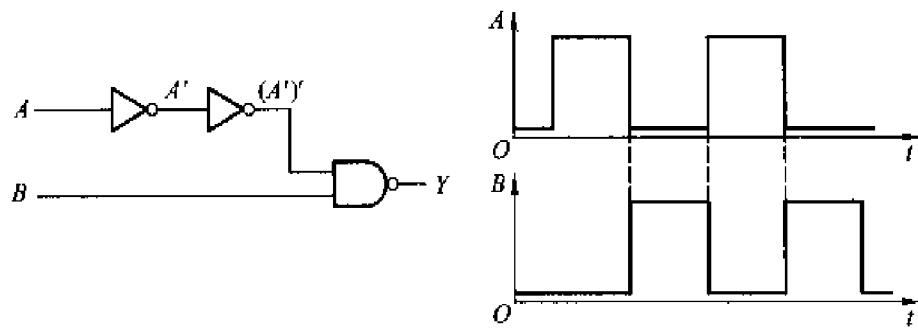


图 P3.4

解：两种情况下的输出电压波形如图 A3.4 所示。

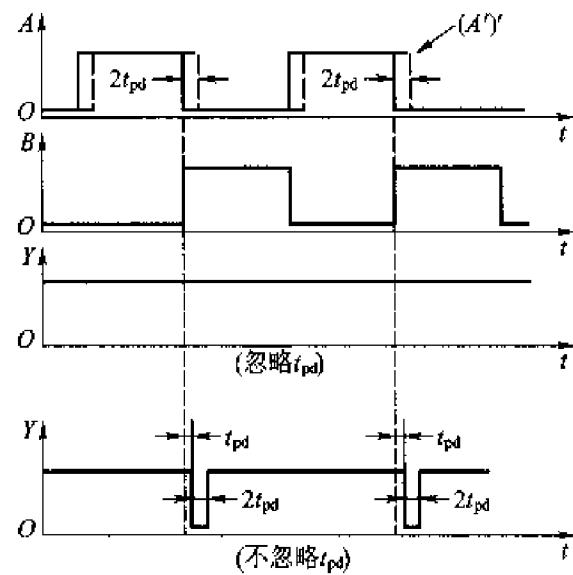


图 A3.4

【题 3.5】 已知 CMOS 门电路的电源电压 $V_{DD} = 5$ V, 静态电源电流 $I_{DD} = 2 \mu\text{A}$, 输入信号为 200 kHz 的方波(上升时间和下降时间可忽略不计), 负载电容 $C_L = 200 \text{ pF}$, 功耗电容 $C_{pd} = 20 \text{ pF}$, 试计算它的静态功耗、动态功耗、总功耗和电源平均电流。

解: 静态功耗为

$$P_s = I_{DD} V_{DD} = 5 \times 2 \times 10^{-6} \text{ W} = 0.01 \text{ mW}$$

动态功耗为

$$\begin{aligned} P_D &= (C_L + C_{pd})f V_{DD}^2 \\ &= (200 + 20) \times 10^{-12} \times 2 \times 10^5 \times 5^2 \text{ W} = 1.10 \text{ mW} \end{aligned}$$

总功耗为

$$P_{\text{tot}} = P_s + P_D = (0.01 + 1.10) \text{ mW} = 1.11 \text{ mW}$$

电源的平均电流为

$$\bar{I}_{DD} = P_{\text{tot}} / V_{DD} = (1.11 / 5) \text{ mA} = 0.22 \text{ mA}$$

【题 3.6】 若 CMOS 门电路工作在 5 V 电源电压下的静态电源电流为 5 μA , 在负载电容 C_L 为 100 pF 、输入信号频率为 500 kHz 时的总功耗为 1.56 mW, 试计算该门电路的功耗电容的数值。

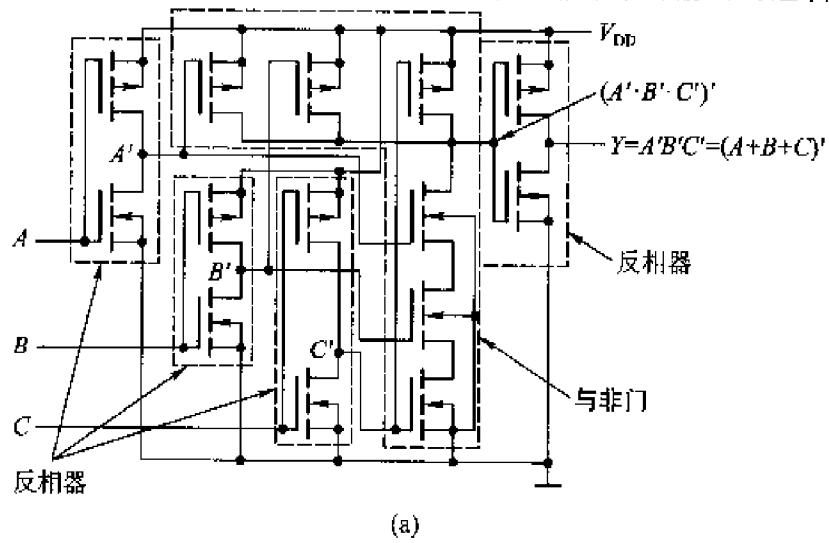
解: 首先计算动态功耗

$$\begin{aligned} P_D &= P_{\text{tot}} - P_s \\ &= (1.56 - 5 \times 10^{-3}) \text{ mW} \approx 1.54 \text{ mW} \end{aligned}$$

又根据公式 $P_D = (C_L + C_{pd})f V_{DD}^2$ 得到

$$\begin{aligned} C_{pd} &= (P_D / f V_{DD}^2) - C_L \\ &= \left(\frac{1.54 \times 10^{-3}}{5 \times 10^5 \times 5^2} - 100 \times 10^{-12} \right) \text{ F} \approx 13 \text{ pF} \end{aligned}$$

【题 3.7】 试分析图 P3.7 中各电路的逻辑功能,写出输出的逻辑函数式。



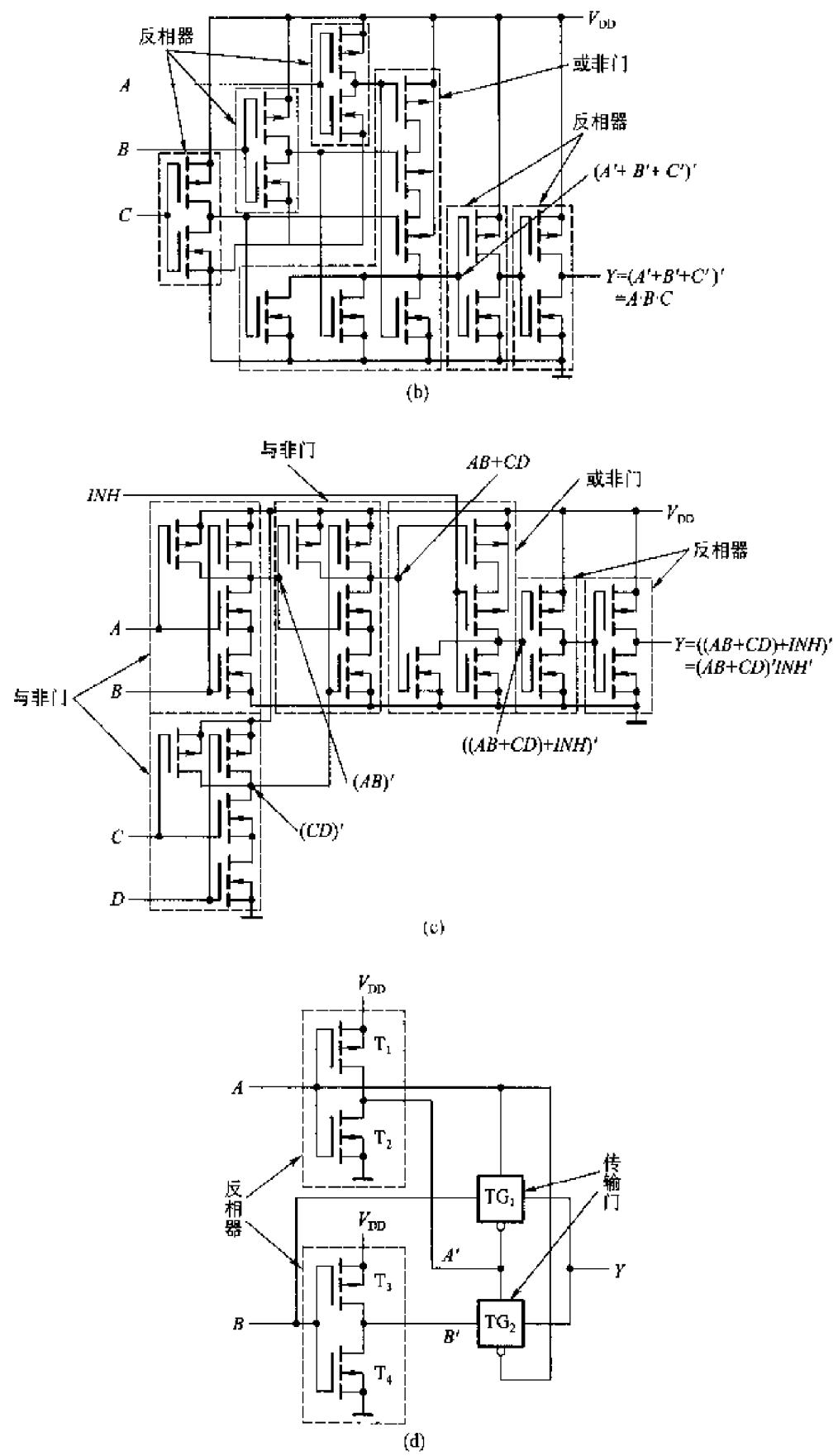


图 P3.7

解：

(a) 图 P3.7(a) 电路可划分为四个反相器电路和一个 3 输入端的与非门电路, 如图所示。从输入到输出逐级写出输出的逻辑函数式, 得到 $Y = A'B'C' = (A + B + C)'$ 。

(b) 图 P3.7(b) 电路可划分为五个反相器电路和一个或非门电路, 如图所示。从输入到输出逐级写出输出的逻辑函数式得到 $Y = (A' + B' + C')' = ABC$ 。

(c) 图 P3.7(c) 电路可划分为三个与非门电路、一个或非门电路和两个反相器电路, 如图所示。从输入到输出逐级写出输出的逻辑函数式得到

$$Y = ((AB + CD) + INH)' = (AB + CD)' \cdot INH'$$

(d) 图 P3.7(d) 电路可划分为两个反相器电路和两个传输门电路, 如图所示。从电路图列出表示 Y 与 A, B 关系的真值表, 得到表 A3.7。由真值表写出逻辑式为

$$Y = A'B' + AB = A \odot B$$

表 A3.7 图 P3.7(d) 电路的真值表

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	1

【题 3.8】 试画出图 P3.8(a)、(b) 两个电路的输出电压波形。输入电压波形如图(c) 所示。

解: Y_1, Y_2 的电压波形如图 A3.8, 图中用“ \times ”表示高阻态。

【题 3.9】 在图 P3.9 所示电路中, G_1 和 G_2 是两个 OD 输出结构的与非门 74HC03。74HC03 输出端 MOS 管截止时的漏电流为 $I_{O\bar{H}(\max)} = 5 \mu A$; 导通的允许的最大负载电流为 $I_{OL(\max)} = 5.2 \text{ mA}$, 这时对应的输出电压 $V_{O\bar{L}(\max)} = 0.33 \text{ V}$ 。负载门 $G_3 \sim G_5$ 是三输入端或非门 74HC27, 每个输入端的高电平输入电流最大值为 $I_{IH(\max)} = 1 \mu A$, 低电平输入电流最大值为 $I_{IL(\max)} = -1 \mu A$ 。试求在 $V_{DD} = 5 \text{ V}$ 、并且满足 $V_{O\bar{H}} \geq 4.4 \text{ V}, V_{O\bar{L}} \leq 0.33 \text{ V}$ 的情况下, R_L 取值的允许范围。

解: 根据本书前面给出的式(3-6)可知

$$R_{L(\max)} = \frac{V_{DD} - V_{O\bar{H}}}{nI_{O\bar{H}} + mI_{IH}} = \frac{5 - 4.4}{2 \times 5 \times 10^{-6} + 9 \times 1 \times 10^{-6}} \Omega = 31.6 \text{ k}\Omega$$

同时又可根据式(3-7)得到

$$R_{L(\min)} = \frac{V_{DD} - V_{O\bar{L}}}{I_{O\bar{L}(\max)} - m'I_{IL}} = \frac{5 - 0.33}{5.2 \times 10^{-3} - 9 \times 10^{-6}} \Omega = 0.9 \text{ k}\Omega$$

故 R_L 的取值范围应为

$$0.9 \text{ k}\Omega \leq R_L \leq 31.6 \text{ k}\Omega$$

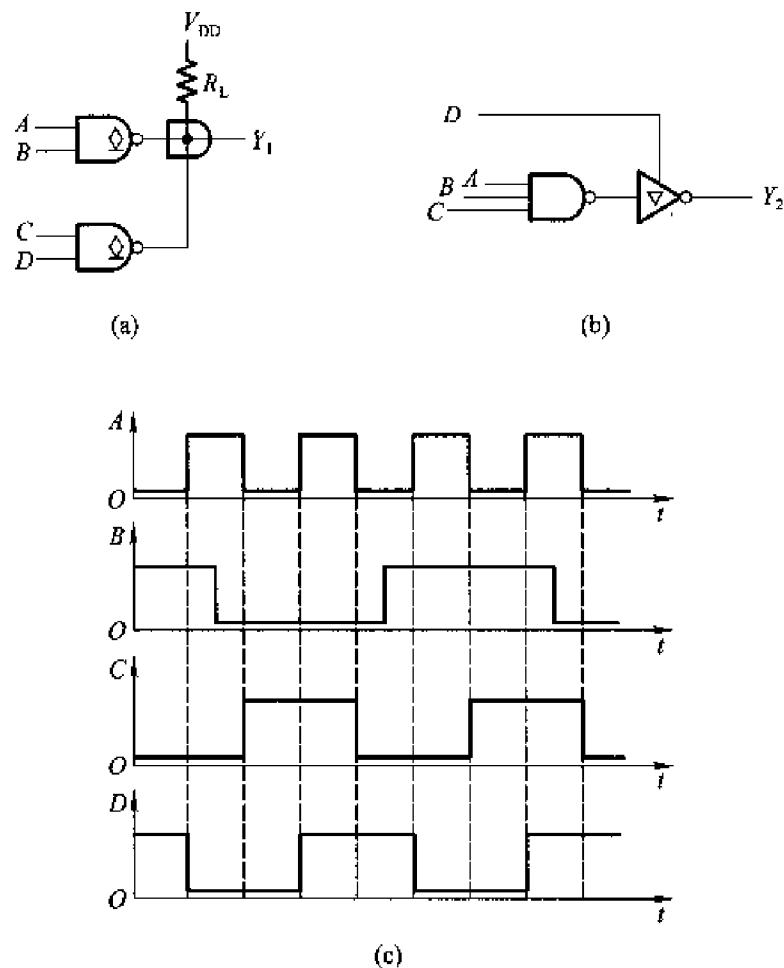


图 P3.8

【题 3.10】 图 P3.10 中的 $G_1 \sim G_4$ 是 OD 输出结构的与非门 74HC03, 它们接成线与结构。试写出线与输出 Y 与输入 $A_1, A_2, B_1, B_2, C_1, C_2, D_1, D_2$ 之间的逻辑关系式, 并计算外接电阻 R_L 取值的允许范围。已知 $V_{DD} = 5$ V, 74HC03 输出高电平时漏电流的最大值为 $I_{OH(\max)} = 5 \mu A$, 低电平输出电流最大值为 $I_{OL(\max)} = 5.2 \text{ mA}$, 此时的输出低电平为 $V_{OL(\max)} = 0.33$ V。负载门每个输入端的高、低电平输入电流最大值为 $\pm 1 \mu A$ 。要求满足 $V_{OH} \geq 4.4$ V, $V_{OL} \leq 0.33$ V。

解: 在 R_L 取值合理的情况下, Y 的逻辑函数式为

$$Y = (A_1 A_2 + B_1 B_2 + C_1 C_2 + D_1 D_2)'$$

根据本书前面给出的式(3-6)可求出 R_L 的最大允许值

$$R_{L(\max)} = \frac{V_{DD} - V_{OH}}{nI_{OH} + mI_{IH}} = \frac{5 - 4.4}{4 \times 5 \times 10^{-6} + 10 \times 10^{-6}} \Omega = 20 \text{ k}\Omega$$

又根据式(3-7)可求出 R_L 的最小允许值

$$R_{L(\min)} = \frac{V_{DD} - V_{OL}}{I_{OL(\max)} - |m'I_{IL}|} = \frac{5 - 0.33}{5.2 \times 10^{-3} - 10 \times 10^{-6}} \Omega = 0.9 \text{ k}\Omega$$

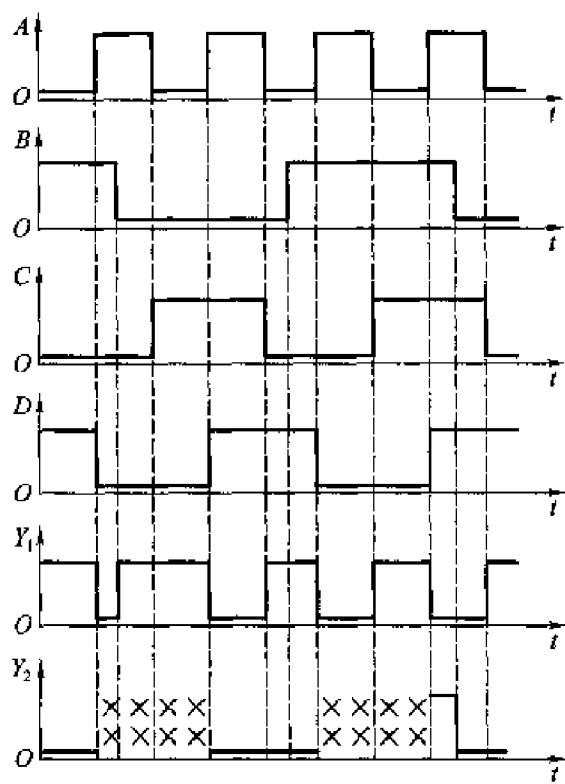


图 A3.8

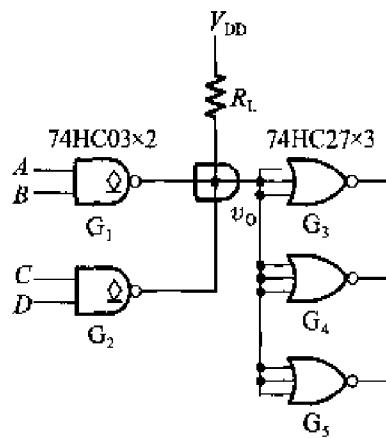


图 P3.9

故 R_L 的取值范围应为

$$0.9 \text{ k}\Omega \leq R_L \leq 20 \text{ k}\Omega$$

【题 3.11】 在图 P3.11 的三极管开关电路中, 若输入信号 v_1 的高、低电平分别为 $V_{IH} = 5 \text{ V}$ 、 $V_{IL} = 0 \text{ V}$, 试计算在图中标注的参数下能否保证 $v_1 = V_{IH}$ 时三极管饱和导通、 $v_1 = V_{IL}$ 时三极管可靠地截止? 三极管的饱和导通压降 $V_{CE(sat)} = 0.1 \text{ V}$, 饱和导通内阻 $R_{CE(sat)} = 20 \Omega$ 。如果参数配合不当, 则在电源电压和 R_C 不

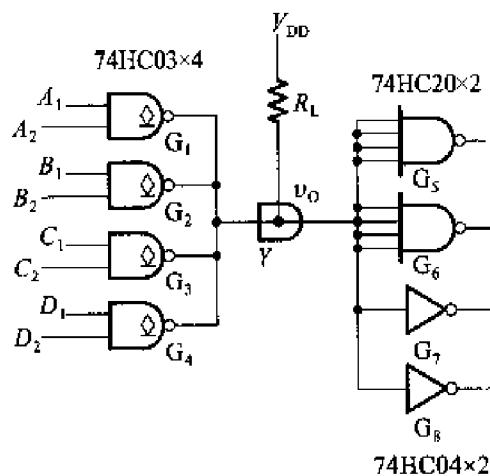


图 P3.10

变的情况下,应如何修改电路参数?

解: 利用戴维宁定理可以把输入电路化简为图 A3.11 的形式。其中的 R_t 、 V_t 分别为

$$R_t = R_1 R_2 / (R_1 + R_2) = 3.97 \text{ k}\Omega$$

$$V_t = v_t = \frac{v_1 + 10}{5.1 + 18} \times 5.1 \text{ V}$$

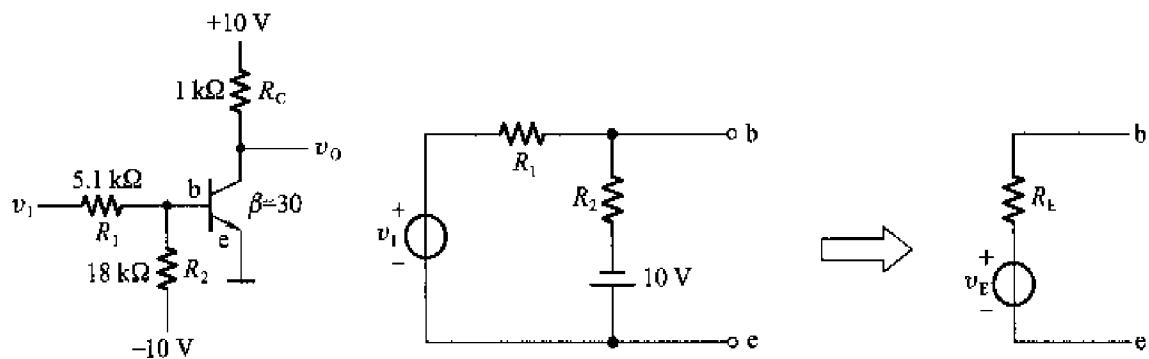


图 P3.11

图 A3.11

当 $v_1 = 0$ 时, $v_E = -\frac{10}{5.1 + 18} \times 5.1 \text{ V} = -2.2 \text{ V}$, 所以三极管能可靠地截止。

当 $v_1 = 5 \text{ V}$ 时, $v_E = 5 - \frac{5 + 10}{5.1 + 18} \times 5.1 \text{ V} = 1.69 \text{ V}$

$$i_b = \frac{v_E - V_{BE}}{R_E} = \frac{1.69 - 0.7}{3.97 \times 10^3} \text{ A} = 0.25 \text{ mA}$$

而三极管的饱和基极电流为

$$I_{BS} = \frac{V_{cc} - V_{CE(sat)}}{\beta(R_C + R_{CE(sat)})} = \frac{10 - 0.1}{30 \times (1 + 0.02) \times 10^3} \text{ A} = 0.32 \text{ mA}$$

可见, $i_B < I_{BS}$, 三极管不饱和。为了使三极管在 $v_1 = 5 \text{ V}$ 时能饱和导通, 可以减小 R_1 的阻值或用 β 值更大的三极管。

【题 3.12】 在图 P3.12 所示的电路中, 试计算当输入端分别接 0 V、5 V 和悬空时输出电压 v_o 的数值, 并指出三极管工作在什么状态。假定三极管导通以后 $v_{BE} \approx 0.7 \text{ V}$, 电路参数如图中所注。三极管的饱和导通压降 $V_{CE(sat)} = 0.1 \text{ V}$, 饱和导通内阻 $R_{CE(sat)} = 20 \Omega$ 。

解: 当输入端悬空时, 用戴维宁定理可以把接至基极与发射极间的外电路等效成由 v_b 和 R_E 串联的单回路, 如图 A3.12(a) 所示。其中

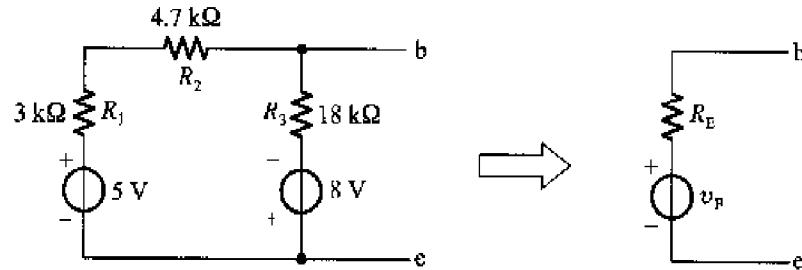


图 A3.12(a)

$$R_E = \frac{(R_1 + R_2)R_3}{R_1 + R_2 + R_3} = \frac{(3 + 4.7) \times 18}{3 + 4.7 + 18} \text{ k}\Omega = 5.4 \text{ k}\Omega$$

$$v_b = 5 - \frac{5 + 8}{3 + 4.7 + 18} \times (3 + 4.7) \text{ V} = 1.1 \text{ V}$$

$$i_B = \frac{v_b - V_{BE}}{R_E} = \frac{1.1 - 0.7}{5.4} \text{ mA} = 0.074 \text{ mA}$$

$$I_{BS} = \frac{V_{cc} - V_{CE(sat)}}{\beta(R_C + R_{CE(sat)})} = \frac{5 - 0.1}{50 \times 2} \text{ mA} = 0.049 \text{ mA}$$

可见, $i_B > I_{BS}$, 所以三极管工作在饱和导通状态, $v_o \approx 0.1 \text{ V}$ 。

当输入接有 v_1 时, 同样可以将接到三极管基极与发射极间的外电路化简为 v_E 与 R_E 串联的形式, 如图 A3.12(b) 所示。其中

$$R_E = \frac{R_2 R_3}{R_2 + R_3} = \frac{4.7 \times 18}{4.7 + 18} \text{ k}\Omega = 3.7 \text{ k}\Omega$$

$$v_E = \left(v_1 - \frac{v_1 + 8}{4.7 + 18} \times 4.7 \right) \text{ V}$$

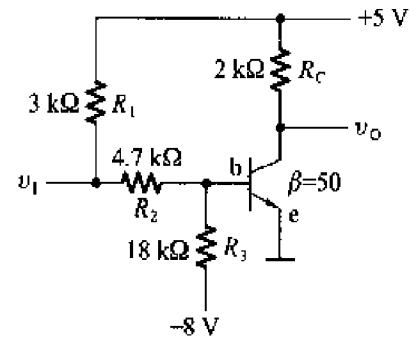


图 P3.12

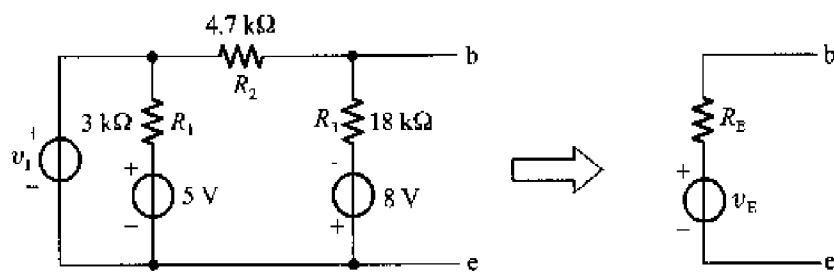


图 A3.12(b)

若 $v_1 = 0$, 则 $v_E = -\frac{8}{4.7 + 18} \times 4.7 \text{ V} = -1.66 \text{ V}$, 三极管截止, $v_0 = 5 \text{ V}$ 。

若 $v_1 = 5 \text{ V}$, 则 $v_E = 5 - \frac{5 + 8}{4.7 + 18} \times 4.7 \text{ V} = 2.3 \text{ V}$, $i_E = \frac{V_E - V_{BE}}{R_E} = \frac{2.3 - 0.7}{3.7} \text{ mA} = 0.43 \text{ mA}$ 。可见 $i_E > i_{BS}$, 所以三极管饱和导通, $v_0 = 0.1 \text{ V}$ 。

【题 3.13】 试分析图 P3.13 中各电路的逻辑功能, 写出输出的逻辑函数式。

解:

(a) 将图 P3.13(a) 电路划分为图中所示的五个模块, 从输入到输出逐级写出输出的逻辑式, 得到 $Y = AB$ 。

(b) 将图 P3.13(b) 电路划分为图中所示的六个模块, 从输入到输出逐级写出输出的逻辑式, 得到 $Y = A + B$ 。

(c) 将图 P3.13(c) 电路划分为图中所示的四个模块, 从输入到输出逐级写出输出的逻辑式, 得到 $Y = (A + B)'$ 。

(d) 图 P3.13(d) 电路由一个两输入端的或非门和一个三态输出反相器组成。或非门的输出接至三态输出反相器的控制端, 因此得到

$$Y = \begin{cases} A' & (\text{当 } (G_1 + G_2)' = 1 \text{ 时}) \\ \text{高阻态} & (\text{当 } (G_1 + G_2)' = 0 \text{ 时}) \end{cases}$$

【题 3.14】 指出图 P3.14 中各门电路的输出是什么状态(高电平、低电平或高阻态)。已知这些门电路都是 74 系列 TTL 电路。

解: Y_1 为低电平; Y_2 为高电平; Y_3 为高电平; Y_4 为低电平; Y_5 为低电平; Y_6 为高阻态; Y_7 为高电平; Y_8 为低电平。

【题 3.15】 说明图 P3.15 中各门电路的输出是高电平还是低电平。已知它们都是 74HC 系列的 CMOS 电路。

解: Y_1 为高电平; Y_2 为高电平; Y_3 为低电平; Y_4 为低电平。

【题 3.16】 在图 P3.16 由 74 系列 TTL 与非门组成的电路中, 计算门 G_M 能驱动多少同样的与非门。要求 G_M 输出的高、低电平满足 $V_{OH} \geq 3.2 \text{ V}$, $V_{OL} \leq 0.4 \text{ V}$ 。与非门的输入电流为 $I_{IH} \leq -1.6 \text{ mA}$, $I_{OH} \leq 40 \mu\text{A}$ 。 $V_{OL} \leq 0.4 \text{ V}$ 时输出电

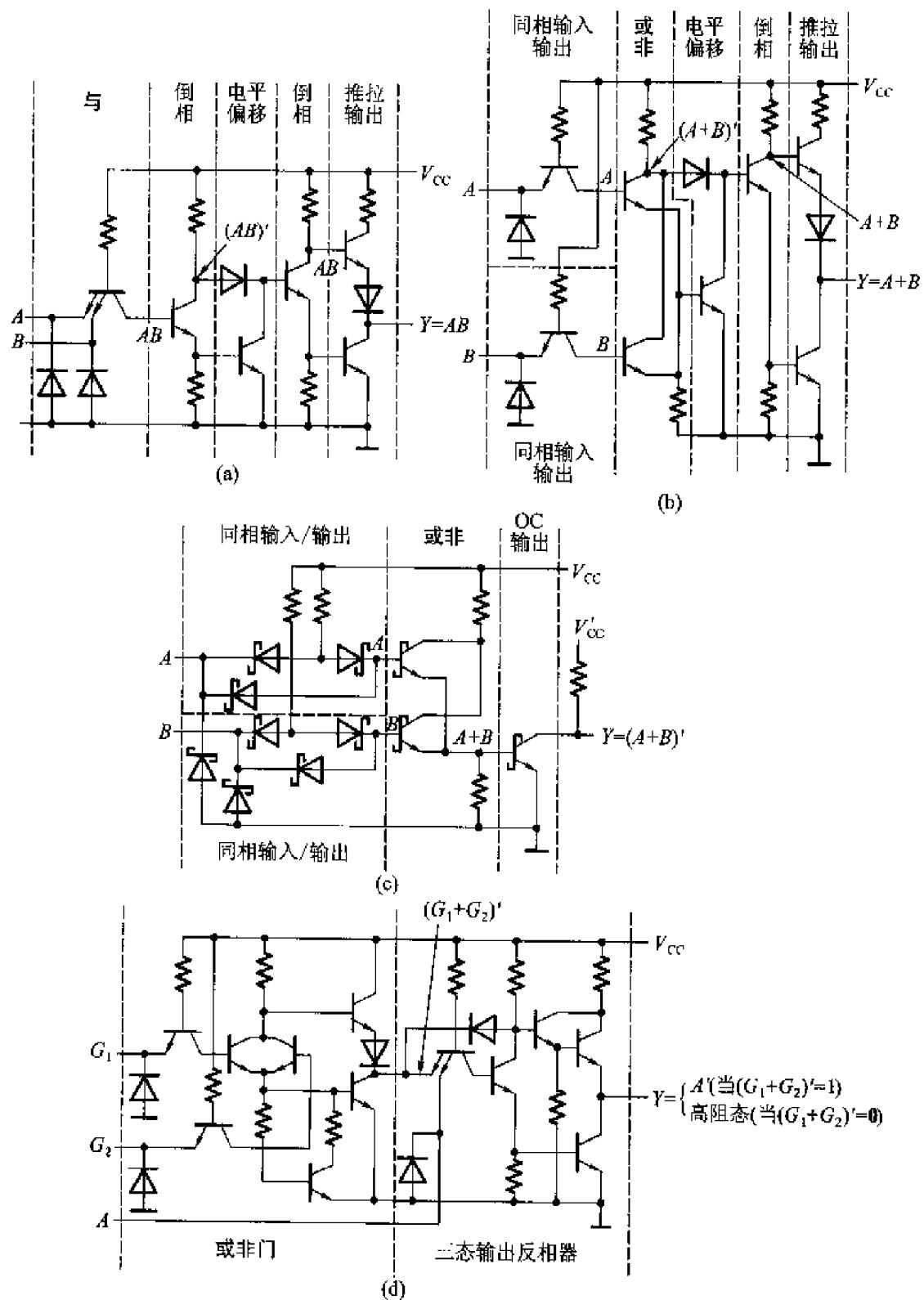


图 P3.13

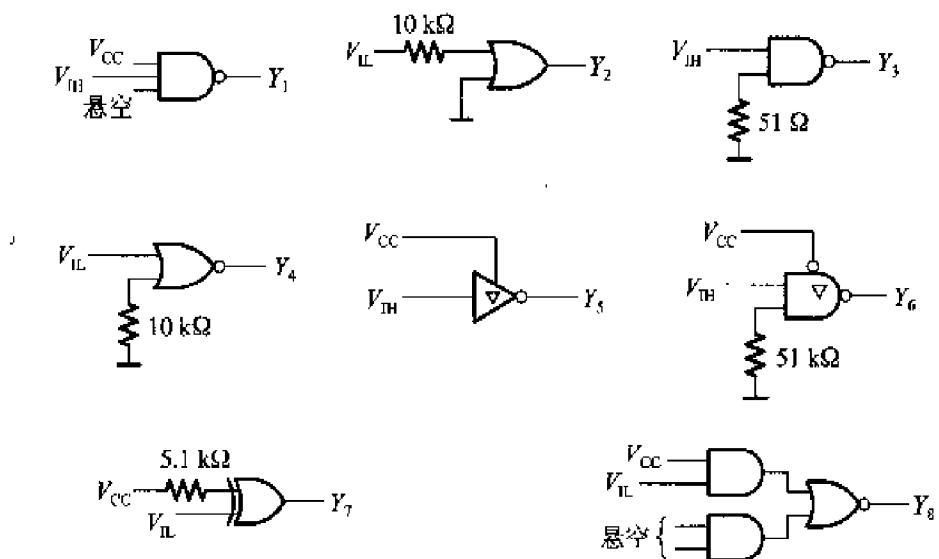


图 P3.14

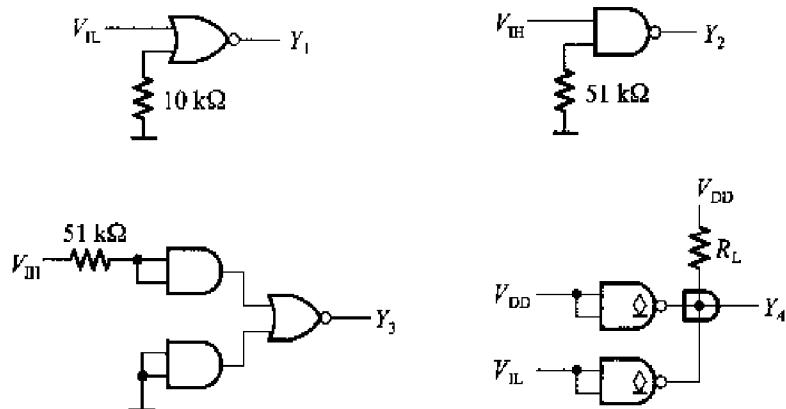


图 P3.15

流最大值为 $I_{OL(max)} = 16 \text{ mA}$, $V_{OH} \geq 3.2 \text{ V}$ 时输出电流最大值为 $I_{OH(max)} = -0.4 \text{ mA}$, G_M 的输出电阻可忽略不计。

解: 在满足 $V_{OL} \leq 0.4 \text{ V}$ 的条件下, 求得可驱动的负载门数目为

$$N_1 \leq \frac{|I_{OL(max)}|}{|I_{IL(max)}|} = \frac{16}{1.6} = 10$$

而在满足 $V_{OH} \geq 3.2 \text{ V}$ 的条件下, 求得可驱动的负载门数目为

$$N_2 \leq \frac{|I_{OH(max)}|}{pI_{IH(max)}} = \frac{0.4}{2 \times 0.04} = 5$$

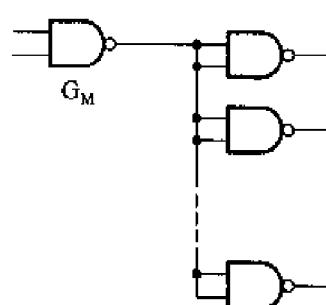


图 P3.16

因此 G_M 最多只能驱动 5 个同样的与非门。

【题 3.17】 在图 P3.17 由 74 系列或非门组成的电路中, 试求门 G_M 能驱动多少同样的或非门。要求 G_M 输出的高、低电平满足 $V_{OH} \geq 3.2$ V, $V_{OL} \leq 0.4$ V。或非门每个输入端的输入电流为 $I_{IL} \leq -1.6$ mA, $I_{IH} \leq 40$ μ A。 $V_{OL} \leq 0.4$ V 时输出电流的最大值为 $I_{OL(max)} = 16$ mA, $V_{OH} \geq 3.2$ V 时输出电流的最大值为 $I_{OH(max)} = -0.4$ mA。 G_M 的输出电阻可忽略不计。

解: 在满足 $V_{OL} \leq 0.4$ V 的条件下, 能驱动同样负载门的数目为

$$N_1 \leq \frac{|I_{OL(max)}|}{2I_{IL(max)}} = \frac{16}{2 \times 1.6} = 5$$

在满足 $V_{OH} \geq 3.2$ V 的条件下, 能驱动的负载门数目为

$$N_2 \leq \frac{|I_{OH(max)}|}{2I_{IH(max)}} = \frac{0.4}{2 \times 0.04} = 5$$

故 G_M 能驱动 5 个同样的或非门。

【题 3.18】 试说明在下列情况下, 用万用电表测量图 P3.18 的 v_{12} 端得到的电压各为多少:

- (1) v_{11} 悬空;
- (2) v_{11} 接低电平 (0.2 V);
- (3) v_{11} 接高电平 (3.2 V);
- (4) v_{11} 经 $51\ \Omega$ 电阻接地;
- (5) v_{11} 经 $10\ k\Omega$ 电阻接地。

图中的与非门为 74 系列的 TTL 电路, 万用电表使用 5 V 量程, 内阻为 $20\ k\Omega/V$ 。

解: 这时相当于 v_{12} 端经过一个 $100\ k\Omega$ 的电阻接地。假定与非门输入端多发射极三极管每个发射结的导通压降均为 0.7 V, 则有

- (1) $v_{12} \approx 1.4$ V
- (2) $v_{12} \approx 0.2$ V
- (3) $v_{12} \approx 1.4$ V
- (4) $v_{12} \approx 0$ V
- (5) $v_{12} \approx 1.4$ V

【题 3.19】 若将上题中的与非门改为 74 系列 TTL 或非门, 试问在上列五种情况下测得的 v_{12} 各为多少?

解: 由或非门电路结构可知, 在或非门中两个输入端是分别接到两个三极管的发射极, 所以它们各自的输入端电平互不影响, 故 v_{12} 始终为 1.4 V。

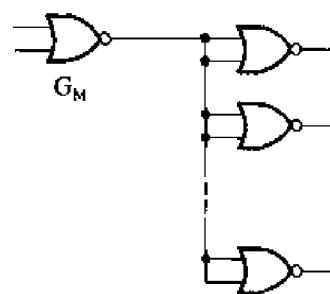


图 P3.17

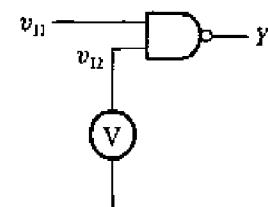


图 P3.18

【题 3.20】 若将图 P3.18 中的门电路改为 CMOS 与非门, 试说明当 v_{11} 为 [题 3.18] 给出的五种状态时测得的 v_{12} 各等于多少?

解: 因为 CMOS 与非门的两个输入端都有独立的输入缓冲器(反相器), 所以两个输入端的电平互不影响。 v_{12} 端经电压表的内阻接地, 故 $v_{12} = 0$ 。

【题 3.21】 在图 P3.21 所示电路中 R_1 、 R_2 和 C 构成输入滤波电路。当开关 S 闭合时, 要求门电路的输入电压 $V_{IL} \leq 0.4$ V; 当开关 S 断开时, 要求门电路的输入电压 $V_{IH} \geq 4$ V, 试求 R_1 和 R_2 的最大允许阻值。 $G_1 \sim G_5$ 为 74LS 系列 TTL 反相器, 它们的高电平输入电流 $I_{IH} \leq 20 \mu\text{A}$, 低电平输入电流 $|I_{IL}| \leq 0.4 \text{ mA}$ 。

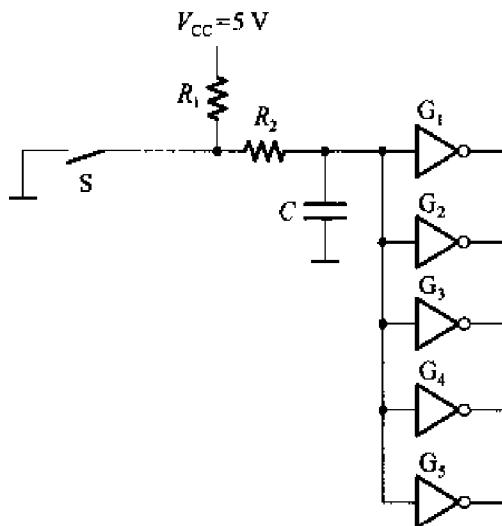


图 P3.21

解: S 闭合时 R_1 被短路, 五个反相器的低电平输入电流全部都流入 R_2 , 使反相器的输入低电平等于 $5I_{IL}R_2$ 。当 V_{IL} 为最大值 0.4 V 时, 可求得 R_2 的最大允许值为

$$R_{2(\max)} = \frac{V_{IL(\max)}}{5I_{IL(\max)}} = \frac{0.4}{5 \times 0.4} \text{ k}\Omega = 0.2 \text{ k}\Omega$$

S 断开时所有反相器的高电平输入电流同时流经 R_1 和 R_2 , 使反相器的输入高电平等于 $V_{cc} - 5I_{IH}(R_1 + R_2)$ 。当 V_{IH} 为最小值 4 V 时, 可求得 $R_1 + R_2$ 的最大允许值为

$$(R_1 + R_2)_{\max} = \frac{V_{cc} - V_{IH(\min)}}{5I_{IH(\max)}} = \frac{5 - 4}{5 \times 0.02} \text{ k}\Omega = 10 \text{ k}\Omega$$

因此得到

$$R_{1(\max)} = (R_1 + R_2)_{\max} - R_{2(\max)} = (10 - 0.2) \text{ k}\Omega = 9.8 \text{ k}\Omega$$

【题 3.22】 试绘出图 P3.22 所示电路的高电平输出特性和低电平输出特性。已知 $V_{cc} = 5$ V, $R_L = 1$ k Ω 。OC 门截止时输出管的漏电流 $I_{oH} = 200 \mu\text{A}$ 。

$V_I = V_{IH}$ 时 OC 门输出管饱和导通, 其饱和压降为 $V_{CE(sat)} = 0.1$ V, 饱和导通内阻为 $R_{CE(sat)} = 20 \Omega$ 。

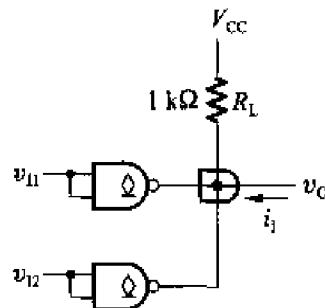


图 P3.22

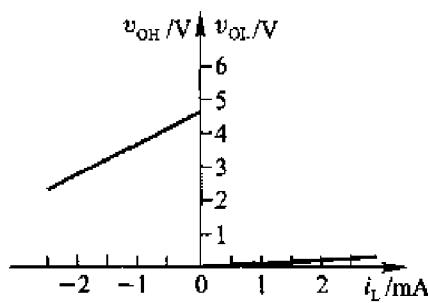


图 A3.22

解: 输出为高电平 v_{OH} 时, v_{OH} 与负载电流 i_L 的关系可写成

$$v_{OH} = V_{CC} - (2I_{OH} + |i_L|)R_L \quad (A3.22)a$$

输出为低电平 v_{OL} , 而且只有一个 OC 门导通时, v_{OL} 与 i_L 的关系可写成

$$v_{OL} = \left(\frac{V_{CC} - v_{OL}}{R_L} + i_L \right) R_{CE(sat)} + V_{CE(sat)} \quad (A3.22)b$$

当 $i_L = 0$ 时, 由式 (A3.22)a 得到 $v_{OH} = 4.6$ V; 由式 (A3.22)b 得到 $v_{OL} = 0.1$ V。根据式 (A3.22)a 和式 (A3.22)b 画出的输出特性如图 A3.22 所示。

【题 3.23】 计算图 P3.23 电路中上拉电阻 R_L 的阻值范围。其中 G_1, G_2, G_3 是 74LS 系列 OC 门, 输出管截止时的漏电流 $I_{OH} \leq 100 \mu A$, 输出低电平 $V_{OL} \leq 0.4$ V 时允许的最大负载电流 $I_{OL(max)} = 8$ mA。 G_4, G_5, G_6 为 74LS 系列与非门, 它们的输入电流为 $|I_{IN}| \leq 0.4$ mA, $I_{IN} \leq 20 \mu A$ 。给定 $V_{CC} = 5$ V, 要求 OC 门的输出高、低电平应满足 $V_{OH} \geq 3.2$ V, $V_{OL} \leq 0.4$ V。

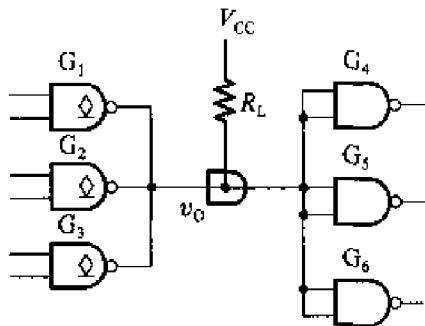


图 P3.23

解: 根据本书前面已经给出的式 (3-6) 可求出 R_L 的最大允许值为

$$R_{L(max)} = \frac{V_{CC} - V_{OH}}{nI_{OH} + mI_{IH}} = \frac{5 - 3.2}{0.1 \times 3 + 0.02 \times 6} k\Omega = 4.29 k\Omega$$

又根据式(3-7)可求出 R_L 的最小允许值为

$$R_{L(\min)} = \frac{V_{CC} - V_{OL}}{I_{OL(\max)} - |m'I_{IL}|} = \frac{5 - 0.4}{8 - 3 \times 0.4} \text{ k}\Omega = 0.68 \text{ k}\Omega$$

故 R_L 的取值范围应为 $0.68 \text{ k}\Omega \leq R_L \leq 4.29 \text{ k}\Omega$ 。

【题 3.24】 在图 P3.24 所示电路中, 已知 G_1 和 G_2 为 74LS 系列 OC 输出结构的与非门, 输出管截止时的漏电流最大值为 $I_{OH(\max)} = 100 \mu\text{A}$, 低电平输出电流最大值为 $I_{OL(\max)} = 8 \text{ mA}$, 这时输出的低电平为 $V_{OL(\max)} = 0.4 \text{ V}$ 。 $G_3 \sim G_5$ 是 74LS 系列的或非门, 其高电平输入电流最大值为 $I_{IH(\max)} = 20 \mu\text{A}$, 低电平输入电流最大值为 $I_{IL(\max)} = -0.4 \text{ mA}$ 。给定 $V_{CC} = 5 \text{ V}$, 要求满足 $V_{OH} \geq 3.4 \text{ V}$ 、 $V_{OL} \leq 0.4 \text{ V}$, 试求 R_L 取值的允许范围。

解: 根据前面给出的式(3-6)得到 R_L 的最大允许值为

$$R_{L(\max)} = \frac{V_{CC} - V_{OH}}{nI_{OH} + mI_{IH}} = \frac{5 - 3.4}{0.1 \times 2 + 0.02 \times 6} \text{ k}\Omega = 5 \text{ k}\Omega$$

又根据式(3-7)得到 R_L 的最小允许值为

$$R_{L(\min)} = \frac{V_{CC} - V_{OL}}{I_{OL(\max)} - |m'I_{IL}|} = \frac{5 - 0.4}{8 - 0.4 \times 6} \text{ k}\Omega = 0.82 \text{ k}\Omega$$

故 R_L 取值的允许范围为 $0.82 \text{ k}\Omega \leq R_L \leq 5 \text{ k}\Omega$ 。

【题 3.25】 图 P3.25 是一个继电器线圈驱动电路。要求在 $v_I = V_{IH}$ 时三极管 T 截止, 而 $v_I = 0$ 时三极管 T 饱和导通。已知 OC 门输出管截止时的漏电流 $I_{OH} \leq 100 \mu\text{A}$, 导通时允许流过的最大电流 $I_{OL(\max)} = 10 \text{ mA}$, 管压降小于 0.1 V , 导通内阻小于 20Ω 。三极管 $\beta = 50$, 饱和导通压降为 $V_{CE(sat)} = 0.1 \text{ V}$, 饱和导通内阻为 $R_{CE(sat)} = 20 \Omega$ 。继电器线圈内阻 240Ω , 电源电压 $V_{CC} = 12 \text{ V}$ 、 $V_{EE} = -8 \text{ V}$, $R_2 = 3.2 \text{ k}\Omega$, $R_3 = 18 \text{ k}\Omega$, 试求 R_1 的阻值范围。

解:

(1) 根据 $v_I = 0$ 时三极管 T 应饱和导通的要求, R_1 的阻值不能太大, 由此可以计算出 R_1 的最大允许值。由图 A3.25(a) 可知, 这时三极管 T 的饱和基极电

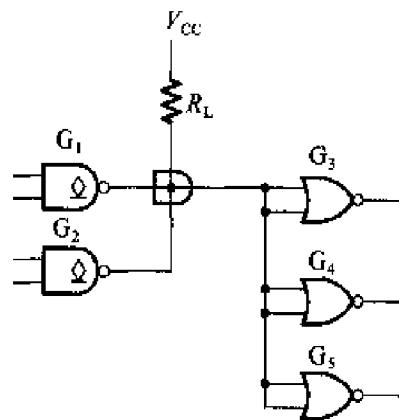


图 P3.24

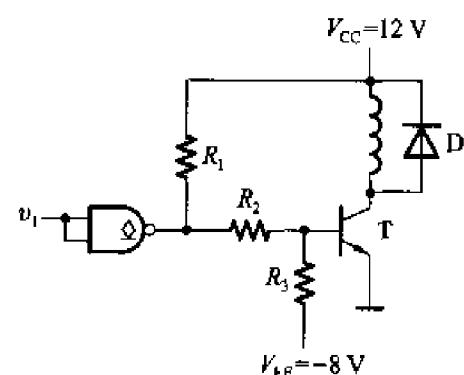


图 P3.25

流应为

$$I_{BS} = \frac{V_{CC} - V_{CE(sat)}}{\beta(R_C + R_{CE(sat)})} = \frac{12 - 0.1}{50 \times 260} \text{ A} = 0.92 \text{ mA}$$

流过 R_2 的电流为

$$i_2 = \frac{v_B - V_{EE}}{R_2} = \frac{0.7 + 8}{18} \text{ mA} = 0.48 \text{ mA}$$

流过 R_2 的电流为 I_{BS} 与 i_2 之和, 即

$$i_2 = I_{BS} + i_2 = (0.92 + 0.48) \text{ mA} = 1.4 \text{ mA}$$

由此可计算出 OC 门输出端的电位 v_P 为

$$v_P = i_2 R_2 + v_B = (1.4 \times 3.2 + 0.7) \text{ V} = 5.2 \text{ V}$$

因为流过 R_1 的电流等于 i_2 与 OC 门高电平输出电流 I_{OH} 之和, 故得到

$$R_{1(max)} = \frac{V_{CC} - v_P}{i_2 + I_{OH}} = \frac{12 - 5.2}{1.4 + 0.1} \text{ k}\Omega = 4.5 \text{ k}\Omega$$

(2) 根据 $v_t = V_{IH}$ 时三极管 T 应截止的要求, 可以计算出 R_1 的最小允许值。由图 A3.25(b) 可知, 这时 OC 门输出为低电平, $v_P = 0.1 \text{ V}$ 。因为流过 OC 门的最大负载电流不能超过 $I_{OL(max)}$, 所以 R_1 的阻值不能太小。由此可以求出 R_1 的最小允许值。

由图 A3.25(b) 可见, 这时流过 R_1 的电流除了 OC 门的导通电流外, 还有流过 R_2 和 R_3 的电流 i_2 。由图可见

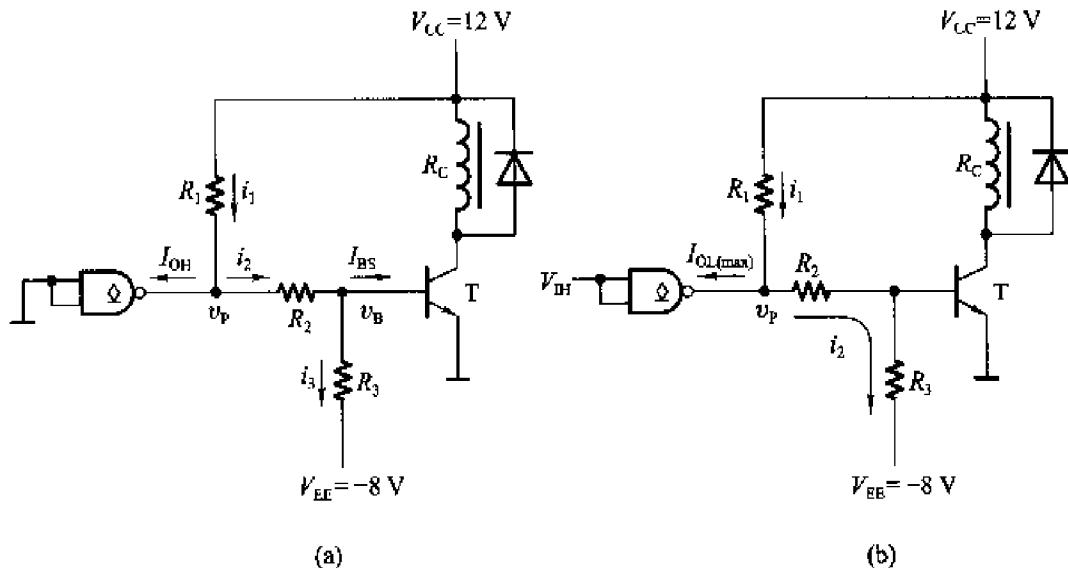


图 A3.25

$$i_2 = \frac{v_P - V_{EE}}{R_2 + R_3} = \frac{0.1 + 8}{3.2 + 18} \text{ mA} = 0.38 \text{ mA}$$

故得到

$$R_{1(\text{min})} = \frac{V_{CC} - V_P}{I_{OL(\text{max})} + i_2} = \frac{12 - 0.1}{10 + 0.38} \text{ k}\Omega = 1.1 \text{ k}\Omega$$

所以应取 $1.1 \text{ k}\Omega \leq R_1 \leq 4.5 \text{ k}\Omega$ 。

【题 3.26】 在图 P3.26(a) 所示电路中已知三极管导通时 $V_{BE} = 0.7 \text{ V}$, 饱和压降 $V_{CE(\text{sat})} = 0.3 \text{ V}$, 饱和导通内阻为 $R_{CE(\text{sat})} = 20 \Omega$, 三极管的电流放大系数 $\beta = 100$ 。OC 门 G_1 输出管截止时的漏电流约为 $50 \mu\text{A}$, 导通时允许的最大负载电流为 16 mA , 输出低电平 $\leq 0.3 \text{ V}$ 。 $G_2 \sim G_5$ 均为 74 系列 TTL 电路, 其中 G_2 为反相器, G_3 和 G_4 是与非门, G_5 是或非门, 它们的输入特性如图 P3.26(b) 所示。试问

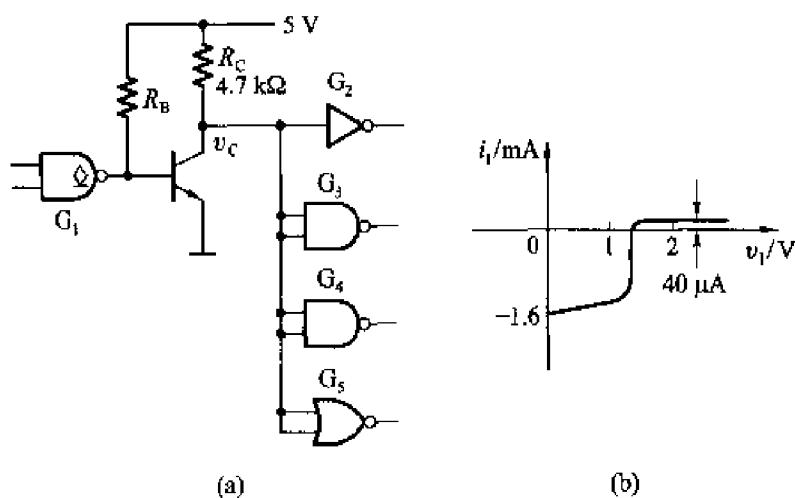


图 P3.26

(1) 在三极管集电极输出的高、低电压满足 $V_{CE} \geq 3.5 \text{ V}$, $V_{OL} \leq 0.3 \text{ V}$ 的条件下, R_B 的取值范围有多大?

(2) 若将 OC 门改成推拉式输出的 TTL 门电路, 会发生什么问题?

解:

(1) 计算 R_B 的取值范围。

首先, 根据三极管饱和导通时的要求可求得 R_B 的最大允许值。三极管的临界饱和基极电流应为

$$\begin{aligned} I_{BS} &= \frac{1}{\beta} \left(\frac{V_{CC} - V_{CE(\text{sat})}}{R_C + R_{CE(\text{sat})}} + 5I_{IL} \right) \\ &= \frac{1}{100} \left(\frac{5 - 0.3}{4.7} + 5 \times 1.6 \right) \text{ mA} = 0.09 \text{ mA} \end{aligned}$$

故得到 $\frac{V_{CC} - V_{BE}}{R_B} = 0.09 + 0.05 = 0.14$ 。

$$R_B = \frac{V_{CC} - V_{BE}}{0.14} = \frac{4.3}{0.14} \text{ k}\Omega = 30.7 \text{ k}\Omega$$

又根据 OC 门导通时允许的最大负载电流为 16 mA 可求出 R_E 的最小允许值。

$$R_E = \frac{V_{CC} - V_{OL}}{16} = \frac{4.7}{16} \text{ k}\Omega = 0.29 \text{ k}\Omega$$

故应取 $0.29 \text{ k}\Omega < R_E < 30.7 \text{ k}\Omega$ 。

(2) 若将 OC 门直接换成推拉式输出的 TTL 门电路, 则 TTL 门电路输出高电平时为低内阻, 而且三极管的发射结导通时也是低内阻, 因此可能因电流过大而使 TTL 门电路和三极管受损。

【题 3.27】 计算图 P3.27 所示电路中接口电路输出端 v_c 的高、低电平, 并说明接口电路参数的选择是否合理。三极管的电流放大系数 $\beta = 40$, 饱和导通压降 $V_{CE(sat)} = 0.1 \text{ V}$, 饱和导通内阻 $R_{CE(sat)} = 20 \Omega$ 。CMOS 或非门的电源电压 $V_{DD} = 5 \text{ V}$, 空载输出的高、低电平分别为 $V_{OH} = 4.95 \text{ V}$, $V_{OL} = 0.05 \text{ V}$, 门电路的输出电阻小于 200Ω , 高电平输出电流的最大值和低电平输出电流的最大值均为 4 mA 。TTL 或非门的高电平输入电流 $I_{IH} = 40 \mu\text{A}$, 低电平输入电流 $I_{IL} = -1.6 \text{ mA}$ 。

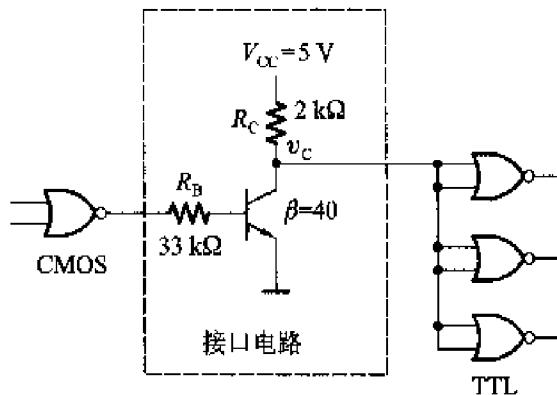


图 P3.27

解:

(1) CMOS 门电路输出为低电平时三极管截止, v_c 的高电平为

$$V_{CH} = V_{CC} - 6I_{IH}R_C = (5 - 6 \times 40 \times 10^{-6} \times 2 \times 10^3) \text{ V} = 4.5 \text{ V}$$

所以接口电路输出的高电平可以满足负载电路对输入高电平大于 2 V 的要求。

(2) CMOS 门电路输出为高电平时应能使三极管饱和导通, 方能满足对接口电路输出低电平的要求。由图可知, 这时三极管的基极电流为

$$I_B = \frac{V_{OH} - V_{BE}}{R_B + R_0} = \frac{4.95 - 0.7}{33 + 0.2} \text{ mA} = 0.128 \text{ mA}$$

式中的 R_0 为 CMOS 门电路的输出电阻。

而三极管的饱和基极电流为

$$\begin{aligned} I_{BS} &= \frac{1}{\beta} \left(\frac{V_{CC} - V_{CE(sat)}}{R_C + R_{CE(sat)}} + 6|I_{IL}| \right) \\ &= \frac{1}{40} \left(\frac{5 - 0.1}{2 + 0.02} + 6 \times 1.6 \right) \text{ mA} = 0.3 \text{ mA} \end{aligned}$$

可见, 三极管处于不饱和导通状态, 电路参数的选择不合理。

由于接口电路和负载门输入电路都是非线性开关电路, 因而不便于用列电路方程的方法计算这时接口电路的输出电平。但是可以从电路的工作原理出发判断出这个电平的大致情况。

上面已经计算出此时的基极电流为 $I_B = 0.128 \text{ mA}$, 所以对应的集电极电流为 $I_C = \beta I_B = 5.12 \text{ mA}$ 。假如 v_C 是低电平, 则负载门的低电平输入电流将是 $|6I_{IL}| = 9.6 \text{ mA}$, 三极管不可能饱和, v_C 不可能是低电平, 反之, 假如 v_C 是高电平, 则负载门的高电平输入电流很小, I_C 绝大部分流过 R_C , 足以使 v_C 为低电平。因此, v_C 只能处在负载门输入特性的转折区, 即 $v_C \approx 1.4 \text{ V}$ 。

【题 3.28】 图 P3.28 是用 TTL 电路驱动 CMOS 电路的实例, 试计算上拉电阻 R_L 的取值范围。TTL 与非门在 $V_{OL} \leq 0.3 \text{ V}$ 时的最大输出电流为 8 mA , 输出端的 T_S 管截止时有 $50 \mu\text{A}$ 的漏电流。CMOS 或非门的高电平输入电流最大值和低电平输入电流最大值均为 $1 \mu\text{A}$ 。要求加到 CMOS 或非门输入端的电压满足 $V_{IH} \geq 4 \text{ V}$, $V_{IL} \leq 0.3 \text{ V}$ 。给定电源电压 $V_{DD} = 5 \text{ V}$ 。

解:

(1) 根据 $V_{IH} \geq 4 \text{ V}$ 的要求以及已知的 TTL 门电路输出高电平时的漏电流和 CMOS 电路的高电平输入电流, 即可求得 R_L 的最大允许值

$$R_{L(max)} = \frac{V_{CC} - V_{IH}}{I_{OH} + 4I_{IH}} = \frac{5 - 4}{0.05 + 0.001 \times 4} \text{ k}\Omega = 18.5 \text{ k}\Omega$$

(2) 根据 $V_{IL} \leq 0.3 \text{ V}$ 的要求以及 TTL 门电路低电平输出电流最大值和 CMOS 门电路的低电平输入电流, 又可求得 R_L 的最小允许值

$$R_{L(min)} = \frac{V_{CC} - V_{IL}}{I_{OL(max)} - 4I_{IL}} = \frac{5 - 0.3}{8} \text{ k}\Omega = 0.59 \text{ k}\Omega$$

故 R_L 的取值范围应为 $0.59 \text{ k}\Omega \leq R_L \leq 18.5 \text{ k}\Omega$ 。

【题 3.29】 试说明下列各种门电路中哪些可以将输出端并联使用(输入端

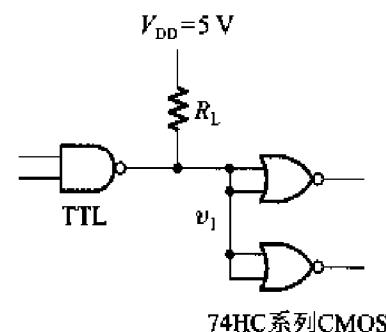


图 P3.28

的状态不一定相同)：

- (1) 具有推拉式输出级的 TTL 电路；
- (2) TTL 电路的 OC 门；
- (3) TTL 电路的三态输出门；
- (4) 互补输出结构的 CMOS 门；
- (5) CMOS 电路的 OD 门；
- (6) CMOS 电路的三态输出门。

解：

(1)、(4)不可；(2)、(3)、(5)、(6)可以。

第四章

组合逻辑电路

4.1 本章习题类型与解题方法

这一章的习题不外乎组合逻辑电路分析和组合逻辑电路设计两大类。

所谓组合逻辑电路的分析,是指分析给定逻辑电路的功能,写出它的逻辑函数式或功能表,以使逻辑功能更加直观、明了。给定的逻辑电路又可以分为两种类型,一种是用小规模集成门电路组成的,另一种是用中规模集成常用组合逻辑电路组成的。

所谓组合逻辑电路的设计,是指根据要求实现的逻辑功能,设计出实现这种逻辑功能的具体逻辑电路。这类题目也分为两种类型,一种类型是采用小规模集成门电路实现要求的逻辑功能,另一种类型则是采用中规模集成常用组合逻辑电路实现要求的逻辑功能。

一、分析用小规模集成门电路组成的组合逻辑电路

解题方法和步骤:

通常采用的方法是从输入端到输出端依次写出每一级门电路输出的逻辑式,最后在输出端自然就得到了表示整个电路输出与输入之间关系的逻辑函数式。这个方法就是我们介绍各种逻辑函数表示方法相互转换时所讲过的从逻辑图到逻辑函数式的转换方法。

有时还可以从逻辑函数式列出真值表,以使逻辑功能更加一目了然。

【例 4-1】 试分析图 4-1 给出的逻辑电路,说明该电路能实现什么样的逻辑功能。

解: 从输入端 A, B, C 向输出端 Y_1, Y_2 依次写出每一级门电路输出的逻辑运算式,如图中所示,于是得到

$$Y_1 = A \oplus B \oplus C \quad (4-1)$$

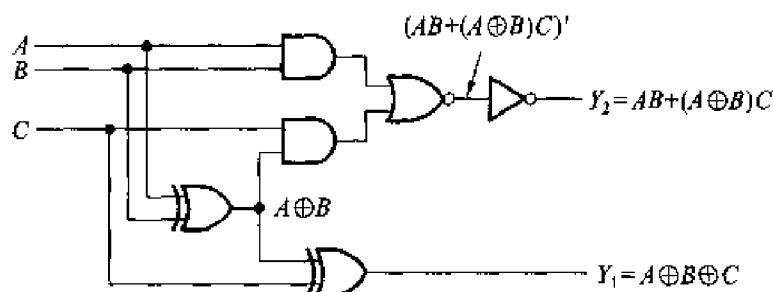


图 4-1 例 4-1 的电路

$$Y_2 = AB + (A \oplus B)C \quad (4-2)$$

但是这两个式子所表示的逻辑功能还不够直观，所以我们进一步列出 Y_1 和 Y_2 的真值表，如表 4-1。从这个真值表上可以看出，当 A, B, C 中有奇数个 1 时 Y_1 等于 1，否则等于 0；当 A, B, C 中有两个以上同时为 1 时， Y_2 等于 1，否则等于 0。如果把 A, B, C 看做是相加的三个二进制数，则 Y_1 就是输出的和， Y_2 就是输出的进位。因此，图 4-1 实际上就是一个全加器。

表 4-1 例 4-1 电路的逻辑真值表

A	B	C	AB	$A \oplus B$	$(A \oplus B)C$	Y_1 $(A \oplus B) \oplus C$	Y_2 $AB + (A \oplus B)C$
			0	0	0		
0	0	1	0	0	0	1	0
0	1	0	0	1	0	1	0
0	1	1	0	1	1	0	1
1	0	0	0	1	0	1	0
1	0	1	0	1	1	0	1
1	1	0	1	0	0	0	1
1	1	1	1	0	0	1	1

二、分析用中规模集成常用组合逻辑电路组成的组合逻辑电路

解题方法和步骤：

(1) 根据所用器件本身固有的逻辑功能，写出表示输入与输出之间关系的逻辑函数式。

(2) 用加到输入端的变量名称和写到输出端的变量名称代替上述逻辑函数式中对应端的名称，就得到了所分析电路的逻辑函数式。

为便于更加直观地显示电路的逻辑功能，有时还需要列出电路的逻辑真值表。

【例 4-2】 试写出图 4-2 电路的输出逻辑函数式, 说明该电路的逻辑功能。

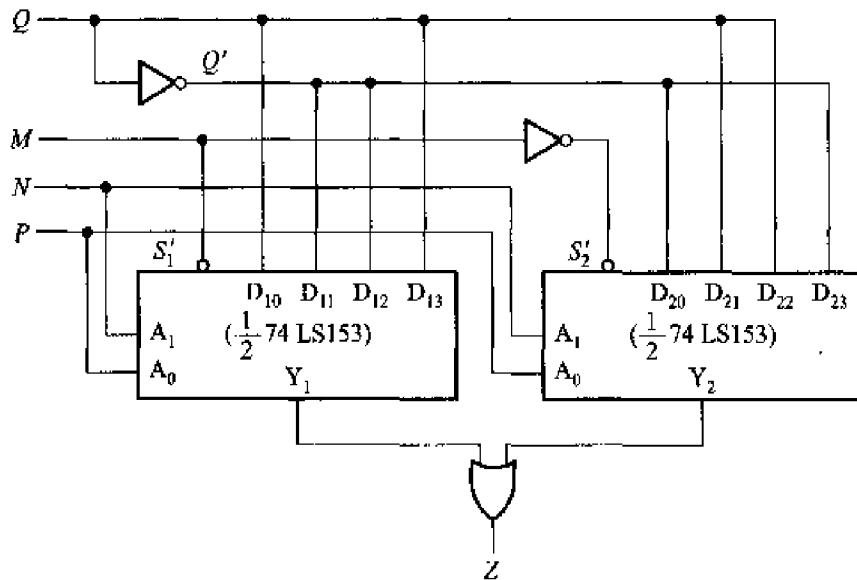


图 4-2 例 4-2 的电路

解: 74LS153 是双 4 选 1 数据选择器, 两个数据选择器有公共的数据输入端 A₁ 和 A₀, 其余的输入端和输出端是各自独立的。

我们已经知道 4 选 1 数据选择器的输出函数式为

$$Y_1 = S_1 (A_1' A_0' D_{10} + A_1' A_0 D_{11} + A_1 A_0' D_{12} + A_1 A_0 D_{13})$$

$$Y_2 = S_2 (A_1' A_0' D_{20} + A_1' A_0 D_{21} + A_1 A_0' D_{22} + A_1 A_0 D_{23})$$

由此可知

$$\begin{aligned} Z &= Y_1 + Y_2 \\ &= S_1 (A_1' A_0' D_{10} + A_1' A_0 D_{11} + A_1 A_0' D_{12} + A_1 A_0 D_{13}) \\ &\quad + S_2 (A_1' A_0' D_{20} + A_1' A_0 D_{21} + A_1 A_0' D_{22} + A_1 A_0 D_{23}) \end{aligned}$$

在图 4-2 电路中, A₀ = P, A₁ = N, S₁ = M', S₂ = M, D₁₀ = D₁₃ = D₂₁ = D₂₂ = Q, D₁₁ = D₁₂ = D₂₀ = Q'. 将 M, N, P, Q 代入上式得到

$$\begin{aligned} Z &= M' N' P' Q + M' N' P Q' + M' N P' Q' + M' N P Q + M N' P' Q' + M N' P Q \\ &\quad + M N P' Q + M N P Q' \end{aligned} \quad (4-3)$$

如果列出 Z 的真值表(如表 4-2)则可以看出, 当 M, N, P, Q 中有奇数个 1 时 Z 等于 1, 其余情况下 Z 等于 0, 所以这是一个 4 位二进制代码的奇偶校验电路。

表 4-2 例 4-2 中函数 Z 的真值表

M	N	P	Q	Z
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	1	0	1
1	1	1	1	1

【例 4-3】分析图 4-3 中的逻辑电路,说明该电路具有什么逻辑功能。

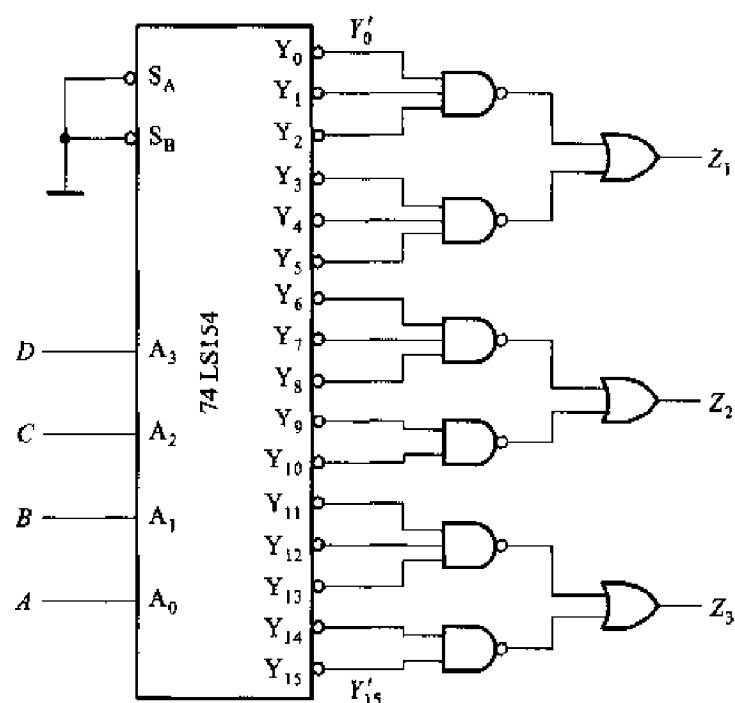


图 4-3 例 4-3 的电路

解：已知 74LS154 是 4 线 - 16 线译码器，输出与输入之间的关系为

$$\begin{cases} Y'_0 = (A'_3 A'_2 A'_1 A'_0)' & Y'_8 = (A_3 A'_2 A'_1 A'_0)' \\ Y'_1 = (A'_3 A'_2 A'_1 A_0)' & Y'_9 = (A_3 A'_2 A'_1 A_0)' \\ Y'_2 = (A'_3 A'_2 A_1 A'_0)' & Y'_{10} = (A_3 A'_2 A_1 A'_0)' \\ Y'_3 = (A'_3 A'_2 A_1 A_0)' & Y'_{11} = (A_3 A'_2 A_1 A_0)' \\ Y'_4 = (A'_3 A_2 A'_1 A'_0)' & Y'_{12} = (A_3 A_2 A'_1 A'_0)' \\ Y'_5 = (A'_3 A_2 A'_1 A_0)' & Y'_{13} = (A_3 A_2 A'_1 A_0)' \\ Y'_6 = (A'_3 A_2 A_1 A'_0)' & Y'_{14} = (A_3 A_2 A_1 A'_0)' \\ Y'_7 = (A'_3 A_2 A_1 A_0)' & Y'_{15} = (A_3 A_2 A_1 A_0)' \end{cases}$$

由图可知输出 Z_1 、 Z_2 、 Z_3 分别为

$$\begin{aligned} Z_1 &= (Y'_0 Y'_1 Y'_2)' + (Y'_3 Y'_4 Y'_5)' = Y_0 + Y_1 + Y_2 + Y_3 + Y_4 + Y_5 \\ &= A'_3 A'_2 A'_1 A'_0 + A'_3 A'_2 A'_1 A_0 + A'_3 A'_2 A_1 A'_0 + A'_3 A'_2 A_1 A_0 \\ &\quad + A'_3 A_2 A'_1 A'_0 + A'_3 A_2 A'_1 A_0 \\ Z_2 &= (Y'_6 Y'_7 Y'_8)' + (Y'_9 Y'_{10})' = Y_6 + Y_7 + Y_8 + Y_9 + Y_{10} \\ &= A'_3 A_2 A_1 A'_0 + A'_3 A_2 A_1 A_0 + A_3 A'_2 A'_1 A'_0 + A_3 A'_2 A'_1 A_0 + A_3 A'_2 A_1 A'_0 \\ Z_3 &= (Y'_{11} Y'_{12} Y'_{13})' + (Y'_{14} Y'_{15})' = Y_{11} + Y_{12} + Y_{13} + Y_{14} + Y_{15} \\ &= A_3 A'_2 A_1 A_0 + A_3 A_2 A'_1 A'_0 + A_3 A_2 A'_1 A_0 + A_3 A_2 A_1 A'_0 + A_3 A_2 A_1 A_0 \end{aligned}$$

在以上三式中，令 $A_3 = D$ 、 $A_2 = C$ 、 $A_1 = B$ 、 $A_0 = A$ ，得到

$$\begin{aligned} Z_1 &= D' C' B' A' + D' C' B' A + D' C' B A' + D' C' B A + D' C B' A' + D' C B' A \\ Z_2 &= D' C B A' + D' C B A + D C' B' A' + D C' B' A + D C' B A' \\ Z_3 &= D C' B A + D C B' A' + D C B' A + D C B A' + D C B A \end{aligned}$$

若 $DCBA$ 为 4 位二进制数，则图 4-3 电路具有数值范围判断功能。当 $DCBA$ 等效的十进制数小于、等于 5 时， $Z_1 = 1$ 。当 $DCBA$ 等效的十进制数在 6 ~ 10 之间时， $Z_2 = 1$ 。当 $DCBA$ 等效的十进制数在 11 ~ 15 之间时， $Z_3 = 1$ 。

三、用小规模集成电路设计组合逻辑电路

解题方法和步骤：

(1) 进行逻辑抽象，把要求实现的逻辑功能表述为一个逻辑函数形式。具体的做法可按如下步骤进行：

① 确定输入变量和输出变量。通常总是把引起事件的原因作为输入变量，把事件的结果作为输出变量。

② 定义逻辑状态的含意。因为在二值逻辑中，输入、输出变量都有 0 和 1 两种取值，所以要规定它们各自 0、1 所代表的具体含意。

③ 根据设计题目给出的因果关系，列出表示输出与输入关系的真值表。这

样就把一个实际的逻辑功能要求抽象为一个逻辑函数了。

(2) 写出逻辑函数式。为了能应用逻辑代数的公式和定理进行逻辑函数的化简和变换,需要将真值表转换成逻辑函数式。

对于某些逻辑关系比较简单的问题,有时也可以直接写出它的逻辑函数式,省略列出真值表这一步。

(3) 将逻辑函数式化简或变换。为使设计的电路尽量简单,即所用的门最少,而且每个门的输入端数目最少,就必须将函数化为最简形式——所含乘积项最少,同时每个乘积项的因子最少。

如果对使用的门电路类型有限制,则有时还需要对函数式进行变换,以适应所用门电路的特点。例如规定全部用与非门组成设计的电路,那么就必须将函数式化为与非-与非的形式,等等。

(4) 画出用门电路组成的逻辑电路图。

到这一步为止,应当说只是完成了逻辑设计。要想把逻辑设计变为实际的硬件设备,还需要进行工艺设计和施工,这些内容就不包括在本课程的内容里了。

【例 4-4】 设计一个代码转换电路,将余 3 循环码转换为 8421 码。

解:根据题意可知,设计的代码转换电路以余 3 循环码为输入、8421 码为输出,这就可以直接列出表示输出与输入关系的真值表,如表 4-3 所示。

表 4-3 例 4-4 代码转换电路的真值表

输入				输出			
A_3	A_2	A_1	A_0	Y_3	Y_2	Y_1	Y_0
0	0	1	0	0	0	0	0
0	1	1	0	0	0	0	1
0	1	1	1	0	0	1	0
0	1	0	1	0	0	1	1
0	1	0	0	0	1	0	0
1	1	0	0	0	1	0	1
1	1	0	1	0	1	1	0
1	1	1	1	0	1	1	1
1	1	1	0	1	0	0	0
1	0	1	0	1	0	0	1

由于余 3 循环码中不会出现 0000、0001、0011、1000、1001 和 1011 这六种状态,所以可将 $A_3'A_2'A_1'A_0'$ 、 $A_3'A_2'A_1'A_0$ 、 $A_3'A_2'A_1A_0$ 、 $A_3A_2'A_1'A_0'$ 、 $A_3A_2'A_1'A_0$ 和 $A_3A_2'A_1A_0$ 这六个最小项作为约束项处理。

从表 4-3 可以写出 Y_3 、 Y_2 、 Y_1 、 Y_0 作为 A_3 、 A_2 、 A_1 、 A_0 的逻辑函数的表达式，然后进行化简。如果利用卡诺图化简，则可以直接从表 4-3 画出图 4-4 中 Y_3 、 Y_2 、 Y_1 、 Y_0 的卡诺图，而无需先写出它们化简前的逻辑式。

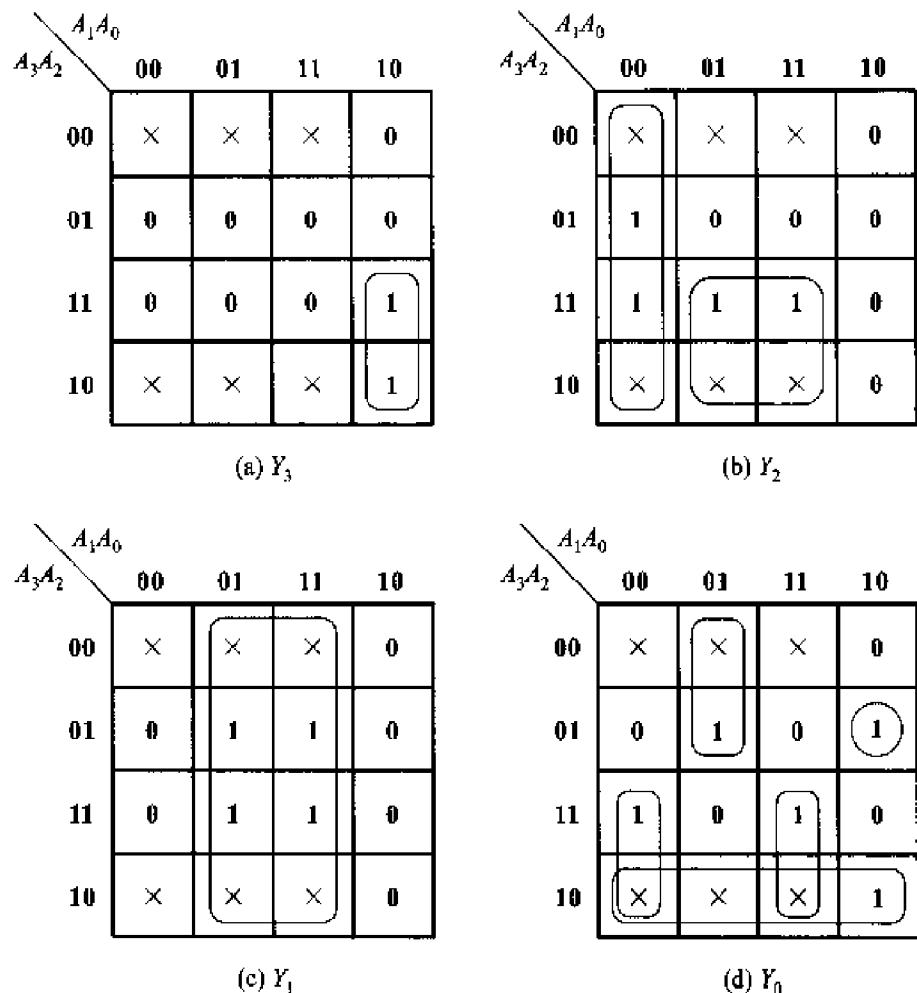


图 4-4 例 4-4 电路的卡诺图

由图 4-4 的卡诺图化简后得到

$$\left\{ \begin{array}{l} Y_3 = A_3 A_1 A_0' \\ Y_2 = A_3 A_0 + A_1' A_0' \\ Y_1 = A_0 \\ Y_0 = A_3 A_2' + A_3 A_1 A_0 + A_3 A_1' A_0' + A_3' A_1' A_0 + A_3' A_2 A_1 A_0' \end{array} \right. \quad (4-4)$$

如果对使用门电路的类型没有任何限制，那么直接用与门和或门组成的电路将如图 4-5 所示。为了保证信号的单向传输，并将输入与输出电路隔离，应在 A_0 与 Y_1 之间接入同相输出的缓冲器。

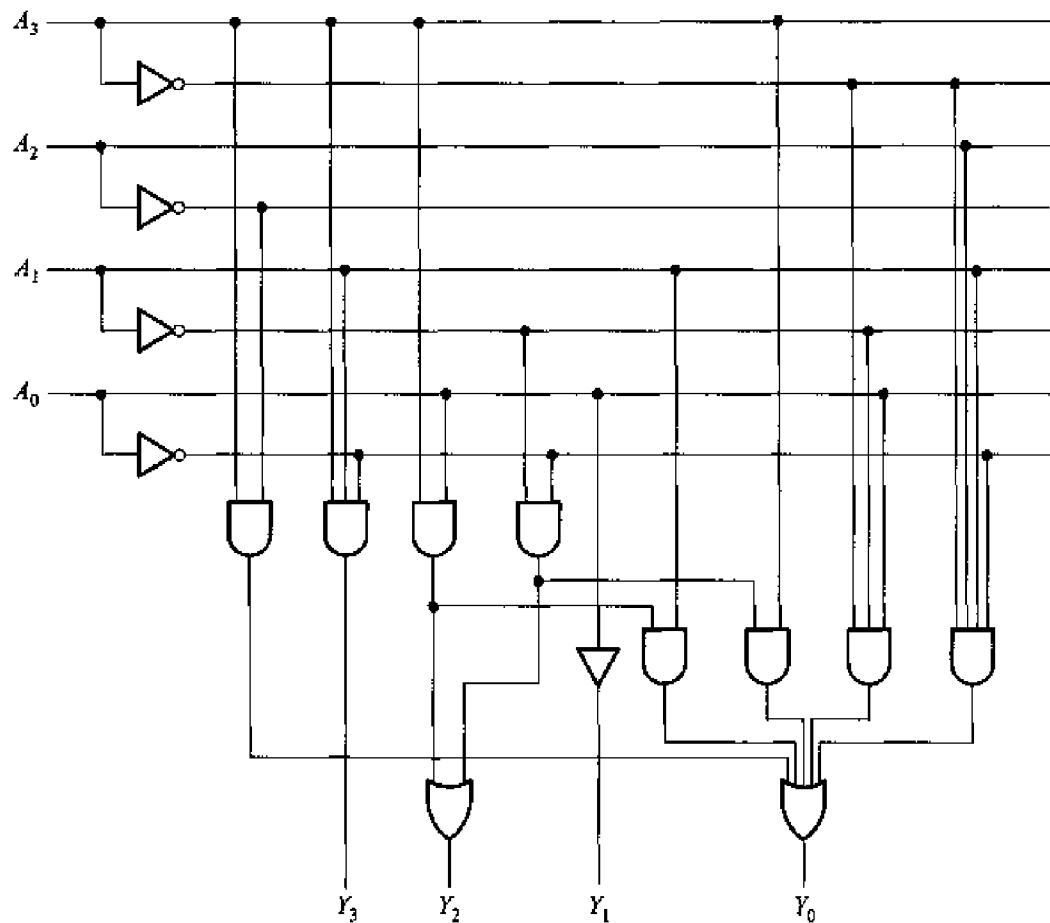


图 4-5 用与门、或门组成的代码转换电路

如果规定只能用 2 输入与非门 74LS00 和 3 输入与非门 74LS10 组成这个代码转换电路, 这时就必须将式(4-4)变换为全部由两变量与非运算、三变量与非运算、非运算组合而成的形式, 即

$$\left\{
 \begin{aligned}
 Y_3 &= ((A_3 A_1 A_0')')' \\
 Y_2 &= ((A_3 A_0 + A_1' A_0')')' = ((A_3 A_0)' \cdot (A_1' A_0')')' \\
 Y_1 &= A_0 \\
 Y_0 &= ((A_3 A_2' + A_3 A_1 A_0 + A_3 A_1' A_0' + A_3' A_1' A_0 + A_3' A_2 A_1 A_0')')' \\
 &= ((A_3 A_2')' \cdot (A_3 A_1 A_0)' \cdot (A_3 A_1' A_0')' \cdot (A_3' A_1' A_0)' \cdot (A_3' A_2 A_1 A_0')')' \\
 &= ((A_3 A_2')' \cdot (A_3 A_1 A_0)' \cdot (A_3 A_1' A_0')' \cdot (A_3' A_1' A_0)' \\
 &\quad \cdot (A_3' \cdot ((A_2 A_1 A_0')')')')' \\
 &= (((((A_3 A_2')' \cdot (A_3 A_1 A_0)' \cdot (A_3 A_1' A_0')')')')' \cdot (((A_3' A_1' A_0)' \\
 &\quad \cdot (A_3' \cdot ((A_2 A_1 A_0')')')')')')')' \\
 \end{aligned}
 \right. \quad (4-5)$$

根据式(4-5)画出的电路图如图4-6所示。图中只包含2输入与非门和3输入与非门两种门电路。

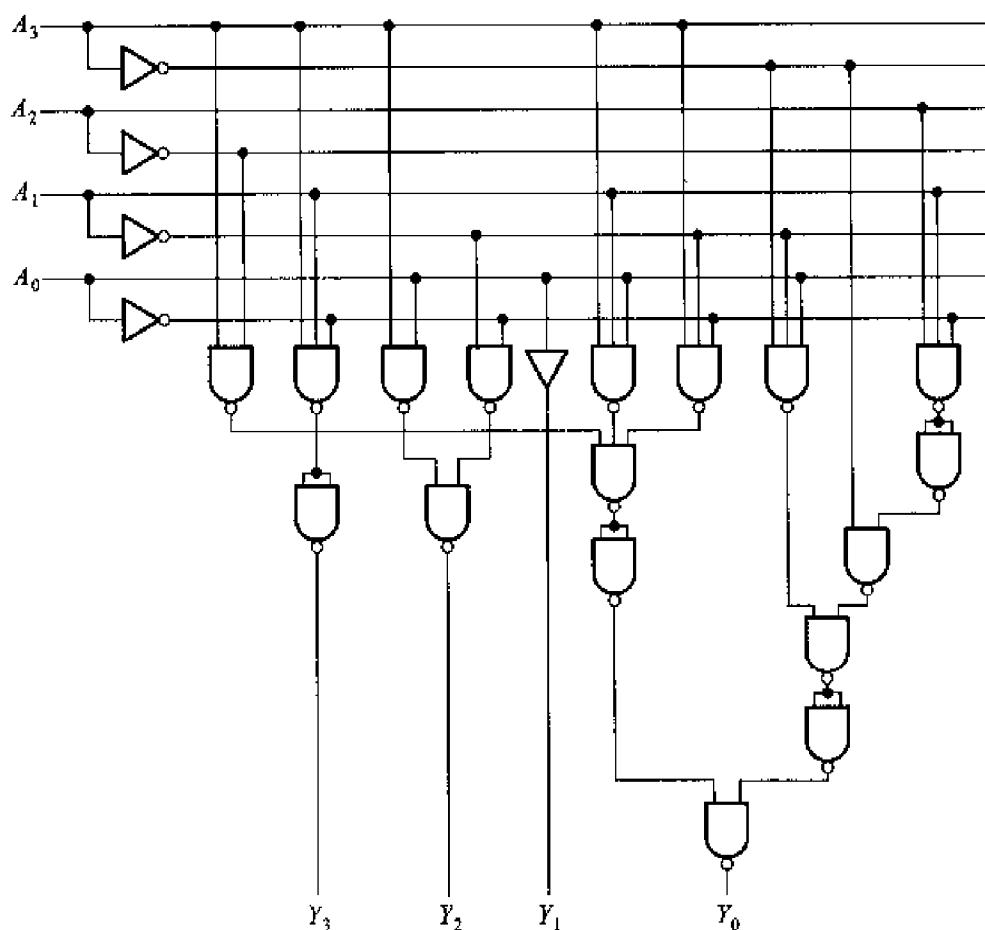


图4-6 用2输入端和3输入端与非门组成的代码转换电路

四、用数据选择器设计组合逻辑电路

设计方法和步骤：

- (1) 进行逻辑抽象,用逻辑函数的形式来描述所要实现的逻辑功能。
- (2) 写出逻辑函数式。
(以上两个步骤的具体做法与使用小规模集成电路进行设计时完全相同。)
- (3) 选定数据选择器器件。若函数有 M 个输入变量,选用的数据选择器有 n 位地址输入,则应取 $M \leq n + 1$,以 $M = n + 1$ 时器件的利用最充分。
- (4) 将逻辑函数式化为最小项之和的形式,并与数据选择器输出的逻辑函数式对照比较,确定输入变量在地址输入端与数据输入端应如何连接才能得到设计函数所含的所有最小项。依此连接后,在数据选择器的输出端就得到了所设计的逻辑函数。
- (5) 画出逻辑电路图。

【例 4-5】设计一个三人表决电路。在表决一般问题时以多数同意为通过。在表决重要问题时,必须一致同意才能通过。

解:首先进行逻辑抽象。取参加表决三人的态度为输入变量,以 P, Q, R 表示,并规定 1 状态表示同意,0 状态表示不同意。同时,以 T 表示表决问题的类型, $T=0$ 表示一般问题, $T=1$ 表示重要问题。取表决结果为输出变量,以 Z 表示,并规定 $Z=1$ 表示通过, $Z=0$ 表示不通过。

于是就可以列出表 4-4 的真值表。从真值表写出 Z 的最小项之和形式的逻辑函数式

$$\begin{aligned} Z &= P'QRT' + PQ'RT' + PQR'T' + PQRT' + PQR \\ &= P'QRT' + PQ'RT' + PQR'T' + PQR(T + T') \\ &= P'QRT' + PQ'RT' + PQR'T' + PQR \cdot 1 \end{aligned} \quad (4-6)$$

表 4-4 例 4-5 三人表决电路的真值表

T	P	Q	R	Z
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

因为 Z 为四变量逻辑函数,所以选有 3 位地址输入的 8 选 1 数据选择器 74LS151 产生逻辑函数 Z 。表 4-5 是器件手册给出的 74LS151 的功能表。按照正逻辑约定,高电平 H 为 1,低电平 L 为 0,即可写出当 $G'=0$ ($G=1$) 时 Y 的逻辑函数式

$$\begin{aligned}
 Y = & C'B'A'D_0 + C'B'AD_1 + C'BA'D_2 + C'BAD_3 + CB'A'D_4 \\
 & + CB'AD_5 + CBA'D_6 + CBAD_7
 \end{aligned} \quad (4-7)$$

表 4-5 74LS151 的功能表

输入			G'	输出	
C	B	A		Y	W
x	x	x	H	L	H
L	L	L	L	D_0	D'_0
L	L	H	L	D_1	D'_1
L	H	L	L	D_2	D'_2
L	H	H	L	D_3	D'_3
H	L	L	L	D_4	D'_4
H	L	H	L	D_5	D'_5
H	H	L	L	D_6	D'_6
H	H	H	L	D_7	D'_7

将式(4-7)与式(4-6)对照一下可以看出,如果令数据选择器的输入接成 $C = P$ 、 $B = Q$ 、 $A = R$ 、 $D_0 = D_1 = D_2 = D_4 = 0$ 、 $D_3 = D_5 = D_6 = T'$ 、 $D_7 = 1$, 则式(4-7)可写成

$$\begin{aligned}
 Y = & P'Q'R' \cdot 0 + P'Q'R \cdot 0 + P'QR' \cdot 0 + P'QR \cdot T' + PQ'R' \cdot 0 \\
 & + PQ'R \cdot T' + PQR' \cdot T' + PQR \cdot 1 \\
 = & P'QRT' + PQ'RT' + PQR'T' + PQR \cdot 1
 \end{aligned} \quad (4-8)$$

可见,式(4-8)给出的 Y 与我们所需要的式(4-6)的 Z 完全相同。

图 4-7 给出了按上述设计方法得到的逻辑图。

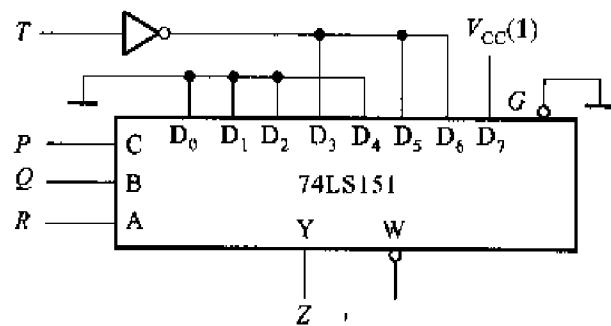


图 4-7 例 4-5 的表决电路

五、用译码器设计组合逻辑电路

设计步骤和方法:

(1) 进行逻辑抽象, 用逻辑函数的形式描述所要实现的逻辑功能。

(2) 写出逻辑函数式。

(以上两个步骤的具体做法与使用小规模集成门电路进行设计时完全相同。)

(3) 选定译码器器件。因为输入为 n 位的二进制译码器在输出端给出 n 变量的全部最小项, 所以为设计具有 M 个输入变量的逻辑函数, 必须选 $n \geq M$ 。而且, 在 $n = M$ 时对译码器的利用最充分。

(4) 将逻辑函数式化为最小项之和的形式, 并用译码器产生这些最小项。然后, 利用或门(或者用与非门)将这些最小项相加, 就得到了所设计的逻辑函数。

(5) 画出逻辑电路图。

【例 4-6】 设计一个数值比较电路, 比较两个二进制数 $A(a_1a_0)$ 和 $B(b_1b_0)$, 要求能分别给出 $A - B \geq 2$ 、 $B - A \geq 2$ 和 $|A - B| < 2$ 的输出信号。

解: 首先进行逻辑抽象, 找出描述所设计逻辑电路逻辑功能的真值表。

以 a_1, a_0, b_1, b_0 为输入变量, 以 Z_1, Z_2, Z_3 分别表示 $A - B \geq 2$ 、 $B - A \geq 2$ 和 $|A - B| < 2$ 的输出, 即可列出表 4-6 的真值表。

表 4-6 例 4-6 数值比较电路的真值表

输入		输出				
a_1	a_0	b_1	b_0	Z_1	Z_2	Z_3
0	0	0	0	0	0	1
0	0	0	1	0	0	1
0	0	1	0	0	1	0
0	0	1	1	0	1	0
0	1	0	0	0	0	1
0	1	0	1	0	0	1
0	1	1	0	0	0	1
0	1	1	1	0	1	0
1	0	0	0	1	0	0
1	0	0	1	0	0	1
1	0	1	0	0	0	1
1	0	1	1	0	0	1
1	1	0	0	1	0	0
1	1	0	1	1	0	0
1	1	1	0	0	0	1
1	1	1	1	0	0	1

从真值表写出 Z_1 、 Z_2 、 Z_3 的逻辑式, 得到

$$\begin{cases} Z_1 = a_1 a_0' b_1' b_0' + a_1 a_0 b_1' b_0' + a_1 a_0 b_1' b_0 = m_8 + m_{12} + m_{13} \\ Z_2 = a_1' a_0' b_1 b_0' + a_1' a_0' b_1 b_0 + a_1' a_0 b_1 b_0 = m_2 + m_3 + m_7 \\ Z_3 = (Z_1 + Z_2)' \end{cases} \quad (4-9)$$

从上式中可以看出, Z_1 和 Z_2 已经是最小项之和的形式了, 因此不再需要作形式的变换。同时还可以看出, $Z_3 = (Z_1 + Z_2)'$, 所以用 Z_1 和 Z_2 产生 Z_3 比用最小项相加产生 Z_3 要简单得多。

选用有 4 位输入代码的 4 线 - 16 线译码器 74154 作为四变量最小项发生电路。将 a_1 、 a_0 、 b_1 、 b_0 接到 74154 的输入端 D 、 C 、 B 、 A 上, 在它的输出端 $Y_0' \sim Y_{15}'$ 就给出了 a_1 、 a_0 、 b_1 、 b_0 的全部 16 个最小项, 如图 4-8 所示。

$$\begin{cases} Y_0' = (a_1' a_0' b_1' b_0')' = m_0' & Y_8' = (a_1 a_0' b_1' b_0')' = m_8' \\ Y_1' = (a_1' a_0' b_1 b_0')' = m_1' & Y_9' = (a_1 a_0' b_1 b_0')' = m_9' \\ Y_2' = (a_1' a_0 b_1' b_0')' = m_2' & Y_{10}' = (a_1 a_0' b_1 b_0')' = m_{10}' \\ Y_3' = (a_1' a_0 b_1 b_0')' = m_3' & Y_{11}' = (a_1 a_0' b_1 b_0')' = m_{11}' \\ Y_4' = (a_1' a_0 b_1' b_0')' = m_4' & Y_{12}' = (a_1 a_0 b_1' b_0')' = m_{12}' \\ Y_5' = (a_1' a_0 b_1 b_0')' = m_5' & Y_{13}' = (a_1 a_0 b_1' b_0')' = m_{13}' \\ Y_6' = (a_1' a_0 b_1 b_0')' = m_6' & Y_{14}' = (a_1 a_0 b_1 b_0')' = m_{14}' \\ Y_7' = (a_1' a_0 b_1 b_0')' = m_7' & Y_{15}' = (a_1 a_0 b_1 b_0')' = m_{15}' \end{cases}$$

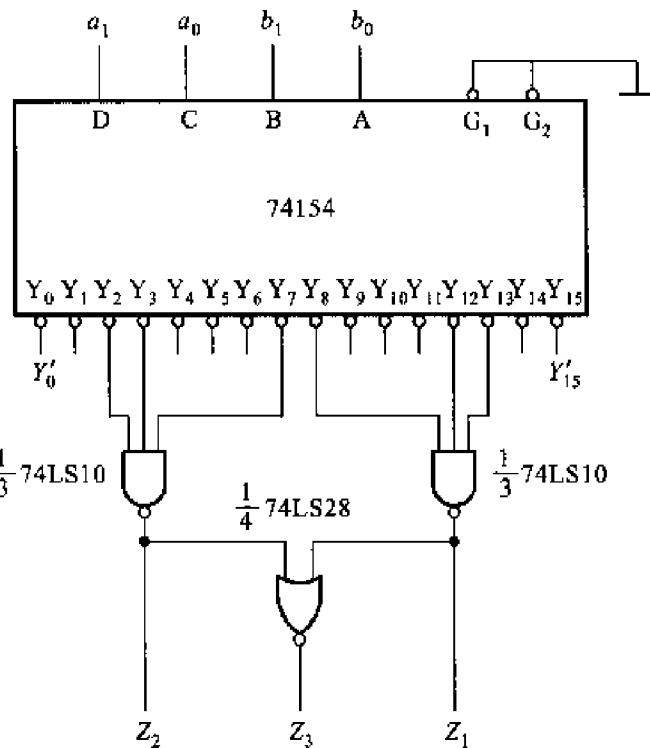


图 4-8 例 4-6 的数值比较电路

由于这些输出是以 m'_i 的形式给出的, 所以还需要把 Z_1 和 Z_2 化为 m'_i 的函数。将 Z_1 、 Z_2 两式经两次求反后得到

$$\begin{cases} Z_1 = ((m_8 + m_{12} + m_{13})')' = (m'_3 \cdot m'_{12} \cdot m'_{13})' \\ Z_2 = ((m_2 + m_3 + m_7)')' = (m'_2 \cdot m'_3 \cdot m'_7)' \\ Z_3 = (Z_1 + Z_2)' \end{cases} \quad (4-10)$$

在 74154 的输出端附加两个 3 输入与非门和一个 2 输入或非门, 就得到了图 4-8 的设计结果。74LS10 是 $\neg 3$ 输入与非门, 每个器件封装里有三个 3 输入端的与非门。74LS28 是四 2 输入或非门, 每个器件封装里有四个 2 输入或非门。

六、用加法器设计组合逻辑电路

设计方法和步骤:

(1) 进行逻辑抽象。

(2) 写出逻辑函数式。

(以上两个步骤与使用小规模集成电路设计时完全相同。)

(3) 若函数式能化成由两部分按数值相加的形式, 则可使用加法器进行设计。

(4) 选定加法器器件, 将函数式化为按数值相加的两部分, 作为加法器的两个输入, 加法器的输出即所需要得到的函数输出。

(5) 画出逻辑电路图。

【例 4-7】 设计一个 3 位二进制数的 3 倍乘法运算电路。

解: 设 3 位二进制数为 $D(d_2d_1d_0)$, 则乘 3 运算可以化为

$$Y = D \times 3 = D + D \times 2 \quad (4-11)$$

而二进制的乘 2 运算可以简单地将被乘数向高位移一位而得到。因此, 可以用一个 4 位全加器 74LS83 实现乘 3 运算, 如图 4-9 所示。将 $d_2d_1d_0$ 作为一个加

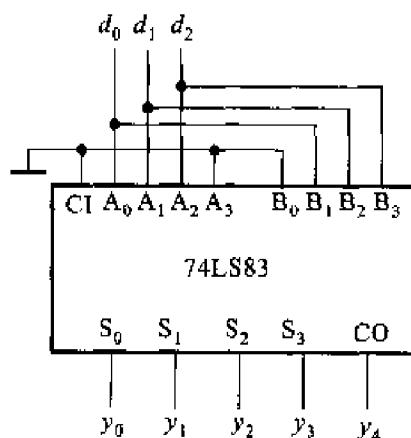


图 4-9 用加法器设计的乘 3 运算电路

数接至加法器的一组输入端的 $A_2A_1A_0$, 同时将 $d_2d_1d_0$ 右移一位(乘 2)接至加法器的另一组输入端的 $B_3B_2B_1$, 就按式(4-11)的方式实现了乘 3 运算。

因为 3 位二进制数的最大值为 111(7), 乘 3 的运算结果等于 21(10101), 所以用进位输出 CO 作为输出的高位 y_4 就可以了, 不需要附加其他电路。

4.2 习题解答

【题 4.1】 分析图 P4.1 电路的逻辑功能, 写出输出的逻辑函数式, 列出真值表, 说明电路逻辑功能的特点。

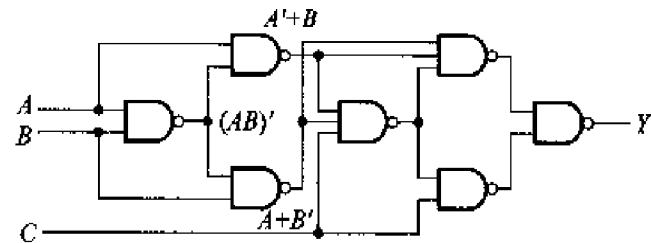


图 P4.1

解: 从输入端到输出端逐级写出输出的逻辑函数式, 然后化简, 最后得到

$$Y = A'B'C' + A'BC + AB'C + ABC'$$

真值表如表 A4.1。这是一个三变量的奇偶检测电路, 当输入变量中有偶数个 1 和全 0 时输出为 1, 否则输出为 0。

表 A4.1

A	B	C	Y
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

【题 4.2】 图 P4.2 是一个多功能函数发生电路。试写出 $S_0S_1S_2S_3$ 为 0000~1111 十六种不同状态时输出 Y 的逻辑函数式。

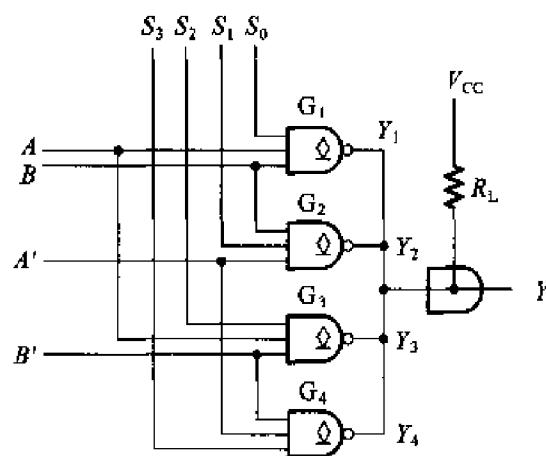


图 P4.2

解：在 $S_3S_2S_1S_0$ 为每一种取值下均可从电路图写出 Y 与 A, B 间的函数关系式。例如当 $S_3S_2S_1S_0 = 1001$ 时，门 G_2, G_3 的输出管截止，所以输出为 $Y = Y_1 \cdot Y_4 = (AB)'(A'B')' = (AB + A'B')' = A \oplus B$ 。依此类推，即可分别求出在 $S_3S_2S_1S_0$ 的十六种取值下 Y 的函数式，如表 A4.2 中所给出。

表 A4.2

S_3	S_2	S_1	S_0	Y
0	0	0	0	1
0	0	0	1	$A' + B'$
0	0	1	0	$A + B'$
0	0	1	1	B'
0	1	0	0	$A' + B$
0	1	0	1	A'
0	1	1	0	$AB + A'B'$
0	1	1	1	$A' \cdot B'$
1	0	0	0	$A + B$
1	0	0	1	$AB' + A'B$
1	0	1	0	A
1	0	1	1	AB'
1	1	0	0	B
1	1	0	1	$A'B$
1	1	1	0	AB
1	1	1	1	0

【题 4.3】 分析图 P4.3 电路的逻辑功能,写出 Y_1 、 Y_2 的逻辑函数式,列出真值表,指出电路完成什么逻辑功能。

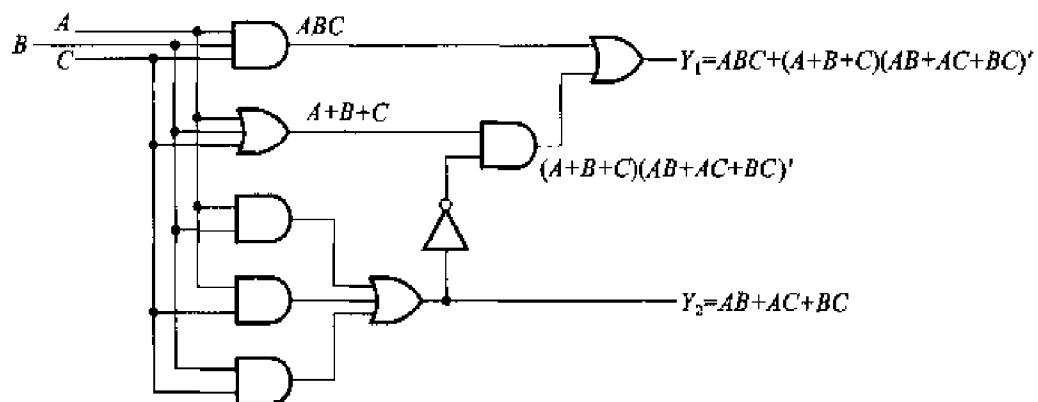


图 P4.3

解: 从给定逻辑图的输入到输出逐级写出输出的逻辑式,最后得到输出为

$$\begin{aligned}
 Y_1 &= ABC + (A + B + C) \cdot (AB + AC + BC)' \\
 &= ABC + AB'C' + A'BC' + A'B'C \\
 Y_2 &= AB + BC + AC
 \end{aligned}$$

由真值表 A4.3 可见,这是一个全加器电路。 A 、 B 、 C 为加数、被加数和来自低位的进位, Y_1 是和, Y_2 是进位输出。

表 A4.3 题 4.3 的真值表

A	B	C	Y_1	Y_2
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

【题 4.4】 图 P4.4 是对十进制数 9 求补的集成电路 CC14561 的逻辑图,写出当 $COMP = 1$ 、 $Z = 0$ 和 $COMP = 0$ 、 $Z = 0$ 时, Y_1 、 Y_2 、 Y_3 、 Y_4 的逻辑式,列出真值表 A4.4。

解:

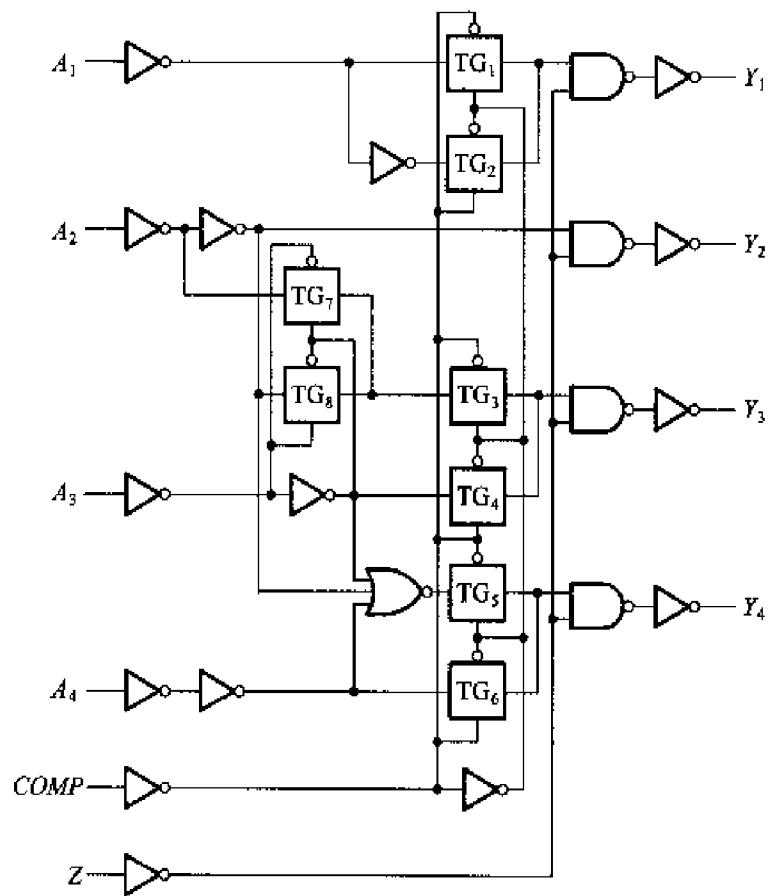


图 P4.4

(1) $COMP = 1, Z = 0$ 时输出的逻辑式为

$$\begin{cases} Y_1 = A_1' \\ Y_2 = A_2 \\ Y_3 = A_2 \oplus A_3 \\ Y_4 = (A_2 + A_3 + A_4)' \end{cases}$$

(2) $COMP = 0, Z = 0$ 时输出的逻辑式为

$$\begin{cases} Y_1 = A_1 \\ Y_2 = A_2 \\ Y_3 = A_3 \\ Y_4 = A_4 \end{cases} \quad (\text{即不变换, 真值表从略})$$

表 A4.4 $COMP = 1, Z = 0$ 时的真值表

十进制数	A_4	A_3	A_2	A_1	Y_4	Y_3	Y_2	Y_1
0	0	0	0	0	1	0	0	1
1	0	0	0	1	1	0	0	0
2	0	0	1	0	0	1	1	1
3	0	0	1	1	0	1	1	0
4	0	1	0	0	0	1	0	1
5	0	1	0	1	0	1	0	0
6	0	1	1	0	0	0	1	1
7	0	1	1	1	0	0	1	0
8	1	0	0	0	0	0	0	1
9	1	0	0	1	0	0	0	0
	1	0	1	0	0	1	1	1
伪	1	0	1	1	0	1	1	0
	1	1	0	0	0	1	0	1
	1	1	0	1	0	1	0	0
码	1	1	1	0	0	0	1	1
	1	1	1	1	0	0	1	0

【题 4.5】用与非门设计四变量的多数表决电路。当输入变量 A, B, C, D 有 3 个或 3 个以上为 1 时输出为 1, 输入为其他状态时输出为 0。

解: 根据题意即可列出电路的逻辑真值表, 如表 A4.5。从真值表写出逻辑式, 得到

表 A4.5 题 4.5 的真值表

A	B	C	D	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

$$\begin{aligned}
 Y &= A'BCD + AB'CD + ABC'D + ABCD' + ABCD \\
 &= ABC + ABD + ACD + BCD
 \end{aligned} \tag{A4.5}a$$

将上式化为与非-与非形式

$$Y = ((ABC)' \cdot (ABD)' \cdot (ACD)' \cdot (BCD)')' \tag{A4.5}b$$

根据式(A4.5)b 画出的逻辑电路图如图 A4.5 所示。

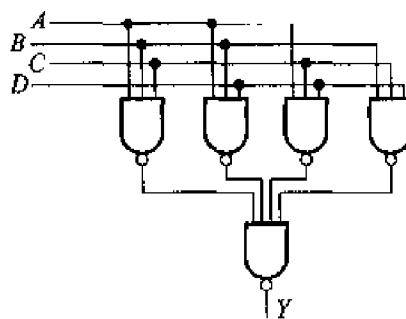


图 A4.5

【题 4.6】 有一水箱由大、小两台水泵 M_L 和 M_s 供水, 如图 P4.6 所示。水箱中设置了 3 个水位检测元件 A 、 B 、 C 。水面低于检测元件时, 检测元件给出高电平; 水面高于检测元件时, 检测元件给出低电平。现要求当水位超过 C 点时水泵停止工作; 水位低于 C 点而高于 B 点时 M_s 单独工作; 水位低于 B 点而高于 A 点时 M_L 单独工作; 水位低于 A 点时 M_L 和 M_s 同时工作。试用门电路设计一个控制两台水泵的逻辑电路, 要求电路尽量简单。

解: 若以 M_L 、 M_s 分别代表大、小两个水泵, M_L 或 M_s 为 1 时表示水泵工作, 为 0 时表示水泵停止工作。同时, 以 0 表示检测元件输出的低电平, 1 表示检测元件输出的高电平, 便可列出表 A4.6 的真值表。由于不可能出现水位高于 C 而低于 B 或 A , 也不会出现水位高于 B 而低于 A , 所以 ABC 的取值不可能出现 010、100、101、110, 应将 $A'BC'$ 、 $AB'C'$ 、 $AB'C$ 和 ABC' 作为约束项处理。

表 A4.6 题 4.6 的真值表

A	B	C	M_s	M_L
0	0	0	0	0
0	0	1	1	0
0	1	0	x	x
0	1	1	0	1
1	0	0	x	x
1	0	1	x	x
1	1	0	x	x
1	1	1	1	1

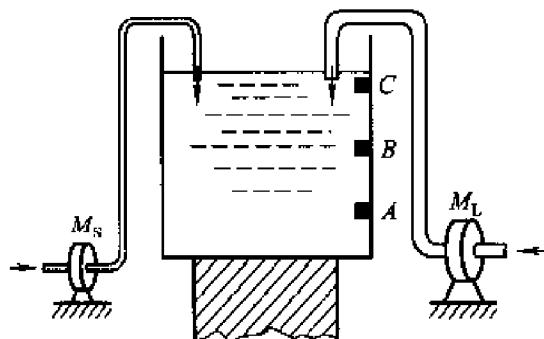


图 P4.6

从真值表写出 M_s 、 M_L 的逻辑式，并利用如图 A4.6(a) 所示的卡诺图化简，得到

$$\begin{cases} M_s = A + B'C \\ M_L = B \end{cases}$$

逻辑图如图 A4.6(b) 所示。

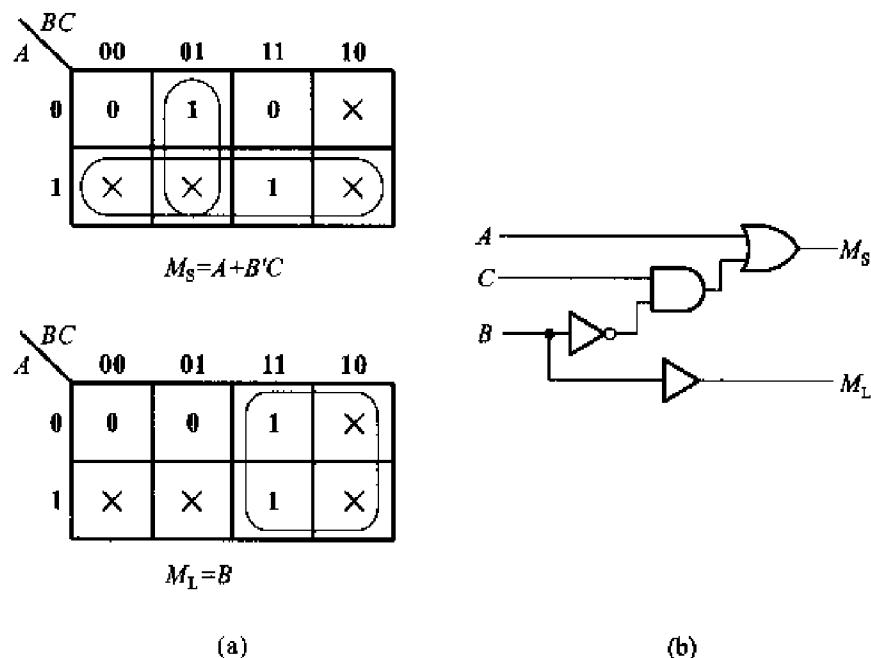


图 A4.6

【题 4.7】 设计一个代码转换电路，输入为 4 位二进制代码，输出为 4 位格雷码。可以采用各种逻辑功能的门电路来实现。4 位格雷码见《数字电子技术基础》(第五版)中第 1.5 节的表 1.5.2。

解：以 4 位二进制代码为输入、4 位格雷码为输出，列成真值表，如表 A4.7。

表 A4.7 题 4.7 的真值表

二进制代码				格雷码				二进制代码				格雷码			
A_3	A_2	A_1	A_0	Y_3	Y_2	Y_1	Y_0	A_3	A_2	A_1	A_0	Y_3	Y_2	Y_1	Y_0
0	0	0	0	0	0	0	0	1	0	0	0	1	1	0	0
0	0	0	1	0	0	0	1	1	0	0	1	1	1	0	1
0	0	1	0	0	0	1	1	1	0	1	0	1	1	1	1
0	0	1	1	0	0	1	0	1	0	1	1	1	1	1	0
0	1	0	0	0	1	1	0	1	1	0	0	1	0	1	0
0	1	0	1	0	1	1	1	1	1	0	1	0	1	1	1
0	1	1	0	0	1	0	1	1	1	1	0	1	0	0	1
0	1	1	1	0	1	0	0	1	1	1	1	1	0	0	0

由真值表写出输出逻辑式, 化简后得到

$$\begin{cases} Y_3 = A_3 \\ Y_2 = A_3 \oplus A_2 \\ Y_1 = A_2 \oplus A_1 \\ Y_0 = A_1 \oplus A_0 \end{cases}$$

逻辑图如图 A4.7 所示。

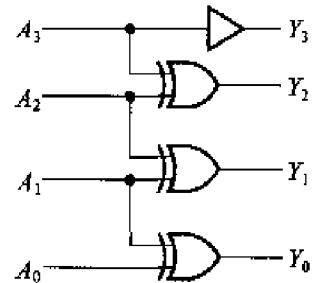


图 A4.7

【题 4.8】 试画出用 4 片 8 线 - 3 线优先编码器的逻辑图。74HC148 的逻辑图见图 4.3.3。允许附加必要的门电路。

解: 为了将 32 个输入低电平信号编成 32 个对应的二进制代码, 则输出的编码需要用 5 位。以 $I'_0 \sim I'_3$ 表示 32 个编码输入信号, 以 $D_4 D_3 D_2 D_1 D_0$ 表示输出编码。由于每一片 74HC148 输出的编码只有 3 位, 所以另外两位 D_4 和 D_3 只能借助于输出信号 Y'_{EX} 来产生。

若 I'_3 的优先权最高、 I'_0 的优先权最低, 则只要将四片 74HC148 串接起来如图 A4.8 所示, 即可实现输入信号的优先排队。取第(4)片工作时的 $D_4 D_3 = 11$ 、第(3)片工作时的 $D_4 D_3 = 10$ 、第(2)片工作时的 $D_4 D_3 = 01$ 、第(1)片工作时的 $D_4 D_3 = 00$, 则可列出 D_4, D_3 作为各片 Y'_{EX} 信号的函数的真值表, 如表 A4.8。

从真值表得到

$$D_4 = Y'_{\text{EX4}} + Y'_{\text{EX3}} = (Y'_{\text{EX4}} \cdot Y'_{\text{EX3}})^{'}$$

$$D_3 = Y'_{\text{EX4}} + Y'_{\text{EX2}} = (Y'_{\text{EX4}} \cdot Y'_{\text{EX2}})^{'}$$

输出编码的低三位 $D_2 D_1 D_0$ 由各片的输出 Y_2, Y_1, Y_0 的逻辑或运算产生。电路的连接如图 A4.8 所示。

表 A4.8 题 4.8 的真值表

工作的芯片号	Y_{EX4}	Y_{EX3}	Y_{EX2}	Y_{EX1}	D_4	D_3
(4)	1	0	0	0	1	1
(3)	0	1	0	0	1	0
(2)	0	0	1	0	0	1
(1)	0	0	0	1	0	0

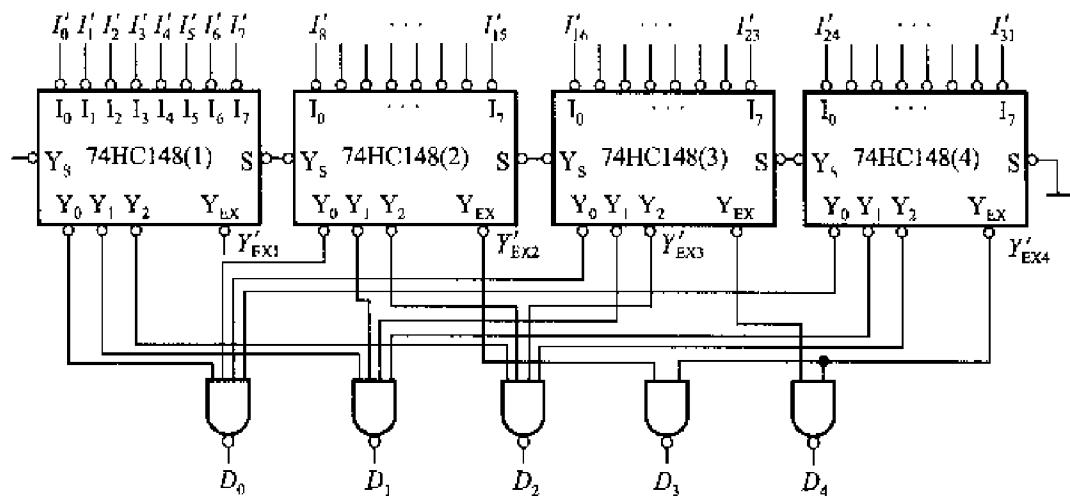


图 A4.8

【题 4.9】 某医院有一、二、三四号病室 4 间, 每室设有呼叫按钮, 同时在护士值班室内对应地装有一号、二号、三号、四号 4 个指示灯。

现要求当一号病室的按钮按下时, 无论其他病室的按钮是否按下, 只有一号灯亮。当一号病室的按钮没有按下而二号病室的按钮按下时, 无论三、四号病室的按钮是否按下, 只有二号灯亮。当一、二号病室的按钮都未按下而三号病室的按钮按下时, 无论四号病室的按钮是否按下, 只有三号灯亮。只有在一、二、三号病室的按钮均未按下而按下四号病室的按钮时, 四号灯才亮。试用优先编码器 74HC148 和门电路设计满足上述控制要求的逻辑电路, 给出控制四个指示灯状态的高、低电平信号。

解: 若以 A'_1, A'_2, A'_3, A'_4 的低电平分别表示一、二、三、四号病室按下按钮时给出的信号, 则将它们接到 74HC148 的 I'_3, I'_2, I'_1, I'_0 输入端以后, 便在 74HC148 的输出端 Y'_2, Y'_1, Y'_0 得到了对应的输出编码, 如图 A4.9 所示。

若以 Z_1, Z_2, Z_3, Z_4 分别表示一、二、三、四号灯的点亮信号, 还需将 74HC148 输出的代码译成 Z_1, Z_2, Z_3, Z_4 对应的输出高电平信号。为此, 可列出电路的逻辑真值表, 如表 A4.9 所示。

表 A4.9 题 4.9 的真值表

A'_1	A'_2	A'_3	A'_4	Y'_2	Y'_1	Y'_0	Z_1	Z_2	Z_3	Z_4
0	x	x	x	1	0	0	1	0	0	0
1	0	x	x	1	0	1	0	1	0	0
1	1	0	x	1	1	0	0	0	1	0
1	1	1	0	1	1	1	0	0	0	1

由真值表写出

$$\begin{cases} Z_1 = Y'_2 Y'_1 Y'_0 \\ Z_2 = Y'_2 Y'_1 Y'_0 \\ Z_3 = Y'_2 Y'_1 Y'_0 \\ Z_4 = Y'_2 Y'_1 Y'_0 \end{cases}$$

据此即可画出图 A4.9 所示的电路连接图。

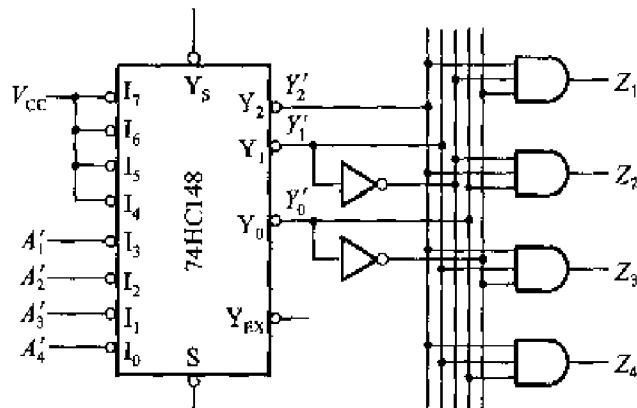


图 A4.9

【题 4.10】写出图 P4.10 中 Z_1 、 Z_2 、 Z_3 的逻辑函数式，并化简为最简的与或表达式。译码器 74HC42 的逻辑图见图 4.3.11。

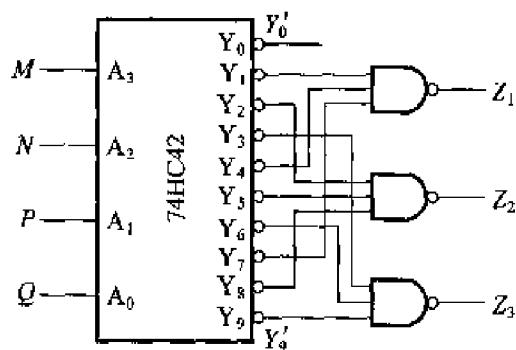


图 P4.10

解：由图 P4.10 电路可直接写出

$$\begin{cases} Z_1 = (Y'_1 Y'_4 Y'_7)' = M'N'P'Q + M'NP'Q' + M'NPQ \\ Z_2 = (Y'_2 Y'_5 Y'_8)' = M'N'PQ' + M'NP'Q + MN'P'Q' \\ Z_3 = (Y'_3 Y'_6 Y'_9)' = M'N'PQ + M'NPQ' + MN'P'Q \end{cases}$$

由于 74HC42 是具有拒绝伪码功能的二 - 十进制译码器，在输入为 $A_3 A_2 A_1 A_0 = 1010 \sim 1111$ 时 $Y'_1 \sim Y'_9$ 均无输出信号，所以可将 $A_3 A_2 A_1 A_0' A_3 A_2 A_1 A_0$ 、 $A_3 A_2 A_1 A_0' A_3 A_2 A_1 A_0$ 、 $A_3 A_2 A_1 A_0 A_3 A_2 A_1 A_0'$ 作为 Z_1 、 Z_2 和 Z_3 的约束项处理。在图 A4.10 的卡诺图上可见，利用这些约束项可将 Z_1 、 Z_2 、 Z_3 化简为

$$\begin{cases} Z_1 = M'N'P'Q + NP'Q' + NPQ \\ Z_2 = MQ' + NP'Q + N'PQ' \\ Z_3 = MQ + NPQ' + N'PQ \end{cases}$$

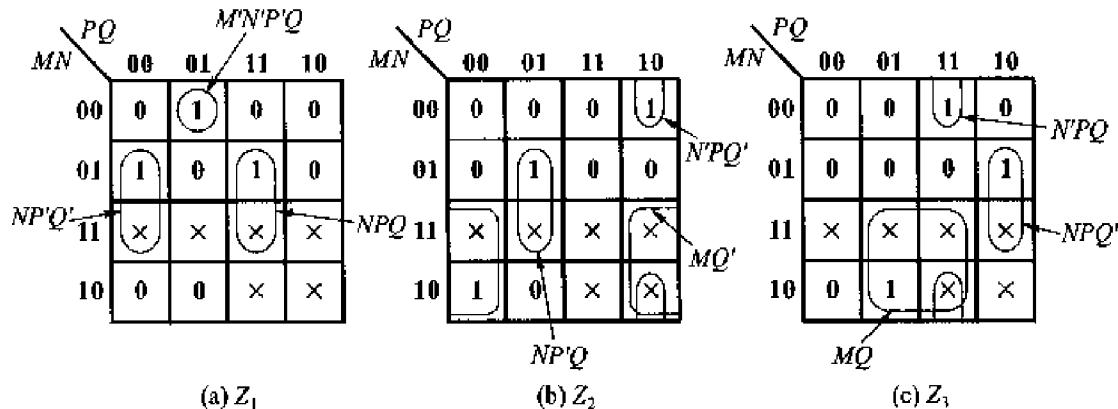


图 A4.10

【题 4.11】 画出用两片 4 线 - 16 线译码器 74LS154 组成 5 线 - 32 线译码器的接线图。图 P4.11 是 74LS154 的逻辑框图，图中的 S'_A 、 S'_B 是两个控制端（亦称片选端），译码器工作时应使 S'_A 和 S'_B 同时为低电平。当输入信号 $A_3 A_2 A_1 A_0$ 为 0000 ~ 1111 这 16 种状态时，输出端从 Y'_0 到 Y'_5 依次给出低电平输出信号。

解：因为 74LS154 只有 4 位输入代码，所以第五位输入代码只能借用 S'_A 和 S'_B 输入端。将 A_4 接至第(1)片 74LS154 的 S'_A 和 S'_B 输入端，同时将 A'_4 接至第(2)片 74LS154 的 S'_A 和 S'_B 输入端，如图 A4.11 所示。当输入 $A_4 A_3 A_2 A_1 A_0 = 00000 \sim 01111$ 时，便在第(1)片的 $Z'_0 \sim Z'_5$ 依次给出低电平输出信号。当输入为 $A_4 A_3 A_2 A_1 A_0 = 10000 \sim 11111$ 时，便在第(2)片的输出端 $Z'_{16} \sim Z'_{31}$ 依次给出低电平输出信号。

【题 4.12】 试画出用 3 线 - 8 线译码器 74HC138（见图 4.3.8）和门电路产生如下多输出逻辑函数的逻辑图。

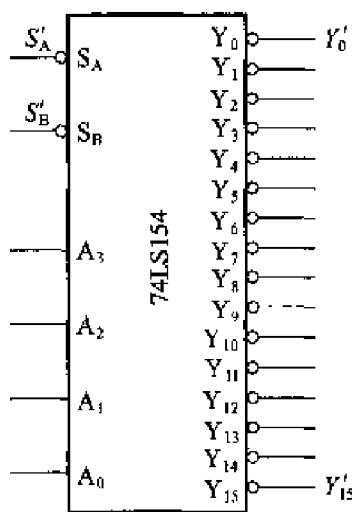


圖 P4. 11

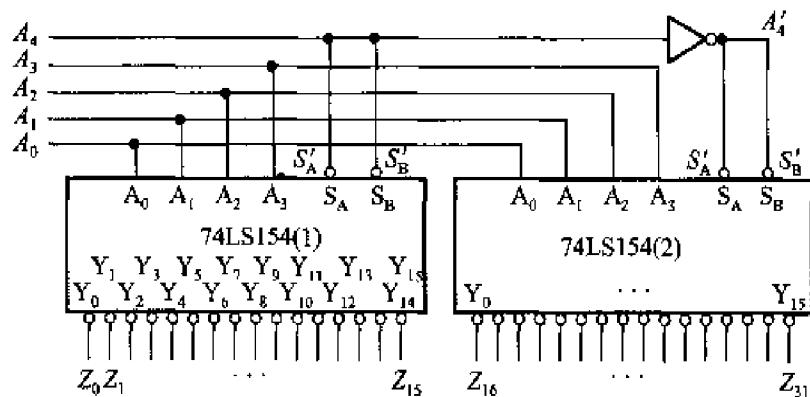


图 A4.11

$$\begin{cases} Y_1 = AC \\ Y_2 = A'B'C + AB'C' + BC \\ Y_3 = B'C' + ABC' \end{cases}$$

解：将输入变量 A, B, C 分别接至 74HC138 的输入端 A_2, A_1, A_0 ，在它的输出端 $Y'_0 \sim Y'_7$ 便给出了三变量全部 7 个最小项的反相输出 $m'_0 \sim m'_7$ 。

把给定的函数 Y_1, Y_2, Y_3 化为 $m'_0 \sim m'_3$ 的表达式, 则得到

$$\left\{ \begin{array}{l} Y_1(A, B, C) = AC = AB'C + ABC = m_5 + m_7 = (m'_5 m'_7)' = (Y'_5 Y'_7)' \\ Y_2(A, B, C) = A'B'C + AB'C' + BC = A'B'C + A'BC + AB'C' + ABC \\ \quad = m_1 + m_3 + m_4 + m_7 = (m'_1 m'_3 m'_4 m'_7)' = (Y'_1 Y'_3 Y'_4 Y'_7)' \\ Y_3(A, B, C) = B'C' + ABC' = A'B'C' + AB'C' + ABC' \\ \quad = m_0 + m_4 + m_6 = (m'_0 m'_4 m'_6)' = (Y'_0 Y'_4 Y'_6)' \end{array} \right.$$

根据上式即可画出如图 A4.12 所示的电路。

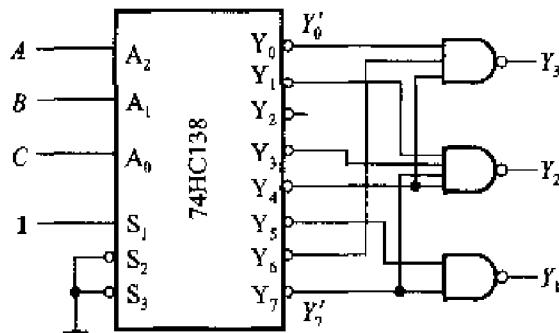


图 A4.12

【题 4.13】 画出用 4 线 - 16 线译码器 74LS154 (参见题 4.11) 和门电路产生如下多输出逻辑函数的逻辑图。

$$\begin{cases} Y_1 = A'B'C'D + A'B'CD' + AB'C'D' + A'BC'D' \\ Y_2 = A'BCD + AB'CD + ABC'D + ABCD' \\ Y_3 = A'B \end{cases}$$

解：将 A, B, C, D 接至 74LS154 的 A_3, A_2, A_1, A_0 以后，在输出 $Y'_0 \sim Y'_5$ 就得到了四变量 A, B, C, D 的全部 16 个最小项的反相输出 $m'_0 \sim m'_5$ 。将给定的逻辑式化为用 $m'_0 \sim m'_5$ 表达的形式，得到

$$\begin{cases} Y_1(A, B, C, D) = A'B'C'D + A'B'CD' + A'BC'D' + AB'C'D' \\ \quad = m_1 + m_2 + m_4 + m_8 = (m'_1 m'_2 m'_4 m'_8)' = (Y'_1 Y'_2 Y'_4 Y'_8)' \\ Y_2(A, B, C, D) = A'BCD + AB'CD + ABC'D + ABCD' \\ \quad = m_7 + m_{11} + m_{13} + m_{14} = (m'_7 m'_{11} m'_{13} m'_{14})' = (Y'_7 Y'_{11} Y'_{13} Y'_{14})' \\ Y_3(A, B, C, D) = A'B = A'BC'D' + A'BC'D + A'BCD' + A'BCD \\ \quad = m_4 + m_5 + m_6 + m_7 = (m'_4 m'_5 m'_6 m'_7)' = (Y'_4 Y'_5 Y'_6 Y'_7)' \end{cases}$$

根据上式画得的电路图如图 A4.13 所示。

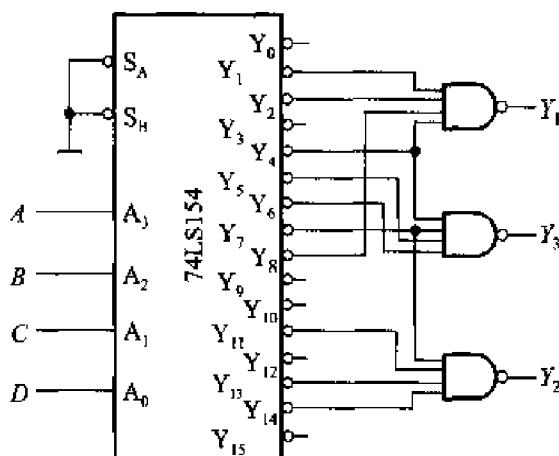


图 A4.13

【题 4.14】 用 3 线 - 8 线译码器 74HC138 和门电路设计 1 位二进制全减器电路。输入为被减数、减数和来自低位的借位;输出为两数之差和向高位的借位信号。

解: 设 M_i 为被减数、 N_i 为减数、 B_{i-1} 为来自低位的借位, D_i 为差数、 B_i 为向高位的借位, 则可列出一位全减器的真值表。由真值表 A4.14 得到 D_i 和 B_i 的逻辑式, 并化成由译码器输出 $Y'_0 \sim Y'_7$ 表示的形式, 于是得到

$$\begin{aligned} D_i &= M'_i N'_i B_{i-1} + M'_i N_i B'_{i-1} + M_i N'_i B'_{i-1} + M_i N_i B_{i-1} \\ &= (Y'_1 Y'_2 Y'_4 Y'_7)' \\ B_i &= M'_i N'_i B_{i-1} + M'_i N_i B'_{i-1} + M_i N'_i B_{i-1} + M_i N_i B'_{i-1} \\ &= (Y'_1 Y'_2 Y'_3 Y'_7)' \end{aligned}$$

表 A4.14 一位全减器的真值表

M_i	N_i	B_{i-1}	D_i	B_i
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

根据上面得到的 D_i 、 B_i 的逻辑式, 即可得到如图 A4.14 的全减器电路。

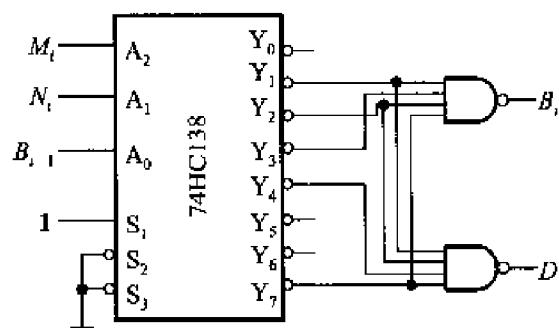


图 A4.14

【题 4.15】 试用两片双 4 选 1 数据选择器 74HC153 和 3 线 - 8 线译码器 74HC138 接成 16 选 1 的数据选择器。74HC153 的逻辑图见图 4.3.21, 74HC138 的逻辑图见图 4.3.8。

解：为了能从 16 个数据中选中任何一个，必须用四位地址输入 $A_3A_2A_1A_0$ 给出的 16 个代码。但每个 4 选 1 数据选择器只有两位地址代码输入端，因此可以首先用 A_3A_2 的四个代码（00, 01, 10, 11）从四个 4 选 1 数据选择器中选出一个，再用 A_1A_0 的四个代码从选中的这个 4 选 1 数据选择器的四个输入数据中选出一个，经过输出端的或门送至输出 Z 。为此，需要用 74HC138 将 A_3A_2 的 00, 01, 10, 11 四个代码译成 Y'_0, Y'_1, Y'_2, Y'_3 的四个输出低电平信号，分别接到四个 4 选 1 数据选择器的选通控制端 (S'_1 及 S'_2) 上。这样就得到了如图 A4.15 所示的电路。

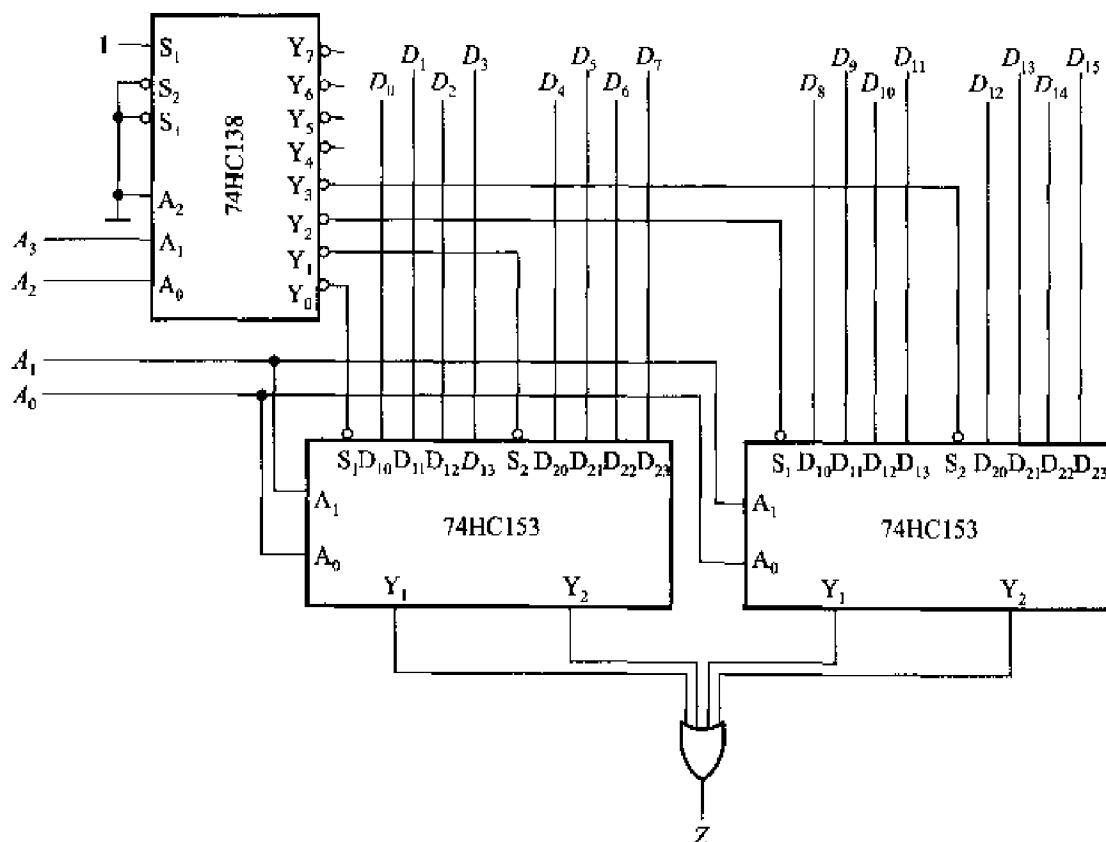


图 A4.15

【题 4.16】 分析图 P4.16 电路，写出输出 Z 的逻辑函数式。74HC151 为 8

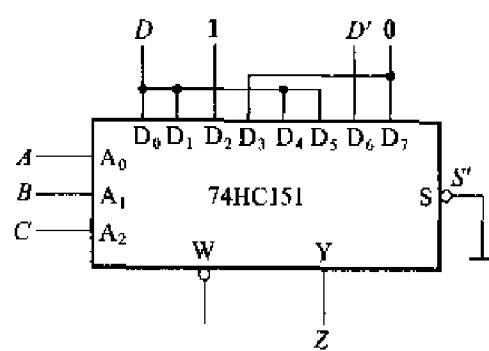


图 P4.16

选 1 数据选择器, 它的逻辑图见图 4.3.24, 输出的逻辑函数式见式(4.3.22)。

解: 由式(4.3.22)知 74HC151 的输出逻辑函数式为

$$Y = D_0(A_2'A_1'A_0') + D_1(A_2'A_1'A_0) + D_2(A_2'A_1A_0') + D_3(A_2'A_1A_0) \\ + D_4(A_2A_1'A_0') + D_5(A_2A_1'A_0) + D_6(A_2A_1A_0') + D_7(A_2A_1A_0)$$

将 $A_2 = C$ 、 $A_1 = B$ 、 $A_0 = A$ 、 $D_0 = D_1 = D_4 = D_5 = D$ 、 $D_6 = D'$ 、 $D_2 = 1$ 、 $D_3 = D_7 = 0$ 、 $Y = Z$ 代入上式, 得到

$$Z = DC'B'A' + DC'B'A + C'BA' + DCB'A' + DCB'A + D'CBA'$$

【题 4.17】 图 P4.17 是用两个 4 选 1 数据选择器组成的逻辑电路, 试写出输出 Z 与输入 M, N, P, Q 之间的逻辑函数式。已知数据选择器的逻辑函数式为

$$Y = [D_0A_1'A_0' + D_1A_1'A_0 + D_2A_1A_0' + D_3A_1A_0] \cdot S$$

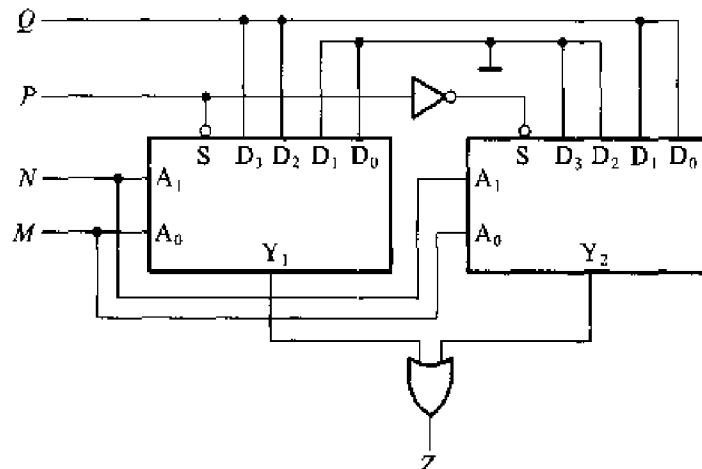


图 P4.17

解: 由图可以写出

$$Y_1 = [0 \cdot N'M' + 0 \cdot N'M + QNM' + QNM]P' = NP'Q$$

$$Y_2 = [QN'M' + QN'M + 0 \cdot NM' + 0 \cdot NM]P = N'PQ$$

$$Z = Y_1 + Y_2 = NP'Q + N'PQ$$

【题 4.18】 试用 4 选 1 数据选择器产生逻辑函数

$$Y = AB'C' + A'C' + BC$$

解: 已知 4 选 1 数据选择器的输出逻辑式为

$$Y = A_1'A_0' \cdot D_0 + A_1'A_0 \cdot D_1 + A_1A_0' \cdot D_2 + A_1A_0 \cdot D_3$$

将给定的逻辑函数化为与上式对应的形式

$$Y = A'B' \cdot C' + A'B \cdot 1 + AB' \cdot C' + AB \cdot C$$

令数据选择器的输入接成 $A_1 = A$ 、 $A_0 = B$ 、 $D_0 = C'$ 、 $D_1 = 1$ 、 $D_2 = C'$ 、 $D_3 = C$, 如图 A4.18 所示, 则数据选择器的输出 Y 就是所要求产生的逻辑函数。

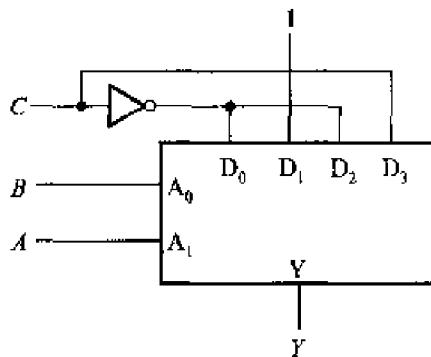


图 A4.18

【题 4.19】 用 8 选 1 数据选择器 74HC151(见图 4.3.24)产生逻辑函数

$$Y = AC'D + A'B'CD + BC + BC'D'$$

解：由式(4.3.22)知 74HC151 的输出逻辑式可写为

$$\begin{aligned} Y = & (A_2'A_1'A_0') \cdot D_0 + (A_2'A_1'A_0) \cdot D_1 + (A_2'A_1A_0') \cdot D_2 \\ & + (A_2'A_1A_0) \cdot D_3 + (A_2A_1'A_0') \cdot D_4 + (A_2A_1'A_0) \cdot D_5 \\ & + (A_2A_1A_0') \cdot D_6 + (A_2A_1A_0) \cdot D_7 \end{aligned}$$

将给定的逻辑函数式化成与上式对应的形式，得到

$$\begin{aligned} Y = & (A'B'C') \cdot 0 + (A'B'C) \cdot D + (A'BC') \cdot D' + (A'BC) \cdot 1 \\ & + (AB'C') \cdot D + (AB'C) \cdot 0 + (ABC') \cdot 1 + (ABC) \cdot 1 \end{aligned}$$

令 74HC151 的输入为 $A_2 = A$ 、 $A_1 = B$ 、 $A_0 = C$ 、 $D_0 = D_5 = 0$ 、 $D_1 = D_4 = D$ 、 $D_2 = D'$ 、 $D_3 = D_6 = D_7 = 1$ ，如图 A4.19 所示，则 74HC151 的输出 Y 就是要求产生的逻辑函数。

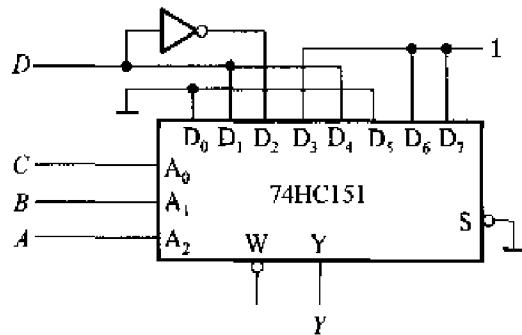


图 A4.19

【题 4.20】 用 8 选 1 数据选择器 74HC151(见图 4.3.24)产生逻辑函数

$$Y = AC + A'BC' + A'B'C$$

解：已知 8 选 1 数据选择器输出逻辑函数为

$$\begin{aligned}
 Y = & (A_2'A_1'A_0') \cdot D_0 + (A_2'A_1'A_0) \cdot D_1 + (A_2'A_1A_0') \cdot D_2 \\
 & + (A_2'A_1A_0) \cdot D_3 + (A_2A_1'A_0') \cdot D_4 + (A_2A_1'A_0) \cdot D_5 \\
 & + (A_2A_1A_0') \cdot D_6 + (A_2A_1A_0) \cdot D_7
 \end{aligned}$$

将给定的逻辑函数式变换为与上式相对应的形式, 得到

$$\begin{aligned}
 Y = & (A'B'C') \cdot 0 + (A'B'C) \cdot 1 + (A'BC') \cdot 1 + (A'BC) \cdot 0 \\
 & + (AB'C') \cdot 0 + (AB'C) \cdot 1 + (ABC') \cdot 0 + (ABC) \cdot 1
 \end{aligned}$$

令 74HC151 的输入为 $A_2 = A$ 、 $A_1 = B$ 、 $A_0 = C$ 、 $D_0 = D_3 = D_4 = D_6 = 0$ 、 $D_1 = D_2 = D_5 = D_7 = 1$, 如图 A4.20 所示, 则 74HC151 的输出 Y 就是所要求的逻辑函数。

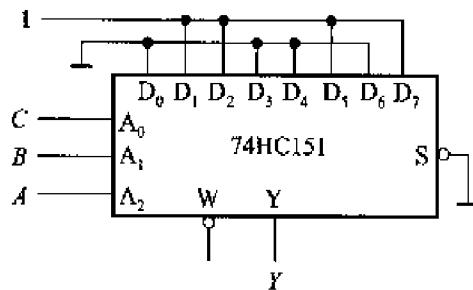


图 A4.20

【题 4.21】设计用 3 个开关控制一个电灯的逻辑电路, 要求改变任何一个开关的状态都能控制电灯由亮变灭或者由灭变亮。要求用数据选择器来实现。

解: 以 A 、 B 、 C 表示三个双位开关, 并用 **0** 和 **1** 分别表示开关的两个状态。以 Y 表示灯的状态, 用 **1** 表示亮, 用 **0** 表示灭。设 $ABC = 000$ 时 $Y = 0$, 从这个状态开始, 单独改变任何一个开关的状态 Y 的状态都要变化。据此列出 Y 与 A 、 B 、 C 之间逻辑关系的真值表 A4.21。

表 A4.21 题 4.21 的真值表

A	B	C	Y	A	B	C	Y
0	0	0	0	0	1	1	0
0	0	1	1	1	0	1	0
0	1	0	1	1	1	0	0
1	0	0	1	1	1	1	1

从真值表写出逻辑式

$$Y = A'B'C + A'BC' + AB'C' + ABC$$

产生上述三变量逻辑函数用具有两位地址输入的 4 选 1 数据选择器即可。

已知 4 选 1 数据选择器输出的逻辑式可写为

$$Y = A'_1 A'_0 \cdot D_0 + A'_1 A_0 \cdot D_1 + A_1 A'_0 \cdot D_2 + A_1 A_0 \cdot D_3$$

只要令数据选择器的输入为 $A_1 = A, A_0 = B, D_0 = D_3 = C, D_1 = D_2 = C'$, 如图 A4.21 所示, 则数据选择器的输出即为要求得到的函数。

【题 4.22】 人的血型有 A、B、AB、O 4 种。输血时输血者的血型与受血者血型必须符合图 P4.22 中用箭头指示的授受关系。试用数据选择器设计一个逻辑电路, 判断输血者与受血者的血型是否符合上述规定。(提示: 可以用两个逻辑变量的 4 种取值表示输血者的血型。用另外两个逻辑变量的 4 种取值表示受血者的血型。)

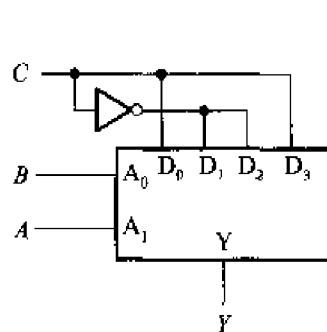


图 A4.21

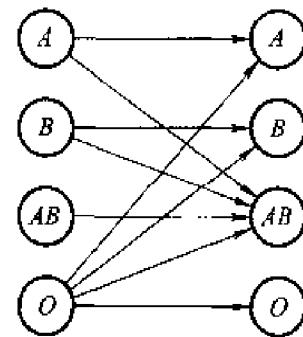


图 P4.22

解: 以 MN 的 4 种状态组合表示输血者的 4 种血型, 并以 PQ 的 4 种状态组合表示受血者的 4 种血型, 如图 A4.22(a) 所示。用 Z 表示判断结果, $Z = 0$ 表示符合图 A4.22(a) 要求, $Z = 1$ 表示不符合要求。

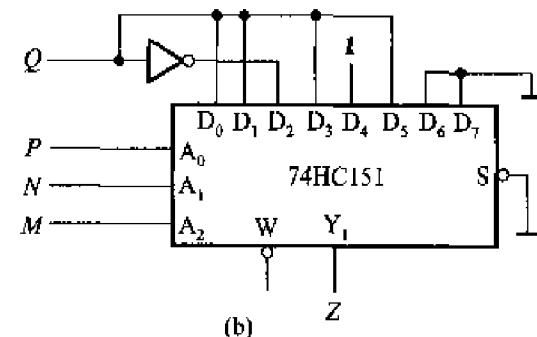
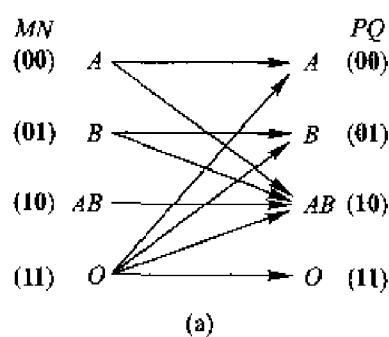


图 A4.22

据此可列出表示 Z 与 M, N, P, Q 之间逻辑关系的真值表如表 A4.22 所示。从真值表写出逻辑式为

$$\begin{aligned} Z = & M'N'P'Q + M'N'PQ + M'NP'Q' + M'NPQ + MN'P'Q' \\ & + MN'P'Q + MN'PQ \end{aligned}$$

取 8 选 1 数据选择器产生上式的逻辑函数。已知 8 选 1 数据选择器的输出为

表 A4.22 题 4.22 的真值表

$$Y = A'_2 A'_1 A'_0 \cdot D_0 + A'_2 A'_1 A_0 \cdot D_1 + A'_2 A_1 A'_0 \cdot D_2 + A'_2 A_1 A_0 \cdot D_3 \\ + A_2 A'_1 A'_0 \cdot D_4 + A_2 A'_1 A_0 \cdot D_5 + A_2 A_1 A'_0 \cdot D_6 + A_2 A_1 A_0 \cdot D_7$$

将 Z 变换成与 Y 对应的形式, 得到

$$Z = M'N'P' \cdot Q + M'N'P \cdot Q + M'NP' \cdot Q' + M'NP \cdot Q + MN'P' \cdot 1 + MN'P \cdot Q + MNP' \cdot 0 + MNP \cdot 0$$

令数据选择器的输入为 $A_2 = M, A_1 = N, A_0 = P, D_0 = D_1 = D_3 = D_5 = Q, D_2 = Q', D_4 = 1, D_6 = D_7 = 0$, 如图 A4.22(b) 所示, 则数据选择器的输出 Y 即为所求的 Z 。

【题 4.23】用 8 选 1 数据选择器 74HC151(见图 4.3.24)设计一个组合逻辑电路。该电路有 3 个输入逻辑变量 A, B, C 和 1 个工作状态控制变量 M 。当 $M=0$ 时电路实现“意见一致”功能(A, B, C 状态一致时输出为 1, 否则输出为 0), 而 $M=1$ 时电路实现“多数表决”功能, 即输出与 A, B, C 中多数的状态一致。

解：根据题意可列出表 A4.23 所示的真值表。表中用 Z 表示输出逻辑变量。

表 A4.23 题 4.23 的真值表

由真值表写出逻辑式为

$$\begin{aligned}
 Z &= (A'B'C' + ABC)M' + (A'BC + AB'C + ABC' + ABC)M \\
 &= A'B'C' \cdot M' + A'B'C \cdot 0 + A'BC' \cdot 0 + A'BC \cdot M + AB'C' \cdot 0 \\
 &\quad + AB'C \cdot M + ABC' \cdot M + ABC \cdot 1
 \end{aligned}$$

用 74HC151 接成的电路如图 A4.23 所示。其中 $A_2 = A, A_1 = B, A_0 = C, D_0 = M', D_1 = D_2 = D_4 = 0, D_3 = D_5 = D_6 = M, D_7 = 1$ 。

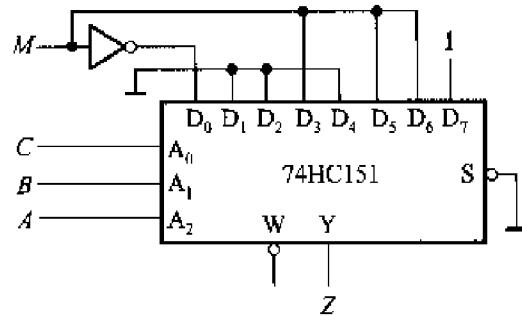


图 A4.23

【题 4.24】用 8 选 1 数据选择器设计一个函数发生器电路,它的功能表如表 P4.24 所示。

表 P4.24 题 4.24 电路的功能表

S_1	S_0	Y
0	0	$A + B$
0	1	$A + B$
1	0	$A \oplus B$
1	1	A'

解: 由功能表写出逻辑式

$$Y = S_1' S_0' A B + S_1' S_0 (A + B) + S_1 S_0' (A B' + A' B) + S_1 S_0 A'$$

又知 8 选 1 数据选择器的输出逻辑式为

$$\begin{aligned}
 Y &= A_2' A_1' A_0' \cdot D_0 + A_2' A_1' A_0 \cdot D_1 + A_2' A_1 A_0' \cdot D_2 + A_2' A_1 A_0 \cdot D_3 \\
 &\quad + A_2 A_1' A_0' \cdot D_4 + A_2 A_1' A_0 \cdot D_5 + A_2 A_1 A_0' \cdot D_6 + A_2 A_1 A_0 \cdot D_7
 \end{aligned}$$

将要求产生的函数式化为与数据选择器输出函数式完全对应的形式,得到

$$\begin{aligned}
 Y &= S_1' S_0' A' \cdot 0 + S_1' S_0' A \cdot B + S_1' S_0 A' \cdot B + S_1' S_0 A \cdot 1 \\
 &\quad + S_1 S_0' A' \cdot B + S_1 S_0' A \cdot B' + S_1 S_0 A' \cdot 1 + S_1 S_0 A \cdot 0
 \end{aligned}$$

令 74HC151 的输入为 $A_2 = S_1, A_1 = S_0, A_0 = A, D_0 = D_7 = 0, D_1 = D_2 = D_4 = B,$

$D_3 = D_6 = 1, D_5 = B'$, 即得到图 A4.24 电路。

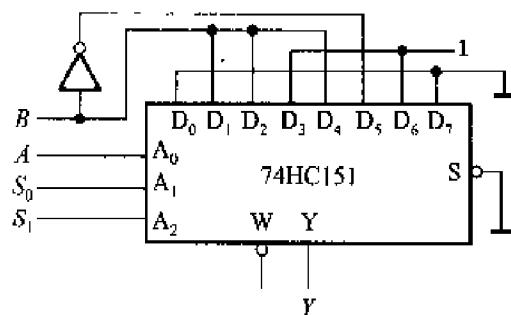


图 A4.24

【题 4.25】 试用 4 位并行加法器 74LS283 设计一个加/减运算电路。当控制信号 $M = 0$ 时它将两个输入的 4 位二进制数相加, 而 $M = 1$ 时它将两个输入的 4 位二进制数相减。两数相加的绝对值不大于 15。允许附加必要的门电路。

解: 根据二进制数的加、减运算方法可知, 若 $M = 0$ 时进行两个 4 位数 $a_3a_2a_1a_0$ 和 $b_3b_2b_1b_0$ 相加运算, 则直接将两数加到 74LS283 的两组输入端就行了。而如果在 $M = 1$ 时要进行 $a_3a_2a_1a_0 - b_3b_2b_1b_0$ 的运算, 则应将 $b_3b_2b_1b_0$ 变成补码与 $a_3a_2a_1a_0$ 的补码(与原码相同)相加。为此, 需将 $b_3b_2b_1b_0$ 每一位求反, 同时在最低位加 1。

为满足上述要求, 可将 b_3, b_2, b_1, b_0 与 M 作异或运算后加到 74LS283 上, 同时将 M 接至加法器的进位输入端 CI , 如图 A4.25 所示。当 $M = 0$ 时, $B_3B_2B_1B_0 = b_3b_2b_1b_0$, 故得

$$S_3S_2S_1S_0 = a_3a_2a_1a_0 + b_3b_2b_1b_0$$

当 $M = 1$ 时, $B_3B_2B_1B_0 = b_3'b_2'b_1'b_0$, 即每一位求反, 而且这时还从进位输入端 CI 加入 1, 故得

$$S_3S_2S_1S_0 = a_3a_2a_1a_0 + [b_3b_2b_1b_0]_{\text{补}} = a_3a_2a_1a_0 - b_3b_2b_1b_0$$

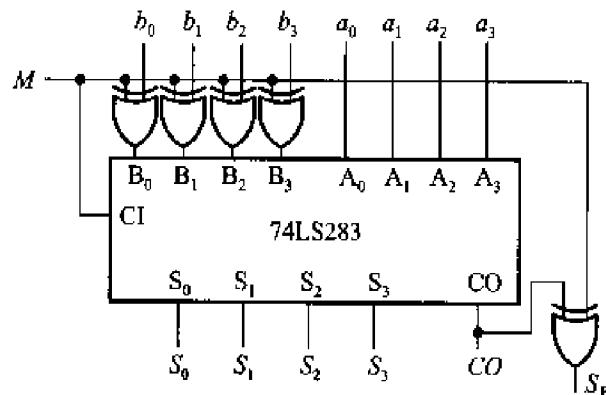


图 A4.25

输出的和是补码形式。 S_F 是和的符号位, 和为正数时 $S_F = 0$, 和为负数时 $S_F = 1$ 。

【题 4.26】 能否用一片 4 位并行加法器 74LS283 将余 3 代码转换成 8421 的二 - 十进制代码? 如果可能, 应当如何连线?

解: 由《数字电子技术基础》(第五版)第一章的表 1.5.1 可知, 从余 3 码中减去 3(0011)即可得到 8421 码。减 3 可通过加它的补码实现。若输入的余 3 码为 $D_3D_2D_1D_0$, 输出的 8421 码为 $Y_3Y_2Y_1Y_0$, 则有

$$Y_3Y_2Y_1Y_0 = D_3D_2D_1D_0 + [0011]_H = D_3D_2D_1D_0 + 1101$$

于是得到图 A4.26 电路。

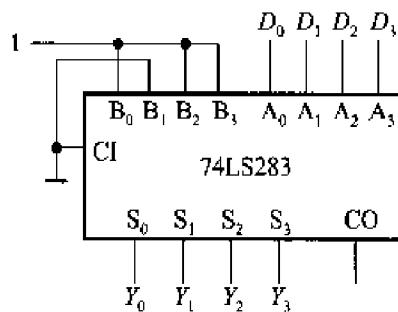


图 A4.26

【题 4.27】 试利用两片 4 位二进制并行加法器 74LS283 和必要的门电路组成 1 位二 - 十进制加法器电路。(提示: 根据二 - 十进制数的加法运算规则, 当两数之和小于、等于 9(1001) 时, 相加的结果和按二进制数相加所得到的结果一样。当两数之和大于 9(即等于 1010 ~ 1111) 时, 则应在按二进制数相加的结果上加 6(0110), 这样就可以给出进位信号, 同时得到一个小于 9 的和。)

解: 为了说明二 - 十进制加法器应如何构成, 首先列出两个二 - 十进制数相加应得的二 - 十进制形式的结果, 与将它们按两个二进制数相加的结果做对照, 如表 A4.27 所示。

由表可见, 若将两个 8421 的二 - 十进制数 $A_3A_2A_1A_0$ 和 $B_3B_2B_1B_0$ 用二进制加法器相加, 则当相加结果 ≤ 9 (1001) 时, 得到的和 $S_3S_2S_1S_0$ 就是所求的二 - 十进制和。而当相加结果 ≥ 10 (1010) 以后, 必须将这个结果在另一个二进制加法器加 6(0110) 进行修正, 才能得到二 - 十进制的和及相应的进位输出。由表可知, 产生进位输出 CO_2 的条件为

$$CO_2 = CO_1 + S_{13}S_{12} + S_{13}S_{11}$$

产生 CO_2 的同时, 应该在 $S_{13}S_{12}S_{11}S_{10}$ 上加 6(0110), 得到的 $S_{23}S_{22}S_{21}S_{20}$ 和 CO_2 就是修正后的结果。故得到图 A4.27 电路。

表 A4.27 二进制加法运算与二 - 十进制加法运算的对照

两个二 - 十进制数之和	按二进制相加的结果					按二 - 十进制相加应得的结果					备注
	S_{13}	S_{12}	S_{11}	S_{10}	CO_1	S_{23}	S_{22}	S_{21}	S_{20}	CO_2	
0	0	0	0	0	0	0	0	0	0	0	
1	0	0	0	1	0	0	0	0	1	0	与按二进制相加结果相同
2	0	0	1	0	0	0	0	1	0	0	
3	0	0	1	1	0	0	0	1	1	0	
4	0	1	0	0	0	0	1	0	0	0	
5	0	1	0	1	0	0	1	0	1	0	
6	0	1	1	0	0	0	1	1	0	0	
7	0	1	1	1	0	0	1	1	1	0	
8	1	0	0	0	0	1	0	0	0	0	
9	1	0	0	1	0	1	0	0	1	0	
10	1	0	1	0	0	0	0	0	0	1	
11	1	0	1	1	0	0	0	0	1	1	需要对按二进制加法得到的结果作加6的修正
12	1	1	0	0	0	0	0	1	0	1	
13	1	1	0	1	0	0	0	1	1	1	
14	1	1	1	0	0	0	1	0	0	1	
15	1	1	1	1	0	0	1	0	1	1	
16	0	0	0	0	1	0	1	1	0	1	
17	0	0	0	1	1	0	1	1	1	1	
18	0	0	1	0	1	1	0	0	0	1	

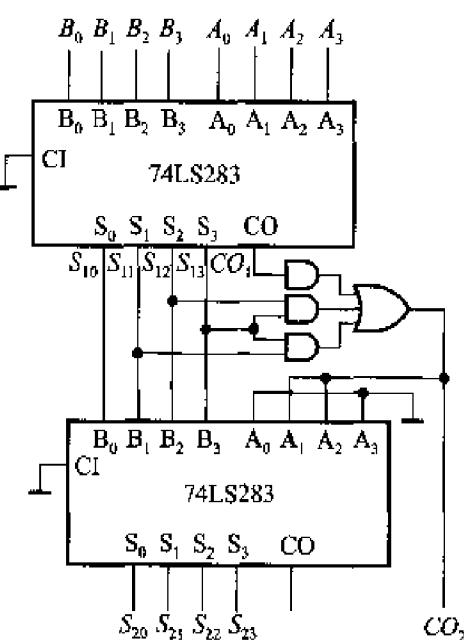


图 A4.27

【题 4.28】 若用 4 位数值比较器 74LS85(见图 4.3.32)组成 10 位数值比较器, 需要用几片? 各片之间应如何连接?

解: 需要用三片 74LS85, 连接方法如图 A4.28 所示。

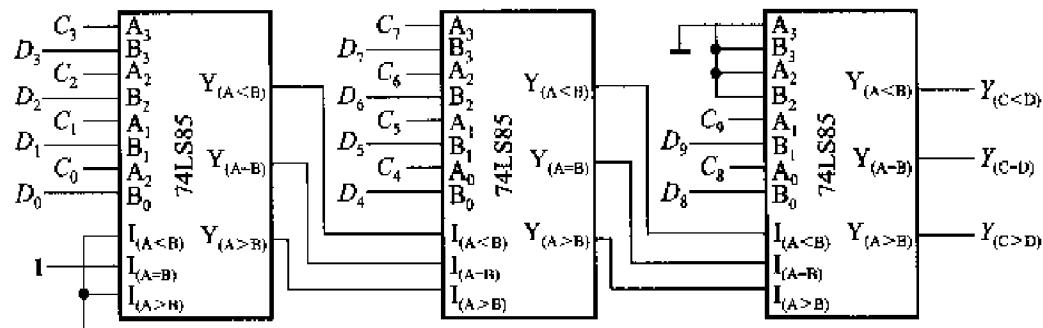


图 A4.28

【题 4.29】 试用两个 4 位数值比较器组成三个数的判断电路。要求能够判别三个 4 位二进制数 $A(a_3a_2a_1a_0)$ 、 $B(b_3b_2b_1b_0)$ 、 $C(c_3c_2c_1c_0)$ 是否相等、 A 是否最大、 A 是否最小, 并分别给出“三个数相等”、“ A 最大”、“ A 最小”的输出信号。可以附加必要的门电路。

解: 将 A 分别与 B 、 C 比较, 只有“ $A > B$ ”与“ $A > C$ ”同时满足时, 才可判定为“ A 最大”, 所以得到

$$\text{“}A \text{ 最大"} = (A > B) \cdot (A > C)$$

同理可知

$$\text{“}A \text{ 最小"} = (A < B) \cdot (A < C)$$

$$\text{“三个数相等"} = (A = B) \cdot (A = C)$$

电路的连接如图 A4.29 所示。

【题 4.30】 已知 4 位数值比较器 74LS85 的传输延迟时间(从加上两个输入比较数到产生输出比较结果所需时间)小于 45 ns。要求用六片 74LS85 接成一个 24 位数值比较器电路, 传输延迟时间不得大于 90 ns。

解: 由于限制总的传输延迟时间不大于 90 ns, 而每一片 74LS85 的传输时间最大值为 45 ns, 因此只能采用两级串联连接方式, 而不能采用六片逐级串联的连接方式。

又因为只允许用六片 74LS85, 第一级只有五片, 所以每一片需要承担 5 位数的比较任务。为此, 可将电路接成如图 A4.30 的形式。

以图中第(1)片 74LS85 为例, 当 $n23 \sim n20$ 与 $m23 \sim m20$ 相等时, 应以 $n19$ 与 $m19$ 的比较结果决定输出。若 $n19 = 1$ 、 $m19 = 0$, 则输出为 $M < N$; 若 $n19 = 0$ 、 $m19 = 1$, 则输出为 $M > N$; 若 $n19$ 与 $m19$ 同为 0 或者同为 1, 则输出端 $Y(A < B)$

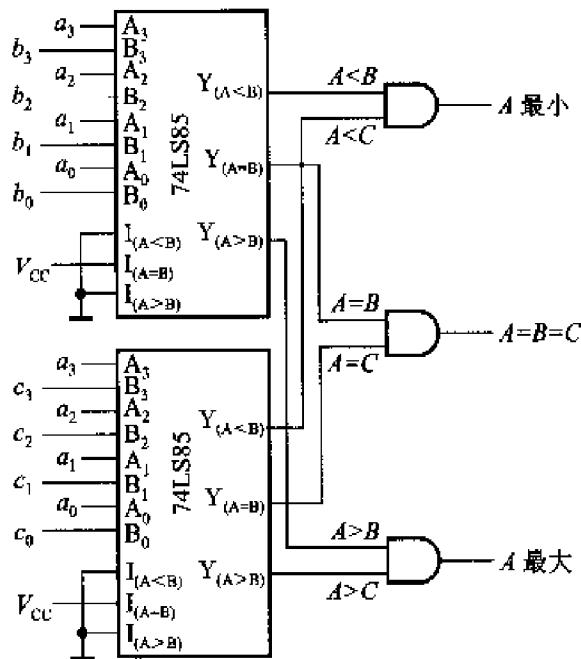


图 A4.29

与 $Y(A > B)$ 的状态相同, 所以加给第(6)片 74LS85 的信号都是 $B_3 = A_3$, 即 $M = N$ 的信号。可见, 第(1)片 74LS85 完成了两个数最高 5 位的比较。

当第(1)片的两个输入的 5 位数相等时, 第(6)片的两个最高输入位相等, 这时再比较次高位。而次高位的输入来自第(2)片的比较结果, 即 $n_{18} \sim n_{14}$ 与 $m_{18} \sim m_{14}$ 的比较结果。

依此类推, 便在第(6)片的输出端得到了两个 24 位数 M 和 N 的比较结果。

【题 4.31】 若将十进制编码中的 8421 码、余 3 码、余 3 循环码、2421 码和 5211 码分别加到二 - 十进制译码器 74HC42 (见图 4.3.11) 的输入端, 并按表 1.5.1 的排列顺序依次变化时, 输出端是否都会产生尖峰脉冲? 试简述理由。

解: 在这几种十进制编码中, 只有将余 3 循环码加到 74HC42 的输入端, 并令其按表 1.5.1 的状态排列顺序变化时, 不会在输出端产生尖峰脉冲。因为每次输入状态变化时, 任何一个与门的 4 个输入当中仅可能有一个改变状态, 所以不存在竞争 - 冒险现象。

【题 4.32】 试分析图 P4.32 电路中当 A, B, C, D 单独一个改变状态时是否存在竞争 - 冒险现象? 如果存在竞争 - 冒险现象, 那么都发生在其他变量为何种取值的情况下?

解: 由图 P4.32 得到输出的逻辑式为

$$Y = A'CD + AB'D + BC' + CD'$$

(1) 当 $B = 0, C = D = 1$ 时, 输出逻辑式简化为

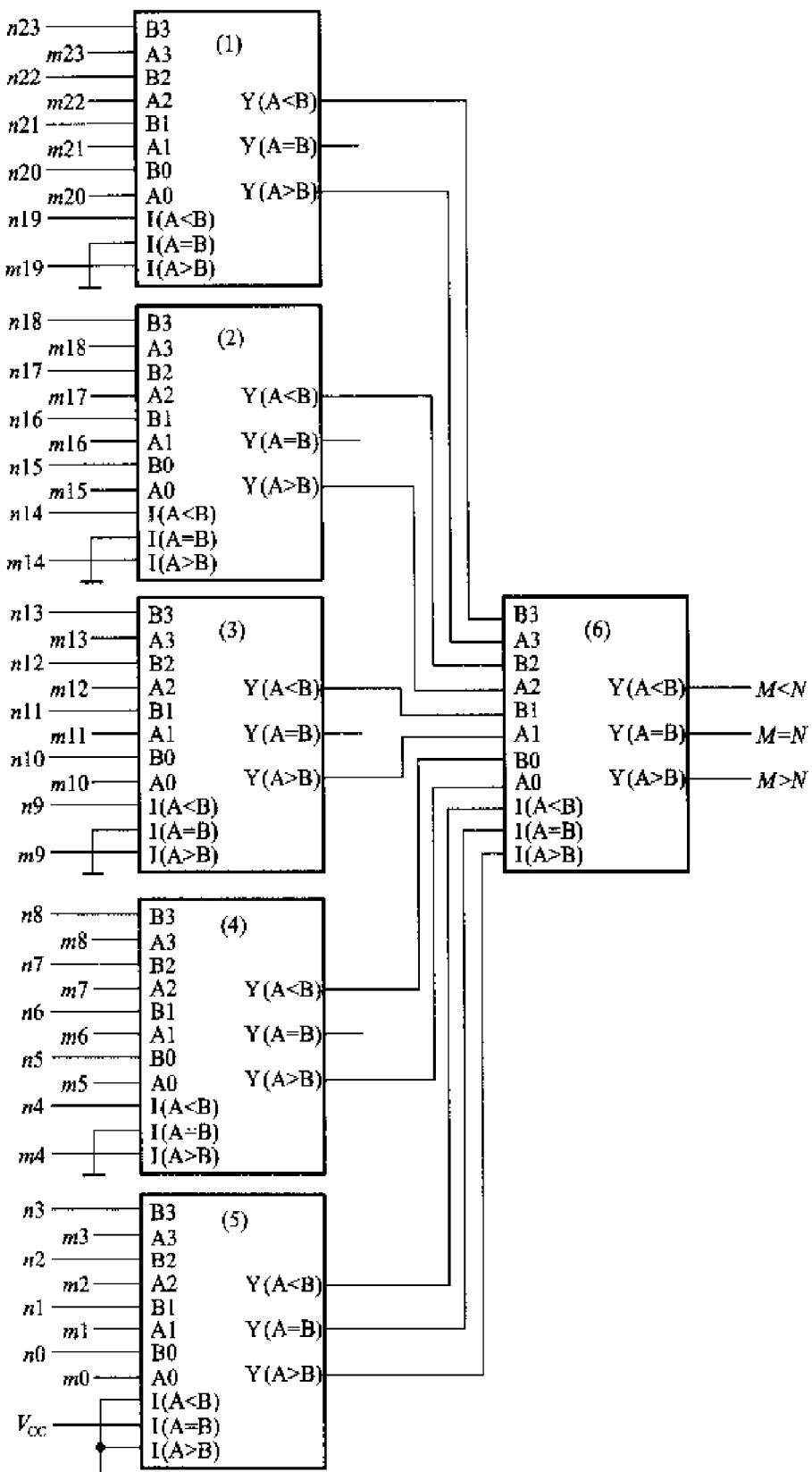


图 A4. 30

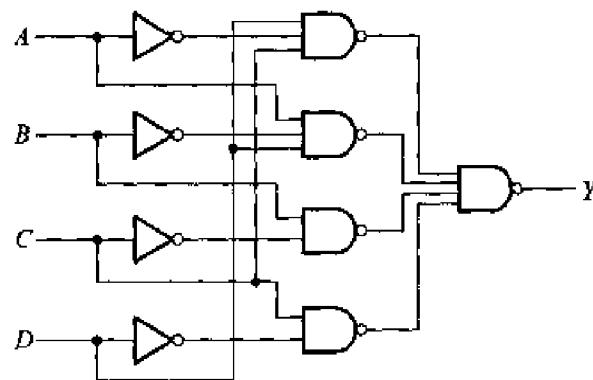


图 P4.32

$$Y = A + A'$$

故 A 改变状态时存在竞争 - 冒险现象。

(2) 当 $A = 1, C = 0, D = 1$ 时, 输出逻辑式简化为

$$Y = B + B'$$

故 B 改变状态时存在竞争 - 冒险现象。

(3) 当 $A = 0, B = D = 1$, 或者当 $A = \times, B = 1, D = 0$ 时, 输出的逻辑式简化为

$$Y = C + C'$$

故 C 改变状态时存在竞争 - 冒险现象。

(4) 当 $A = 1, B = 0, C = 1$, 或者为 $A = 0, B = \times, C = 1$ 时, 输出逻辑式简化为

$$Y = D + D'$$

故 D 改变状态时存在竞争 - 冒险现象。

第五章

触 发 器

5.1 本章习题类型与解题方法

这一章的习题可以分为两大类。一类题目是给定触发器输入信号的波形，要求画出对应的输出波形。这一类题目其实都比较简单，就是给定了一系列的输入和初态值，求对应的次态。只要掌握了各种类型触发器的逻辑功能和触发方式的特点，就能求解这一类问题了。

另一类题目是触发器的实际应用。这一类题比较灵活，例如利用触发器的存储功能和分频功能就可以构成许多有用的数字电路。

一、给定触发器输入信号的波形，求对应的输出波形

这类题目当中又可区分为以下三种情况：

1. 直接给出了触发器输入信号的波形

解题方法和步骤：

根据所用触发器的特性表和触发方式，直接就可以确定每个时钟信号周期后输出的状态了。

2. 输入信号经另外的组合逻辑电路加到触发器的输入端

解题方法和步骤：

方法一，首先求出给定输入信号下加到触发器每个输入端上的信号波形，然后根据触发器的特性表就很容易画出输出波形了。

方法二，在输入端附加电路比较复杂的情况下，也可以按如下方法和步骤求解，即

① 首先写出加到触发器每个输入端的输入信号的逻辑函数式。

② 将输入信号的逻辑函数代入触发器的特性方程，得到触发器的状态方程。

③ 利用触发器的状态方程,依时序先后顺序逐一求出每次 CLK 信号作用后触发器的次态输出,画出输出随输入和初态变化的波形图。

3. 触发器的信号输入端(亦称同步输入端)和异步输入端(即异步置 0 端和异步置 1 端)同时有输入信号。

解题方法和步骤:

(1) 因异步置 0 信号 R_D 和异步置 1 信号 S_D 不受时钟信号控制,所以只要出现 $S_D = 1$ (或 $S'_D = 0$)信号,触发器的输出立刻被置为 $Q = 1$,而与此时的输入和 CLK 的状态无关。同理,只要出现 $R_D = 1$ (或 $R'_D = 0$)信号,触发器的输出立刻被置为 $Q = 0$,而与此时的输入和 CLK 的状态无关。

(2) 在没有异步置 0、置 1 有效信号的情况下,仍然可以用上面 1、2 两种情况下的解法求出输出波形。

【例 5-1】将同样的输入信号分别加到两个触发器 FF_1 和 FF_2 的 J 、 K 输入端上,如图 5-1 所示,试画出 Q_1 、 Q_2 端的电压波形。假定触发器的初始状态均为 $Q = 0$ 。

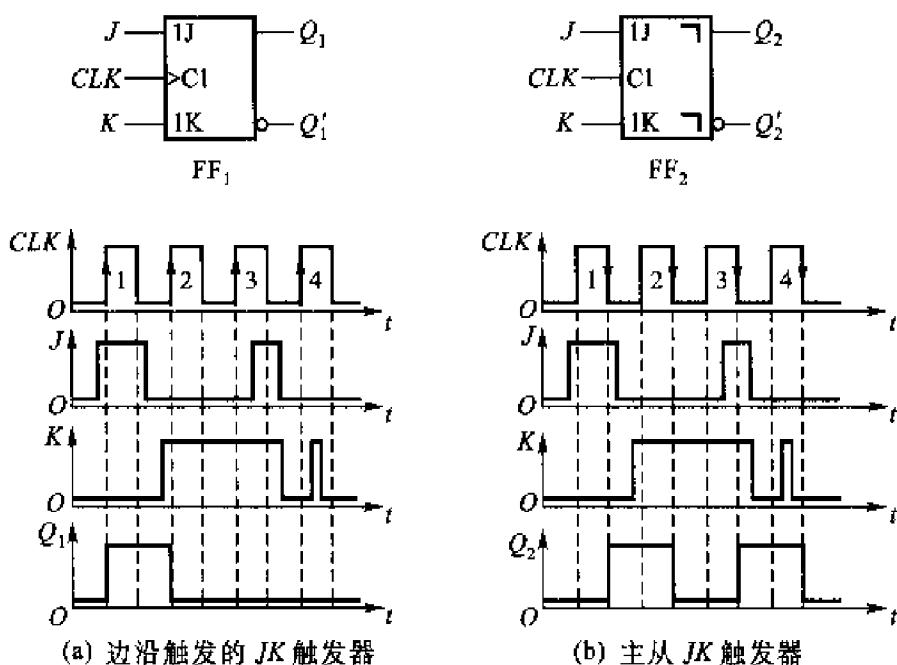


图 5-1 例 5-1 的波形图

解:由触发器的图形逻辑符号可知, FF_1 是上升沿触发的边沿触发 JK 触发器, Q_1 状态的变化发生在 CLK 的上升沿,而且仅仅与 CLK 上升沿到达时刻的输入有关。第一个 CLK 上升沿到达时 $J = 1, K = 0$, 触发器被置成 $Q_1 = 1$ 。第二个、第三个 CLK 上升沿到达时 $J = 0, K = 1$, 触发器置 0。第四个 CLK 上升沿到达时 $J = K = 0$, 触发器保持 $Q = 0$ 不变,于是就得到了图(a)中的 Q_1 波形图。

FF_2 是脉冲触发方式的 JK 触发器, 每当 $CLK = 1$ 时主触发器接收信号、从触发器保持不变, CLK 下降沿到达时从触发器按照这时主触发器的状态翻转, 主触发器保持不变。第一个 CLK 高电平期间 $J = 1, K = 0$, 主触发器置 1, CLK 下降沿到达时输出变为 $Q_2 = 1$ 。第二个 CLK 高电平期间 $J = 0, K = 1$, 主触发器置 0, CLK 下降沿到达时 $Q_2 = 0$ 。第三个 CLK 高电平期间出现了 $J = K = 1$ 信号, 主触发器置 1, CLK 下降沿到达时 $Q_2 = 1$ 。第四个 CLK 高电平期间出现了 $K = 1$ 信号, 主触发器置 0, CLK 下降沿到达时 $Q_2 = 0$, 这样就得到了图(b)中的 Q_2 波形。

比较一下 Q_1 和 Q_2 的波形可以看出, 虽然 FF_1 和 FF_2 都是 JK 触发器, 但由于触发方式不同, 在同样的输入作用下, 输出的波形是不同的。因此, 不同触发方式的触发器即使逻辑功能相同, 也不能简单地互换使用。

【例 5-2】 画出图 5-2 电路中触发器输出端 Q 的电压波形。输入信号 A, B 的波形如图 5-3 中所示。触发器的初始状态为 $Q = 0$ 。

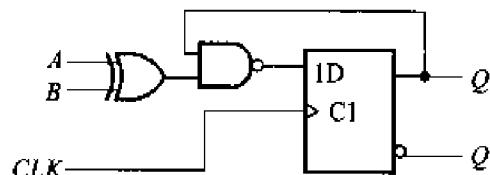


图 5-2 例 5-2 的电路

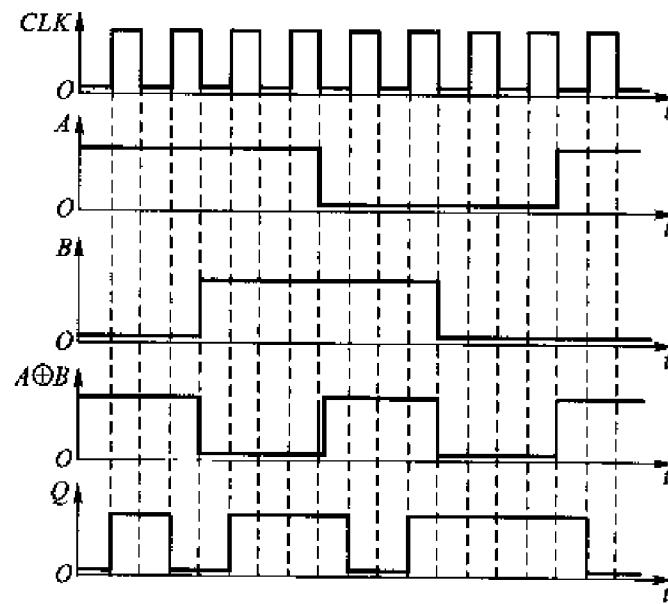


图 5-3 图 5-2 电路的电压波形图

解: 由图 5-2 中写出触发器输入端 D 的逻辑式, 得到

$$D = ((A \oplus B)Q)'$$

故得到触发器的状态方程为

$$Q^+ = D = ((A \oplus B)Q)' \quad (5-1)$$

上式表明,当 $A \oplus B = 1$ 时, $Q^* = Q'$; 当 $A \oplus B = 0$ 时, $Q^* = 1$ 。我们可以先画出 $A \oplus B$ 的波形,然后根据 $A \oplus B$ 的状态就能决定 Q^* 的状态。于是得到图 5-3 中 Q 的波形图。

【例 5-3】试画出图 5-4 电路在 CLK 脉冲序列作用下 Q_1 和 Q_2 的电压波形。设两个触发器的初始状态均为 $Q=0$ 。

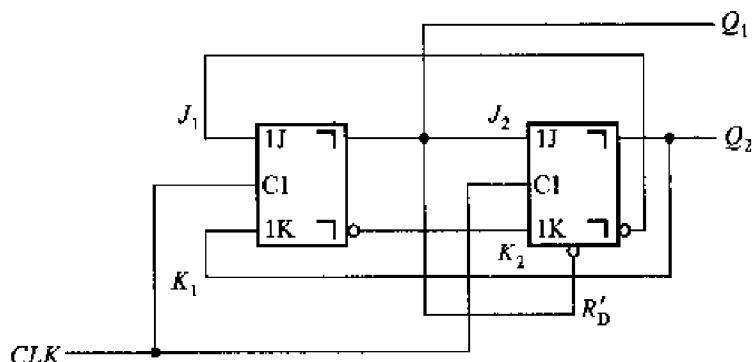


图 5-4 例 5-3 的电路

解：这是一个有异步置零信号输入的电路。因为异步置零信号($R_D = 0$ 信号)的优先权最高，只要它一出现触发器立即置 0，与 J, K 的输入信号和 CLK 状态无关，所以这时不能用触发器的状态方程去确定次态。我们可以找出每次时钟信号到来前每个触发器的输入和现态，然后根据它的功能表确定次态。

第一个 CLK 脉冲到来之前, $J_1 = 1, K_1 = 0, J_2 = 0, K_2 = 1, R'_0 = 0$, 所以 CLK 下降沿到达后, 触发器状态为 $Q_1, Q_2 = 10$ 。

第二个 CLK 脉冲到来之前, $J_1 = 1, K_1 = 0, J_2 = 1, K_2 = 0, R'_D = 1$, 所以 CLK 下降沿到达后, 触发器状态为 $Q, Q_2 = 11$ 。

第三个 CLK 脉冲到来之前, $J_1 = 0$ 、 $K_1 = 1$ 、 $J_2 = 1$ 、 $K_2 = 0$ 、 $R'_D = 1$, 所以 CLK 下降沿到达后, 触发器状态置成 $Q_1Q_2 = 01$ 。但由于 $R'_D = Q_1$, 所以在 Q_1 变为 0 以后, Q_2 立即被置 0。于是电路回到了起始的状态 $Q_1Q_2 = 00$ 。 Q_1 、 Q_2 的电压波形如图 5-5 所示。

二、触发器的应用

1. 触发器存储功能的应用

这一类题目是利用触发器的记忆功能把需要保存的瞬态信号保存下来，直到需要清除时为止。

【例 5-4】 设计一个举重裁判逻辑电路。在一个主裁判员和两个副裁判员当中,必须有包含主裁判员在内的两人以上认定试举动作合格,并按动自己的

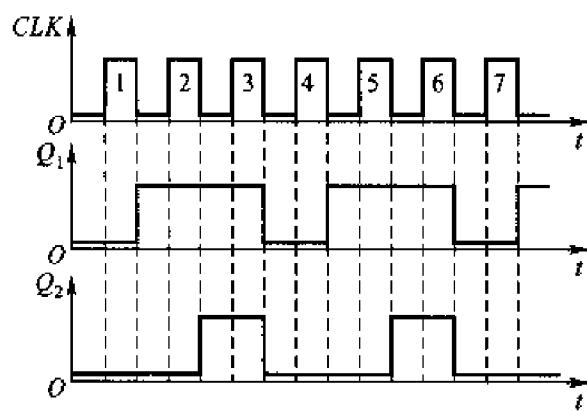


图 5-5 图 5-4 电路的电压波形图

按钮时,表示试举成功的输出信号 $Z=1$ 。而且,要求这个 $Z=1$ 的信号能一直保持下去,直到工作人员按动清除按钮为止。

解:由于三个裁判员按动按钮发出的信号不能自行保持,而且按动的动作可能有先后、长短之别,所以需要用三个触发器分别保存三人按动按钮发出的信号。由于只要求触发器有置 1 和置 0 功能即可,所以用 RS 、 JK 、 D 型触发器均可,对结构类型也无特定要求。

若选用 SR 锁存器,则可用裁判员按动按钮 A 、 B 、 C 给出的低电平作为置 1 信号,用工作人员按动按钮 P 给出的低电平作为置 0 信号,如图 5-6 所示。试举成功的信号 Z 由三个触发器的输出状态判别,这个判断逻辑电路已在《数字电子技术基础》(第五版)第 2.5.2 节中的图 2.5.2 给出。这样我们就得到了图 5-6 所示的电路。

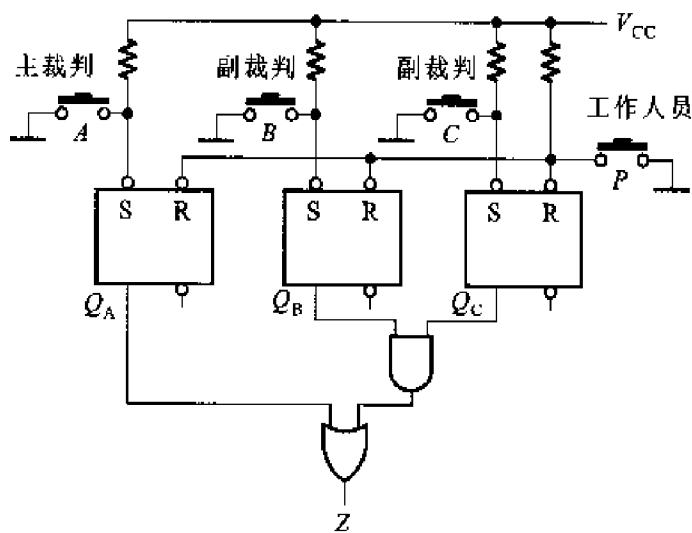


图 5-6 例 5-4 的电路图

2. 触发器分频/计数功能的应用

当 T 触发器处于 $T=1$ 的工作状态时, 每输入一个 CLK 脉冲输出状态改变一次, 因此输出端脉冲的频率将为 CLK 脉冲频率的 $1/2$ 。这就是所说的分频功能。在第六章里我们会更详细地讨论由触发器组成各种分频器/计数器的有关问题, 这里就不做进一步的介绍了。

5.2 习题解答

【题 5.1】画出图 P5.1 由与非门组成的 SR 锁存器输出端 Q, Q' 的电压波形, 输入端 S'_D, R'_D 的电压波形如图中所示。

解: 见图 A5.1。

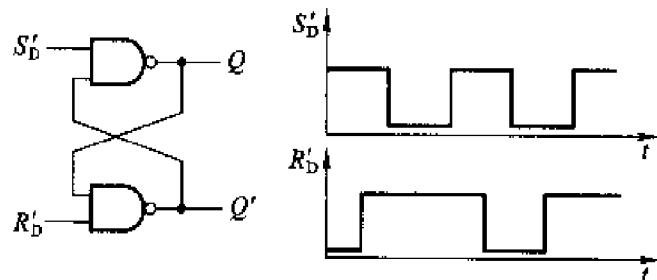


图 P5.1

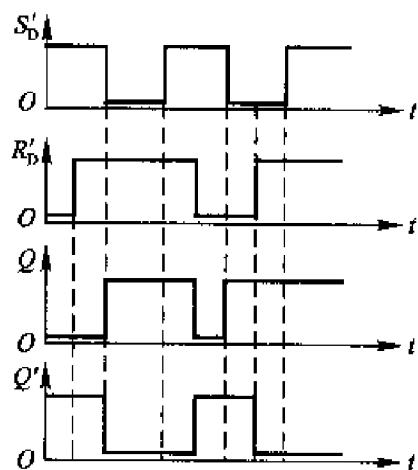


图 A5.1

【题 5.2】画出图 P5.2 由或非门组成的 SR 锁存器输出端 Q, Q' 的电压波形, 输入端 S_D, R_D 的电压波形如图中所示。

解：见图 A5.2。

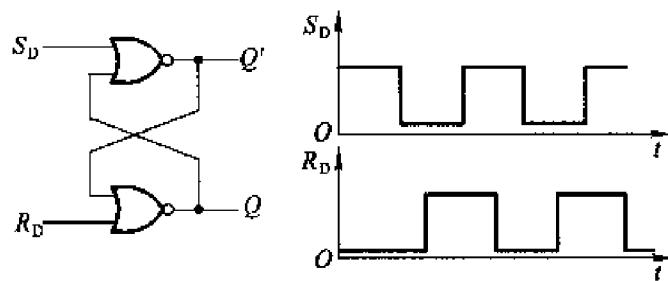


图 P5.2

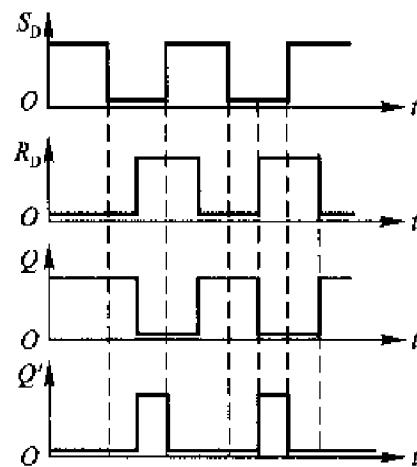


图 A5.2

【题 5.3】试分析图 P5.3 所示电路的逻辑功能,列出真值表,写出逻辑函数式。

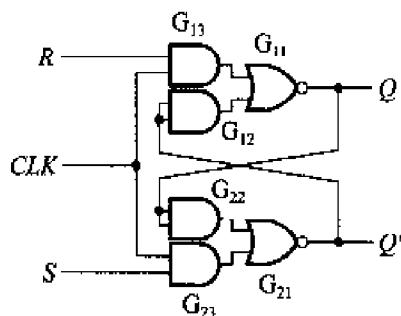


图 P5.3

解：由图可见,当 $CLK = 0$ 时 G_{13} 和 G_{23} 截止, Q 端状态经 G_{22} 反馈到 G_{21} 的输入, Q' 端状态经 G_{12} 反馈到 G_{11} 的输入, 保持 Q 和 Q' 的状态不变。当 CLK 变为高

电平以后, R 和 S 的输入经 G_{13} 和 G_{23} 分别加到 G_{11} 和 G_{21} 的输入, 将 Q 和 Q' 置成相应状态, 如表 A5.3 的真值表所示。

表 A5.3 题 5.3 中图 P5.3 电路的真值表

S	R	Q	Q^*
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0 ^①
1	1	1	0 ^②

① S, R 的 1 状态同时消失后状态不定。

由真值表得

$$\begin{cases} Q^* = S'R'Q + SR' \\ SR = 0 \text{ (约束条件)} \end{cases}$$

化简后得到

$$\begin{cases} Q^* = S + R'Q \\ SR = 0 \end{cases}$$

【题 5.4】 图 P5.4 所示为一个防抖动输出的开关电路。当拨动开关 S 时, 由于开关触点接通瞬间发生振颤, S'_D 和 R'_D 的电压波形如图中所示, 试画出 Q 、 Q' 端对应的电压波形。

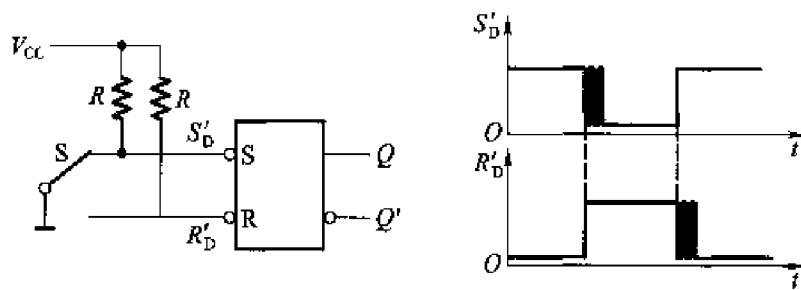


图 P5.4

解: 见图 A5.4。

【题 5.5】 在图 P5.5 电路中, 若 CLK, S, R 的电压波形如图中所示, 试画出 Q 和 Q' 端与之对应的电压波形。假定触发器的初始状态为 $Q = 0$ 。

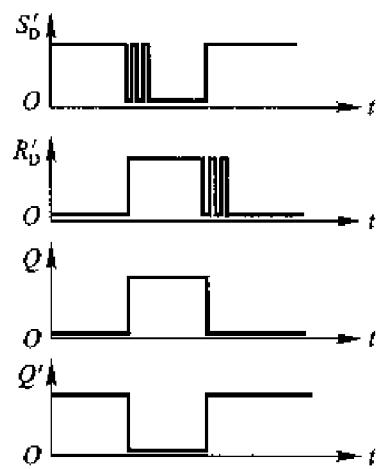


图 A5.4

解：见图 A5.5。

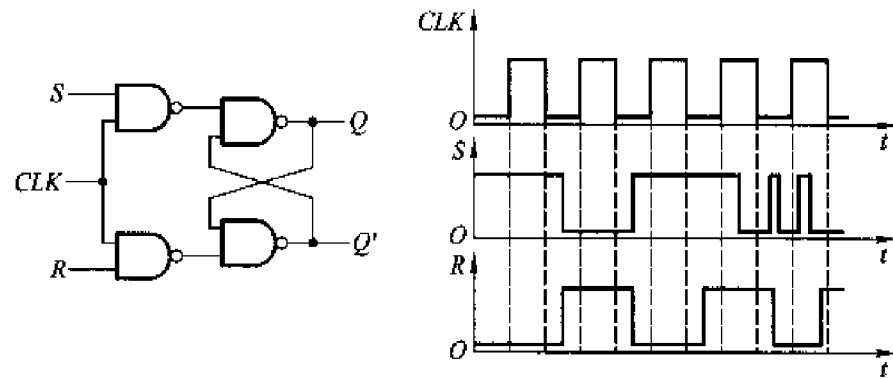


图 P5.5

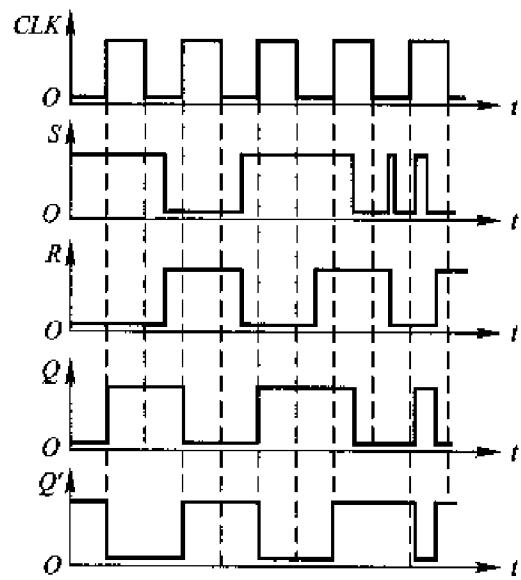


图 A5.5

【题 5.6】若将电平触发 SR 触发器的 Q 与 R, Q' 与 S 相连, 如图 P5.6 所示, 试画出在 CLK 信号作用下 Q 和 Q' 端的电压波形。已知 CLK 信号的宽度 $t_w = 4t_{pd}$, t_{pd} 为门电路的平均传输延迟时间, 假定 $t_{pd} \approx t_{PHL} \approx t_{PLH}$ 。设触发器的初始状态为 $Q = 0$ 。

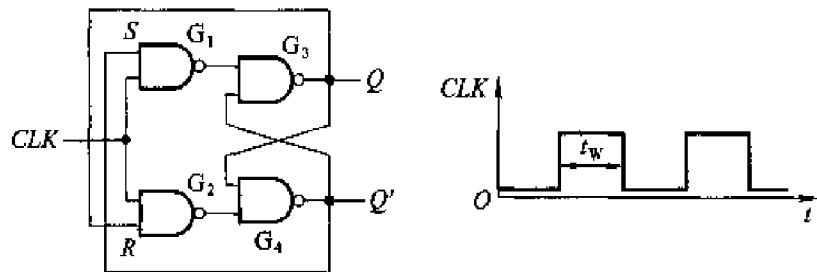


图 P5.6

解: 由于与非门 $G_1 \sim G_4$ 都存在传输延迟时间 t_{pd} , 所以当 CLK 上升沿到达后, 加在 S 端的高电平置 1 信号经过 G_1 和 G_3 两级门电路的延迟时间后, 使 Q 端变为高电平。 Q 端的高电平反馈到 G_4 的输入, 经过 G_4 的传输延迟时间后使 Q' 端变为低电平。而在 Q 端变为高电平的同时, 又使 R 端输入也变为高电平了, 再经过门电路 G_2 和 G_1 的延迟时间后, 将 Q' 置成高电平, 并反馈到 G_3 输入端, 经过 G_3 的延迟时间后将 Q 端置成低电平。由于这时 CLK 已回到低电平, 所以此后电路的状态不再改变, 直到下一个 CLK 的高电平到来为止。

根据上面的分析, 就得到了图 A5.6 的波形图。

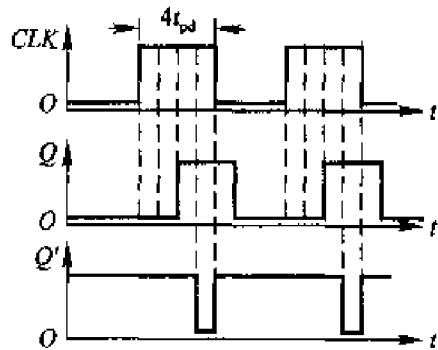


图 A5.6

【题 5.7】若主从结构 SR 触发器各输入端的电压波形如图 P5.7 中所给出, 试画出 Q, Q' 端对应的电压波形。设触发器的初始状态为 $Q = 0$ 。

解: 根据 SR 触发器逻辑功能的定义和脉冲触发方式的动作特点(主从结构触发器属于脉冲触发方式), 即可画出如图 A5.7 所示的输出电压波形图。

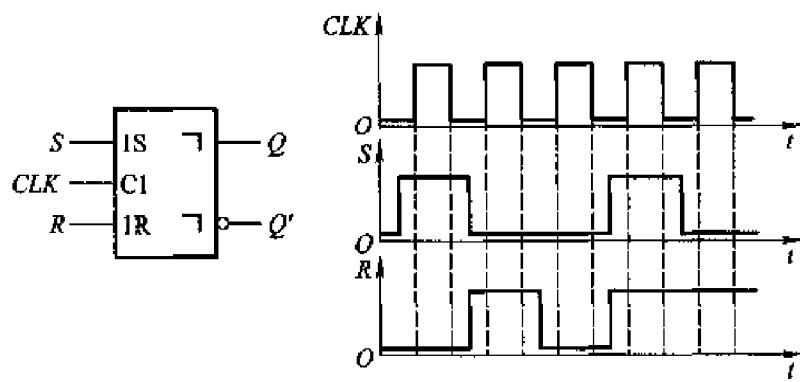


图 P5.7

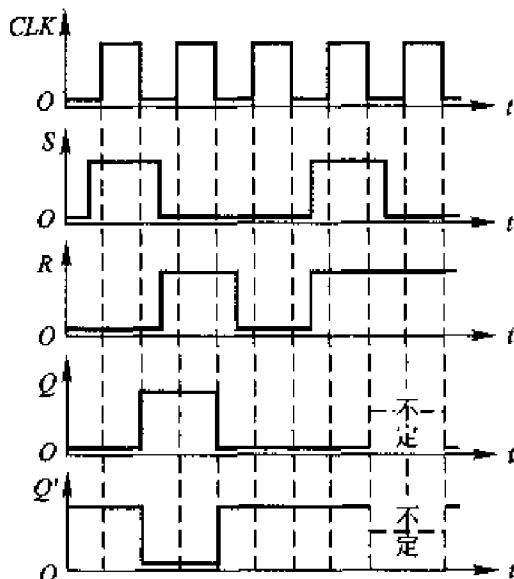


图 A5.7

【题 5.8】 在脉冲触发 SR 触发器电路中, 若 S 、 R 、 CLK 端的电压波形如图 P5.8 所示, 试画出 Q 、 Q' 端对应的电压波形。假定触发器的初始状态为 $Q=0$ 。

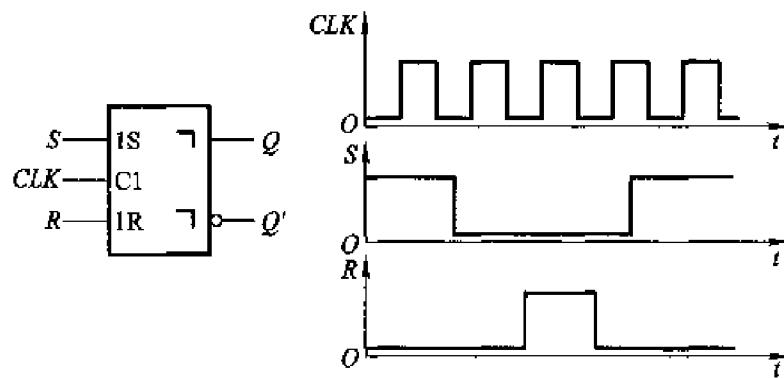


图 P5.8

解：根据 SR 触发器逻辑功能的定义及脉冲触发方式的动作特点，即可画出图 A5.8 中 Q 和 Q' 的电压波形。

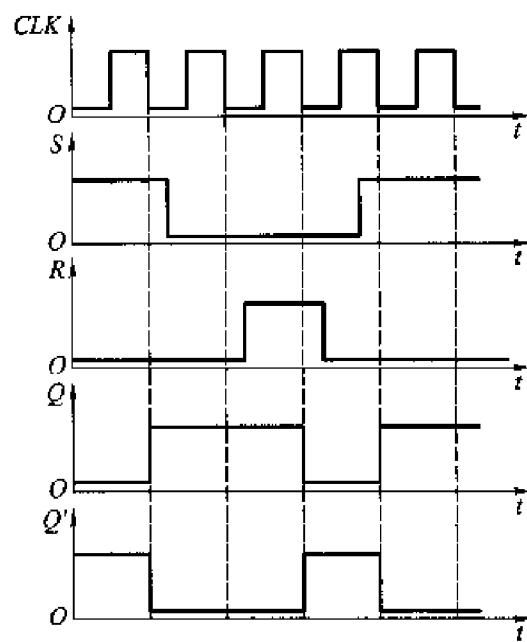


图 A5.8

【题 5.9】若主从结构 SR 触发器的 CLK 、 S 、 R 、 R'_b 各输入端的电压波形如图 P5.9 所示， $S'_b = 1$ ，试画出 Q 、 Q' 端对应的电压波形。

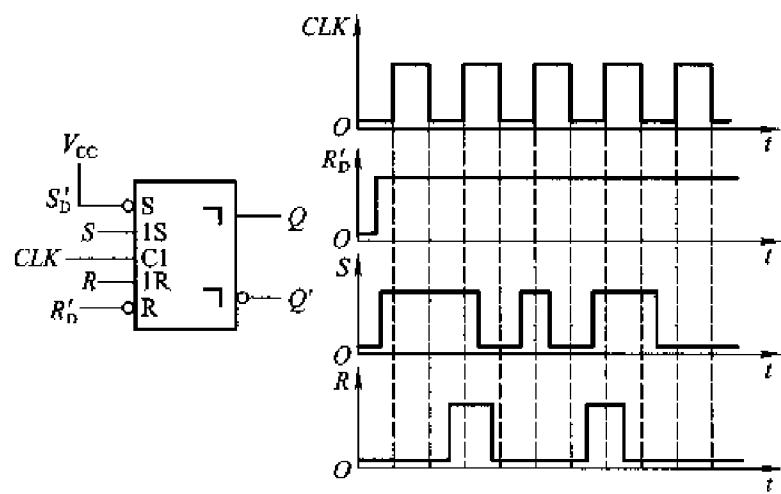


图 P5.9

解：根据 SR 触发器逻辑功能的定义及脉冲触发方式的动作特点，即可画出

Q 、 Q' 的电压波形,如图 A5.9 所示。

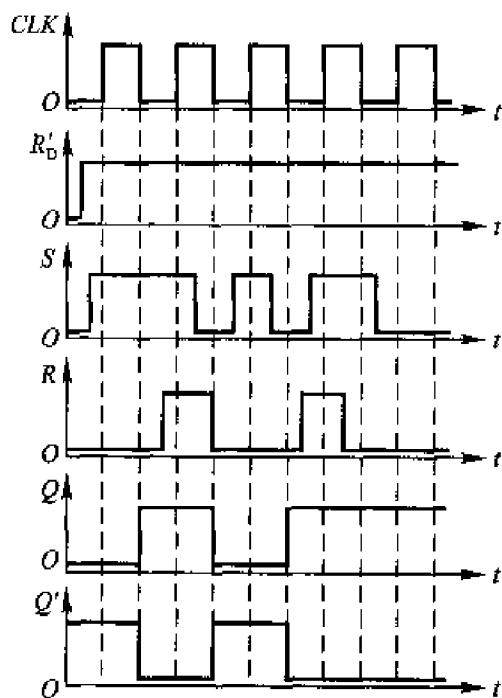


图 A5.9

【题 5.10】 在脉冲触发 JK 触发器中,已知 J 、 K 、 CLK 端的电压波形如图 P5.10 所示,试画出 Q 、 Q' 端对应的电压波形。设触发器的初始状态为 $Q = 0$ 。

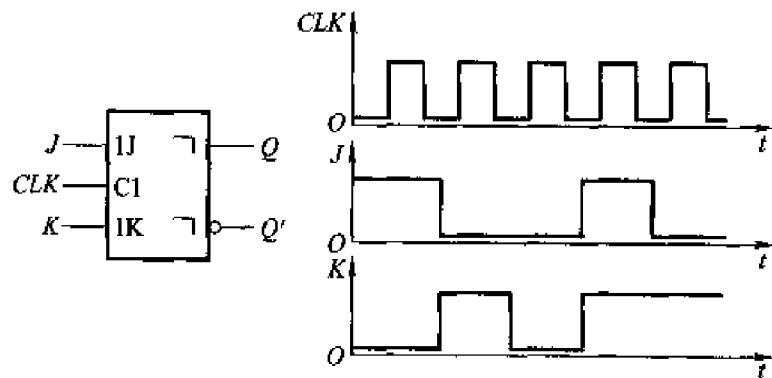


图 P5.10

解: 根据 JK 触发器逻辑功能的定义及脉冲触发方式的动作特点,画得 Q 、 Q' 端的电压波形如图 A5.10。

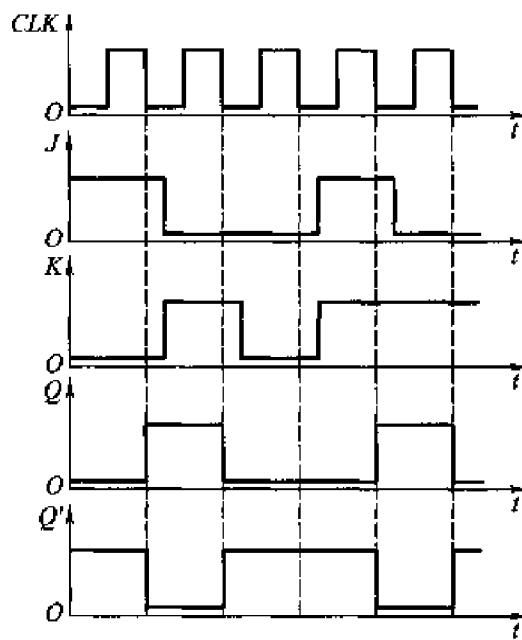


圖 A5.10

【题 5.11】 已知脉冲触发 JK 触发器输入端 J 、 K 和 CLK 的电压波形如图 P5.11 所示, 试画出 Q 、 Q' 端对应的电压波形。设触发器的初始状态为 $Q = 0$ 。

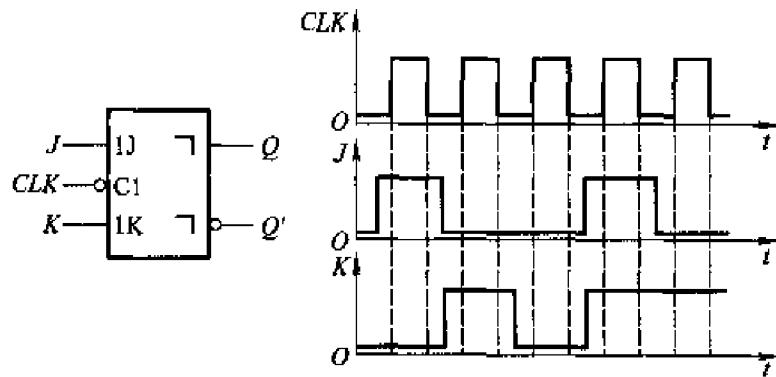


圖 PS. 11

解：根据 JK 触发器逻辑功能的定义及脉冲触发的动作特点，画出的 Q 、 Q' 端电压波形如图 A5.11。

【题 5.12】 若主从结构 JK 触发器 CLK 、 R'_D 、 S'_D 、 J 、 K 端的电压波形如图 P5.12 所示, 试画出 Q 、 Q' 端对应的电压波形。

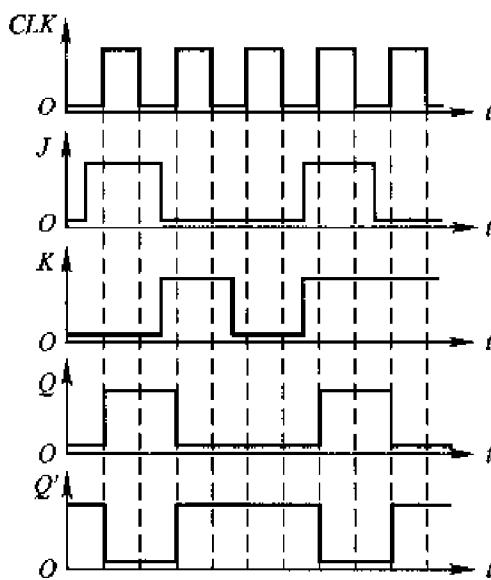


图 A5.11

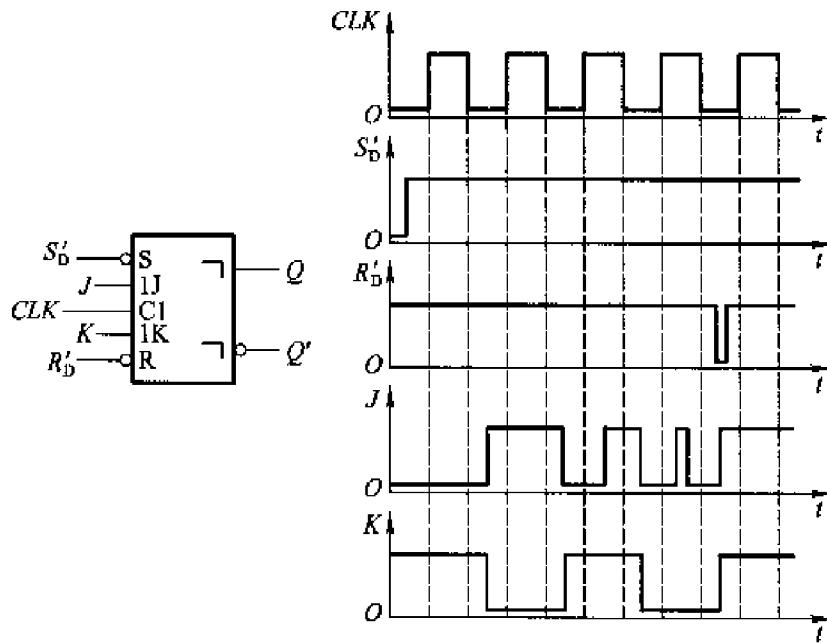


图 P5.12

解：根据 JK 触发器逻辑功能的定义及脉冲触发方式的动作特点，画出的 Q 、 Q' 端电压波形如图 A5.12。

【题 5.13】 已知 CMOS 边沿触发器输入端 D 和时钟信号 CLK 的电压波形如图 P5.13 所示，试画出 Q 和 Q' 端对应的电压波形。假定触发器的初始状态为 $Q=0$ 。

解：根据 D 触发器逻辑功能的定义及边沿触发方式的动作特点，即可画出 Q 、 Q' 端的电压波形如图 A5.13。

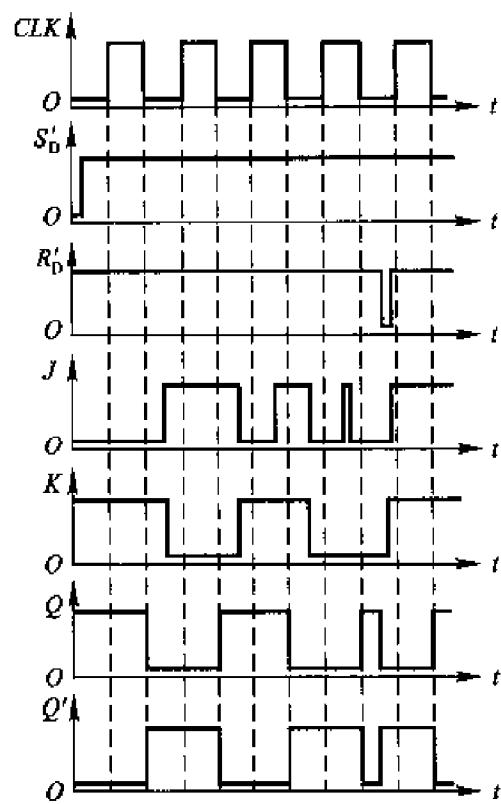


图 A5.12

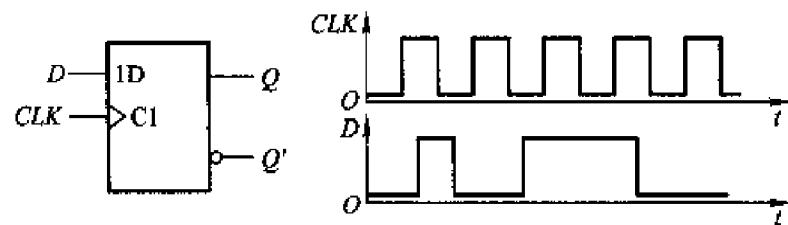


图 P5.13

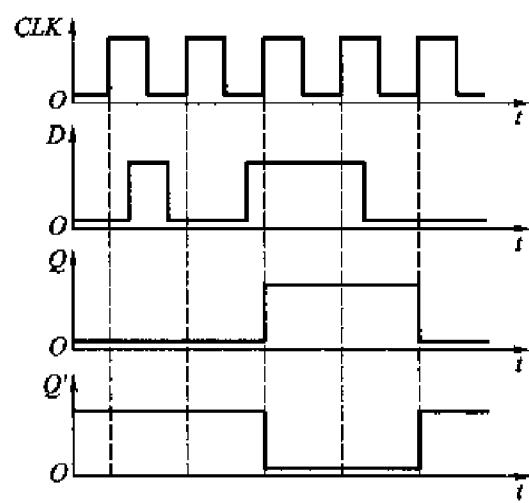


图 A5.13

【题 5.14】 已知维持阻塞结构 D 触发器各输入端的电压波形如图 P5.14 所示, 试画出 Q, Q' 端对应的电压波形。

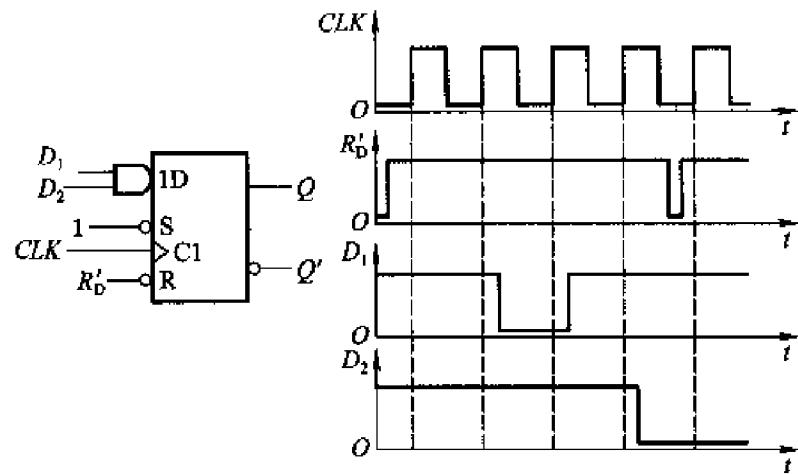


图 P5.14

解: 根据 D 触发器逻辑功能的定义及维持阻塞结构所具有的边沿触发方式, 即可画出 Q 和 Q' 的电压波形如图 A5.14。

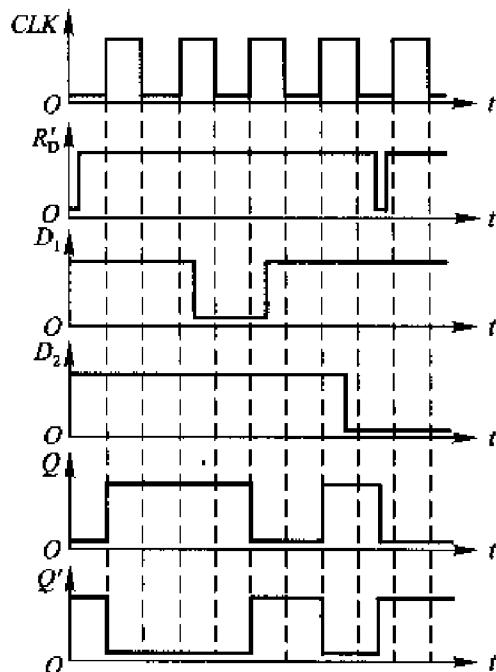


图 A5.14

【题 5.15】 已知 CMOS 边沿触发方式 JK 触发器各输入端的电压波形如图 P5.15 所示, 试画出 Q, Q' 端对应的电压波形。

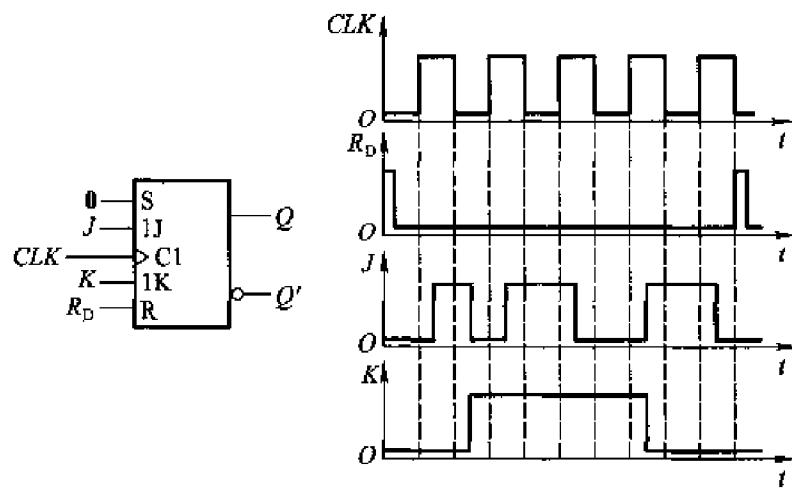


图 P5.15

解：根据 JK 触发器逻辑功能的定义和边沿触发方式的动作特点，画出的 Q, Q' 端电压波形如图 A5.15。

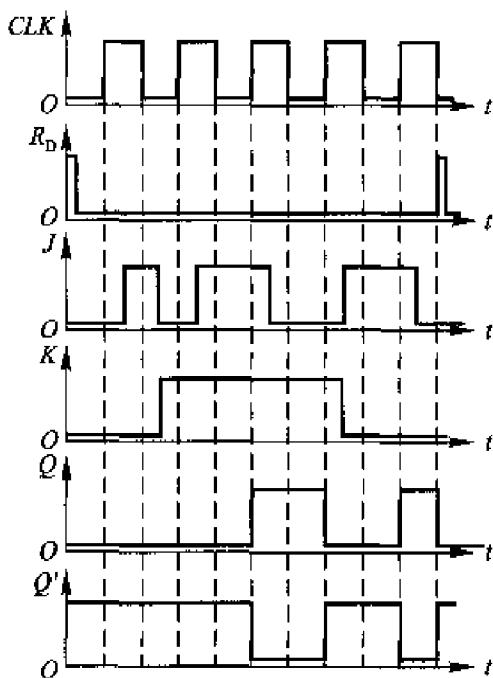


图 A5.15

【题 5.16】 在脉冲触发 T 触发器中，已知 T, CLK 端的电压波形如图 P5.16 所示，试画出 Q, Q' 端对应的电压波形。设触发器的初始状态为 $Q=0$ 。

解：根据 T 触发器逻辑功能的定义以及脉冲触发方式的动作特点，画出的

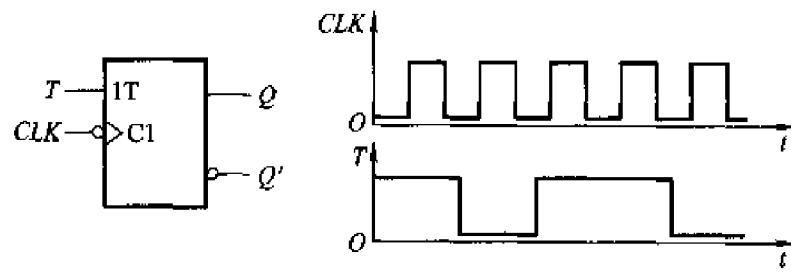


图 P5.16

Q 、 Q' 端电压波形如图 A5.16。

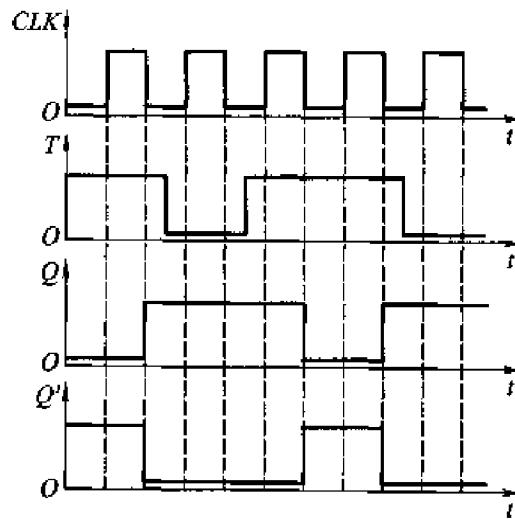


图 A5.16

【题 5.17】 在图 P5.17 的主从结构 JK 触发器电路中, 已知 CLK 和输入信号 T 的电压波形如图所示, 试画出触发器输出端 Q 和 Q' 的电压波形。设触发器的起始状态为 $Q=0$ 。

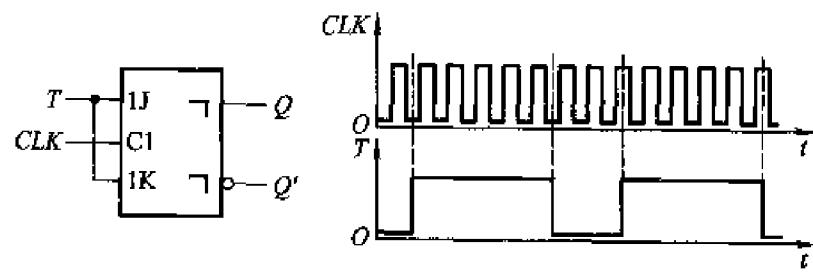


图 P5.17

解: 将 JK 触发器的 J 和 K 接在一起作为输入端, 就得到了 T 触发器。按照

T 触发器的逻辑功能和脉冲触发方式的动作特点, 就得到了图 A5.17 中 Q 、 Q' 端的电压波形。

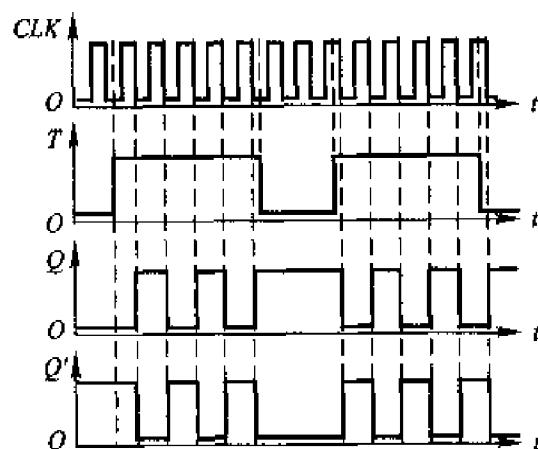


图 A5.17

【题 5.18】 设图 P5.18 中各触发器的初始状态皆为 $Q = 0$, 试画出在 CLK 信号连续作用下各触发器输出端的电压波形。

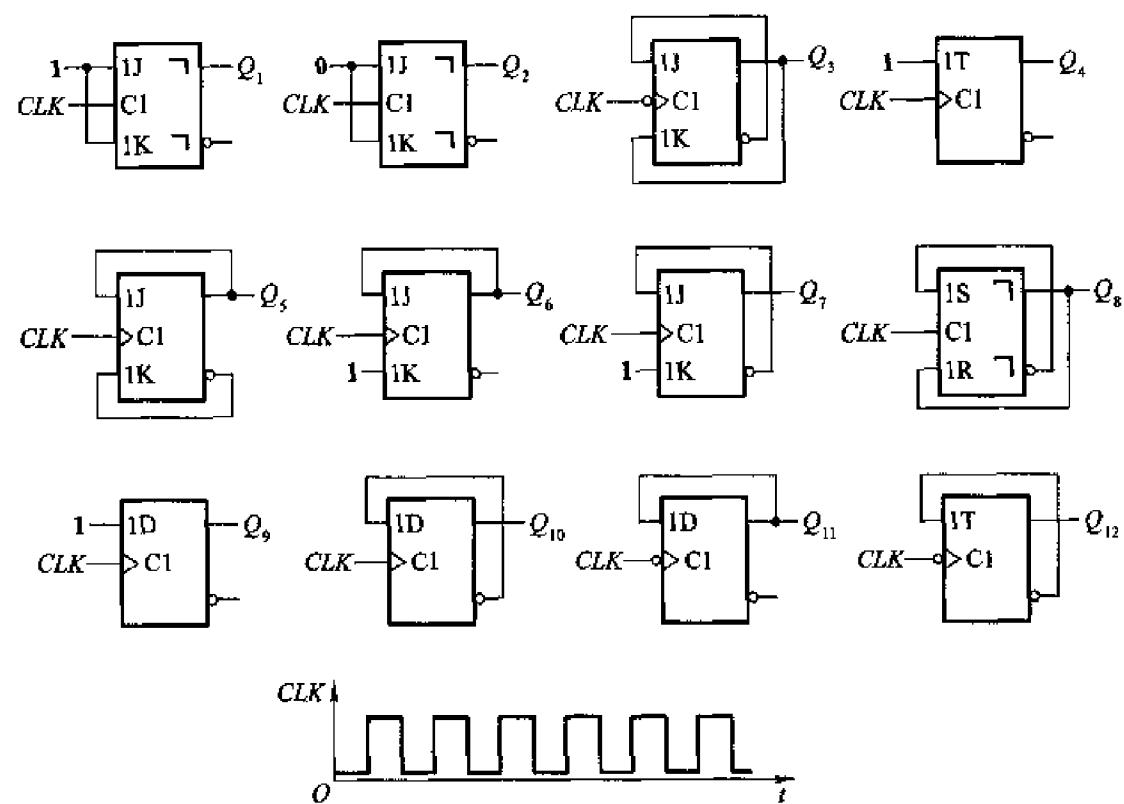


图 P5.18

解：根据每个触发器的逻辑功能和触发方式，画出输出端 Q 的电压波形，如图 A5.18。

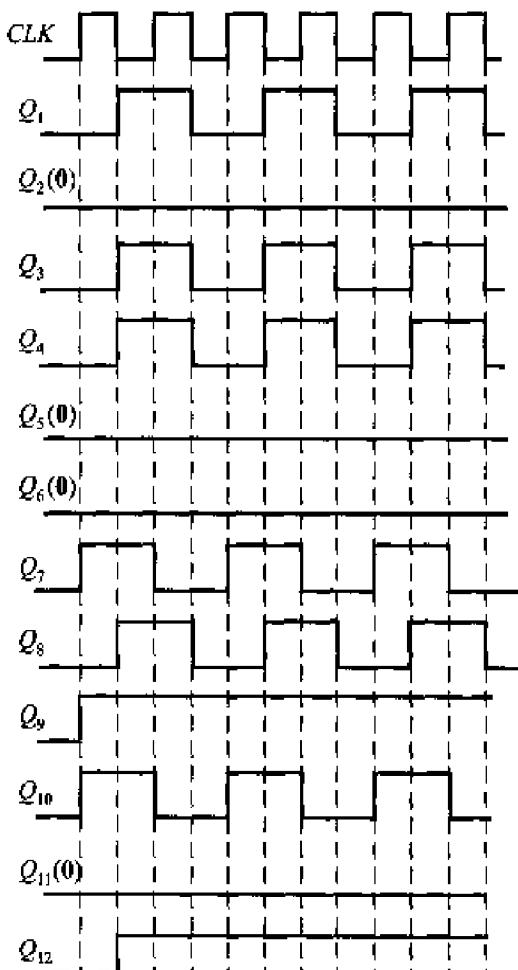


图 A5.18

【题 5.19】 试写出图 P5.19(a) 中各电路的次态函数(即 Q_1^* 、 Q_2^* 、 Q_3^* 、 Q_4^* 与现态和输入变量之间的函数式)，并画出在图 P5.19(b) 给定信号的作用下 Q_1 、 Q_2 、 Q_3 、 Q_4 的电压波形。假定各触发器的初始状态均为 $Q=0$ 。

解：由图中可写出触发器 FF_1 的驱动方程为

$$J_1 = A'; K_1 = B'$$

将它们代入 JK 触发器的特性方程 $Q^* = JQ' + K'Q$ ，得到

$$Q_1^* = A'Q_1' + BQ_1$$

触发器 FF_2 的驱动方程为

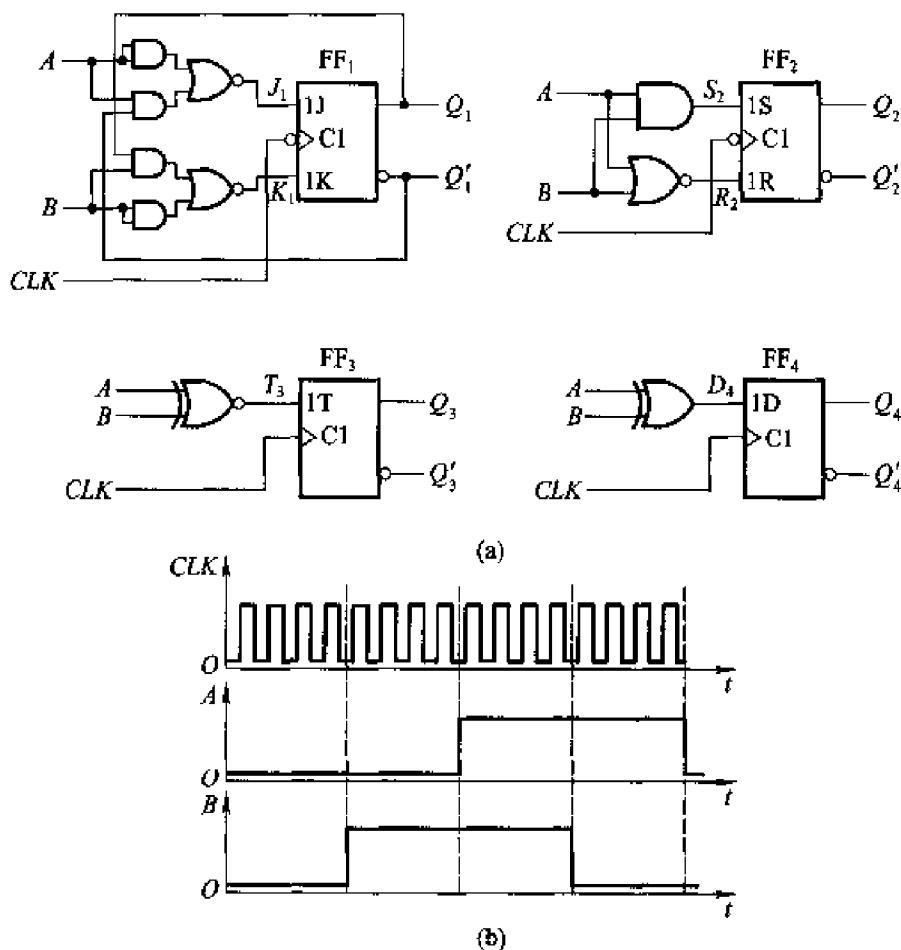


图 P5.19

$$S_2 = AB; R_2 = (A + B)'$$

将它们代入 SR 触发器的特性方程 $Q^* = S + R'Q$, 得到

$$Q_2^* = AB + (A + B)Q_2$$

触发器 FF_3 的驱动方程为 $T_3 = A \odot B$, 将它代入 T 触发器的特性方程 $Q^* = TQ' + T'Q = T \oplus Q$, 于是得到

$$Q_3^* = (A \odot B) \oplus Q_3$$

触发器 FF_4 的驱动方程为 $D_4 = A \oplus B$, 将它代入 D 触发器的特性方程 $Q^* = D$, 得到

$$Q_4^* = A \oplus B$$

从 $t=0$ 开始依次根据每个触发器的状态方程求出它们在 CLK 信号作用后应有的次态, 就可以画出 Q_1, Q_2, Q_3, Q_4 在一系列 CLK 信号作用下的电压波形了, 如图 A5.19 所示。

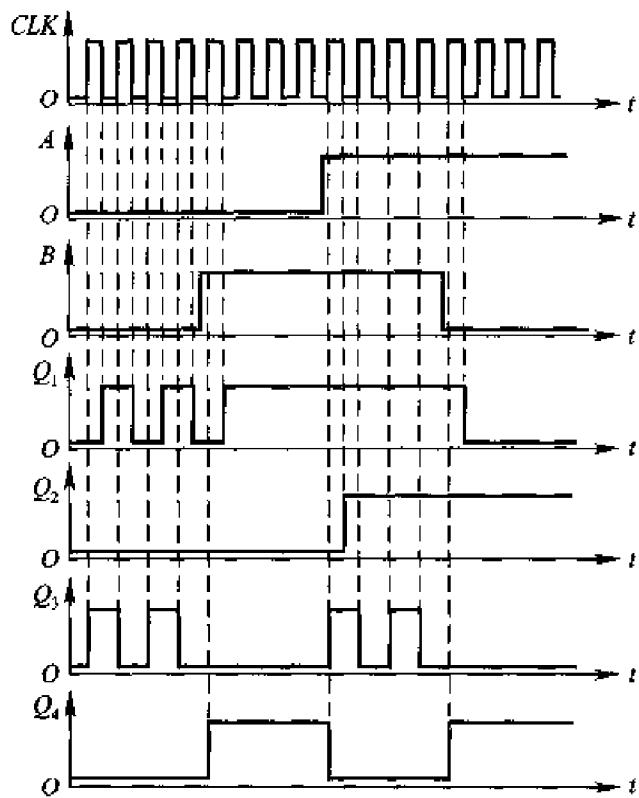


图 A5.19

【题 5.20】 在图 P5.20 电路中已知输入信号 v_t 的电压波形如图所示, 试画出与之对应的输出电压 v_o 的波形。触发器为维持阻塞结构, 初始状态为 $Q = 0$ 。(提示: 应考虑触发器和异或门的传输延迟时间。)

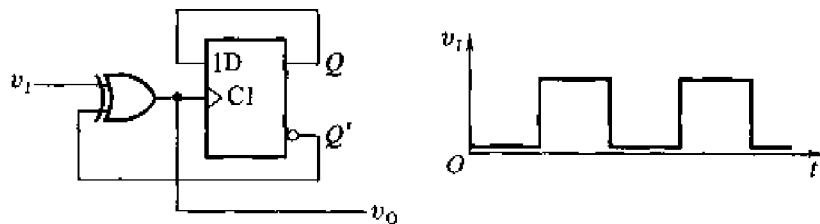


图 P5.20

解: 当 $v_t = 0, Q = 0$ 时, 异或门的输出 v_o 等于 0。 v_t 变为高电平以后, v_o 也变成高电平。因为 v_o 也是触发器的时钟输入端, 所以经过触发器的延迟时间后, Q 端被置成 1 状态; 再经过异或门的传输延迟时间, v_o 回到低电平。因此, v_o 高电平持续时间等于触发器的传输延迟时间与异或门的传输延迟时间之和。

v_t 从高电平跳变至低电平以后电路的工作过程与上述过程类似。这样就得到了图 A5.20 的 v_o 电压波形。

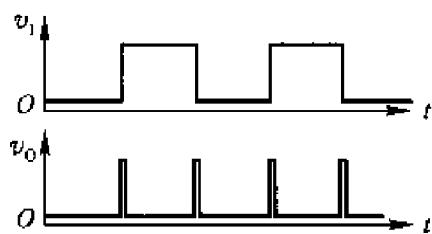


图 A5.20

【题 5.21】 在图 P5.21 所示的主从 JK 触发器电路中, CLK 和 A 的电压波形如图中所示, 试画出 Q 端对应的电压波形。设触发器的初始状态为 $Q = 0$ 。

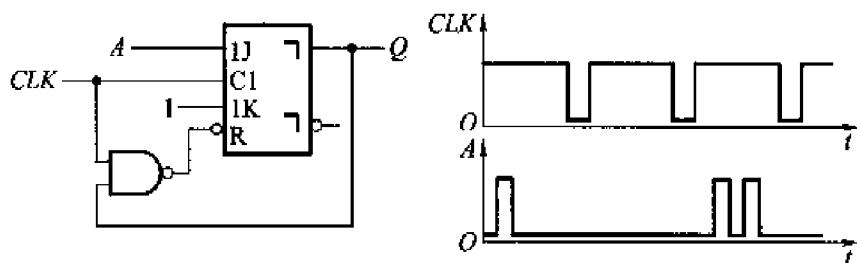


图 P5.21

解: 在 $CLK = 1$ 期间主从 JK 触发器的主触发器接收输入信号。若此期间出现 $A = 1$ 的信号, 则主触发器被置 1, 在 CLK 变为低电平后, 从触发器随之被置 1, 使输出为 $Q = 1$ 。而当 CLK 回到高电平以后与非门的输出变为低电平, 于是又通过异步置 0 端 R 将触发器置 0。这样我们就得到了图 A5.21 的波形图。

利用这个电路可以监视在 $CLK = 1$ 期间 A 端是否有高电平信号输入。如果 A 端有高电平输入信号, 则 Q 端给出一个正脉冲; 如果 A 端没有输入信号, 则 Q 端始终为 0。

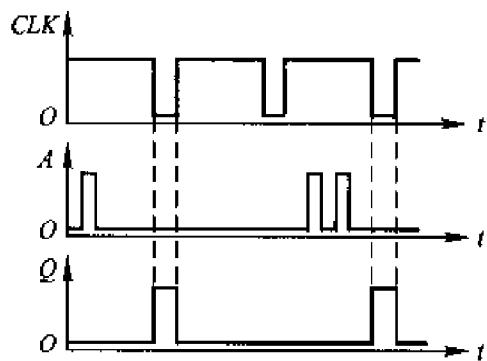


图 A5.21

【题 5.22】 图 P5.22 所示是用 CMOS 边沿触发器和或非门组成的脉冲分频电路。试画出在一系列 CLK 脉冲作用下 Q_1 、 Q_2 和 Z 端对应的输出电压波形。设触发器的初始状态皆为 $Q = 0$ 。

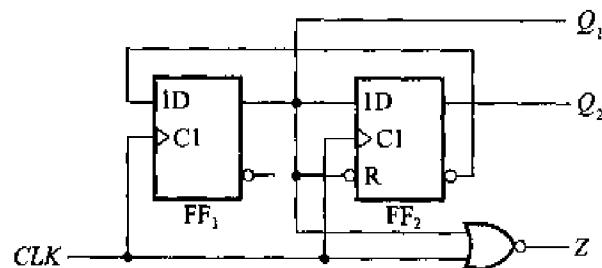


图 P5.22

解：第 1 个 CLK 脉冲到来之前 $D_1 = 1$ 、 $D_2 = 0$ ， CLK 上升沿到达后将两个触发器置成 $Q_1 = 1$ 、 $Q_2 = 0$ 。

第 2 个 CLK 脉冲到来之前 $D_1 = 1$ 、 $D_2 = 1$ ， CLK 上升沿到达后 $Q_1 = 1$ 、 $Q_2 = 1$ 。

第 3 个 CLK 脉冲到来之前 $D_1 = 0$ 、 $D_2 = 1$ ， CLK 上升沿到达后 $Q_1 = 0$ 、 $Q_2 = 1$ 。但由于 Q_1 的低电平接到了第 2 个触发器 FF_2 的异步置 0 端，所以在 Q_1 变为 0 以后立刻将 FF_2 置 0，于是电路回到了起始状态。据此即可画出 Q_1 和 Q_2 的电压波形。

根据 $Z = (Q_1 + CLK)'$ ，就能很容易地从 Q_1 和 CLK 的波形得到 Z 的波形了，如图 A5.22 所示。

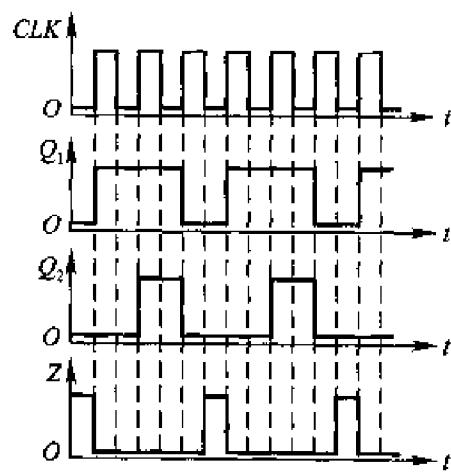


图 A5.22

【题 5.23】 图 P5.23 所示是用维持阻塞结构 D 触发器组成的脉冲分频电路。试画出在一系列 CLK 脉冲作用下输出端 Y 对应的电压波形。设触发器的

初始状态均为 $Q = 0$ 。

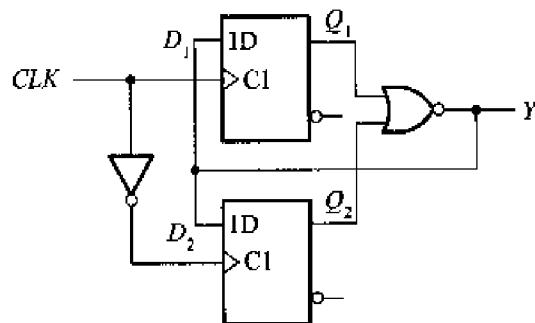


图 P5.23

解：第 1 个 CLK 上升沿到达前 $D_1 = 1$ ，所以 CLK 上升沿到达后 $Q_1 = 1$ 。第 1 个 CLK 下降沿到达前 $D_2 = 0$ ，所以 CLK 下降沿到达后 $Q_2 = 0$ 。

第 2 个 CLK 上升沿到达前 $D_1 = 0$ ，所以 CLK 上升沿到达后 $Q_1 = 0$ 。第 2 个 CLK 下降沿到达前 $D_2 = 1$ ，所以 CLK 下降沿到达后 $Q_2 = 1$ 。

第 3 个 CLK 上升沿到达前 $D_1 = 0$ ，所以 CLK 上升沿到达后 $Q_1 = 0$ 。第 3 个 CLK 下降沿到达前 $D_2 = 0$ ，所以 CLK 下降沿到达后 $Q_2 = 0$ ，电路又回到了开始的状态。 Q_1 、 Q_2 的电压波形如图 A5.23 所示。

因为 $Y = (Q_1 + Q_2)'$ ，所以从 Q_1 和 Q_2 的波形就可以画出 Y 的波形了，如图 A5.23 所示。

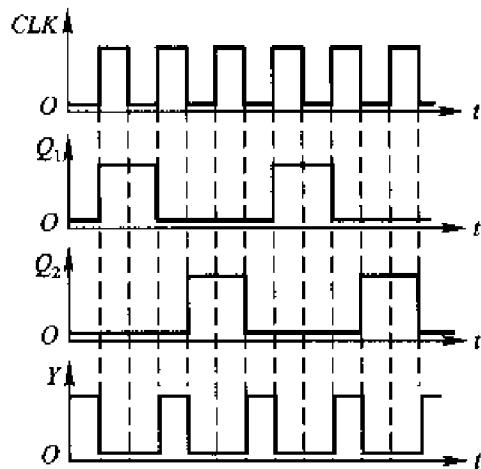


图 A5.23

【题 5.24】 试画出图 P5.24 所示电路输出端 Y 、 Z 的电压波形。输入信号 A 和 CLK 的电压波形如图中所示。设触发器的初始状态均为 $Q = 0$ 。

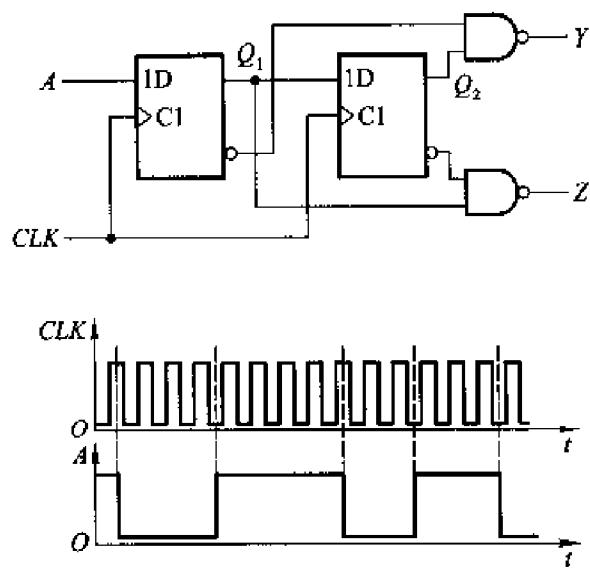


图 P5.24

解：根据给定的 CLK 和 A 的电压波形以及边沿触发 D 触发器的工作特性即可画出 Q_1 端的电压波形。因为两个触发器之间是按移位寄存器接法连接的，所以将 Q_1 的波形右移一个 CLK 时间，就是 Q_2 的电压波形。由图可知

$$Z = (Q_1 Q_2')' ; \quad Y = (Q_1' Q_2)'$$

从得到的 Q_1 、 Q_2 波形就得到了图 A5.24 中 Z 和 Y 的电压波形。

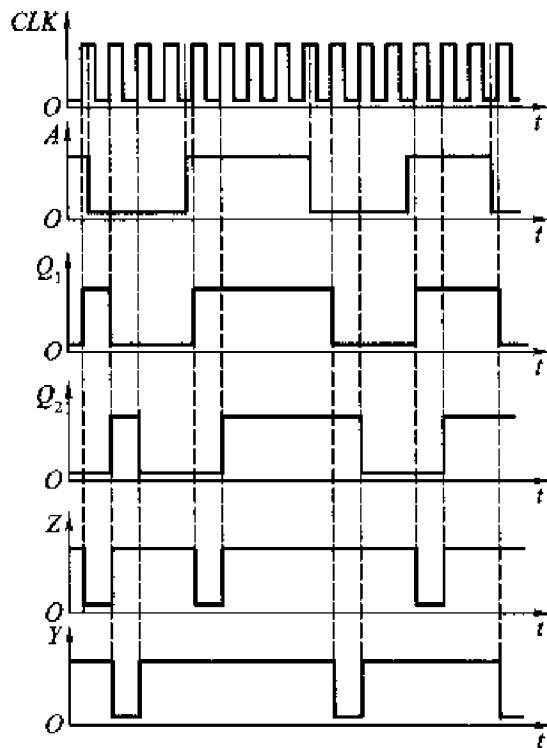


图 A5.24

【题 5.25】 试画出图 P5.25 电路输出端 Q_2 的电压波形。输入信号 A 和 CLK 的电压波形与上题相同。假定触发器为主从结构, 初始状态均为 $Q = 0$ 。

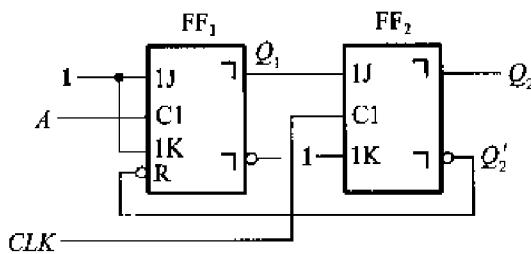


图 P5.25

解: 当 A 变为高电平时 FF_1 的主触发器被置 1, A 回到低电平后从触发器置 1, 使 $Q_1 = 1$ 。随后到来的 CLK 下降沿使 FF_2 置 1, Q'_2 变为低电平, 于是又将 FF_1 置 0。下一个 CLK 信号到达后, FF_2 被置 0, 电路又返回开始时的 $Q_1 = Q_2 = 0$ 状态。由此画得 Q_2 的电压波形如图 A5.25 所示。

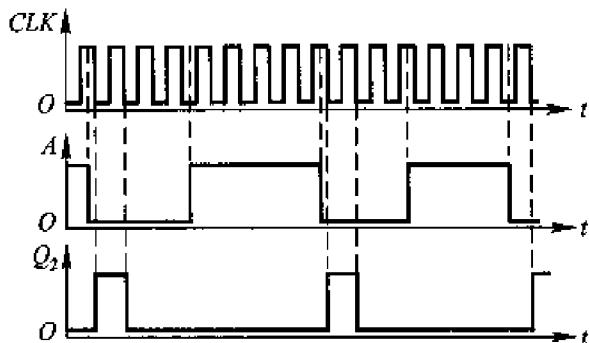


图 A5.25

【题 5.26】 试画出图 P5.26 电路在一系列 CLK 信号作用下 Q_1 、 Q_2 、 Q_3 端输出电压的波形。触发器均为边沿触发方式, 初始状态为 $Q = 0$ 。

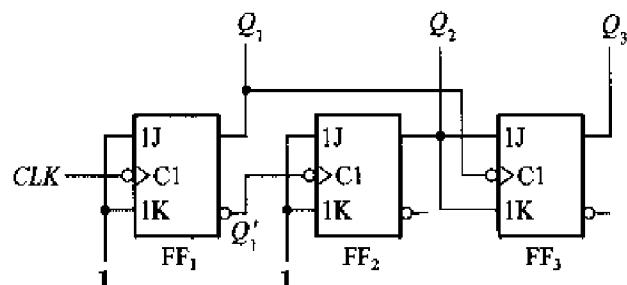


图 P5.26

解: 因为 FF_1 和 FF_2 接成了 $T = 1$ 状态, 所以每当它们的时钟信号下降沿到来时都要翻转, 即 $Q' = Q'$ 。据此便可画出 Q_1 、 Q_2 的波形了。而 FF_3

的输入为 $J = K = Q_2$ ，所以当 $Q_2 = 1$ 时， FF_3 有时钟信号到达则状态翻转；而 $Q_2 = 0$ 时即使有时钟信号到来， FF_3 状态也不改变。 FF_3 的时钟信号取自 Q_1 ，由此便可画出 Q_3 的电压波形了。 Q_1 、 Q_2 、 Q_3 的电压波形如图 A5.26 所示。

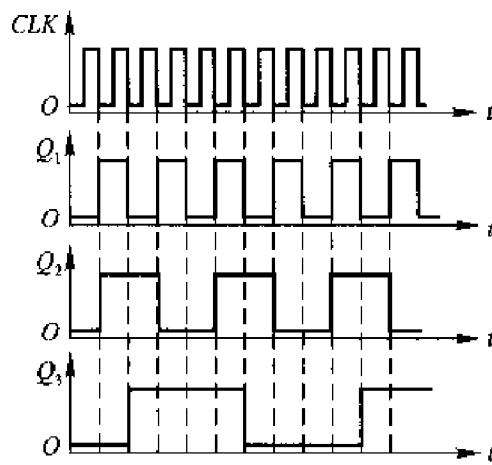


图 A5.26

【题 5.27】 试画出图 P5.27 电路在图中所示 CLK 、 R'_D 信号作用下 Q_1 、 Q_2 、 Q_3 的输出电压波形，并说明 Q_1 、 Q_2 、 Q_3 输出信号的频率与 CLK 信号频率之间的关系。

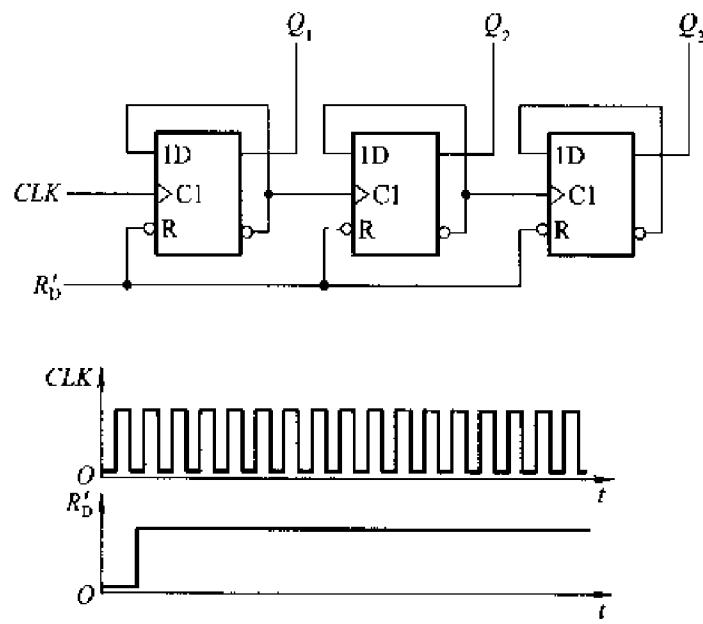


图 P5.27

解：由于每个触发器都接成了 $D = Q'$ ，所以 $Q' = Q'$ ，即每次时钟到来后都要翻转，这样就得到了图 A5.27 的波形图。由图可见，若输入的 CLK 频率为 f_0 ，则 Q_1, Q_2, Q_3 输出脉冲的频率依次为 $\frac{1}{2}f_0, \frac{1}{4}f_0, \frac{1}{8}f_0$ 。

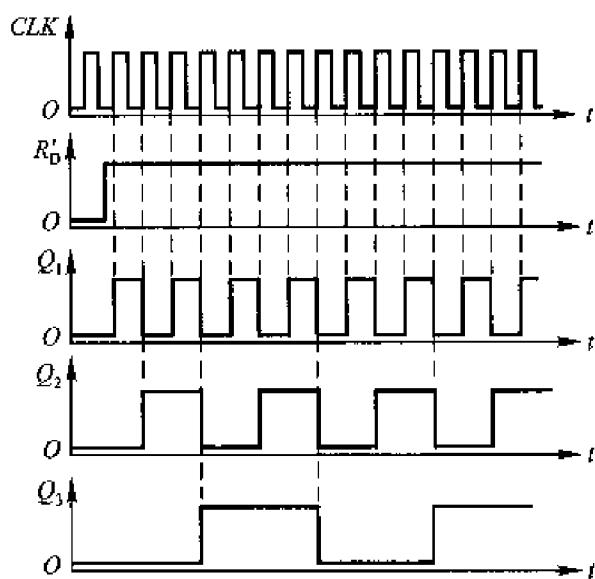


图 A5.27

【题 5.28】 设计一个 4 入抢答逻辑电路。具体要求如下：

- (1) 每个参赛者控制一个按钮，用按动按钮发出抢答信号。
- (2) 竞赛主持人另有一个按钮，用于将电路复位。
- (3) 竞赛开始后，先按动按钮者将对应的一个发光二极管点亮，此后其他 3 人再按动按钮对电路不起作用。

解：见图 A5.28。图中 A, B, C, D 四个按钮各由一名参赛者控制，按钮 J 由主持人控制。

当 A, B, C, D 任何一个按钮首先按下时，对应的触发器被置 1，这个触发器的 Q' 端随之变为低电平，将与非门 G 封锁，其余的触发器不再有 CLK 信号输入，不可能置 1 了。

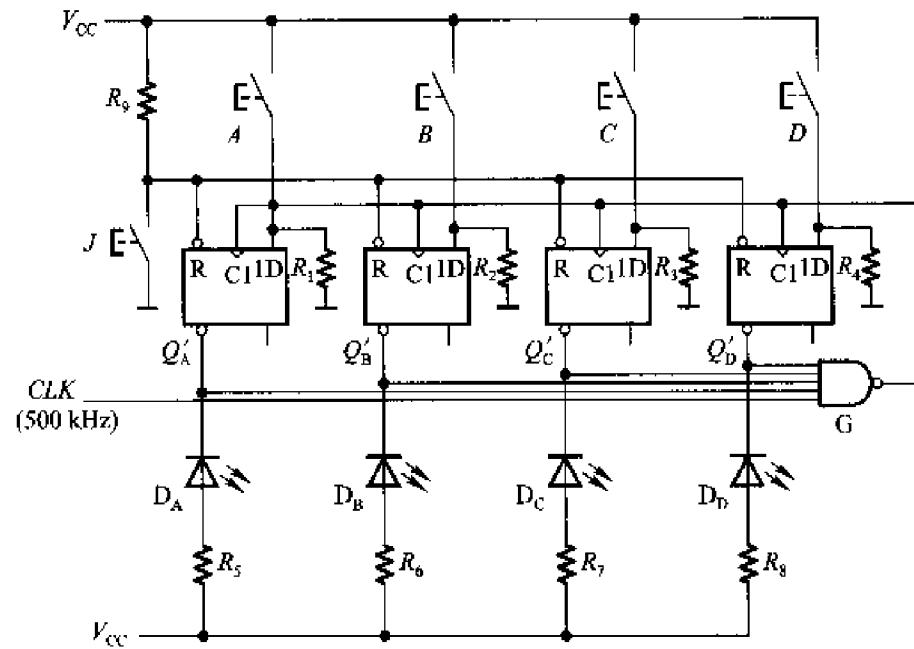


图 A5.28

第六章

时序逻辑电路

6.1 本章习题类型与解题方法

本章的习题首先可以分为时序逻辑电路的分析和时序逻辑电路的设计两大类。在时序逻辑电路分析的题目中又分为两种类型,一种类型是分析由触发器和门电路组成的时序逻辑电路,另一种类型是分析由中规模集成的时序逻辑电路模块为核心组成的时序逻辑电路。这两种电路的分析方法是不同的。在时序逻辑电路设计的题目中同样也有两种类型,一种类型是用触发器和门电路进行设计,另一种类型是用中规模集成的时序逻辑电路模块为核心器件进行设计。这两类设计题目设计方法也不一样。

一、分析由触发器和门电路组成的时序逻辑电路

虽然逻辑图本身也是逻辑功能的一种描述方式,但是它往往不能比较直观地表示出电路的功能,这一点在时序逻辑电路中尤为突出。因此,我们经常需要把它的逻辑功能用逻辑方程、状态转换表、状态转换图、波形图等比较直观的形式表示出来,这就是我们这里所说的时序逻辑电路的分析。

解题方法和步骤:

(1) 写出存储电路中每个触发器的驱动方程(即触发器输入信号的逻辑函数式)。这些驱动方程组成了电路的驱动方程组。

(2) 将驱动方程代入触发器的特性方程,得到每个触发器的状态方程。这些状态方程组成电路的状态方程组。

(3) 从逻辑图直接写出电路的输出方程。

(4) 为了显示电路的全部工作过程,可进一步求出电路的状态转换表,并可从状态转换表画出状态转换图或时序图。

为此,可取任何一组输入变量取值和电路的状态为初始状态代入状态方程和输出方程,求出各态下的输出和电路的次态。再以得到的次态作为初态,和这

时的输入变量取值代入状态方程和输出方程,求出出现态下的输出和电路的次态。如此继续做下去,求出以电路所有的状态为初态时的计算结果。将计算结果依次列表,就得到了状态转换表。

以上是通用的分析方法,它适用于任何由触发器和门电路组成的时序逻辑电路。但这并不等于说在分析一些逻辑功能很简单的电路时也必须遵循上述步骤按部就班地进行。例如在分析移位寄存器的逻辑功能时,我们知道每个触发器的次态就是前一级触发器现在的状态,据此直接就能画出电路的状态转换图了。

【例 6-1】 试分析图 6-1 给出的时序逻辑电路,画出电路的状态转换图,说明电路能实现什么功能。

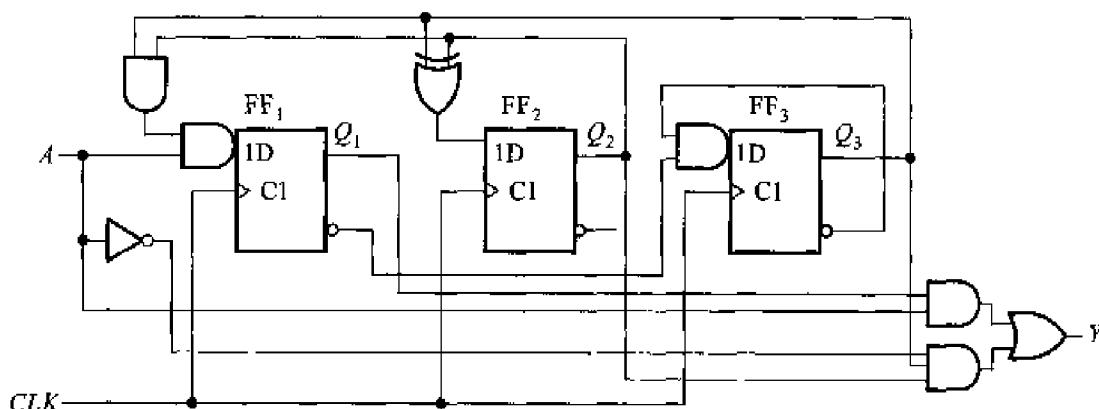


图 6-1 例 6-1 的逻辑电路

解: 由给出的逻辑图得到电路的驱动方程组为

$$\begin{cases} D_1 = A Q_2 Q_3 \\ D_2 = Q_2 \oplus Q_3 \\ D_3 = Q'_1 Q'_3 \end{cases} \quad (6-1)$$

将上式代入 D 触发器的特性方程后得到

$$\begin{cases} Q'_1 = A Q_2 Q_3 \\ Q'_2 = Q_2 \oplus Q_3 \\ Q'_3 = Q'_1 Q'_3 \end{cases} \quad (6-2)$$

由图写出输出方程为

$$Y = A Q_1 + A' Q_2 Q_3 \quad (6-3)$$

根据式(6-2)和式(6-3)分别计算出当 $A = 1$ 和 $A = 0$ 时 $Q_1 Q_2 Q_3$ 的次态 $Q'_1 Q'_2 Q'_3$ 和现态下的输出 Y ,然后列表,就得到了表 6-1 的状态转换表。将状态转换表的内容画成状态转换图,就得到了图 6-2 的状态转换图。

表 6-1 例 6-1 电路的状态转换表

$Q_1 Q_2 Q_3$	000	001	010	011	100	101	110	111
$Q_1 Q_2 Q_3 / Y$								
A								
0	001/0	010/0	011/0	000/1	000/0	010/0	010/0	000/1
1	001/0	010/0	011/0	100/0	000/1	010/1	010/1	100/1

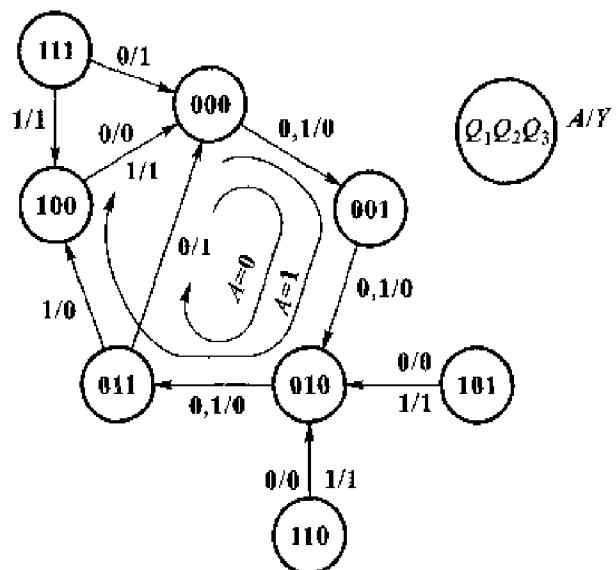


图 6-2 例 6-1 电路的状态转换图

从状态转换图可以看出,当 $A = 1$ 时,图 6-1 电路可作为五进制计数器用;而当 $A = 0$ 时,该电路可作为四进制计数器使用。而且,无论在 $A = 1$ 还是在 $A = 0$ 状态下,这个电路都能自启动(即在时钟信号操作下自动进入有效循环中去)。

二、分析由中规模集成时序逻辑电路组成的时序电路

解题方法和步骤：

(1) 首先必须弄清每个中规模集成电路的逻辑功能。

中规模集成电路的逻辑功能一般都用功能表或者时序图再附加文字说明给出。

对于带有附加控制端的集成电路,除了给出正常工作状态下电路的逻辑功能以外,还必须给出这些附加控制端的作用和用法。

(2) 根据给定的功能表和电路具体的连接情况,确定每个集成电路所处的工作方式,进而找出电路状态的转换顺序和相应的输出(必要时可以画出状态转换图)。

(3) 在多芯片组成的逻辑电路中,还要分析各芯片输出与输入之间的关系。

最后得到整个电路的输出与输入间的逻辑关系。

【例 6-2】试分析图 6-3 电路的逻辑功能。741S161A 是同步十六进制计数器。在 TI 公司的数据手册中,它的逻辑功能是用图 6-4 的时序图给出的。

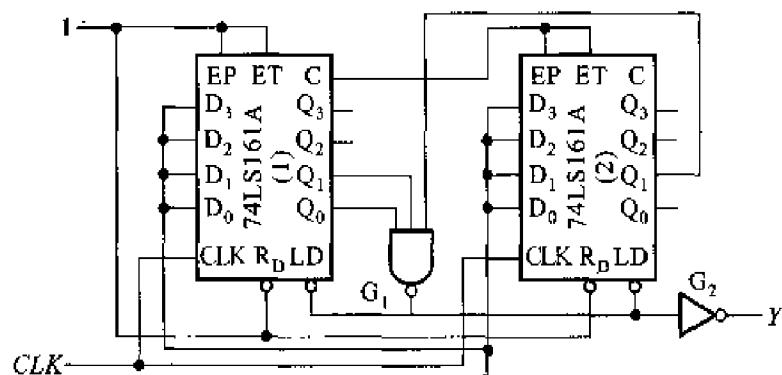


图 6-3 例 6-2 的电路

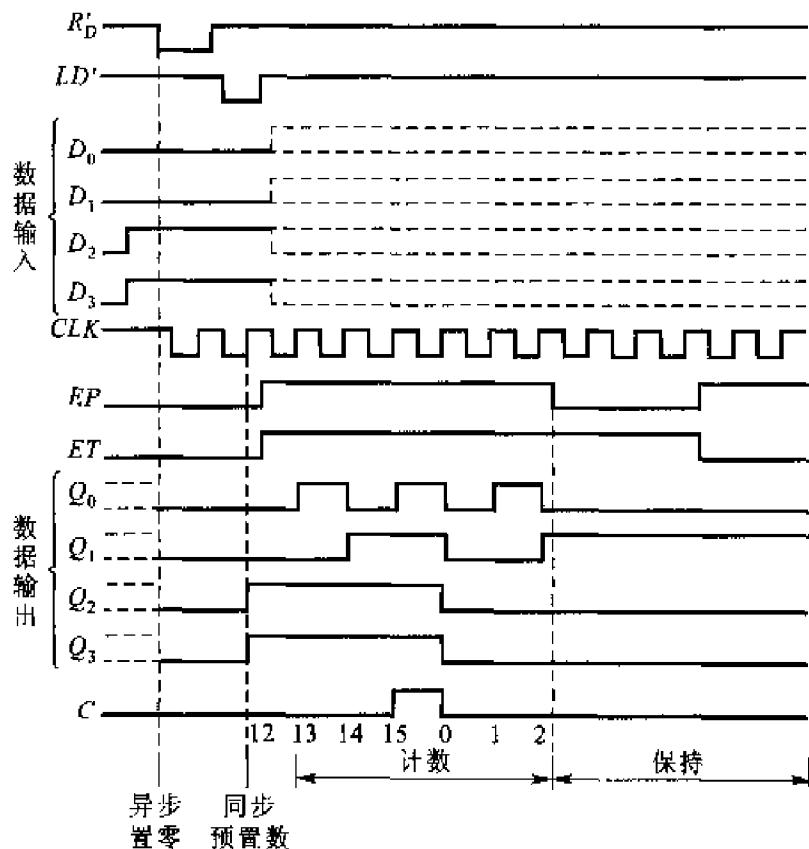


图 6-4 74LS161A 的时序图

解：从图 6-4 的时序图中可以看到，当附加控制端 EP 、 ET 、 LD' 、 R'_D 的输入信号为不同状态时电路所处的工作模式：

当 $R'_b = 0$ 的信号到来时, $Q_3Q_2Q_1Q_0$ 立刻被置成 **0000** 状态, 与其他输入端的状态无关。 R'_b 称为异步置零输入端。

当 $LD' = 0$ 的信号到来以后, 要等到下一个 CLK 上升沿到达才将 $D_3D_2D_1D_0$ 的 **1100** 状态置入, 使 $Q_3Q_2Q_1Q_0 = 1100$ 。 LD' 称为同步预置数输入端。

当 R'_b, LD', EP, ET 均处于高电平以后, $Q_3Q_2Q_1Q_0$ 的状态便随着 CLK 脉冲的连续输入而按 $12 \rightarrow 13 \rightarrow 14 \rightarrow 15 \rightarrow 0 \rightarrow 1 \rightarrow 2$ 的顺序计数, 并在计成 15 时产生进位输出信号 C 。

当 EP 或 EP 任何一个变成低电平以后, 计数器便保持原来的状态, 不再继续计数了。

根据以上的分析, 就得到了表示 74LS161A 逻辑功能的功能表, 如表 6-2 所示。有时也直接给出这个功能表, 根据这个功能表也可以画出图 6-4 的时序图。此外, 由于已知 74LS161A 是十六进制计数器, 所以就等于说明了它的状态 $(Q_3Q_2Q_1Q_0)$ 转换顺序是 $\underset{(0)}{0000} \rightarrow \underset{(1)}{0001} \rightarrow \underset{(2)}{0010} \rightarrow \cdots \rightarrow \underset{(15)}{1111} \rightarrow \underset{(0)}{0000}$, 即按二进制数递增计数。

表 6-2 74LS161A 的功能表

CLK	R'_b	LD'	EP	ET	工作模式
\times	0	\times	\times	\times	异步置零
\uparrow	1	0	\times	\times	预置数
\times	1	1	0	1	保持
\times	1	1	\times	0	保持($C = 0$)
\uparrow	1	1	1	1	计数

由图 6-3 可见, 第(1)片 74LS161A 的 EP 和 ET 始终为 1, 所以只要 LD' 和 R'_b 处在高电平, 它始终工作在计数模式。而第(2)片 74LS161A 的 EP 和 ET 信号取自第(1)片的进位输出 C , 所以只有当第(1)片 74LS161A 计到 15 以后, 第(2)片 74LS161A 才进入计数模式(而且必须是在 $LD' = 1, R'_b = 1$ 的情况下)。在此之前因为第(2)片 74LS161A 的 $EP = ET = 0$, 所以它工作在保持模式。

当连续输入 CLK 脉冲时, 设第(1)片 74LS161A 从 **0000** 开始计数, 则每计到 15 时 C 端输出变成高电平, 下一个 CLK 上升沿到达后第(2)片 74LS161A 记入 1, 第(1)片 74LS161A 返回 **0000** 状态, 重新从 0 开始计数。因此从第(1)片的 CLK 脉冲输入到进位信号 C 的输出, 是十六进制。当第(2)片 74LS161A 记为 2、第(1)片记为 3 时, 说明已经输出 $16 \times 2 + 3 = 35$ 个时钟脉冲。这时与非门 G_1 输出变为低电平, 使两片计数器同时处于 $LD' = 0$ 的状态。不过这时 $D_0 \sim D_3$ 的数据并未被置入。等到第 36 个时钟脉冲的上升沿到达时, 两片的并行数据输入

端 $D_0 \sim D_3$ 的 0000 被同时置入,于是它们同时返回到 0000 状态。因此这是一个三十六进制进数器,而不是三十五进制计数器。

这里要特别提醒注意的一点是 LD' 和 R'_0 信号从起作用的时间上有同步和异步之分。本例中 74LS161A 的 LD' 是同步预置数信号,也就是说 LD' 信号的预置数是在时钟信号操作下进行的。从图 6-4 的时序图中可以看到,在 LD' 变为低电平以后, $D_0 \sim D_3$ 的数据还不能立刻被置入,要等下一个 CLK 脉冲的上升沿到达时,才能置入数据。

但是也有一些计数器芯片是采用异步预置数的(例如同步十六进制加/减计数器 74LS191)。在这一类计数器中,只要 LD' 变为低电平, $D_0 \sim D_3$ 的数据便立刻被置入计数器中,而不受 CLK 信号控制。如果在图 6-3 电路中改用异步预置数的计数器,那么这个电路将是三十五进制计数器,而不是三十六进制。

不同计数器芯片的置零信号也有同步置零和异步置零两种工作方式。同步置零信号 R' 变为低电平以后,并不能立刻将计数器置零,要等到下一个时钟信号到达后才能将计数器置零。而异步置零信号 R'_0 一旦变为低电平便立刻将计数器置零,与 CLK 信号无关。74LS161A 就属于异步置零方式。

三、用触发器和门电路设计时序逻辑电路

设计方法和步骤:

(1) 逻辑抽象,得到电路的状态转换图或状态转换表。

① 确定输入变量、输出变量和电路应有的状态数。通常都是以事件的原因作为输入变量,以事件的结果作为输出变量。电路的状态数应包括事件发生的全部过程中所有可能出现的状态数。

② 定义输入、输出逻辑状态(0 和 1)以及每个电路状态所代表的物理意义,并将电路状态编码。

③ 找出每个电路状态在不同输入条件下产生的输出和电路的次态,这样就可以画出电路的状态转换图或列出状态转换表了。

(2) 状态化简。

若两个状态在相同输入下有相同的输出,而且转向同样的次态,则这两个状态为等价状态。等价状态是重复的,可以合并,以减少电路的状态数。

(3) 状态分配。

① 计算存储器中触发器应有的数目。因为电路的状态是用存储电路中触发器状态的不同组合表示的,所以首先必须算出触发器应有的数目。若电路的状态数为 M ,则由于 n 个触发器可以产生 2^n 个状态组合,故应当取

$$2^{n-1} < M \leq 2^n \quad (6-4)$$

② 给每个电路状态规定一个对应的代码。由于存储电路中触发器的每一组状态组合都组成一组二进制代码,所以我们在规定每个电路状态对应的触发

器状态组合时,也就等于给它规定了一个代码。

(4) 选定触发器逻辑功能的类型,求出电路的状态方程、驱动方程和输出方程。

在讨论触发器逻辑功能的分类时我们曾经讲过,不同逻辑功能的触发器在输入的给出方式以及次态随输入和现态变化的规则是有区别的。不难想象,采用不同逻辑功能的触发器所设计出来的电路也是不一样的。因此,在设计具体电路前必须选定触发器逻辑功能的类型。

选定触发器类型以后,根据已经得到的状态转换图和状态编码,可以画出表示电路次态和输出的卡诺图,并进而从卡诺图写出状态方程和输出方程,再从状态方程找出驱动方程。

(5) 根据得到的方程组画出对应的逻辑图。

(6) 检查所设计的电路能否自启动。

当存储电路的全部状态数(也就是触发器所有的状态组合数)大于描述时序电路工作过程所需要的状态数时(即式(6-4)中 $2^n > M$),必然存在着没有利用的状态。这些状态称为无效状态。

在刚一接通电源或者存在外界干扰的情况下,电路可能会进入某个无效状态。如果在时钟信号作用下,电路最终能够进入有效状态,则这个电路就是能自启动的。反之,如果电路一旦进入无效状态后,在时钟信号作用下始终不能进入有效状态,它就是不能自启动的。

当然,假若存储电路的全部状态数和描述电路工作过程所需要的状态数相等($2^n = M$),将不存在无效状态,自然也就不存在电路不能自启动的问题了。

【例 6-3】 设计一个咖啡产品包装线上用的检测逻辑电路。正常工作状态下,传送带顺序送出成品,每三瓶一组,装入一个纸箱中,如图 6-5 所示。每组含两瓶咖啡和一瓶咖啡伴侣,咖啡的顶盖为棕色,咖啡伴侣顶盖为白色。要求在传送带上的产品排列次序出现错误时逻辑电路能发出故障信号,同时自动返回初始状态。

解:首先需要得到区别两种瓶盖颜色的信号。例如可以采用光电检测电路,利用棕、白两色瓶盖对入射光的反射率不同,在光电接收器的输出得到两种不同的输出信号。假定检测到棕色瓶盖时输出为 $A = 1, B = 0$,检测到白色瓶盖时输出为 $A = 0, B = 1$ 。没有检测到瓶盖时,光电检测器接收不到反射光, $A = 0, B = 0$ 。

1. 进行逻辑抽象

以检测到不同颜色瓶盖的信号为输入变量,用 $A = 1$ 表示棕色,用 $B = 1$ 表示白色。以故障为输出变量,用 Y 表示,工作正常时 $Y = 0$,有错误时 $Y = 1$ 。

设电路的初始状态为 S_0 ,输入一个 $A = 1$ 以后的状态为 S_1 ,连续输入两个 $A = 1$ 以后的状态为 S_2 。如果已经进入了 S_2 ,则根据下一个输入的状态就能决定

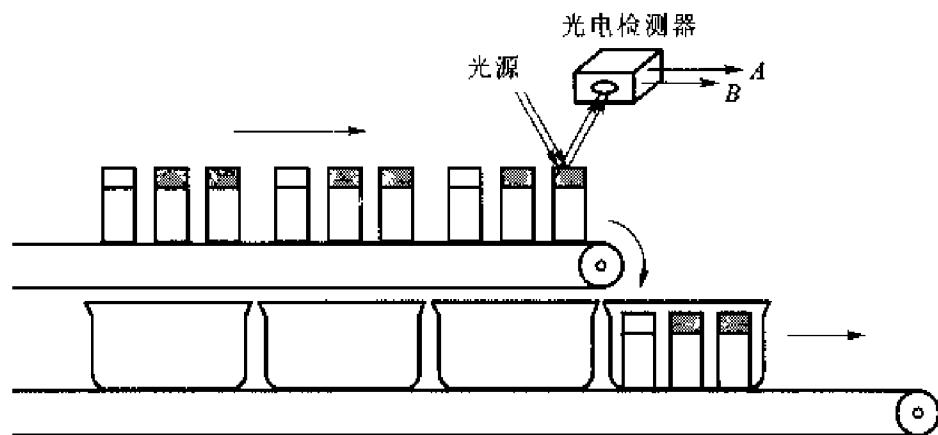


图 6-5 产品包装生产线示意图

输出的状态了,而且无论输出是 1 还是 0,电路都返回初始状态。因此,电路的状态数取 3 就够了。

当电路处于初始状态 S_0 时,若 $AB = 00$,则 $Y = 0$,时钟信号到达时保持 S_0 状态不变;若 $AB = 10$,则 $Y = 0$,时钟信号到达时转入次态 S_1 ;若 $AB = 01$,则 $Y = 1$,时钟信号到达时保持 S_0 状态不变。

当电路处于 S_1 状态时,若 $AB = 00$,则 $Y = 0$,时钟信号到达时保持 S_1 状态不变;若 $AB = 10$,则 $Y = 0$,时钟信号到达时转入次态 S_2 ;若 $AB = 01$,则 $Y = 1$,时钟信号到达时返回 S_0 状态。

当电路处于 S_2 状态时,若 $AB = 00$,则 $Y = 0$,时钟信号到达时保持 S_2 状态不变;若 $AB = 10$,则 $Y = 1$,时钟信号到达时电路返回 S_0 状态;若 $AB = 01$,则 $Y = 0$,时钟信号到达时电路返回 S_0 状态。

根据以上对电路工作过程的分析,我们就得到了如图 6-6 所示的状态转换图。

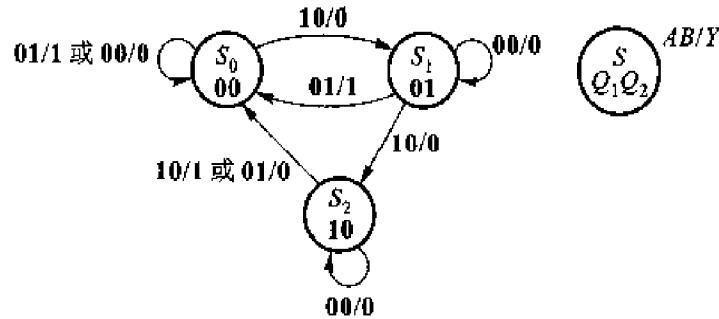


图 6-6 例 6-3 电路的状态转换图

2. 状态化简

由图 6-6 的状态转换图可以看到, 图中不存在等价状态, 所以已不能化简。

3. 状态分配

为了得到 3 个状态, 需要用两个触发器。设两个触发器的输出为 Q_1 和 Q_0 , 这里取 $Q_1Q_0 = 00$ 为 S_0 , $Q_1Q_0 = 01$ 为 S_1 , $Q_1Q_0 = 10$ 为 S_2 。

4. 选定触发器逻辑功能的类型, 求出电路的状态方程、驱动方程和输出方程

我们选定 D 触发器组成这个时序电路。

根据图 6-6 的状态转换图和所取的状态编码, 即可得到图 6-7 中表示 Q_1^* 、 Q_0^* 和 Y 作为 Q_1Q_0 、 AB 的逻辑函数的卡诺图。从中分解出 Q_1^* 、 Q_0^* 和 Y 的卡诺图, 分别化简得到状态方程和输出方程为

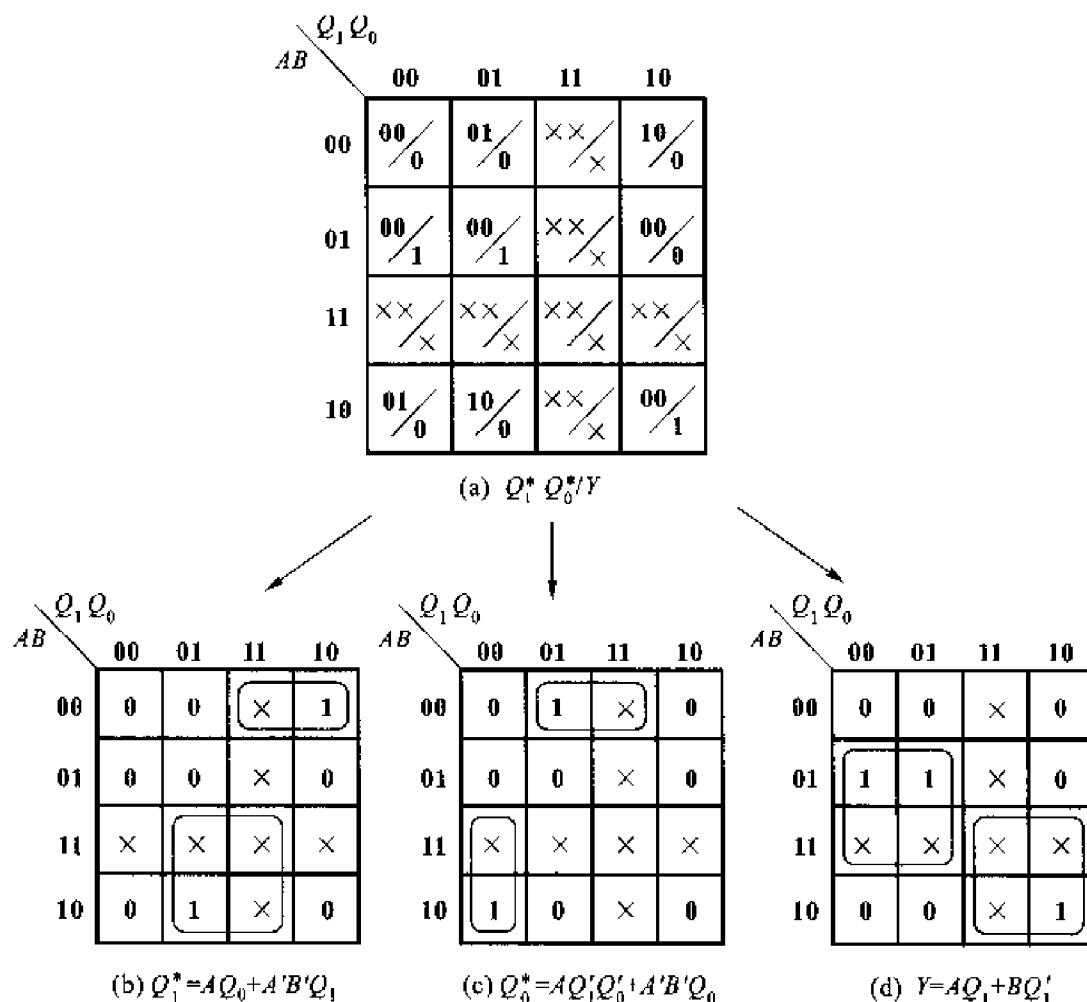


图 6-7 例 6-3 电路的卡诺图

$$\begin{cases} Q_1^* = A Q_0 + A' B' Q_1 \\ Q_0^* = A Q_1' Q_0' + A' B' Q_0 \end{cases} \quad (6-5)$$

$$Y = A Q_1 + B Q_1' \quad (6-6)$$

又知 D 触发器的特性方程为 $Q^* = D$, 于是得到电路的驱动方程

$$\begin{cases} D_1 = Q_1^* = A Q_0 + A' B' Q_1 \\ D_0 = Q_0^* = A Q_1' Q_0' + A' B' Q_0 \end{cases} \quad (6-7)$$

5. 根据式(6-6)和式(6-7)画出逻辑电路图, 如图 6-8 所示。

6. 检查所设计的电路能否自启动

因为存在无效状态 $Q_1 Q_0 = 11$, 所以需要检查一下电路进入这个状态后能否在时钟信号作用下进入有效状态。以 $Q_1 Q_0 = 11$ 为初态, 将 AB 取值分别为 **00**、**01**、**10** 代入式(6-5)和式(6-6)计算相应的次态和输出, 结果如表 6-3 所示。

表 6-3 图 6-8 电路初态为 $Q_1 Q_0 = 11$ 时的次态和输出

AB	00	01	10
$Q_1^* Q_0^* / Y$	11/0	00/0	10/1

将 $Q_1 Q_0 = 11$ 的状态补进图 6-6 的状态转换图以后, 就得到了图 6-9 所示完整的状态转换图。可以看出, 这个电路是能够自启动的。为了保证系统正确工作, 可以设置一个异步置零按钮 AN (如图 6-8 中所示)。在开始工作时预先按动这个按钮, 就能保证电路一定是从 $Q_1 Q_0 = 00$ 开始工作。

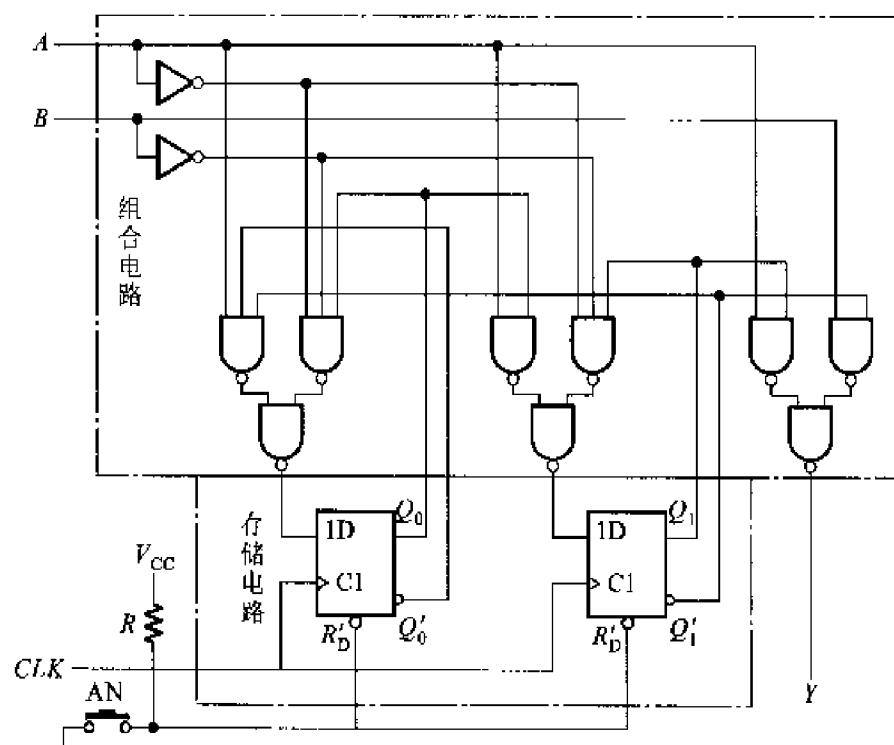


图 6-8 例 6-3 的逻辑电路

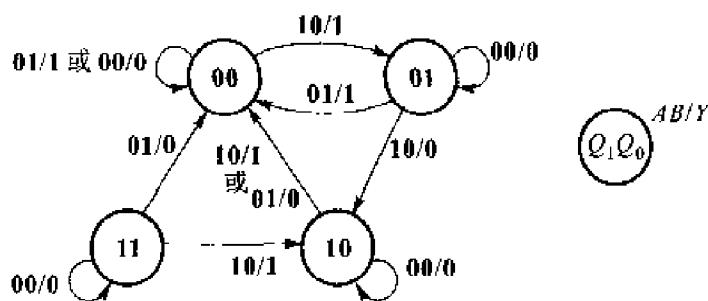


图 6-9 图 6-8 电路完整的状态转换图

四、用中规模集成的计数器设计任意进制计数器

在常用的中规模集成时序逻辑电路一节中,我们重点介绍了最常用的两种器件——移位寄存器和计数器。移位寄存器的用法比较简单,不再作进一步讲解。这里只重点总结、归纳一下用中规模集成的计数器构成任意进制计数器的方法和应注意的问题。

解题方法和步骤:

若已有 N 进制中规模集成的计数器,需要设计一个 M 进制计数器,这时可能遇到两种情况,即 $N > M$ 和 $N < M$ 。

1. $N > M$ 的情况

只要设法在 N 进制计数器的计数过程中跳过 $N - M$ 个状态就可以了。跳过 $N - M$ 个状态的方法有两种:

① 置零法

置零法的基本原理是当计数器从全 0 状态(计数器中所有的触发器都是 0 状态)开始计数,经过 $M - 1$ 个状态以后,设法产生一个置零信号,使计数器的下一个状态返回全 0 状态,这样就跳过了 $N - M$ 个状态,从而得到了 M 进制计数器。

采用置零法时有两点需要特别注意,否则解题时很容易发生错误,这就是:

第一,对于异步置零方式和同步置零方式的器件,置零信号的产生方法是不同的。

例如我们用图 6-10(a)中的同步十进制加法计数器 74LS160 构成一个七进制计数器。如果采用置零法,则由图 6-10(b)中可知,应使计数器在计数过程中从 S_6 状态跳过 $S_7 \sim S_9$ 状态回到 S_6 。由于 R'_D 是异步置零输入端,所以只要 R'_D 变为低电平,计数器便立刻被置为 S_6 状态。这时必须用 S_7 状态译出 R'_D 信号,如图所示。因为计数器一旦进入 S_7 状态使 R'_D 变为低电平后,计数器立即被置零, S_7 状态马上又消失了,所以 S_7 状态只在这个极短的过渡过程中出现,而不存在于稳定的状态循环中,如图中虚线箭头所表示的那样。

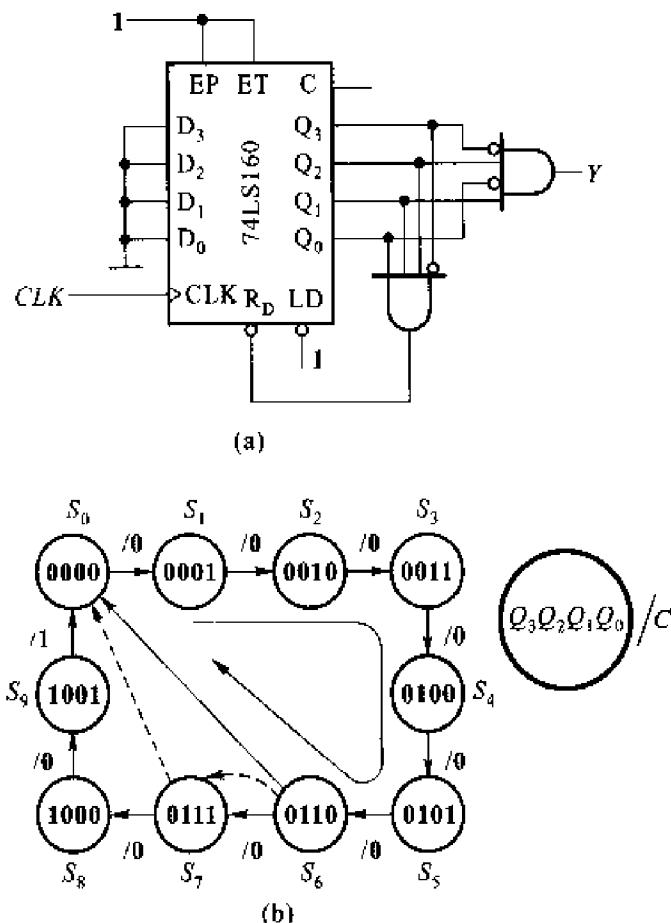


图 6-10 用置零法设计的七进制计数器

如果使用 R'_D 是同步置零输入端的计数器(例如 74LS162), 则 R'_D 变为低电平以后计数器并不能立刻被置零, 还要等到下一个 CLK 上升沿到达时计数器才会被置零, 因而 S_9 状态也是稳定的状态循环中的一个状态, 这时图 6-10(a)的接法就不是七进制计数器而是八进制计数器了。为了得到七进制计数器, 这时应从 S_6 状态译出 R'_D 信号。

第二, 由图 6-10(b) 的状态转换图中可以看到, 当电路进入 S_9 状态时才有进位输出, 即 $C = 1$, 而现在修改后的七进制计数器的状态循环中不包含 S_9 状态, 所以 C 端的输出始终是 0。因此, 需要另外译出进位输出信号。例如可以从 S_6 状态译出进位输出信号 Y , 如图中所示。

② 置数法

置数法的基本原理是这样的: 在已有 N 进制计数器的状态循环中, 取任意一个状态为起始状态开始计数, 经过 $M - 1$ 个状态以后, 设法产生一个预置数信号, 将计数器重新置为起始状态, 这样就跳过了 $N - M$ 个状态而得到了 M 进制计数器。

例如我们用图 6-11(a) 中的同步十六进制计数器 74LS161A 设计一个十二进制计数器时, 如果用置数法, 则可以有多种跳越四个状态而得到十二进制计数器的方法。

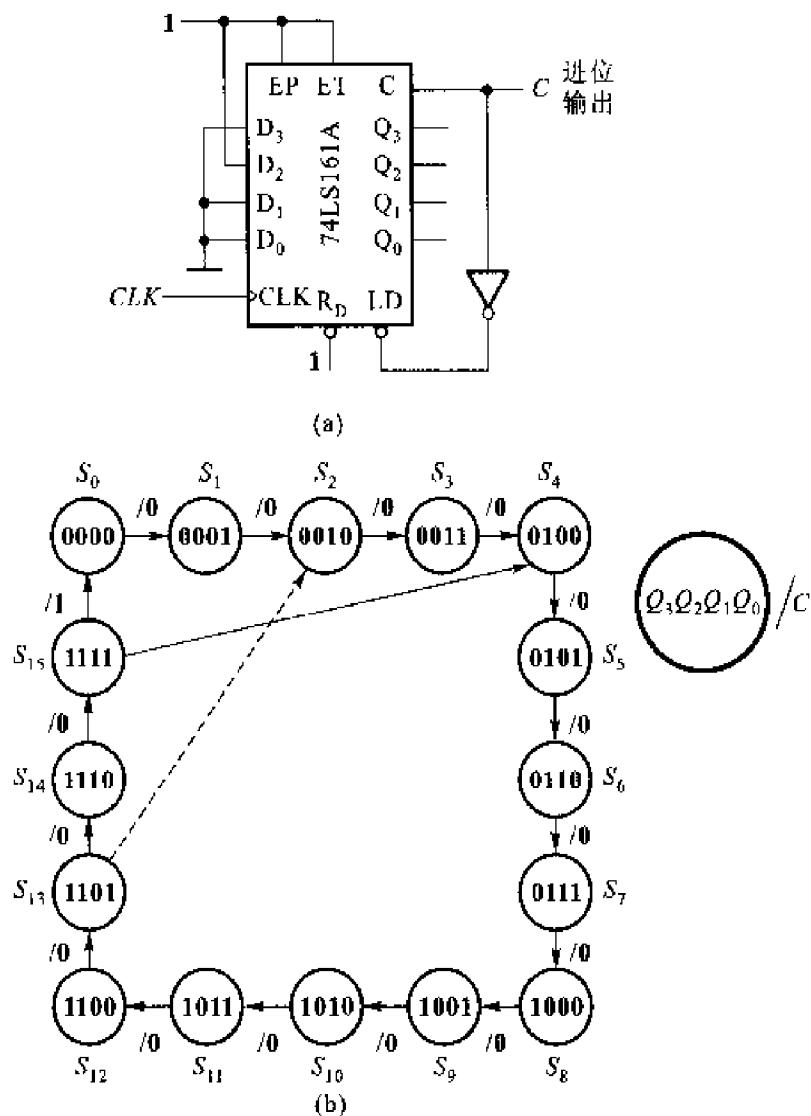


图 6-11 用置数法设计十二进制计数器

例如以图 6-11(b) 中的 S_4 为起始状态, 当电路进入 S_{15} 状态后进位输出端 C 变为高电平, 将它反相后, 加到 LD' 端 (如图 6-11(a) 所示), 当下一个时钟信号到来时, 使将 $D_3D_2D_1D_0$ 的 $0\ 100$ 置入计数器中, 计数器跳回起始状态 S_4 ($Q_3Q_2Q_1Q_0 = 0\ 100$)。这样在计数过程中就跳过了 $S_0 \sim S_3$ 这四个状态, 得到了十二进制计数器。

用置数法设计任意进制计数器时同样要特别注意两个问题, 即

第一, 不同类型的计数器当中预置数的操作也有异步和同步之分, 因而产生

预置数信号的方法也是有区别的。例如图 6-11(a)中的 74LS161A 是同步预置数方式,所以当电路进入 S_{15} 状态后,虽然 LD' 立即变成了低电平,但 $D_3D_2D_1D_0$ 的数据并不会立即置入计数器,而是要等到下一个 CLK 的上升沿到达时, $D_3D_2D_1D_0$ 的状态才被置入计数器中,因此, S_{15} 存在于稳定的状态循环中。

如果采用异步预置数方式的计数器(例如 74LS191),则只要 LD' 的低电平一出现, $D_3 \sim D_0$ 的数据便立刻被置入计数器中。若将图 6-11(a)电路中的计数器改为异步预置数的计数器,则 S_{15} 将只在预置数操作的过渡过程中存在,而不存在于稳定的状态循环中,这时电路将变成十一进制计数器。

第二,如果所设计的计数器在计数过程中跳过了产生进位输出的状态,那么进位输出端将没有输出信号,必须另外译出进位输出信号。

例如在图 6-11(a)电路中,进位输出信号是由 S_{15} 状态产生的,因而在接成的十二进制计数器的状态循环中是包含了 S_{15} 这个状态的,所以 C 端有进位输出信号。

如果采用图 6-11(b)中虚线所表示的状态循环设计十二进制计数器,则状态循环中不包含 S_{15} 状态,这时 C 端将没有进位信号输出。

2. $N < M$ 的情况

这时可以用两个(不够时可以用 3 个或者更多个) N 进制计数器串接起来得到一个 $N \times N$ 进制的计数器,使 $N \times N > M$,然后利用置零法或置数法,将这个 $N \times N$ 进制计数器改接为 M 进制计数器。

在 M 可以分解为两个小于 N 的因数 m_1 和 m_2 相乘时,也可以先将两个 N 进制计数器分别改接为 m_1 进制和 m_2 进制的计数器,然后将这两个 m_1 进制计数器和 m_2 进制计数器串接,得到 M 进制计数器。

【例 6-4】 试用同步十进制加法计数器 74LS160 设计一个四十八进制计数器。74LS160 的功能表如表 6-4。

表 6-4 74LS160 的功能表

CLK	R'_D	LD'	EP	ET	工作模式
×	0	×	×	×	异步置零
↑	1	0	×	×	预置数
×	1	1	0	1	保持
×	1	1	×	0	保持($C = 0$)
↑	1	1	1	1	计数

解:此题的设计方案有多种可供选择

图 6-12 电路是先将两片 74LS160 串接成 $10 \times 10 = 100$ 进制的计数器,然

后采用整体预置数的方法组成的四十八进制计数器。第(1)片与第(2)片 74LS160 之间是十进制,每当第(1)片计为 9 时,它的进位输出端 C 出现高电平,使第(2)片的 EP 和 ET 为 1,处于计数状态,下个 CLK 到达时第(2)片计入 1,第(1)片回到 0。如果从 0 开始计数,在输入 47 个 CLK 脉冲以后第(1)片计成 7、第(2)片计成 4 时,两个 74LS160 的 LD' 同时处于低电平,当第 48 个 CLK 脉冲到达后两个 74LS160 同时被置成 0 状态,所以图 6-12 电路是四十八进制计数器。

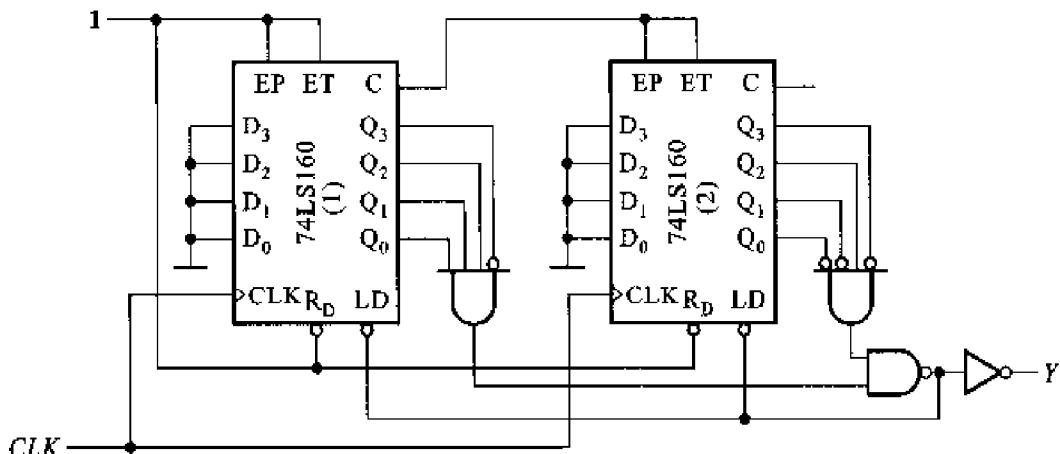


图 6-12 例 6-4 的电路方案之一

由于电路进入 47 状态时高位片(2)的 C 端没有进位输出信号,所以进位输出信号应从 LD' 端经反相器由 Y 端给出。每当计数器计成 47 时 $Y=1$,第 48 个 CLK 脉冲到达后 Y 回到低电平,同时计数器返回零状态。

图 6-13 是另一种方案。在这个电路中,第(1)片 74LS160 用同步预置数

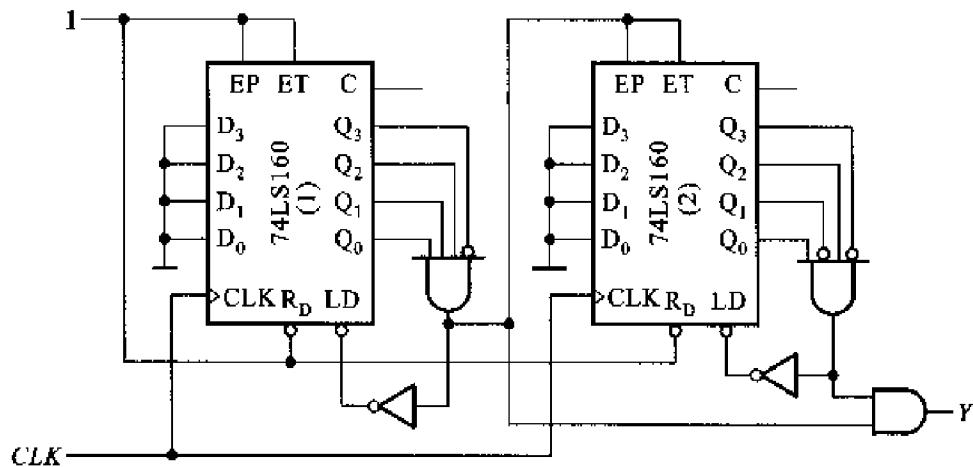


图 6-13 例 6-4 的电路方案之二

方法接成了八进制计数器, 第(2)片 74LS160 用同步预置数的方法接成了六进制计数器。两片之间的进位关系是八进制。如果从全 0 开始计数, 当第(2)片计成 5、第(1)片计成 7 时两个 74LS160 的 LD' 同时变为低电平。这时电路已经输入了 $8 \times 5 + 7 = 47$ 个 CLK 脉冲, 进位输出 Y 变为高电平。等到第 48 个 CLK 脉冲到达后, 两个 74LS160 同时被置成 0, 返回起始状态, Y 回到低电平。可见, 这个电路同样也是四十八进制计数器。

只要对计数的状态循环中选用哪些状态不加限制, 对采用置零法和预置数法也没有规定, 那么设计的方案将是很的多的。

6.2 习题解答

【题 6.1】 分析图 P 6.1 时序电路的逻辑功能, 写出电路的驱动方程、状态方程和输出方程, 画出电路的状态转换图和时序图。

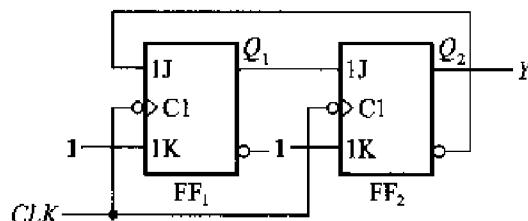


图 P 6.1

解: 从给定的电路写出它的驱动方程为

$$\begin{cases} J_1 = Q_2' & K_1 = 1 \\ J_2 = Q_1 & K_2 = 1 \end{cases}$$

将上述驱动方程代入 JK 触发器的特性方程 $Q^* = JQ' + K'Q$, 得到电路的状态方程

$$\begin{cases} Q_1^* = Q_1'Q_2' \\ Q_2^* = Q_1Q_2' \end{cases}$$

输出方程为

$$Y = Q_2$$

根据状态方程和输出方程画得的状态转换图和时序图如图 A 6.1 所示。

【题 6.2】 分析图 P 6.2 时序电路的逻辑功能, 写出电路的驱动方程、状态方程和输出方程, 画出电路的状态转换图, 并说明该电路能否自启动。

解: 由给定的电路图写出驱动方程为

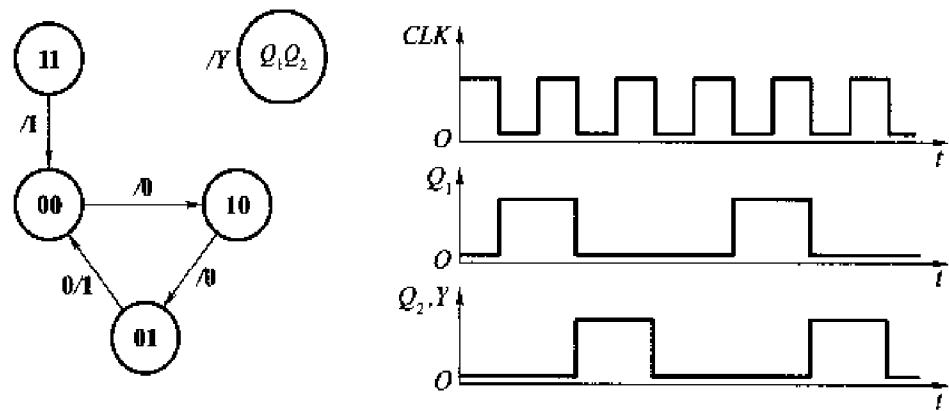


图 A.6.1

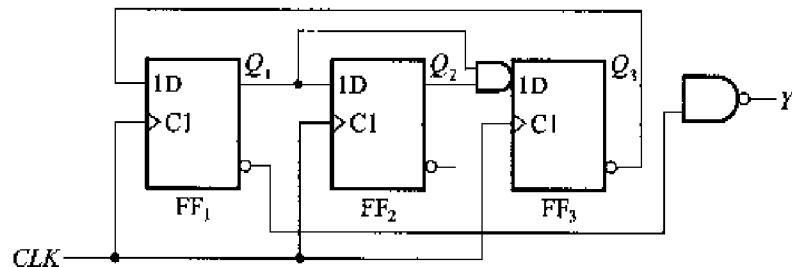


图 P.6.2

$$\begin{cases} D_1 = Q'_3 \\ D_2 = Q_1 \\ D_3 = Q_1 Q_2 \end{cases}$$

将驱动方程代入 D 触发器的特性方程 $Q^* = D$, 得到电路的状态方程

$$\begin{cases} Q_1^* = Q'_3 \\ Q_2^* = Q_1 \\ Q_3^* = Q_1 Q_2 \end{cases}$$

电路的输出方程为

$$Y = (Q'_1 Q_3)' = Q_1 + Q'_3$$

电路的状态转换图如图 A.6.2 所示, 电路能够自启动。

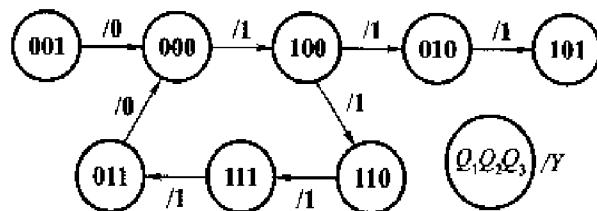


图 A.6.2

【题 6.3】 分析图 P 6.3 时序电路的逻辑功能,写出电路的驱动方程、状态方程和输出方程,画出电路的状态转换图,说明电路能否自启动。

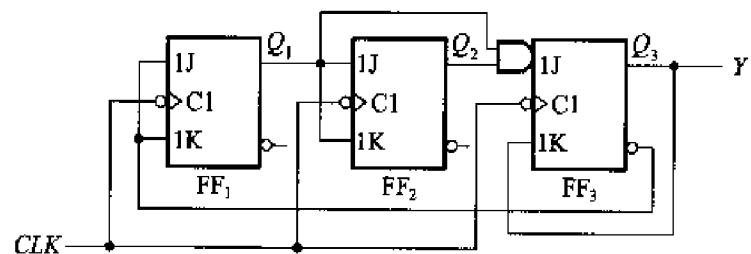


图 P 6.3

解：从给定的电路图写出驱动方程为

$$\begin{cases} J_1 = K_1 = Q'_3 \\ J_2 = K_2 = Q_1 \\ J_3 = Q_1 Q_2; K_3 = Q_3 \end{cases}$$

将上面的驱动方程代入 JK 触发器的特性方程后得到状态方程为

$$\begin{cases} Q_1^* = Q_3'Q_1' + Q_3Q_1 = Q_3 \odot Q_1 \\ Q_2^* = Q_1Q_2' + Q_1'Q_2 = Q_1 \oplus Q_2 \\ Q_3^* = Q_1Q_2Q_3' \end{cases}$$

由电路图上可知,输出方程为

$$Y = \emptyset,$$

根据状态方程和输出方程画出的状态转换图如图 A 6.3 所示。电路能够自启动。

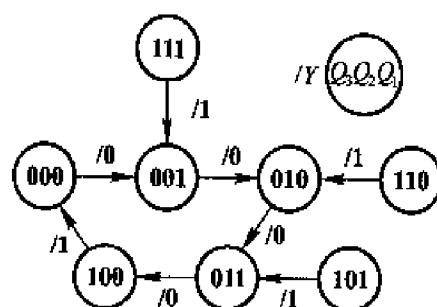


图 A.6.3

【题 6.4】 试分析图 P 6.4 所示时序电路的逻辑功能,写出电路的驱动方程、状态方程和输出方程,画出电路的状态转换图,检查电路能否自启动。

解：从电路图写出驱动方程为

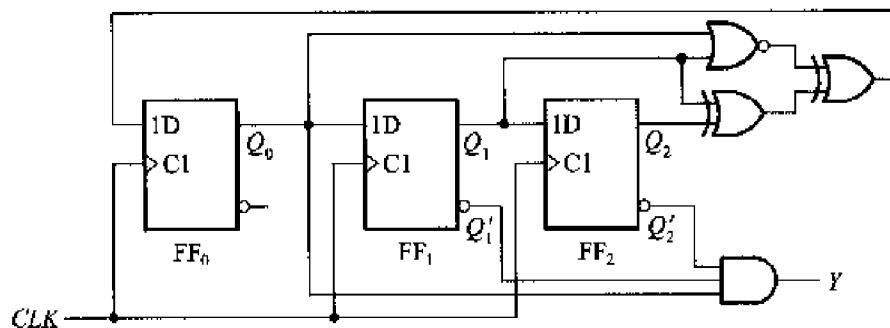


图 P 6.4

$$\begin{cases} D_0 = (Q_0 + Q_1)' \oplus (Q_1 \oplus Q_2) = Q_0'Q_2' + Q_0Q_1'Q_2 + Q_1Q_2' \\ D_1 = Q_0 \\ D_2 = Q_1 \end{cases}$$

将上述驱动方程代入 D 触发器的特性方程, 得到状态方程

$$\begin{cases} Q_0^* = Q_0' Q_2' + Q_0 Q_1' Q_2 + Q_1 Q_2' \\ Q_1^* = Q_0 \\ Q_2^* = Q_1 \end{cases}$$

输出方程为

$$Y = Q_0 Q_1' Q_2'$$

根据得到的状态方程和输出方程,即可画出电路的状态转换图,如图 A 6.4 所示。当电路进入无效状态($Q_0Q_1Q_2 = 111$)后,在时钟信号作用下能自行进入有效循环,所以电路能自启动。

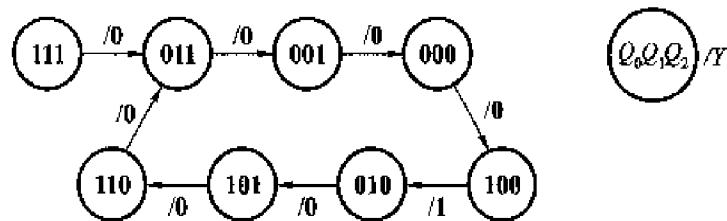


图 A.6.4

【题 6.5】 试分析图 P 6.5 时序电路的逻辑功能,写出电路的驱动方程、状态方程和输出方程,画出电路的状态转换图。 A 为输入逻辑变量。

解：首先从电路图写出它的驱动方程

$$\begin{cases} D_1 = A Q_2' \\ D_2 = A (Q_1' Q_2')' = A (Q_1 + Q_2) \end{cases}$$

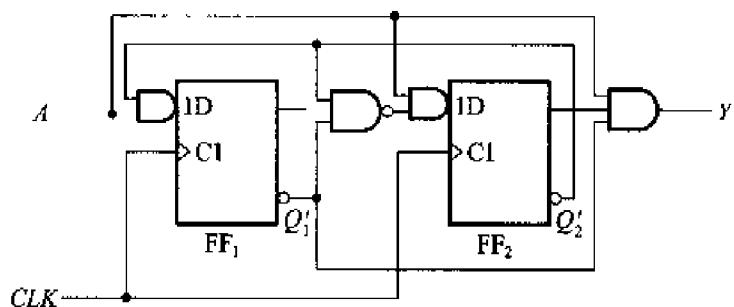


图 P 6.5

将上式代入 D 触发器的特性方程后得到电路的状态方程

$$\begin{cases} Q_1^* = A Q_2' \\ Q_2^* = A (Q_1 + Q_2) \end{cases}$$

电路的输出方程为

$$Y = A Q_1' Q_2$$

根据状态方程和输出方程画出的状态转换图如图 A 6.5 所示。

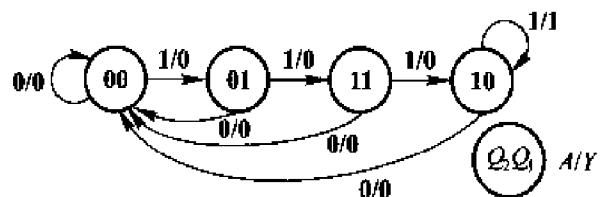


图 A 6.5

【题 6.6】 分析图 P 6.6 给出的时序电路, 画出电路的状态转换图, 检查电路能否自启动, 说明电路实现的功能。 A 为输入变量。

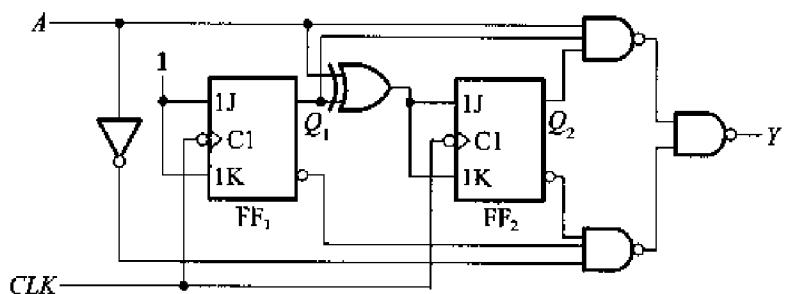


图 P 6.6

解: 由电路图写出驱动方程为

$$\begin{cases} J_1 = K_1 = 1 \\ J_2 = K_2 = A \oplus Q_1 \end{cases}$$

将上述驱动方程代入 JK 触发器的特性方程, 得到状态方程

$$\begin{cases} Q_1' = Q_1' \\ Q_2' = A \oplus Q_1 \oplus Q_2 \end{cases}$$

输出方程为

$$Y = A Q_1 Q_2 + A' Q_1' Q_2'$$

根据状态方程和输出方程画出的状态转换图如图 A 6.6 所示。因为不存在无效状态, 所以电路不存在自启动与否的问题。

当 $A = 0$ 时电路对 CLK 脉冲作二进制加法计数, $A = 1$ 时作二进制减法计数。

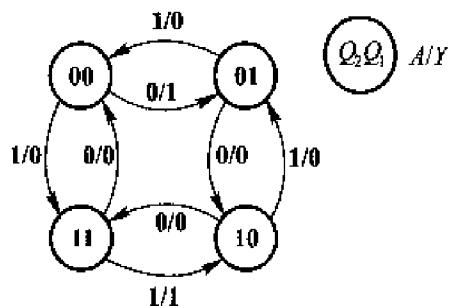


图 A 6.6

【题 6.7】 分析图 P 6.7 的时序逻辑电路, 写出电路的驱动方程、状态方程和输出方程, 画出电路的状态转换图, 说明电路能否自启动。

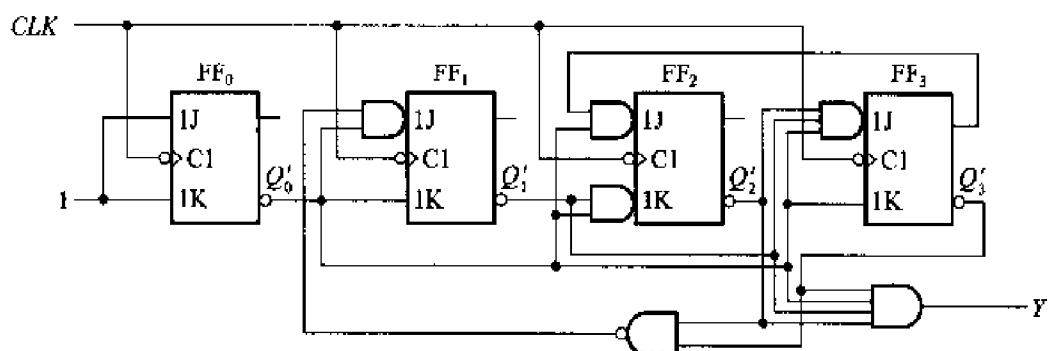


图 P 6.7

解: 由电路图写出驱动方程为

$$\begin{cases} J_0 = K_0 = 1 \\ J_1 = Q_0' (Q_2' Q_3')'; K_1 = Q_0' \\ J_2 = Q_0' Q_3; \quad K_2 = Q_0' Q_1' \\ J_3 = Q_0' Q_1' Q_2'; \quad K_3 = Q_0' \end{cases}$$

将上述驱动方程代入 JK 触发器的特性方程, 得到状态方程为

$$\begin{cases} Q_0' = Q_0' \\ Q_1' = Q_0' Q_1' (Q_2 + Q_3) + Q_0 Q_1 \\ Q_2' = Q_0' Q_2' Q_3 + (Q_0 + Q_1) Q_2 \\ Q_3' = Q_0' Q_1' Q_2' Q_3' + Q_0 Q_3 \end{cases}$$

输出方程为

$$Y = Q_0' Q_1' Q_2' Q_3'$$

根据状态方程和输出方程画出的状态转换图如图 A 6.7 所示。电路能自启动。

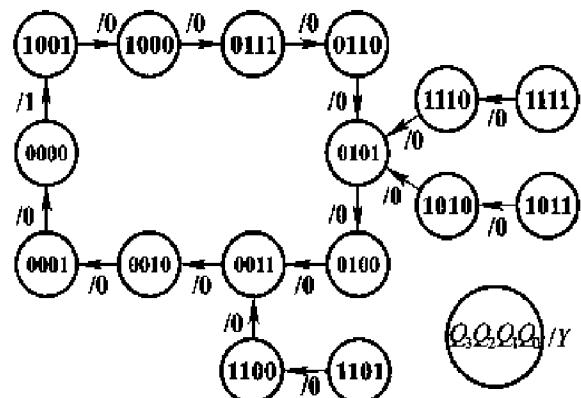


图 A 6.7

【题 6.8】 分析图 P 6.8 电路, 写出电路的驱动方程、状态方程和输出方程, 画出电路的状态转换图。图中的 X 、 Y 分别表示输入逻辑变量和输出逻辑变量。

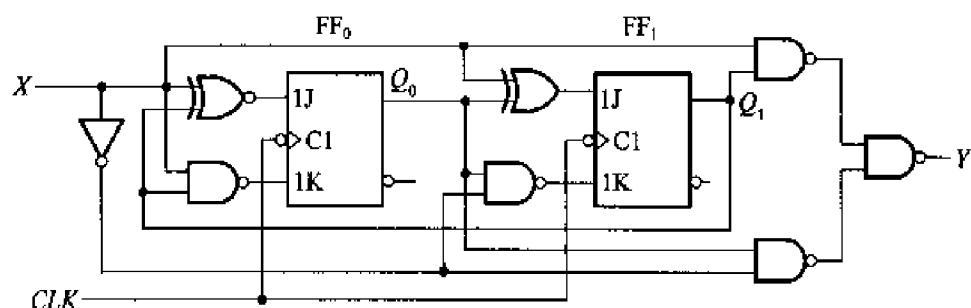


图 P 6.8

解：首先从给定电路图写出它的驱动方程

$$\begin{cases} J_0 = (X \oplus Q_1)' ; K_0 = (XQ_1)' \\ J_1 = X \oplus Q_0 ; \quad K_1 = (X'Q_0)' \end{cases}$$

将上面的驱动方程代入 JK 触发器的特性方程，得到电路的状态方程

$$\begin{cases} Q_0' = (X \oplus Q_1)' Q_0' + (XQ_1) Q_0 = X'Q_1'Q_0' + XQ_1 \\ Q_1' = (X \oplus Q_0)' Q_1' + (X'Q_0) Q_1 = XQ_1'Q_0' + X'Q_0 \end{cases}$$

输出方程为

$$Y = XQ_1 + X'Q_0$$

根据状态方程和输出方程画出的状态转换图如图 A 6.8 所示。

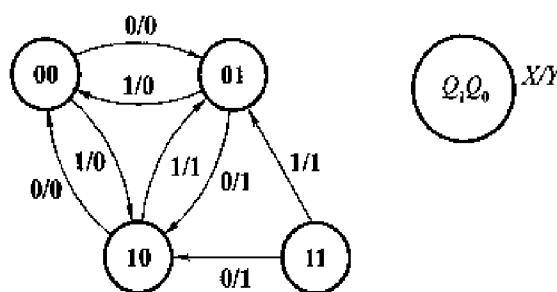


图 A 6.8

【题 6.9】 试画出用 4 片 74LS194A 组成 16 位双向移位寄存器的逻辑图。74LS194A 的功能表见表 6.3.2。

解：见图 A 6.9。

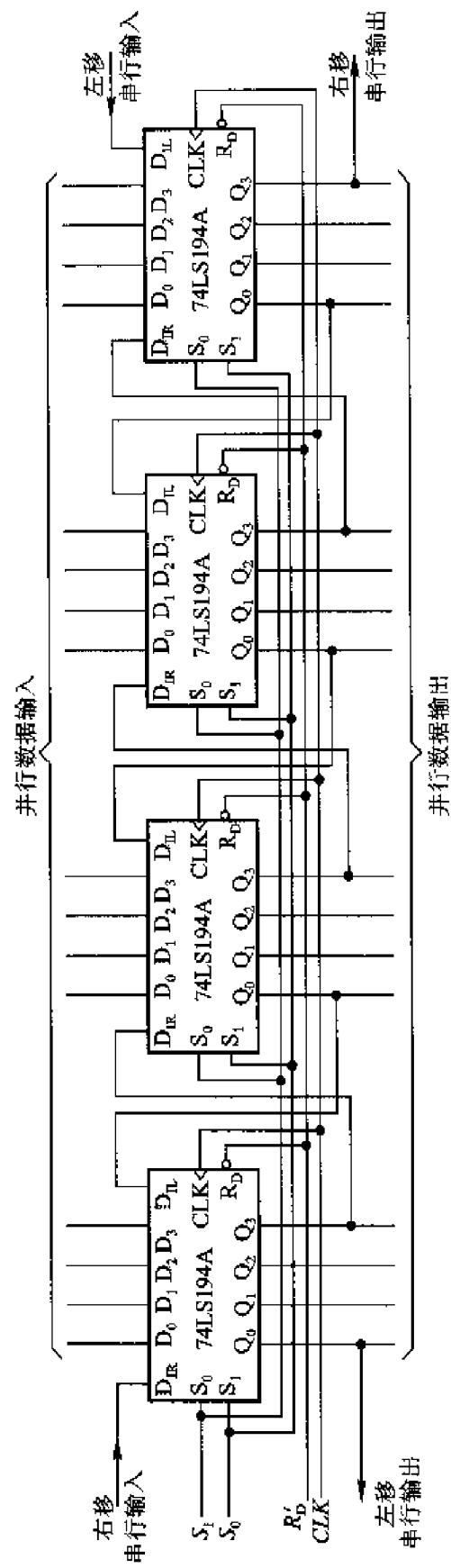
【题 6.10】 在图 P 6.10 电路中，若两个移位寄存器中的原始数据分别为 $A_3A_2A_1A_0 = 1001, B_3B_2B_1B_0 = 0011, CI$ 的初始值为 0，试问经过 4 个 CLK 信号作用以后两个寄存器中的数据如何？这个电路完成什么功能？

解：经过 4 个时钟信号作用以后，两个寄存器里的数据分别为 $A_3A_2A_1A_0 = 1100, B_3B_2B_1B_0 = 0000$ 。这是一个 4 位串行加法器电路。

【题 6.11】 分析图 P 6.11 的计数器电路，说明这是多少进制的计数器。十进制计数器 74160 的功能表与表 6.3.4 相同。

解：图 P 6.11 是采用同步置数法接成的七进制计数器。当计数器计成 1001(9)状态时， LD' 变成低电位。待下一个 CLK 脉冲到来时，将电路置成 $Q_3Q_2Q_1Q_0 = 0011(3)$ ，然后再从 3 开始作加法计数。在 CLK 连续作用下，电路将在 0011 ~ 1001 这七个状态间循环，故电路为七进制计数器。

【题 6.12】 分析图 P 6.12 的计数器电路，画出电路的状态转换图，说明这是多少进制的计数器。十六进制计数器 74LS161 的功能表如表 6.3.4 所示。



46.9

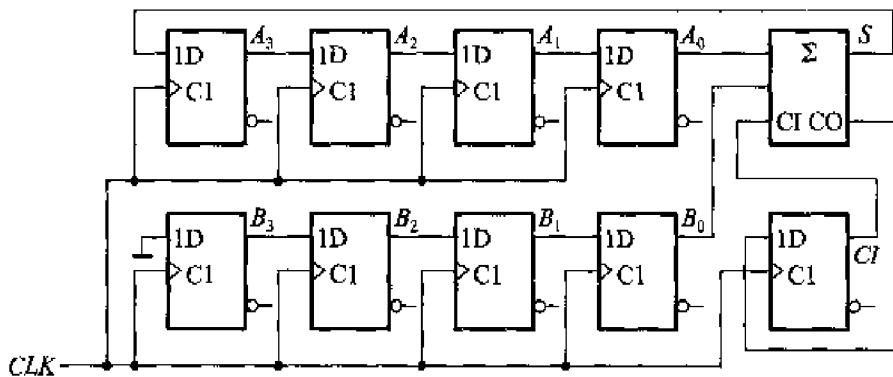


圖 P 6.10

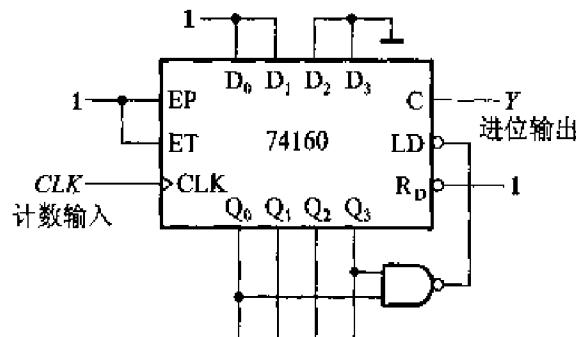


圖 P 6.11

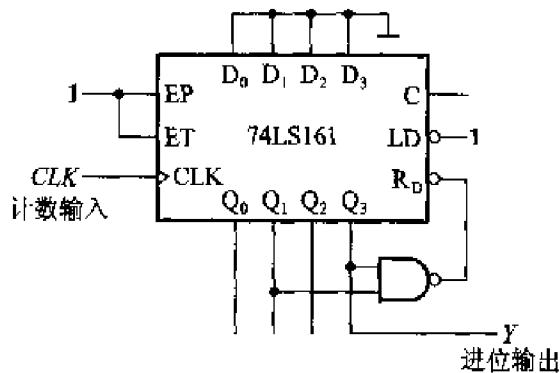


圖 P 6.12

解：图 P 6.12 电路是采用异步置零法用 74LS161 接成的十进制计数器。当计数器进入 $Q_3Q_2Q_1Q_0 = 1010$ 状态后，与非门输出低电平置零信号，立刻将计数器置成 $Q_3Q_2Q_1Q_0 = 0000$ 状态。由于 $Q_3Q_2Q_1Q_0 = 1010$ 是一个过渡状态，不存在于稳定状态的循环中，所以电路按 $0000 \sim 1001$ 这十个状态顺序循环，是十进制计数器。电路的状态转换图如图 A 6.12 所示。

【题 6.13】 试分析图 P 6.13 的计数器在 $M = 1$ 和 $M = 0$ 时各为几进制。

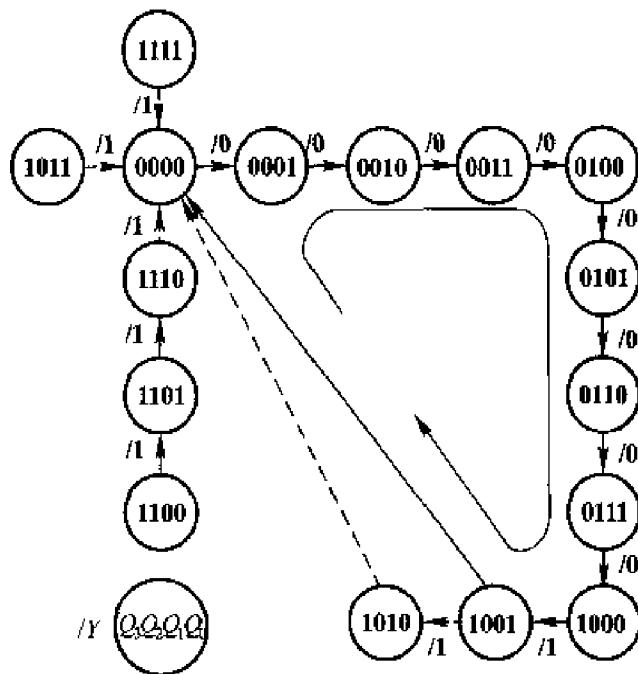


图 A 6.12

74160 的功能表与表 6.3.4 相同。

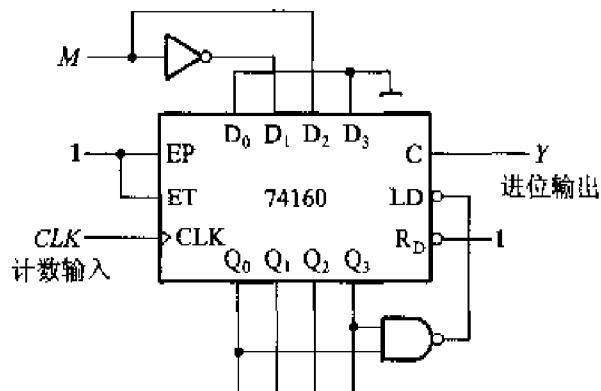


图 P 6.13

解：图 P 6.13 电路是采用同步置数法用 74160 接成的可变进制计数器。在 $M = 1$ 的状态下, 当电路进入 $Q_3Q_2Q_1Q_0 = 1001$ (九) 以后, $LD' = 0$ 。下一个 CLK 到达时将 $D_3D_2D_1D_0 = 0100$ (四) 置入电路中, 使 $Q_3Q_2Q_1Q_0 = 0100$, 再从 0100 继续作加法计数。因此, 电路在 0100 到 1001 这六个状态间循环, 构成六进制计数器。同理, 在 $M = 0$ 的情况下, 电路计到 1001 后置入 0010 (二), 故形成八进制计数器。

【题 6.14】 试用 4 位同步二进制计数器 74LS161 接成十二进制计数器, 标出输入、输出端。可以附加必要的门电路。74LS161 的功能表见表 6.3.4。

解：此题有多种可行的方案。例如可采用同步置数法，在电路计成 $Q_3Q_2Q_1Q_0 = 1011$ （十一）后译出 $LD' = 0$ 信号，并在下一个 CLK 信号到达时置入 0000 就得到了十二进制计数器。电路接法见图 A 6.14。

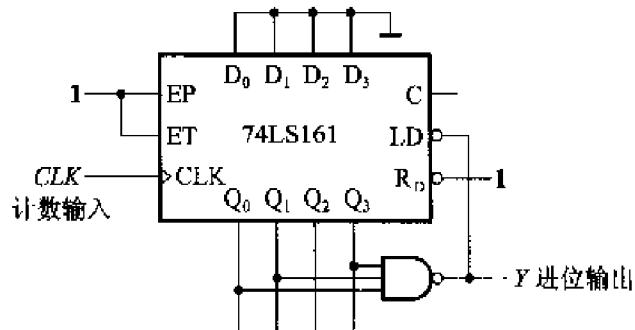


图 A 6.14

【题 6.15】图 P 6.15 电路是可变进制计数器。试分析当控制变量 A 为 1 和 0 时电路各为几进制计数器。74LS161 的功能表见表 6.3.4。

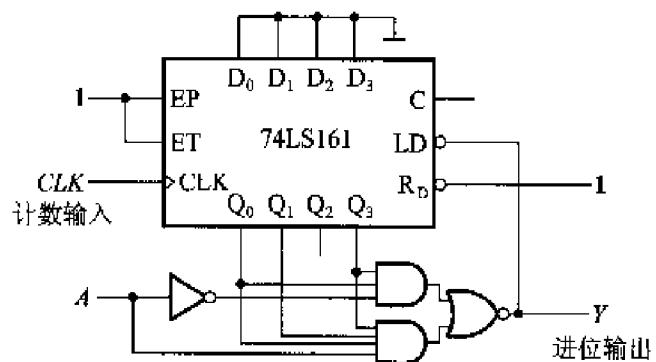


图 P 6.15

解：这是用同步置数法接成的可控进制计数器。在 $A = 1$ 的情况下，计数器计为 $Q_3Q_2Q_1Q_0 = 1011$ （十一）后给出 $LD' = 0$ 信号，下一个 CLK 脉冲到来时计数器被置成 $Q_3Q_2Q_1Q_0 = 0000$ 状态，所以是十二进制计数器。在 $A = 0$ 的情况下，计数器计为 1001 时给出 $LD' = 0$ 信号，下一个 CLK 脉冲到来时计数器被置零，所以是十进制计数器。

【题 6.16】设计一个可控进制的计数器，当输入控制变量 $M = 0$ 时工作在五进制， $M = 1$ 时工作在十五进制。请标出计数输入端和进位输出端。

解：此题可有多种答案。图 A 6.16 是采用同步置数法接成的可控进制计数器。因为每次置数时置入的是 $D_3D_2D_1D_0 = 0000$ ，所以 $M = 1$ 时应从 $Q_3Q_2Q_1Q_0 = 1110$ （十四）状态译出 $LD' = 0$ 信号；而在 $M = 0$ 时应从 $Q_3Q_2Q_1Q_0 =$

0100(四)状态译出 $LD' = 0$ 信号。

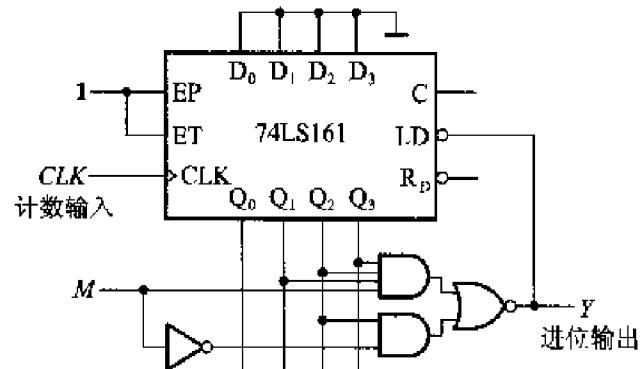


图 A 6.16

【题 6.17】 分析图 P 6.17 给出的计数器电路,画出电路的状态转换图,说明这是几进制计数器。74LS290 的电路见图 6.3.31。

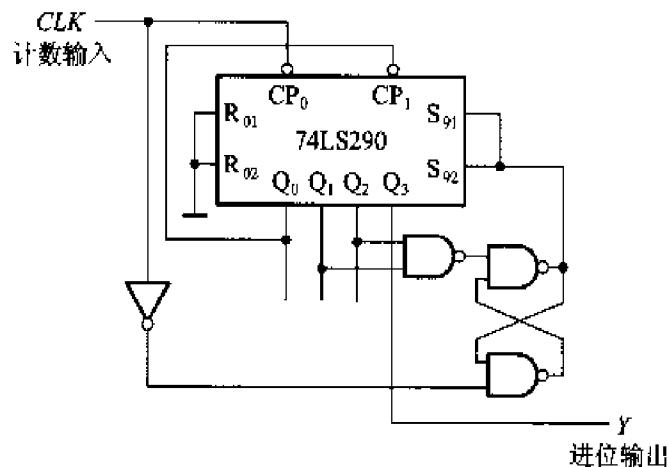


图 P 6.17

解: 图 P 6.17 电路是采用异步置数法接成的七进制计数器。每当计数器计成 $Q_3Q_2Q_1Q_0 = 0110$ (六)时,立即产生“置9”信号,使 $S_{91} = S_{92} = 1$,将电路置成 $Q_3Q_2Q_1Q_0 = 1001$,于是电路便在 $9 - 0 - 1 \cdots \cdots 5 - 9$ 这七个状态间循环,形成七进制计数器。**0110** 是过渡状态,不包括在稳定状态循环之内。此外, $Q_3Q_2Q_1Q_0$ 的 **0110**、**0111**、**1110** 和 **1111** 这 4 个状态是过渡状态。状态转换图如图 A 6.17。

【题 6.18】 试分析图 P 6.18 计数器电路的分频比(即 Y 与 CLK 的频率之比)。74LS161 的功能表见表 6.3.4。

解: 第(1)片 74LS161 是采用置数法接成的七进制计数器。每当计数器状态进入 $Q_3Q_2Q_1Q_0 = 1111$ (十五)时译出 $LD' = 0$ 信号,置入 $D_3D_2D_1D_0 = 1001$

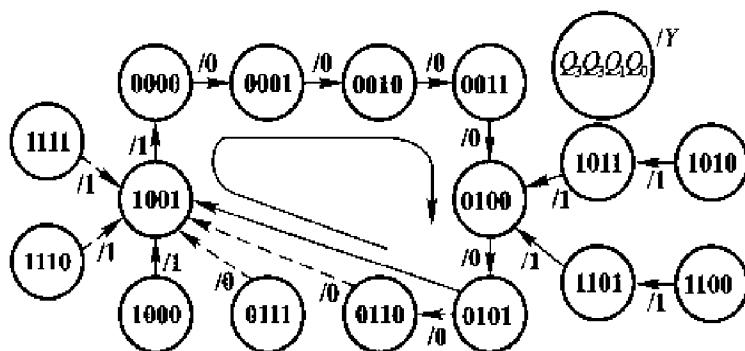


图 A 6.17

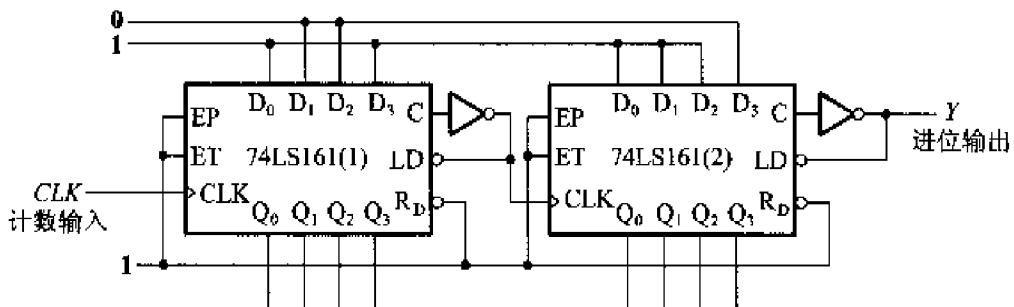


图 P 6.18

(九),所以是七进制计数器。

第(2)片 74LS161 是采用置数法接成的九进制计数器。当计数器状态进入 $Q_3Q_2Q_1Q_0 = 1111$ (十五)时译出 $LD' = 0$ 信号, 置入 $D_3D_2D_1D_0 = 0111$ (七), 所以是九进制计数器。

两片 74LS161 之间采用了串行连接方式, 构成 $7 \times 9 = 63$ 进制计数器, 故 Y 与 CLK 的频率之比为 1:63。

【题 6.19】 图 P 6.19 电路是由两片同步十进制计数器 74160 组成的计数器, 试分析这是多少进制的计数器, 两片之间是几进制。74160 的功能表与表 6.3.4 相同。

解: 第(1)片 74160 工作在十进制计数状态。第(2)片 74160 采用置数法接成三进制计数器。两片之间是十进制。

若起始状态第(1)片和第(2)片 74160 的 $Q_3Q_2Q_1Q_0$ 分别为 0001 和 0111, 则输入 19 个 CLK 信号以后第(1)片变为 0000 状态, 第(2)片接收了两个进位信号以后变为 1001 状态, 并使第(2)片的 $LD' = 0$ 。第 20 个 CLK 信号到达以后, 第(1)片计成 0001, 第(2)片被置为 0111, 于是返回到了起始状态, 所以这是二十

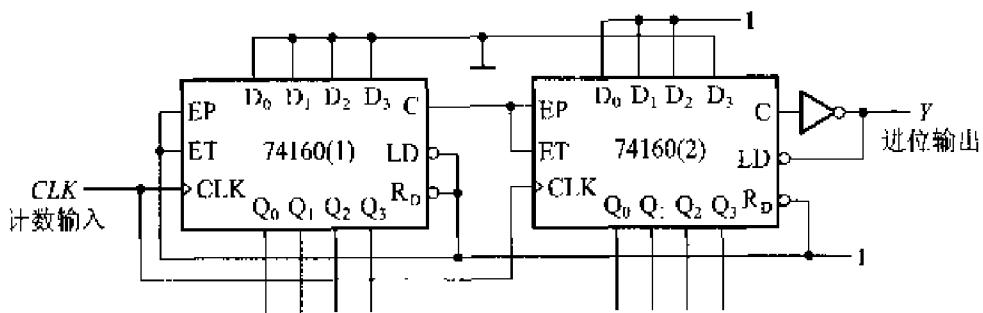


图 P 6.19

进制计数器。

【题 6.20】 分析图 P 6.20 给出的电路, 说明这是多少进制的计数器, 两片之间是多少进制。74LS161 的功能表见表 6.3.4。

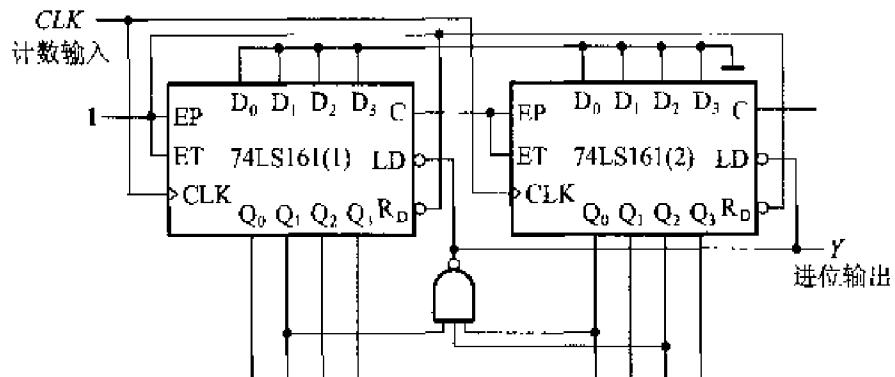


图 P 6.20

解: 这是采用整体置数法接成的计数器。

在出现 $LD' = 0$ 信号以前, 两片 74LS161 均按十六进制计数。即第(1)片到第(2)片为十六进制。当第(1)片计为 2, 第(2)片计为 5 时产生 $LD' = 0$ 信号, 待下一个 CLK 信号到达后两片 74LS161 同时被置零, 总的进制为

$$5 \times 16 + 2 + 1 = 83$$

故为八十三进制计数器。

【题 6.21】 画出用两片同步十进制计数器 74160 接成同步三十一进制计数器的接线图。可以附加必要的门电路。74160 的逻辑图和功能表见图 6.3.21 和表 6.3.4。

解: 由于 31 是一个不能分解的素数, 所以必须采用整体置数或整体置零的连接方式。若采用整体置数法, 则应先将两片按同步连接方式接成 $10 \times 10 = 100$ 进制计数器, 然后用电路译出 $LD' = 0$ 信号, 如图 A 6.21 所

示。这样在电路从全零状态开始计数,计入 31 个脉冲后将返回全零状态,形成三十一进制计数器。

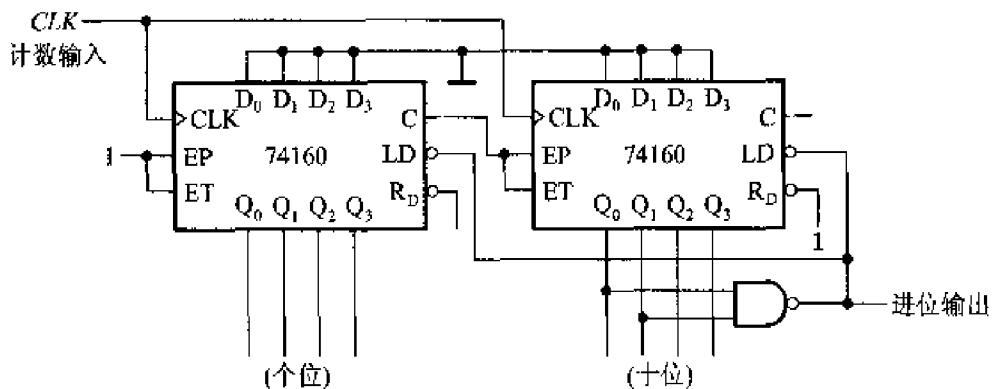


图 A 6.21

【题 6.22】 用同步十进制计数器芯片 74160 设计一个三百六十五进制的计数器。要求各位间为十进制关系。允许附加必要的门电路。74160 的功能表与表 6.3.4 相同。

解: 因为要求各位之间是十进制关系, 所以需令每一位的 74160 接成十进制计数状态, 并以低位的进位输出作高位的 EP 和 ET 的控制信号(或进位脉冲), 接成三位十进制计数器。然后用整体置数(或置零)法再改接成三百六十五进制计数器。

图 A 6.22 是采用同步置数法的接线图。当计数器计成 364 状态时译出 $LD' = 0$ 信号, 下一个 CLK 脉冲到来时将计数器置为全零状态, 从而得到三百六十五进制计数器。

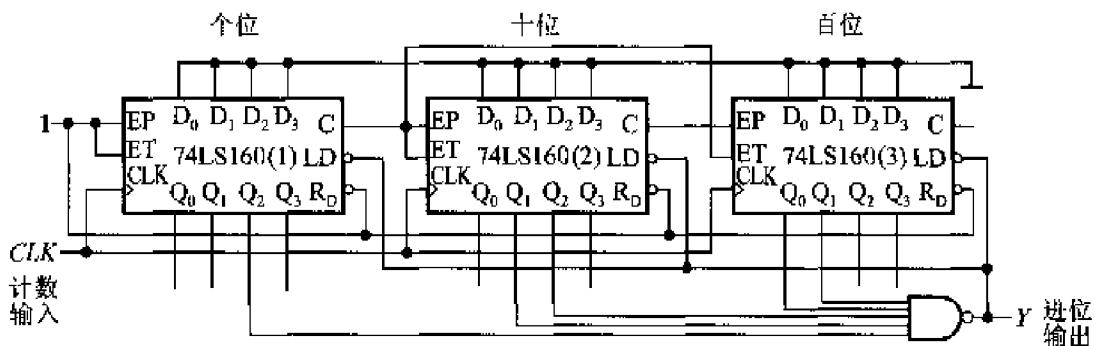


图 A 6.22

【题 6.23】 设计一个数字钟电路, 要求能用七段数码管显示从 0 时 0 分 0 秒到 23 时 59 分 59 秒之间的任一时刻。

解: 电路接法可如图 A 6.23 所示。计数器由六片 74160 组成。第(1)、(2)

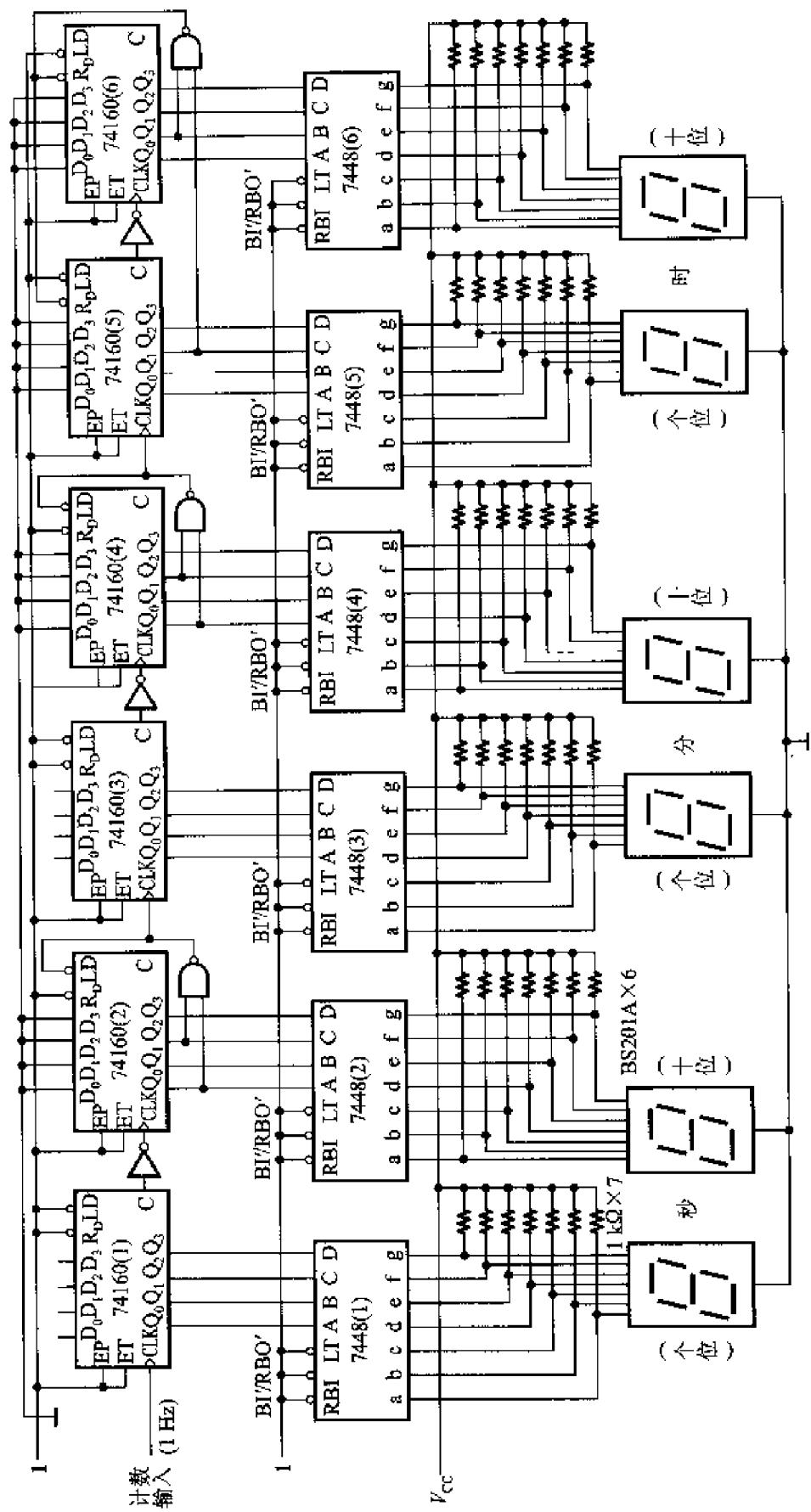


图 A 6.23

两片接成六十进制的“秒计数器”，第(1)片为十进制，第(2)片为六进制。第(3)、(4)片接成六十进制的“分计数器”，接法与“秒计数器”相同。第(5)、(6)片用整体复位法接成二十四进制计数器，作为“时计数器”。

显示译码器由六片 7448 组成,每片 7448 用于驱动一只共阴极的数码管 BS201A。

【题 6.24】 图 P 6.24 所示电路是用二 - 十进制优先编码器 74LS147 和同步十进制计数器 74160 组成的可控分频器, 试说明当输入控制信号 $A', B', C', D', E', F', G', H', I'$ 分别为低电平时由 Y 端输出的脉冲频率各为多少。已知 CLK 端输入脉冲的频率为 10 kHz。74LS147 的功能表如表 4.3.3 所示, 74160 的功能表见表 6.3.4。

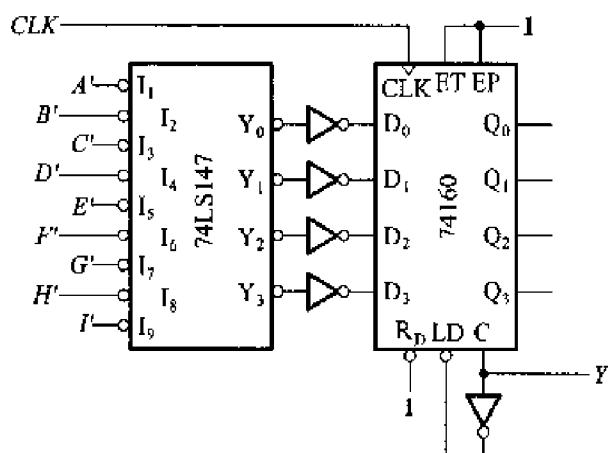


图 P 6.24

解：由图可见，计数器 74160 工作在同步预置数状态，每当计数器的进位输出 $C = 1$ 时（即 $Q_3Q_2Q_1Q_0 = 1001$ 时），在下一个 CLK 上升沿到达时置入编码器 74LS147 的输出状态 Y_3, Y_2, Y_1, Y_0 。

再从图 A 6.24 给出的 74160 的状态转换图可知, 当 $A = 0$ 时 74LS147 的输出为 $Y'_3Y'_2Y'_1Y'_0 = 1110$, 74160 的数据输入端 $D_3D_2D_1D_0 = 0001$, 则状态转换顺序将如图中所示, 即成为九进制计数器。输出脉冲 Y 的频率为 CLK 频率的 $1/9$ 。依此类推便可得到表 A 6.24。

表 A6.24

接低电平的输入端	A'	B'	C'	D'	E'	F'	G'	H'	I'
f_r/f_{LP}	1/9	1/8	1/7	1/6	1/5	1/4	1/3	1/2	0
f_r (kHz)	1.11	1.25	1.43	1.67	2	2.5	3.33	5	0

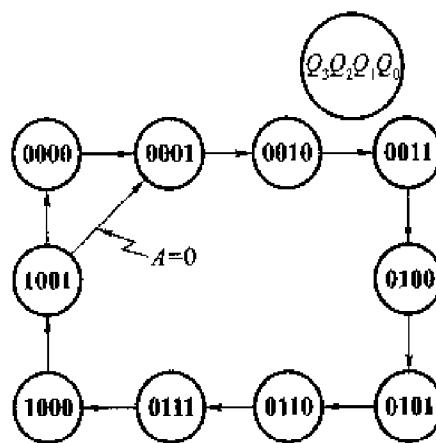


图 A.6.24

【题 6.25】 试用同步十进制可逆计数器 74LS190 和二 - 十进制优先编码器 74LS147 设计一个工作在减法计数状态的可控分频器。要求在控制信号 A 、 B 、 C 、 D 、 E 、 F 、 G 、 H 分别为 1 时分频比对应为 $1/2$ 、 $1/3$ 、 $1/4$ 、 $1/5$ 、 $1/6$ 、 $1/7$ 、 $1/8$ 、 $1/9$ 。74LS190 的逻辑图见图 6.3.24, 它的功能表与表 6.3.5 相同。可以附加必要的门电路。

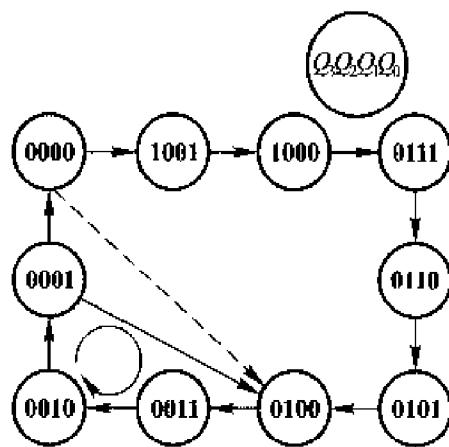
解: 可用 CLK_0 作为 LD' 信号。因为在 CLK 上升沿使 $Q_3Q_2Q_1Q_0 = 0000$ 以后, 在这个 CLK 的低电平期间 CLK_0 将给出一个负脉冲。

但由于 74LS190 的 $LD' = 0$ 信号是异步置数信号, 所以 **0000** 状态在计数过程中是作为暂态出现的。如果为提高置数的可靠性, 并产生足够宽度的进位输出脉冲, 可以增设由 G_1 、 G_2 组成的锁存器, 由 Q' 端给出与 CLK 脉冲的低电平等宽的 $LD' = 0$ 信号, 并可由 Q' 端给出进位输出脉冲。

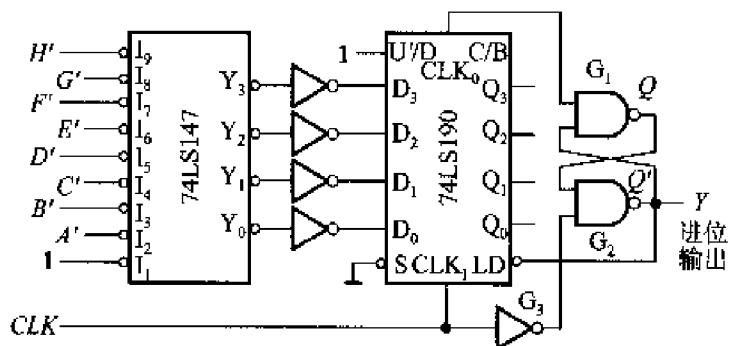
由图 A.6.25(a) 中 74LS190 减法计数时的状态转换图可知, 若 $LD' = 0$ 时置入 $Q_3Q_2Q_1Q_0 = 0100$, 则得到四进制减法计数器, 输出进位信号与 CLK 频率之比为 $1/4$ 。又由 74LS147 的功能表 (表 4.3.3) 可知, 为使 74LS147 的输出反相后为 **0100**, I_4' 需接入低电平信号, 故 I_4' 应接输入信号 C 。依此类推即可得到下表:

分频比(f_r/f_{CK})	$1/2$	$1/3$	$1/4$	$1/5$	$1/6$	$1/7$	$1/8$	$1/9$
低电平信号输入端	$I_2'(A')$	$I_3'(B')$	$I_4'(C')$	$I_5'(D')$	$I_6'(E')$	$I_7'(F')$	$I_8'(G')$	$I_9'(H')$

于是得到如图 A.6.25(b) 的电路图。



(a)



(b)

图 A 6.25

【题 6.26】 图 P 6.26 是一个移位寄存器型计数器, 试画出它的状态转换图, 说明这是几进制计数器, 能否自启动。

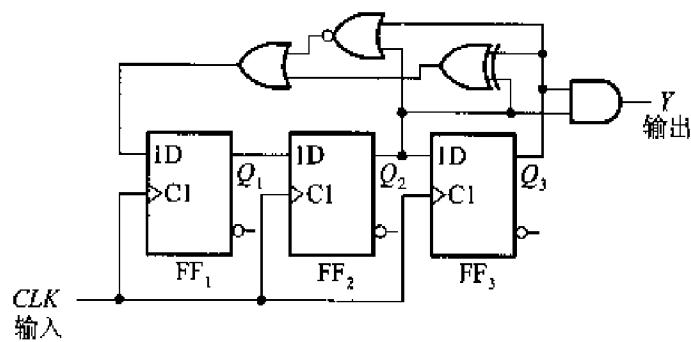


圖 P 6.26

解：从图 P 6.26 的电路图可写出它的状态方程和输出方程分别为

$$\begin{cases} Q_1^* = D_1 = Q_2 Q_3' + Q_2' Q_3 + Q_2' Q_3' \\ Q_2^* = D_2 = Q_1 \\ Q_3^* = D_3 = Q_2 \end{cases}$$

$$Y = Q_2 Q_3$$

状态转换图如图 A 6.26, 电路能自启动。这是一个五进制计数器。

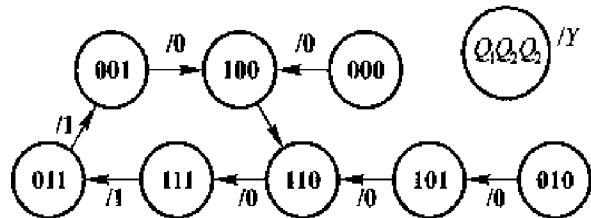


图 A 6.26

【题 6.27】 图 P 6.27 是一个移位寄存器型计数器。试画出电路的状态转换图, 并说明这是几进制计数器, 能否自启动。

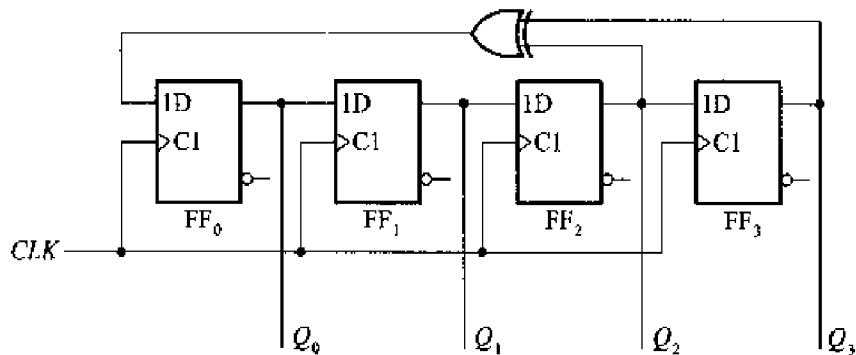


图 P 6.27

解: 从图 P 6.27 给出的电路可写出该电路的状态方程

$$\begin{cases} Q_0^* = D_0 = Q_2 \oplus Q_3 \\ Q_1^* = D_1 = Q_0 \\ Q_2^* = D_2 = Q_1 \\ Q_3^* = D_3 = Q_2 \end{cases}$$

根据状态方程画出的状态转换图如图 A 6.27。可见这是一个十五进制计数器。电路若进入 **0000** 状态, 则不能在 *CLK* 信号作用下进入有效循环, 所以电路不能自启动。

【题 6.28】 试利用同步十六进制计数器 74LS161 和 4 线 - 16 线译码器

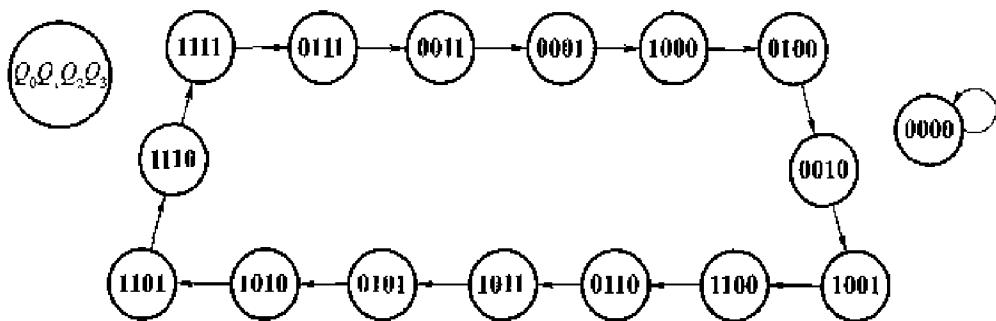


图 A 6.27

74LS154 设计节拍脉冲发生器, 要求从 12 个输出端顺序、循环地输出等宽的负脉冲。74LS154 的逻辑框图及说明见 [题 4.11]。74LS161 的功能表见表 6.3.4。

解: 此题的设计方案不是唯一的。例如可以采用同步置数法将 74LS161 接成十二进制计数器, 并把它的 Q_3, Q_2, Q_1, Q_0 接至 74LS154 的 A_3, A_2, A_1, A_0 输入端, 在连续输入 CLK 脉冲后, 在 74LS154 的 $Y'_0 \sim Y'_11$ 输出端就得到了 12 个等宽的顺序脉冲 $P_0 \sim P_{11}$ 。

电路接法如图 A 6.28 所示。

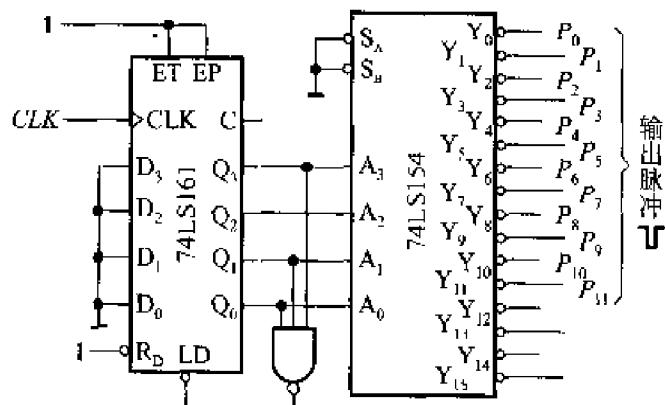


图 A 6.28

【题 6.29】 设计一个序列信号发生器电路, 使之在一系列 CLK 信号作用下能周期性地输出“0010110111”的序列信号。

解: 此题的一种设计方案是用十进制计数器和 8 选 1 数据选择器组成这个序列信号发生器电路。

若十进制计数器选用 74160, 则可列出在 CLK 连续作用下计数器状态 Q_3, Q_2, Q_1, Q_0 与要求产生的输出 Z 之间关系的真值表, 如表 A 6.29 所示。

若取用 8 选 1 数据选择器 74HC151(见图 4.3.24), 则它的输出逻辑式可写为

$$Y = D_0(A_2'A_1'A_0') + D_1(A_2'A_1'A_0) + D_2(A_2'A_1'A_0') + D_3(A_2'A_1'A_0) \\ + D_4(A_2'A_1'A_0') + D_5(A_2'A_1'A_0) + D_6(A_2'A_1'A_0') + D_7(A_2'A_1'A_0)$$

由真值表写出 Z 的逻辑式, 并化成与上式对应的形式则得到

$$Z = Q_3(Q_2'Q_1'Q_0') + Q_3(Q_2'Q_1'Q_0) + Q_3'(Q_2'Q_1'Q_0') + 0 \cdot (Q_2'Q_1'Q_0) \\ + Q_3'(Q_2'Q_1'Q_0') + Q_3'(Q_2'Q_1'Q_0) + 0 \cdot (Q_2'Q_1'Q_0) + Q_3'(Q_2'Q_1'Q_0)$$

令 $A_2 = Q_2, A_1 = Q_1, A_0 = Q_0, D_0 = D_1 = Q_3, D_2 = D_4 = D_5 = D_7 = Q_3', D_3 = D_6 = 0$, 则数据选择器的输出 Y 即所求之 Z 。所得到的电路如图 A.6.29 所示。

表 A.6.29 题 6.29 的真值表

CLK 顺序	Q_3	Q_2	Q_1	Q_0	Z
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	1
3	0	0	1	1	0
4	0	1	0	0	1
5	0	1	0	1	1
6	0	1	1	0	0
7	0	1	1	1	1
8	1	0	0	0	1
9	1	0	0	1	1

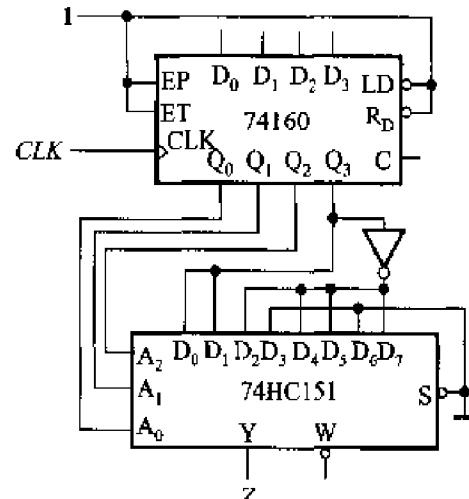


图 A.6.29

【题 6.30】 设计一个灯光控制逻辑电路。要求红、绿、黄三种颜色的灯在时钟信号作用下按表 P.6.30 规定的顺序转换状态。表中的 1 表示“亮”, 0 表示“灭”。要求电路能自启动, 并尽可能采用中规模集成电路芯片。

解: 因为输出为八个状态循环, 所以用 74LS161 的低三位作为八进制计数器。若以 R, Y, G 分别表示红、黄、绿三个输出, 则可得计数器输出状态 $Q_2Q_1Q_0$ 与 R, Y, G 关系的真值表, 如表 A.6.30。

选两片双 4 选 1 数据选择器 74HC153 作通用函数发生器使用, 产生 R, Y, G 。

表 P6.30

CLK 顺序	红	黄	绿
0	0	0	0
1	1	0	0
2	0	1	0
3	0	0	1
4	1	1	1
5	0	0	1
6	0	1	0
7	1	0	0
8	0	0	0

表 A6.30 题 6.30 的真值表

Q_2	Q_1	Q_0	R	Y	G
0	0	0	0	0	0
0	0	1	1	0	0
0	1	0	0	1	0
0	1	1	0	0	1
1	0	0	1	1	1
1	0	1	0	0	1
1	1	0	0	1	0
1	1	1	1	0	0

已知 74HC153 在 $S' = 0$ 的条件下输出的逻辑式为 $Y = D_0(A'_1A'_0) + D_1(A'_1A_0) + D_2(A_1A'_0) + D_3(A_1A_0)$

由真值表写出 R 、 Y 、 G 的逻辑式，并化成与数据选择器的输出逻辑式相对应的形式

$$\begin{aligned}
 R &= Q_2(Q'_1Q'_0) + Q'_2(Q'_1Q_0) + 0 \cdot (Q_1Q'_0) + Q_2(Q_1Q_0) \\
 Y &= Q_2(Q'_1Q'_0) + 0 \cdot (Q'_1Q_0) + 1 \cdot (Q_1Q'_0) + 0 \cdot (Q_1Q_0) \\
 G &= Q_2(Q'_1Q'_0) + Q_2(Q'_1Q_0) + 0 \cdot (Q_1Q'_0) + Q'_2(Q_1Q_0)
 \end{aligned}$$

电路图如图 A 6.30 所示。

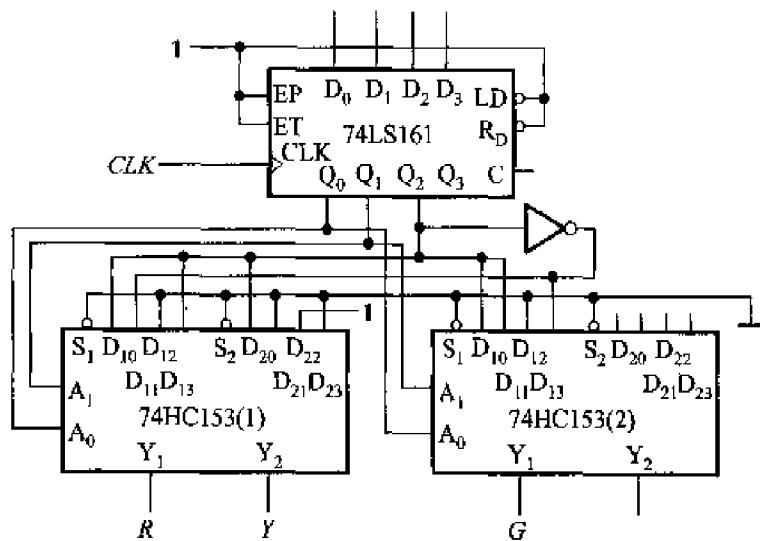


图 A 6.30

【题 6.31】试用 JK 触发器和门电路设计一个同步七进制计数器。

解：因为七进制计数器必须有七个不同的电路状态，所以需要用三个触发器组成。如果对电路的状态编码没有提出要求，则取哪七个状态以及如何安排顺序可自行确定。如果选用图 A 6.31(a)状态转换图所示的状态编码和循环顺序，即可画出电路次状态($Q_3^* Q_2^* Q_1^*$)的卡诺图，如图 A 6.31(b)所示。

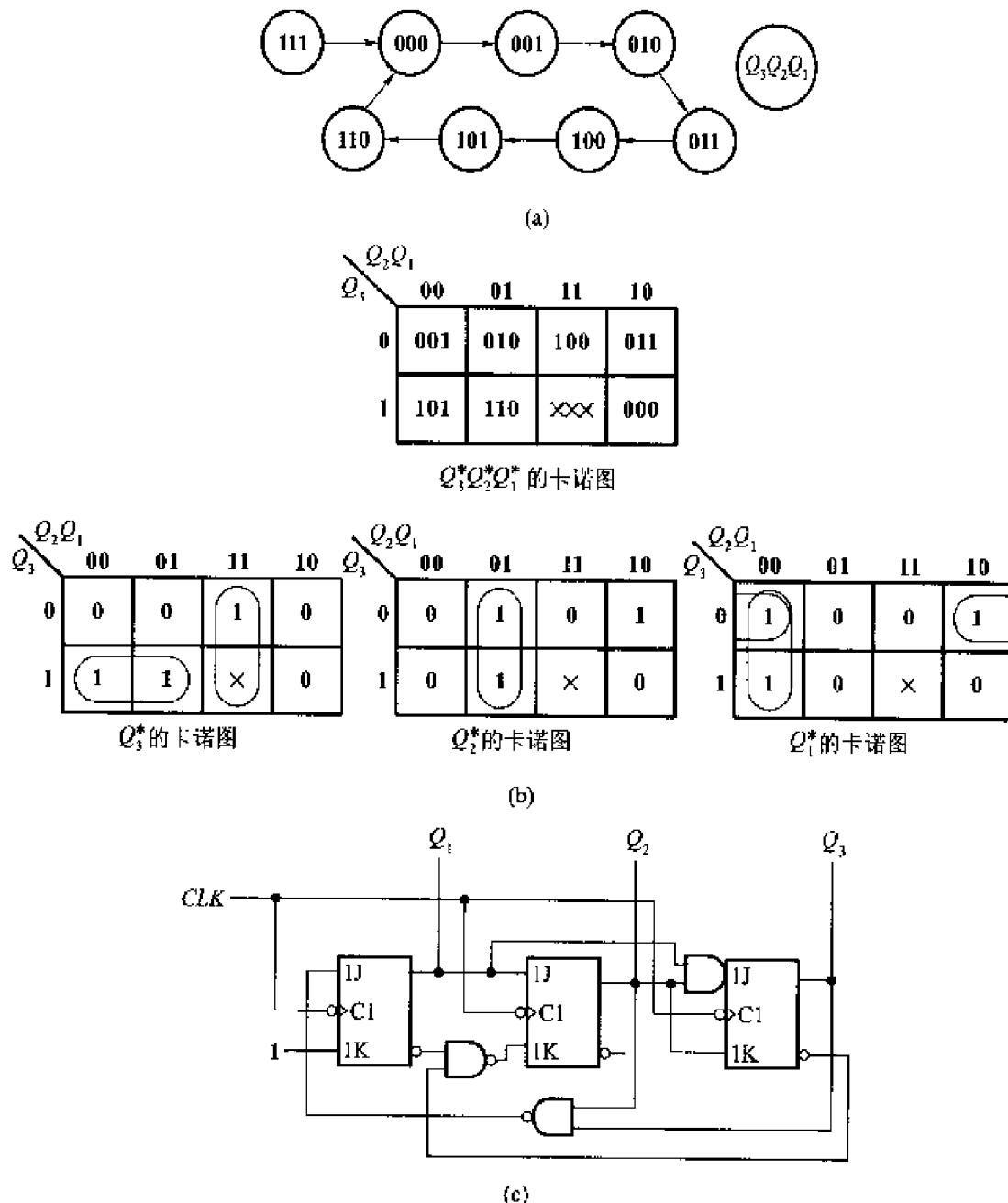


图 A 6.31

从卡诺图写出电路的状态方程得到

$$\begin{cases} Q_3^* = Q_3 Q_2' + Q_2 Q_1 = (Q_2 Q_1) Q_3' + (Q_2') Q_3 \\ Q_2^* = Q_2' Q_1 + Q_3' Q_2 Q_1' = (Q_1) Q_2' + (Q_3' Q_1') Q_2 \\ Q_1^* = Q_2' Q_1' + Q_3' Q_1' = (Q_2 Q_3)' Q_1' + (1') Q_1 \end{cases}$$

将上式与 JK 触发器特性方程的标准形 $Q^* = JQ' + K'Q$ 对照, 即可得出驱动方程为

$$\begin{cases} J_3 = Q_2 Q_1; & K_3 = Q_2 \\ J_2 = Q_1; & K_2 = (Q_3' Q_1')' \\ J_1 = (Q_2 Q_3)'; & K_1 = 1 \end{cases}$$

根据驱动方程画出的电路图如图 A 6.31(c) 所示。

将无效状态 111 代入状态方程计算, 得次态为 000, 说明该电路能自启动。

【题 6.32】 用 JK 触发器和门电路设计一个 4 位格雷码计数器, 它的状态转换表如表 P6.32 所示。

表 P6.32

计数顺序	电路状态				进位输出 C
	Q_3	Q_2	Q_1	Q_0	
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	1	0
3	0	0	1	0	0
4	0	1	1	0	0
5	0	1	1	1	0
6	0	1	0	1	0
7	0	1	0	0	0
8	1	1	0	0	0
9	1	1	0	1	0
10	1	1	1	1	0
11	1	1	1	0	0
12	1	0	1	0	0
13	1	0	1	1	0
14	1	0	0	1	0
15	1	0	0	0	1
16	0	0	0	0	0

解：按照表 P 6.32 中给出的计数顺序，得到图 A 6.32 (a) 所示的 $Q_3^*, Q_2^*, Q_1^*, Q_0^*$ 的卡诺图。从卡诺图写出状态方程，经化简后得到

$$\begin{aligned}
 Q_3^* &= Q_3 Q_1 + Q_3 Q_0 + Q_2 Q_1' Q_0' \\
 &= Q_3 Q_1 + Q_3 Q_0 + Q_2 Q_1' Q_0' (Q_3 + Q_3') \\
 &= (Q_2 Q_1' Q_0') Q_3' + (Q_2' Q_1' Q_0')' Q_3 \\
 Q_2^* &= Q_2 Q_1' + Q_2 Q_0 + Q_3' Q_1 Q_0' \\
 &= Q_2 Q_1' + Q_2 Q_0 + Q_3' Q_1 Q_0' (Q_2 + Q_2') \\
 &= (Q_3' Q_1 Q_0') Q_2' + (Q_3 Q_1 Q_0')' Q_2 \\
 Q_1^* &= Q_1 Q_0' + Q_3' Q_2' Q_0 + Q_3 Q_2 Q_0 \\
 &= Q_1 Q_0' + (Q_3' Q_2' Q_0 + Q_3 Q_2 Q_0) (Q_1 + Q_1') \\
 &= ((Q_2 \oplus Q_3)' Q_0) Q_1' + (Q_0 (Q_3 \oplus Q_2))' Q_1 \\
 Q_0^* &= Q_3' Q_2' Q_1' + Q_3' Q_2 Q_1 + Q_3 Q_2 Q_1' + Q_3 Q_2' Q_1 \\
 &= (Q_3 \oplus Q_2 \oplus Q_1)' \\
 &= (Q_3 \oplus Q_2 \oplus Q_1)' (Q_0 + Q_0') \\
 &= (Q_3 \oplus Q_2 \oplus Q_1)' Q_0' + (Q_3 \oplus Q_2 \oplus Q_1)' Q_0
 \end{aligned}$$

从以上各式得到

$$\begin{aligned}
 J_3 &= Q_2 Q_1' Q_0'; K_3 = Q_2' Q_1' Q_0' \\
 J_2 &= Q_3' Q_1 Q_0'; K_2 = Q_3 Q_1 Q_0' \\
 J_1 &= (Q_3 \oplus Q_2)' Q_0; K_1 = (Q_3 \oplus Q_2) Q_0 \\
 J_0 &= (Q_3 \oplus Q_2 \oplus Q_1)'; K_0 = Q_3 \oplus Q_2 \oplus Q_1
 \end{aligned}$$

进位输出信号为 $C = Q_3 Q_2' Q_1' Q_0'$

得到的逻辑图如图 A 6.32(b) 所示。

【题 6.33】 用 D 触发器和门电路设计一个十一进制计数器，并检查设计的电路能否自启动。

解：因为电路必须有 11 个不同的状态，所以需要用四个触发器组成这个电路。如果按表 A 6.33 取电路的 11 个状态和循环顺序，则可画出表示电路次态的卡诺图，如图 A 6.33(a) 所示。

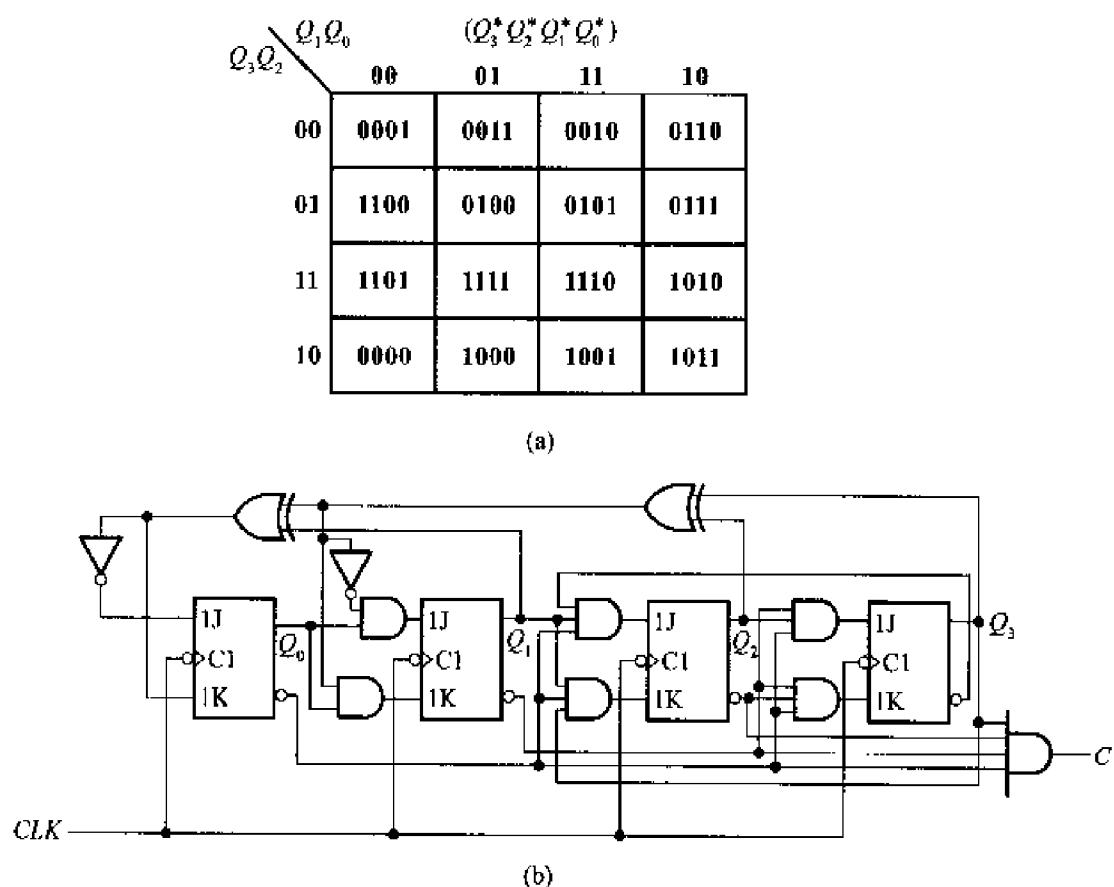


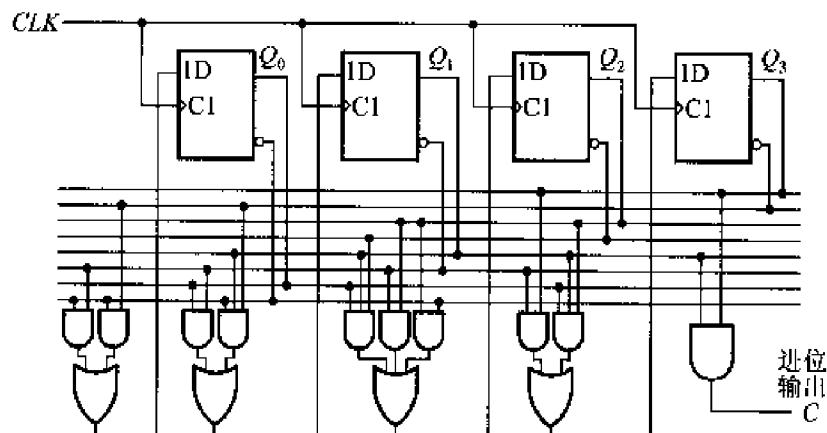
圖 A.6.32

表 A6.33 题 6.33 中计数器的状态循环表

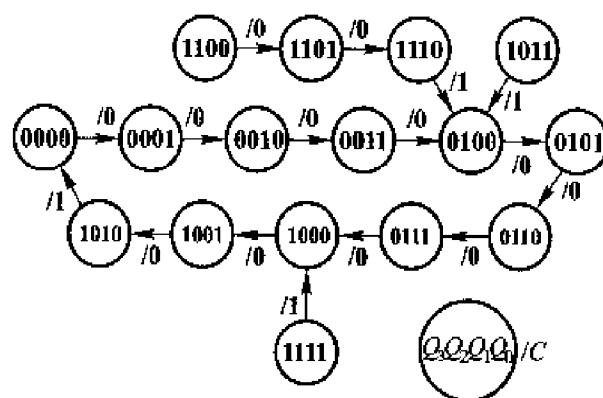
计数 顺序	电路状态				进位 C	计数 顺序	电路状态				进位 C
	Q_3	Q_2	Q_1	Q_0			Q_3	Q_2	Q_1	Q_0	
0	0	0	0	0	0	6	0	1	1	0	0
1	0	0	0	1	0	7	0	1	1	1	0
2	0	0	1	0	0	8	1	0	0	0	0
3	0	0	1	1	0	9	1	0	0	1	0
4	0	1	0	0	0	10	1	0	1	0	1
5	0	1	0	1	0	11	0	0	0	0	0

		$(Q_3^*, Q_2^*, Q_1^*, Q_0^*)$			
		00	01	11	10
$Q_3 Q_2$	00	0001	0010	0100	0011
	01	0101	0110	1000	0111
11		XXXX		XXXX	
10		1001	1010	XXXX	0000

(a)



(b)



(c)

图 A 6.33

由卡诺图得到四个触发器的状态方程为

$$\begin{cases} Q_3^* = Q_3 Q_1' + Q_2 Q_1 Q_0 \\ Q_2^* = Q_2 Q_1' + Q_2 Q_0' + Q_2' Q_1 Q_0 \\ Q_1^* = Q_1' Q_0 + Q_3' Q_1 Q_0' \\ Q_0^* = Q_3' Q_0' + Q_1' Q_0' \end{cases}$$

输出方程为

$$C = Q_3 Q_1$$

由于 D 触发器的 $Q^* = D$, 于是得到图 A 6.33(b) 的电路图。从状态方程和输出方程画出电路的状态转换图如图 A 6.33(c), 可见电路能够自启动。

【题 6.34】 设计一个控制步进电动机三相六状态工作的逻辑电路。如果用 1 表示电机绕组导通, 0 表示电机绕组截止, 则 3 个绕组 ABC 的状态转换图应如图 P 6.34 所示。 M 为输入控制变量, 当 $M = 1$ 时为正转, $M = 0$ 时为反转。

解: 取 Q_1, Q_2, Q_3 三个触发器的状态分别表示 A, B, C 的状态。由图 P 6.34 可见, 输出的状态与 A, B, C 的状态相同, 故可直接得到 $y_a = Q_1, y_b = Q_2, y_c = Q_3$ 。

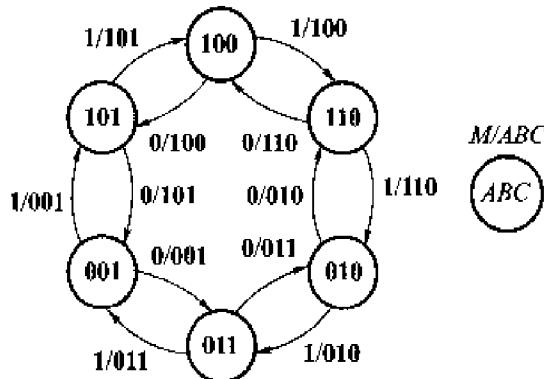


图 P 6.34

根据图 P 6.34 的状态转换图画出 Q_1^*, Q_2^*, Q_3^* 作为 Q_1, Q_2, Q_3 和 M 的逻辑函数的卡诺图, 如图 A 6.34(a)。由卡诺图写出状态方程为

$$\begin{cases} Q_1^* = MQ_2' + M'Q_3' \\ Q_2^* = MQ_3' + M'Q_1' \\ Q_3^* = MQ_1' + M'Q_2' \end{cases}$$

若采用 D 触发器, 则根据 $Q^* = D$, 即得到

$$\begin{cases} D_1 = MQ_2' + M'Q_2' \\ D_2 = MQ_3' + M'Q_1' \\ D_3 = MQ_1' + M'Q_2' \end{cases}$$

据此画出的电路图如图 A 6.34 (b) 所示。

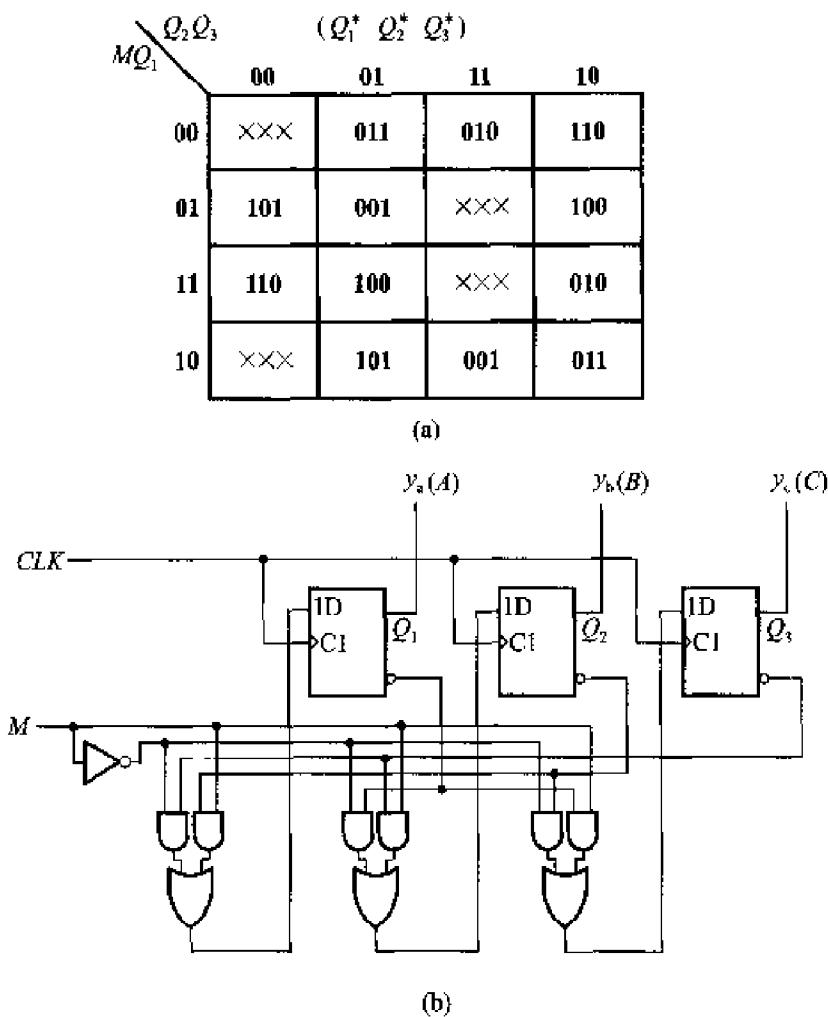


图 A 6.34

【题 6.35】 设计一个串行数据检测电路。当连续出现四个和四个以上的 1 时, 检测输出信号为 1, 其余情况下的输出信号为 0

解: 设未输入 1 以前电路的初始状态为 S_0 , 输入一个 1 以后电路的状态为 S_1 , 连续输入两个 1 以后电路的状态为 S_2 , 连续输入三个 1 以后电路的状态为 S_3 , 连续输入四个和四个以上的 1 以后电路的状态为 S_4 , 则可根据题意画出图 A 6.35 (a) 的状态转换图。

由图 A 6.35(a) 中可见, S_4 和 S_3 在同样的输入下有同样的输出, 而且转向同样的次态, 因而 S_4 和 S_3 为等价状态可以合并, 将状态转换图化简为图 A 6.35(b) 形式。

需要强调的一点是每当电路转换到次态时, 输入也必须同时转换为下一个输入状态, 否则将会把原来的输入状态当作下一个输入状态了。而且, 只有在这种条件下, 才能将 S_4 和 S_3 两个状态合并化简。

因为电路工作过程中有四个状态, 所以需要用两个触发器的四种状态组合表示。若以两个触发器状态的 **00**、**01**、**10**、**11** 分别表示 S_0 、 S_1 、 S_2 、 S_3 , 并以 A 表示输入, 以 Y 表示输出, 即可根据图 A 6.35(b) 的状态转换图列出电路的状态转换表, 如表 A 6.35 所示。

从表 A 6.35 可画出 Q_1^* 、 Q_0^* 、 Y 的卡诺图, 如图 A 6.35(c) 所示。从卡诺图得到电路的状态方程和输出方程

$$\begin{cases} Q_1^* = A Q_1 + A Q_0 \\ Q_0^* = A Q_1 + A Q_0' \end{cases}$$

$$Y = A Q_1 Q_0$$

若选用 D 触发器组成该电路, 则根据 D 触发器的特性方程 $Q^* = D$, 得到电路的驱动方程

$$\begin{cases} D_1 = A Q_1 + A Q_0 \\ D_0 = A Q_1 + A Q_0' \end{cases}$$

根据驱动方程和输出方程画出的电路图如图 A 6.35(d)。

表 A 6.35

$Q_1^* Q_0^*/Y$	$Q_1 Q_0$	00	01	11	10
A		00/0	00/0	00/0	00/0
0		00/0	00/0	00/0	00/0
1		01/0	10/0	11/1	11/0

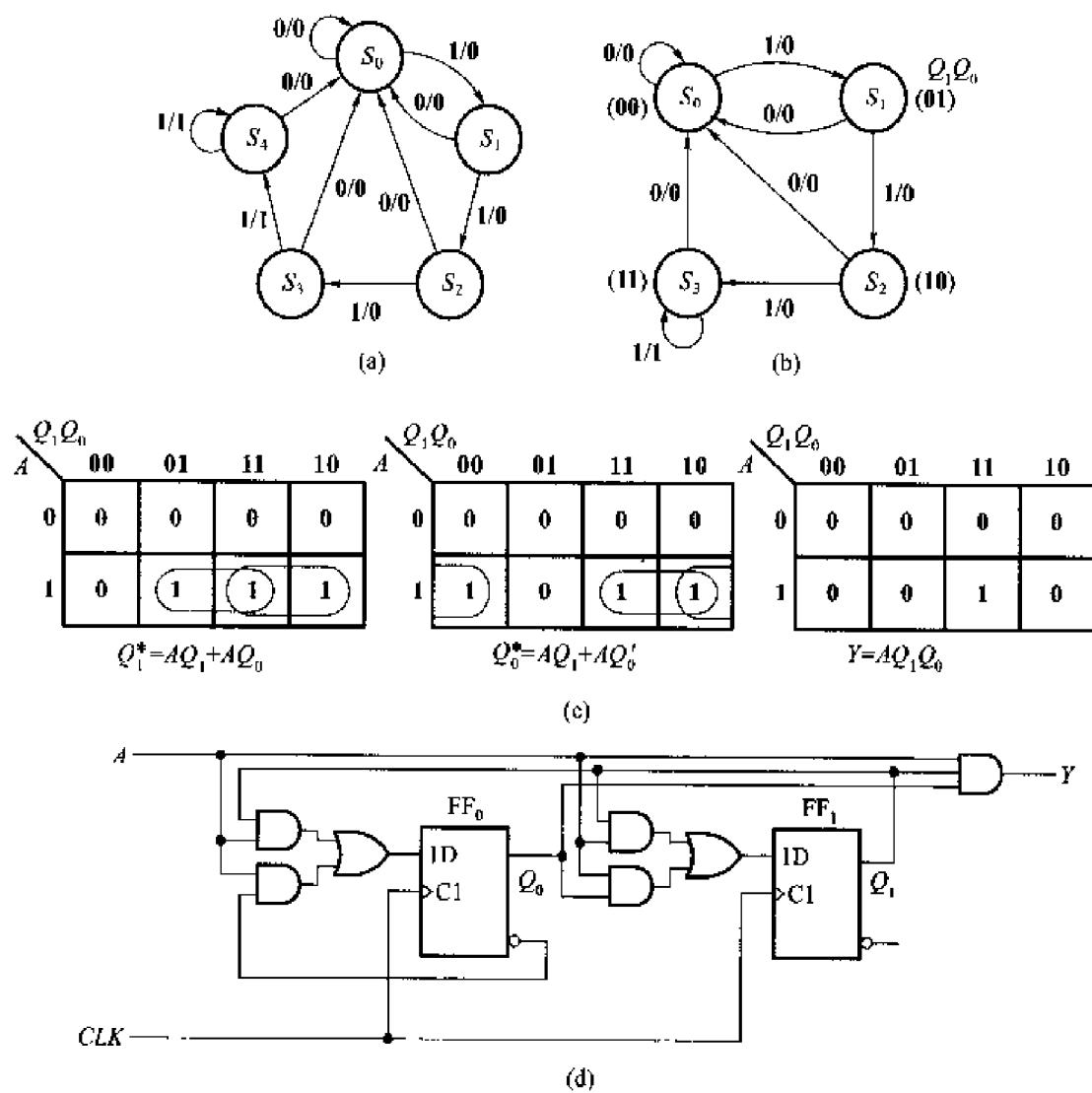


图 A 6.35

第七章

半导体存储器

7.1 本章习题类型与解题方法

本章习题中的绝大部分都属于以下两种类型:一类是存储器扩展容量的方法,另一类是用存储器设计组合逻辑电路。

一、存储器扩展容量的方法

解题方法和步骤:

(1) 位扩展方法。在一片存储器芯片的字数够用而每个字的位数不够用时,可以用位扩展连接方法将多片存储器组合成输出数据位数更多的存储器。

连接的方法是将各片的地址线、读/写控制线(R/W')片选线(CS')分别并联起来。如果每一片输出的数据是 m 位,则按上述方法用 n 片组合成的存储器将有 $m \times n$ 位数据输出。

(2) 字扩展接法。在一片存储器芯片的字数不够用而每个字的位数够用时,可以用字扩展接法将多片存储器芯片组合成字数更多的存储器。

连接的方法是将各片的地址线、读/写控制线(R/W')、数据输出线分别并联起来,然后通过每一片的片选(CS')信号,来区分地址代码选中的是哪一片中的存储单元。各片的片选信号由地址代码的附加位译出。如果每片存储器芯片的字数为 p ,则按上述方法将 n 片存储器芯片组合成的存储器将可存储 $p \times n$ 个字。

(3) 如果一片存储器芯片的字数和位数都不够用,则可同时采用位扩展接法和字扩展接法,将多片存储器芯片组合成一个有更多字数和位数的存储器。

【例 7-1】 试使用 1024×4 位的 RAM 芯片组合成一个 4096×8 位的存储器。

解: 因为 $4096 \times 8 / 1024 \times 4 = 8$, 所以需要用 8 片 1024×4 位的存储器芯

片。可以首先用位扩展接法将每两片接成 1024×8 位的存储器, 如图 7-1 中的 1 和 2, 3 和 4, 5 和 6, 7 和 8, 然后再用字扩展接法将它们接成 4096×8 位的存储器。为了区分这四个 1024×8 位的存储器, 需要在 1024×4 位芯片的十位输入地址 ($A_9 \sim A_0$) 之外增加两位地址代码 A_{11} 和 A_{10} , 以便用 $A_{11}A_{10}$ 的四种不同取值来指定这四个 1024×8 位存储器当中的某一个。为此, 还必须用一个 2 线 - 4 线译码器, 将 $A_{11}A_{10}$ 的四种状态 (00, 01, 10, 11) 译成 $Y'_0 \sim Y'_3$ 四个输出信号, 分别去控制四个 1024×8 位存储器的 CS' 端, 这样就得到了图 7-1 的电路连接图。

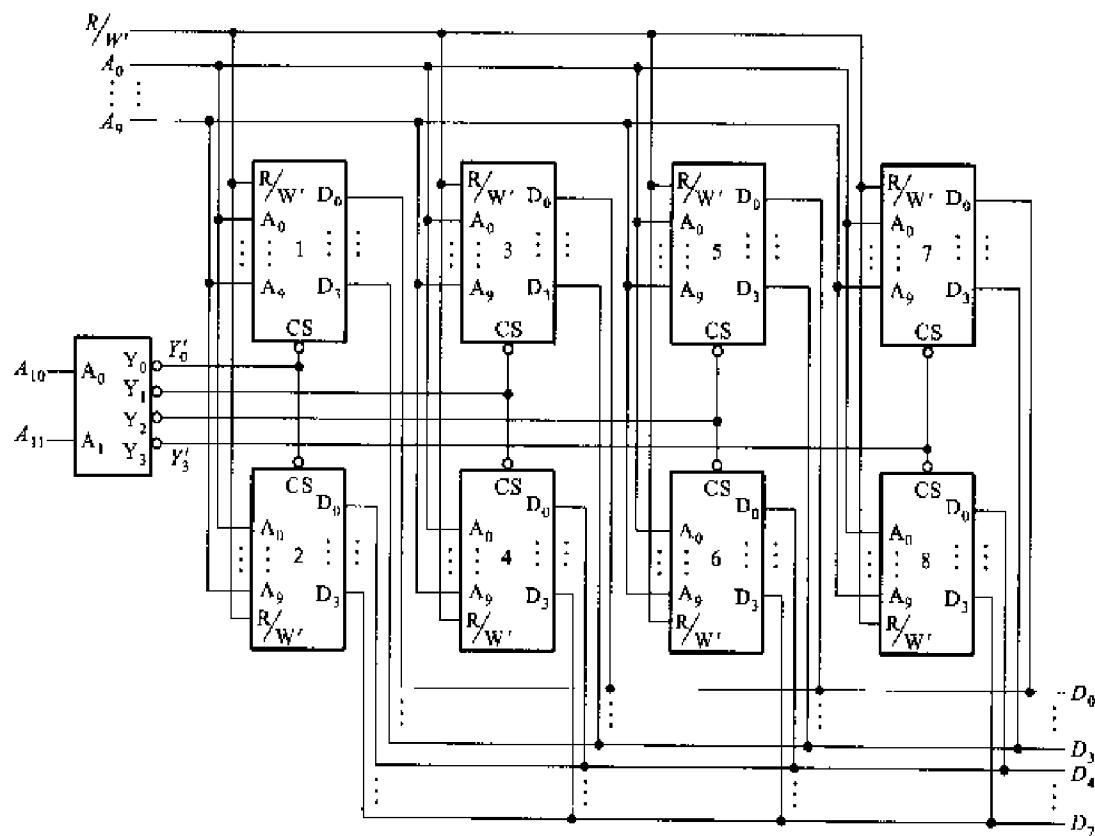


图 7-1 例 7-1 的电路

二、用存储器设计组合逻辑电路

解题方法和步骤:

- (1) 进行逻辑抽象, 得出所设计组合逻辑电路的逻辑真值表。
- (2) 选择存储器芯片。芯片的地址输入端数应等于或大于(最好是等于)输入变量数, 芯片的数据输出端数应等于或大于(最好是等于)输出函数的数目。
- (3) 若一片存储器芯片的地址输入端数或数据输出端数达不到上述要求, 可采用字扩展接法或位扩展接法将多片存储器芯片组合成一个符合要求

的存储器。

(4) 将输入变量接至存储器的地址输入端, 取存储器的输出端作为函数输出端, 并从函数的真值表得到与之对应的存储器的数据表。

(5) 将得到的数据表写入存储器中, 就得到了所设计的组合逻辑电路。

【例 7-2】 设计一个代码转换电路, 将 8421 码转换为余 3 循环码。

解: 以 8421 码的 4 位作为四个输入变量, 以余 3 循环码的 4 位作为多输出函数的四个函数输出端, 就得到了表 7-1 的逻辑真值表。

表 7-1 例 7-2 代码转换电路的真值表

输入				输出			
D	C	B	A	Y_3	Y_2	Y_1	Y_0
0	0	0	0	0	0	1	0
0	0	0	1	0	1	1	0
0	0	1	0	0	1	1	1
0	0	1	1	0	1	0	1
0	1	0	0	0	1	0	0
0	1	0	1	1	1	0	0
0	1	1	0	1	1	0	1
0	1	1	1	1	1	1	1
1	0	0	0	1	1	1	0
1	0	0	1	1	0	1	0
1	0	1	0	0	0	0	0
1	1	0	0	0	0	0	0
1	1	0	1	0	0	0	0
1	1	1	0	0	0	0	0
1	1	1	1	0	0	0	0

在正常工作情况下, 8421 码中不会出现 **1010 ~ 1111** 这六个代码, 故一般称之为“伪码”。输入出现伪码时, 输出也应当设定为余 3 循环码的伪码, 这里将输出全部设为 **0000** (也可以设成其他的伪码)。

产生表 7-1 的逻辑函数使用一片有四位地址输入、四位数据输出的 16×4 位存储器就够了。若选用 1024×4 位 RAM, 以它的地址输入端 A_3, A_2, A_1, A_0 作为 D, C, B, A 的输入端, 以它的数据输出端 D_3, D_2, D_1, D_0 作为 Y_3, Y_2, Y_1, Y_0 的输出端, 如图 7-2 所示, 则可得到 RAM 的数据表如表 7-2。

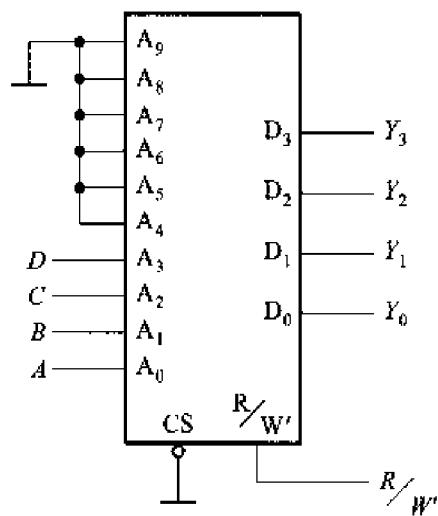


图 7-2 例 7-2 的电路

表 7-2 图 7-2 RAM 的数据表

将表 7-2 的数据写入 RAM 中, 就得到了所设计的代码转换电路。

7.2 习题解答

【题 7.1】若存储器的容量为 $512 \text{ K} \times 8$ 位, 则地址代码应取几位?

解：由于地址代码应当有 512×10^3 个，所以若取 n 位地址代码，则应满足 $2^n \geq 512 \times 10^3 > 2^{n-1}$ ，故应取 $n = 19$ 。

【题 7.2】 某台计算机的内存储器设置有 32 位的地址线，16 位并行数据输入/输出端，试计算它的最大存储量是多少？

解：存储器的最大存储量为 $2^{32} \times 16$ 位 $= 68.7 \times 10^9$ 位 $= 68.7$ G 位。

【题 7.3】 试用两片 1024×8 位的 ROM 组成 1024×16 位的存储器。

解：见图 A7.3。

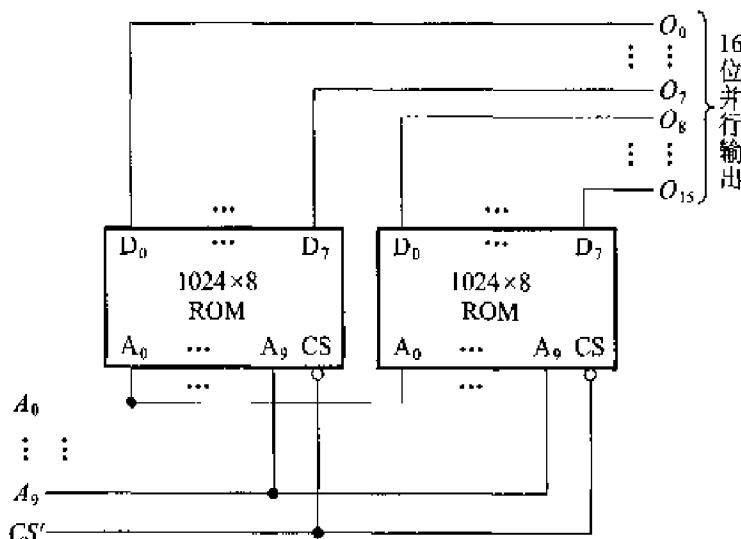


图 A7.3

【题 7.4】 试用 4 片 $4 \text{ K} \times 8$ 位的 RAM 接成 $16 \text{ K} \times 8$ 位的存储器。

解：每一片 $4 \text{ K} \times 8$ 位的 RAM 本身有 12 位地址输入代码 $A_{11} \sim A_0$ ，可以区分其中的 4096 个地址。将 4 片的输出端和地址输入端并联后，还需要借用 CS' 端区分 4 片的地址。为此，又增加了两位地址代码 A_{12} 和 A_{13} ，并通过 2 线 - 4 线译码器将 $A_{13}A_{12}$ 的四种取值译成 $Y'_3 \sim Y'_0$ 四个低电平输出信号，分别控制 4 片的 CS' 端。电路接法见图 A7.4。

【题 7.5】 试用 4 片 2114 (1024×4 位的 RAM) 和 3 线 - 8 线译码器 74HC138 (见图 4.3.8) 组成 4096×4 位的 RAM。

解：为了区分 4 片 2114 需要增加两位地址代码 A_{10} 和 A_{11} ，并用 $A_{11}A_{10}$ 的四种取值译成四个低电平信号分别接至四片 2114 的 CS' 端。为此，可将 74HC138 的输入端 A_2 接地，同时将 $A_{11}、A_{10}$ 接至 74HC138 的输入端 $A_1、A_0$ ，再把 74HC138 的输出 $Y'_0、Y'_1、Y'_2、Y'_3$ 依次接到第 (1)、(2)、(3)、(4) 片 2114 的 CS' ，如图 A7.5 所示。然后再把四片 2114 的输出端并联，就得到一个 4096×4 位的 RAM。

【题 7.6】 试用 16 片 2114 (1024×4 位的 RAM) 和 3 线 - 8 线译码器

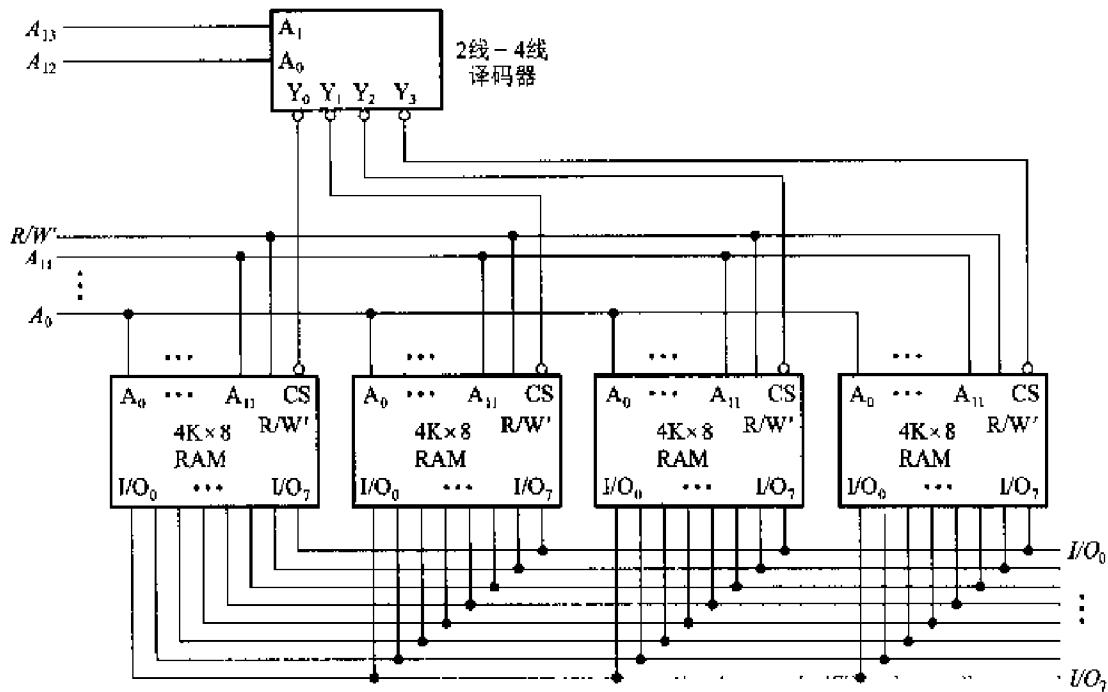


图 A7.4

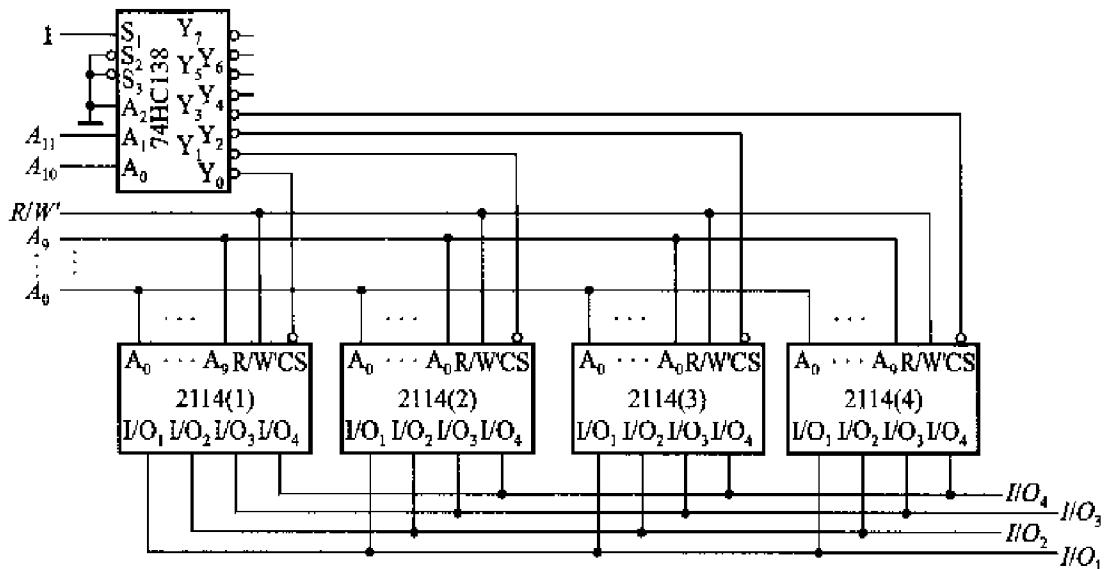


图 A7.5

74HC138(见图 4.3.8)接成一个 $8K \times 8$ 位的 RAM。

解：首先按位扩展方式将每两片 2114 接成 $1K \times 8$ 位的存储器。然后再按字扩展方式将 8 个 $1K \times 8$ 位的存储器接成 $8K \times 8$ 位的存储器。电路接法如图 A7.6 所示。

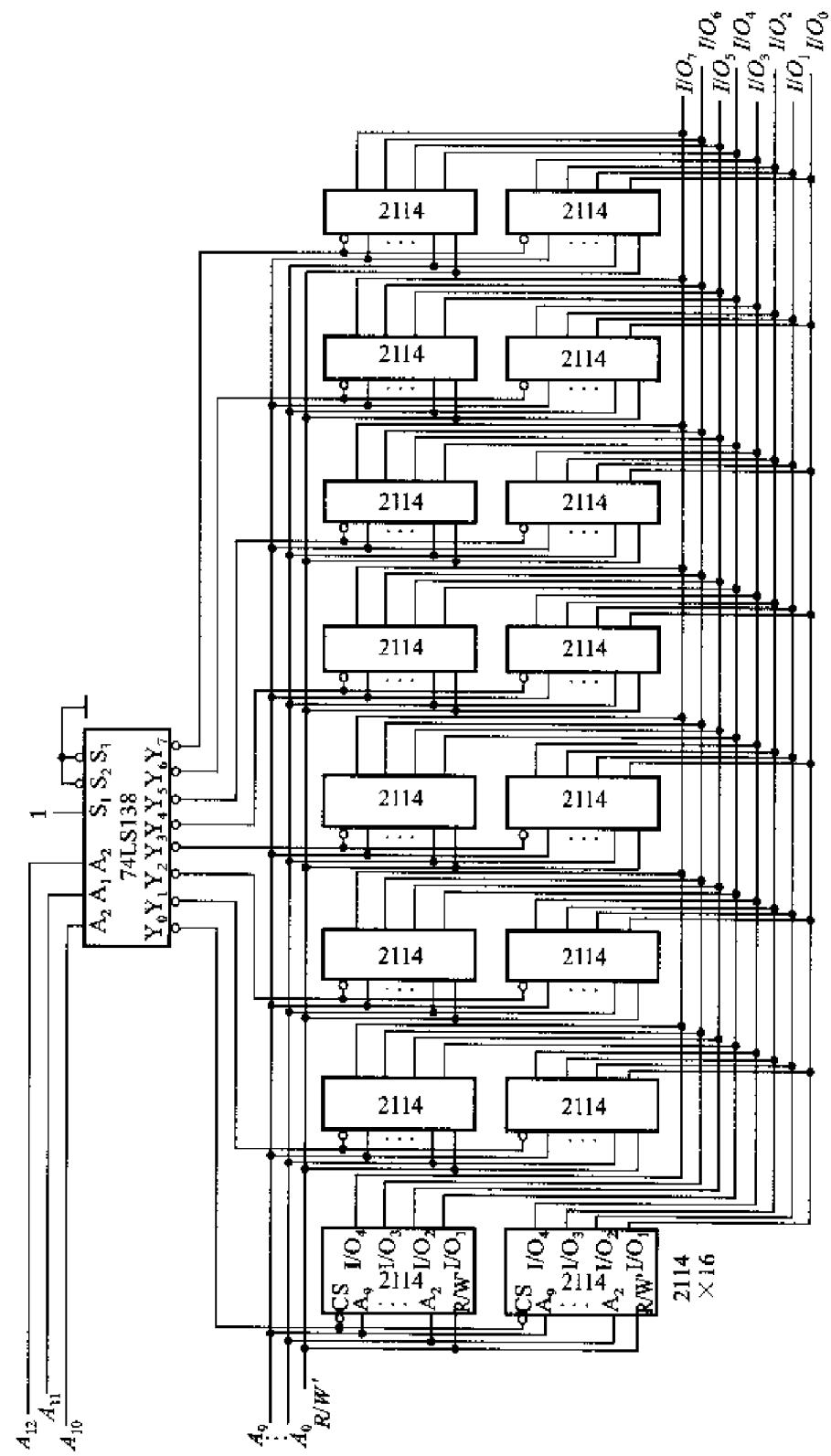


图 A.7.6

【题 7.7】 已知 ROM 的数据表如表 P7.7 所示, 若将地址输入 A_3, A_2, A_1, A_0 作为 4 个输入逻辑变量, 将数据输出 D_3, D_2, D_1, D_0 作为函数输出, 试写出输出与输入间的逻辑函数式, 并化为最简与或形式。

表 P7.7

地址输入				数据输出			
A_3	A_2	A_1	A_0	D_3	D_2	D_1	D_0
0	0	0	0	0	0	0	1
0	0	0	1	0	0	1	0
0	0	1	0	0	0	1	0
0	0	1	1	0	1	0	0
0	1	0	0	0	0	1	0
0	1	0	1	0	1	0	0
0	1	1	0	0	1	0	0
0	1	1	1	1	0	0	0
1	0	0	0	0	0	1	0
1	0	0	1	0	1	0	0
1	0	1	0	0	1	0	0
1	0	1	1	1	0	0	0
1	1	0	0	0	1	0	0
1	1	0	1	1	0	0	0
1	1	1	0	1	0	0	0
1	1	1	1	0	0	0	1

解: 按照从真值表写逻辑函数式的方法即可写出

$$D_3 = A_3' A_2 A_1 A_0 + A_3 A_2' A_1 A_0 + A_3 A_2 A_1' A_0 + A_3 A_2 A_1 A_0'$$

$$D_2 = A_3' A_2' A_1 A_0 + A_3' A_2 A_1' A_0 + A_3' A_2 A_1 A_0' + A_3 A_2' A_1' A_0 + A_3 A_2' A_1 A_0' + A_3 A_2 A_1' A_0' + A_3 A_2 A_1 A_0'$$

$$D_1 = A_3' A_2' A_1' A_0 + A_3' A_2' A_1 A_0' + A_3' A_2 A_1' A_0' + A_3 A_2' A_1' A_0'$$

$$D_0 = A_3' A_2' A_1' A_0' + A_3 A_2 A_1 A_0$$

【题 7.8】 图 P7.8 是一个 16×4 位的 ROM, $A_3 A_2 A_1 A_0$ 为地址输入, $D_3 D_2 D_1 D_0$ 是数据输出。若将 D_3, D_2, D_1, D_0 视为 A_3, A_2, A_1, A_0 的逻辑函数, 试写出 D_3, D_2, D_1, D_0 的逻辑函数式。

$$\text{解: } D_3 = A_3' A_2' A_1' A_0' + A_3' A_2 A_1' A_0 + A_3 A_2' A_1 A_0' + A_3 A_2 A_1 A_0$$

$$D_2 = A_3' A_2 A_1' A_0' + A_3 A_2' A_1' A_0' + A_3 A_2 A_1' A_0' + A_3 A_2 A_1 A_0'$$

$$D_1 = A_3' A_2' A_1 A_0 + A_3' A_2 A_1 A_0' + A_3 A_2' A_1' A_0 + A_3 A_2 A_1' A_0' + A_3 A_2 A_1 A_0$$

$$D_0 = A_3' A_2' A_1' A_0' + A_3' A_2 A_1' A_0' + A_3' A_2 A_1 A_0' + A_3 A_2' A_1' A_0' + A_3 A_2' A_1 A_0' + A_3 A_2 A_1' A_0' + A_3 A_2 A_1 A_0'$$

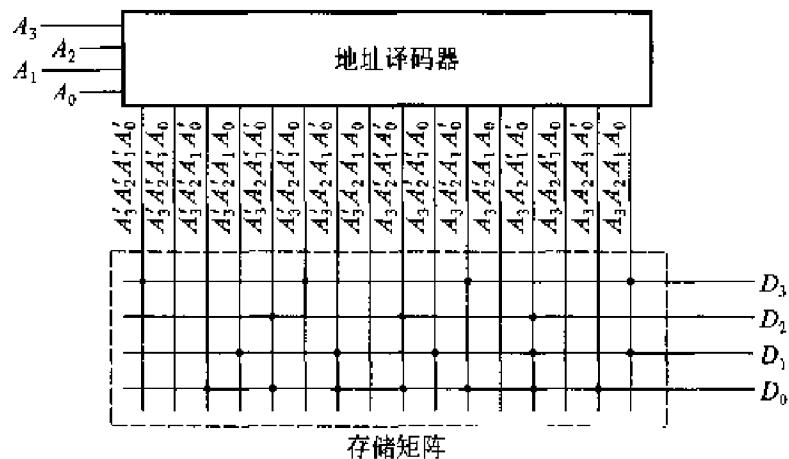


图 P7.8

【题 7.9】 用 16×4 位的 ROM 设计一个将两个 2 位二进制数相乘的乘法器电路,列出 ROM 的数据表,画出存储矩阵的点阵图。

解：设两个相乘的数为 C_1C_0 和 B_1B_0 ，乘积用 $P_3P_2P_1P_0$ 表示，则得到如表 A7.9 的真值表。将 $C_1C_0B_1B_0$ 加到 ROM 的地址输入端 $A_3A_2A_1A_0$ ，按图 A7.9 的点阵编程，则 D_3, D_2, D_1, D_0 即乘积的四位输出端 P_3, P_2, P_1, P_0 。

表 A7.9 题 7.9 的真值表

乘数				乘积			
C_1	C_0	B_1	B_0	P_3	P_2	P_1	P_0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0
0	0	1	0	0	0	0	0
0	0	1	1	0	0	0	0
0	1	0	0	0	0	0	0
0	1	0	1	0	0	0	1
0	1	1	0	0	0	1	0
0	1	1	1	0	0	1	1
1	0	0	0	0	0	0	0
1	0	0	1	0	0	1	0
1	0	1	0	0	1	0	0
1	0	1	1	0	1	1	0
1	1	0	0	0	0	0	0
1	1	0	1	0	0	1	1
1	1	1	0	0	1	1	0
1	1	1	1	1	0	0	1
A_1	A_2	A_1	A_0	D_3	D_2	D_1	D_0

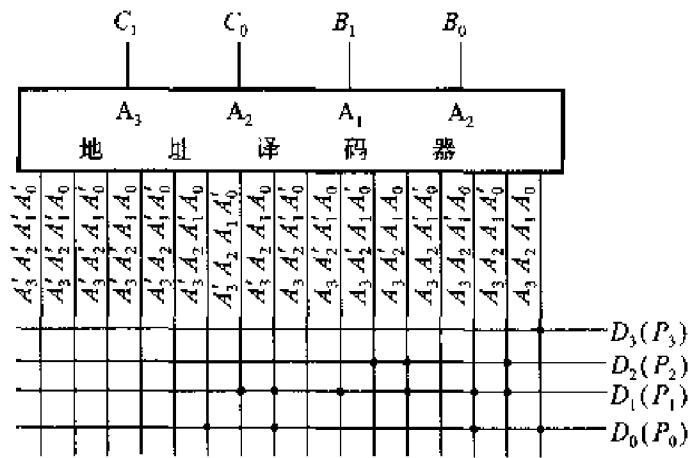


图 A7.9

【题 7.10】 用 ROM 产生下列一组逻辑函数,写出 ROM 中应存入的数据表

$$\begin{cases} Y_3 = A'B'CD' + AB'CD \\ Y_2 = ABD' + A'CD + AB'C'D' \\ Y_1 = AB'CD' + BC'D \\ Y_0 = A'D' \end{cases}$$

解: 将上式化为最小项之和形式后得到

$$\begin{cases} Y_3 = A'B'CD' + AB'CD \\ Y_2 = A'B'CD + A'BCD + AB'C'D' + ABC'D' + ABCD' \\ Y_1 = A'BC'D + AB'CD' + ABC'D \\ Y_0 = A'B'C'D' + A'B'CD' + A'BC'D' + A'BCD' \end{cases}$$

若将 A 、 B 、 C 、 D 依次接至 ROM 的地址输入端 A_3 、 A_2 、 A_1 、 A_0 , 并按表 A7.10 的数据表给出的数据写入 ROM 中, 则在 ROM 的数据输出端 D_3 、 D_2 、 D_1 、 D_0 就得到了函数 Y_3 、 Y_2 、 Y_1 、 Y_0 , 如图 A7.10 所示。

表 A7.10

A_3 (A)	A_2 (B)	A_1 (C)	A_0 (D)	D_3 (Y_3)	D_2 (Y_2)	D_1 (Y_1)	D_0 (Y_0)
0	0	0	0	0	0	0	1
0	0	0	1	0	0	0	0
0	0	1	0	1	0	0	1
0	0	1	1	0	1	0	0
0	1	0	0	0	0	0	1
0	1	0	1	0	0	1	0

续表

A_3 (A)	A_2 (B)	A_1 (C)	A_0 (D)	D_3 (Y_3)	D_2 (Y_2)	D_1 (Y_1)	D_0 (Y_0)
0	1	1	0	0	0	0	1
0	1	1	1	0	1	0	0
1	0	0	0	0	1	0	0
1	0	0	1	0	0	0	0
1	0	1	0	0	0	1	0
1	0	1	1	1	0	0	0
1	1	0	0	0	1	0	0
1	1	0	1	0	0	1	0
1	1	1	0	0	1	0	0
1	1	1	1	0	0	0	0

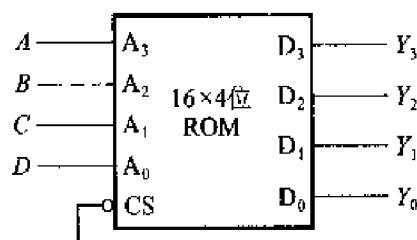


图 A7.10

【题 7.11】用 ROM 设计一个组合逻辑电路, 用来产生下列一组逻辑函数

$$\left\{ \begin{array}{l} Y_1 = A'B'C'D' + A'BC'D + AB'CD' + ABCD \\ Y_2 = A'B'CD' + A'BCD + AB'C'D' + ABC'D \\ Y_3 = A'BD + B'CD' \\ Y_4 = BD + B'D' \end{array} \right.$$

列出 ROM 应有的数据表, 画出存储矩阵的点阵图。

解: 将函数化为最小项之和形式后得到

$$\left\{ \begin{array}{l} Y_1(A, B, C, D) = m_0 + m_5 + m_{10} + m_{15} \\ Y_2(A, B, C, D) = m_2 + m_7 + m_8 + m_{13} \\ Y_3(A, B, C, D) = m_2 + m_5 + m_7 + m_{10} \\ Y_4(A, B, C, D) = m_0 + m_2 + m_5 + m_7 + m_8 + m_{10} + m_{13} + m_{15} \end{array} \right.$$

根据上式得到 ROM 中的数据表如表 A7.11。存储矩阵的点阵图如图 A7.11 所示。

表 A7.11 题 7.11 中 ROM 的数据表

地址				数据				地址				数据			
A_3	A_2	A_1	A_0	D_3	D_2	D_1	D_0	A_3	A_2	A_1	A_0	D_3	D_2	D_1	D_0
(A)	(B)	(C)	(D)	(Y_1)	(Y_2)	(Y_3)	(Y_4)	(A)	(B)	(C)	(D)	(Y_1)	(Y_2)	(Y_3)	(Y_4)
0	0	0	0	1	0	0	1	1	0	0	0	0	1	0	1
0	0	0	1	0	0	0	0	1	0	0	1	0	0	0	0
0	0	1	0	0	1	1	1	1	0	1	0	1	0	1	1
0	0	1	1	0	0	0	0	1	0	1	1	0	0	0	0
0	1	0	0	0	0	0	0	1	1	0	0	0	0	0	0
0	1	0	1	1	0	1	1	1	1	0	1	0	1	0	1
0	1	1	0	0	0	0	0	1	1	1	0	0	0	0	0
0	1	1	1	0	1	1	1	1	1	1	1	1	0	0	1

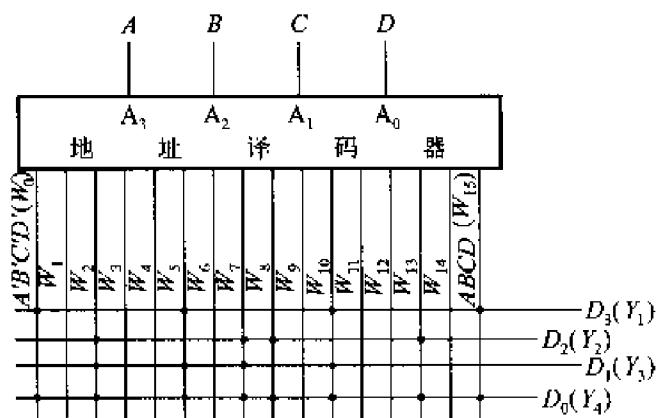


图 A7.11

【题 7.12】用一片 256×8 位的 ROM 产生如下一组组合逻辑函数

$$\begin{cases}
 Y_1 = AB + BC + CD + DA \\
 Y_2 = A'B' + B'C' + C'D' + D'A' \\
 Y_3 = ABC + BCD + ABD + ACD \\
 Y_4 = A'B'C' + B'C'D' + A'B'D' + A'C'D' \\
 Y_5 = ABCD \\
 Y_6 = A'B'C'D'
 \end{cases}$$

列出 ROM 的数据表, 画出电路的连接图, 标明各输入变量与输出函数的接线端。

解: 将函数化为最小项之和形式后得到

$$Y_1(A, B, C, D) = m_3 + m_6 + m_7 + m_9 + m_{11} + m_{12} + m_{13} + m_{14} + m_{15}$$

$$Y_2(A, B, C, D) = m_0 + m_1 + m_2 + m_3 + m_4 + m_6 + m_8 + m_9 + m_{12}$$

$$Y_3(A, B, C, D) = m_7 + m_{11} + m_{13} + m_{14} + m_{15}$$

$$Y_4(A, B, C, D) = m_0 + m_1 + m_2 + m_4 + m_8$$

$$Y_5(A, B, C, D) = m_{15}$$

$$Y_6(A, B, C, D) = m_9$$

将 ROM 地址的高四位接 0, 将 A, B, C, D 接至低四位地址输入端, 取 $D_5 \sim D_0$ 作为 $Y_1 \sim Y_6$ 输出。电路连接如图 A7.12 所示。

表 A7.12 是 ROM 的数据表。因为将高四位地址接 0, 同时输出 $Y_1 \sim Y_6$ 只用了 $D_0 \sim D_5$ 这六个输出端, 所以在数据表中只列出了低四位地址和对应存储单元中低六位的数据。

表 A7.12 题 7.12 ROM 的数据表

低四位地址				数据输出端						低四位地址				数据输出端					
A_3	A_2	A_1	A_0	D_5	D_4	D_3	D_2	D_1	D_0	A_3	A_2	A_1	A_0	D_5	D_4	D_3	D_2	D_1	D_0
$(A$	B	C	$D)$	$(Y_1$	Y_2	Y_3	Y_4	Y_5	Y_6	$(A$	B	C	$D)$	$(Y_1$	Y_2	Y_3	Y_4	Y_5	Y_6
0	0	0	0	0	1	0	1	0	1	1	0	0	0	0	1	0	1	0	0
0	0	0	1	0	1	0	1	0	0	1	0	0	1	1	1	0	0	0	0
0	0	1	0	0	1	0	1	0	0	1	0	1	0	0	0	0	0	0	0
0	0	1	1	1	1	0	0	0	0	1	0	1	1	1	0	1	0	0	0
0	1	0	0	0	1	0	1	0	0	1	1	0	0	1	1	0	0	0	0
0	1	0	1	0	0	0	0	0	0	1	1	0	1	1	0	1	0	0	0
0	1	1	0	1	1	0	0	0	0	1	1	1	0	1	0	1	0	0	0
0	1	1	1	1	0	1	0	0	0	1	1	1	1	1	0	1	0	1	0

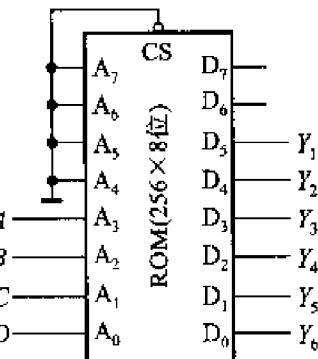


图 A7.12

【题 7.13】用两片 1024 \times 8 位的 EPROM 接成一个数码转换器, 将 10 位二进制数转换成等值的 4 位二 - 十进制数。

- (1) 试画出电路接线图, 标明输入和输出。
- (2) 当地址输入 $A_9A_8A_7A_6A_5A_4A_3A_2A_1A_0$ 分别为 0000000000、1000000000、1111111111 时, 两片 EPROM 中对应地址中的数据各为何值?

解:

- (1) 电路接法如图 A7.13。
- (2) EPROM 中对应的数据如表 A7.13。

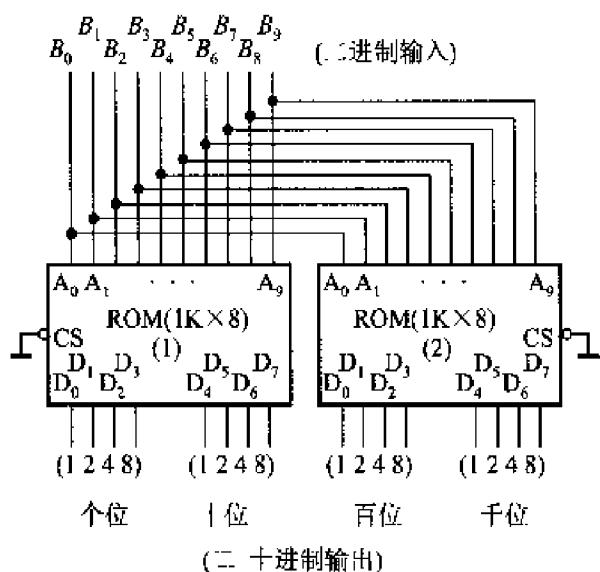


图 A7.13

表 A7.13 题 7.13 ROM 的数据表

地址(二进制输入)	数据(二-十进制输出)																
	ROM(2)				ROM(1)												
	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0	
0 0 0 0 0 0 0 0 0 0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1 0 0 0 0 0 0 0 0 0	0	0	0	0	0	1	0	1	0	0	1	0	0	1	0	0	0
1 1 1 1 1 1 1 1 1 1	0	0	0	1	0	0	0	0	0	0	1	0	0	0	1	1	1

【题 7.14】 图 P7.14 是用 16×4 位 ROM 和同步十六进制加法计数器 74LS161 组成的脉冲分频电路, ROM 的数据表如表 P7.14 所示。试画出在 CLK 信号连续作用下 D_3 、 D_2 、 D_1 、和 D_0 输出的电压波形, 并说明它们与 CLK 信号频率的关系。

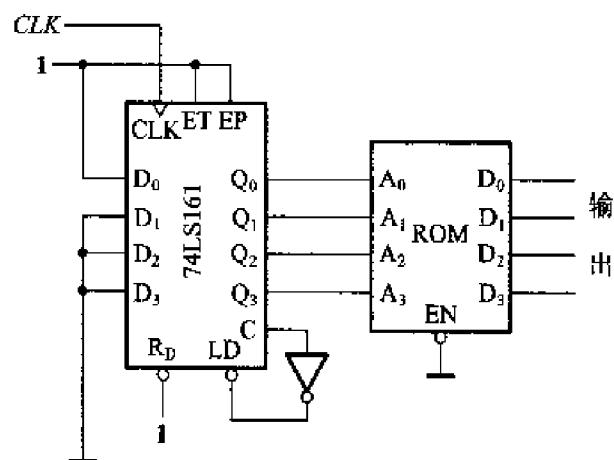


图 P7.14

率之比。

表 P7.14

地址输入				数据输出			
A_3	A_2	A_1	A_0	D_3	D_2	D_1	D_0
0	0	0	0	1	1	1	1
0	0	0	1	0	0	0	0
0	0	1	0	0	0	1	1
0	0	1	1	0	1	0	0
0	1	0	0	0	1	0	1
0	1	0	1	1	0	1	0
0	1	1	0	1	0	0	1
0	1	1	1	1	0	0	0
1	0	0	0	1	1	1	1
1	0	0	1	1	1	0	0
1	0	1	0	0	0	0	1
1	0	1	1	0	0	1	0
1	1	0	0	0	0	0	1
1	1	0	1	0	1	0	0
1	1	1	0	0	1	1	1
1	1	1	1	0	0	0	0

解：74LS161 用置数法接成了十五进制计数器。在时钟信号连续作用下，输出的状态 $Q_3Q_2Q_1Q_0$ 将从 0001 到 1111 循环变化，因而 ROM 的地址也从 0001 到 1111 循环变化。将表 P7.14 中 D_3, D_2, D_1, D_0 的数据按地址变化的顺序排列，就得到了图 A7.14 的电压波形图。由图可见， D_3, D_2, D_1, D_0 输出脉冲的频率与 CLK 频率之比分别为 $1/15, 1/5, 1/3, 7/15$ 。

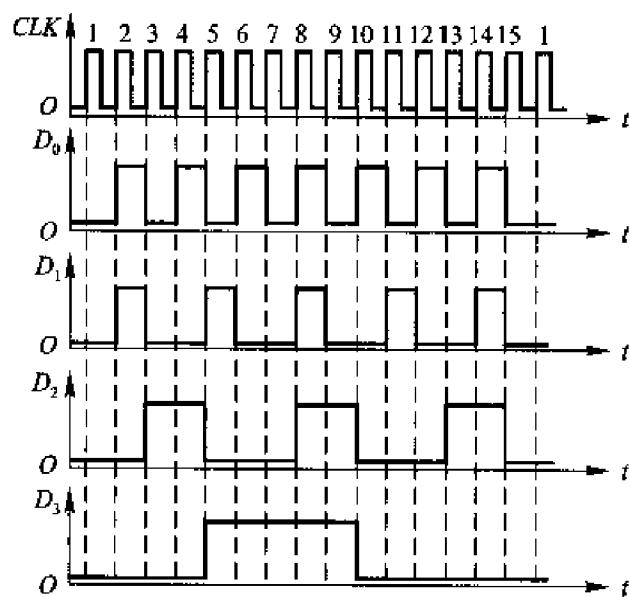


图 A7.14

第八章

可编程逻辑器件

8.1 本章习题类型与解题方法

这一章的习题主要有两种类型,一种类型是分析已编程 PAL 逻辑功能的题目,另外一类是用 PAL 设计逻辑电路的题目。

上面已经提到,PLD 的编程工作都是采用 EDA 手段在计算机的辅助下自动进行的。为了帮助读者具体地了解 PLD 的基本原理,增加感性认识,这章的习题里给出了几道用最简单的 PAL 器件手工设计逻辑电路的习题。但是,这绝不意味着实际工作中要用手工编程的方式使用 PLD 器件设计逻辑电路。

一、分析已编程 PAL 器件的逻辑功能

1. 组合逻辑电路的分析

解题方法和步骤:

分析方法和步骤与第四章中所讲的组合逻辑电路的分析方法和步骤完全相同,即根据给定的已编程 PAL 电路写出输出与输入间的逻辑函数式,然后通过化简或变换使逻辑关系尽量简单明了,有时还可以转换为真值表的形式,以使逻辑关系更加直观。

2. 时序逻辑电路的分析

解题方法和步骤:

分析方法和步骤与第六章中所讲的时序逻辑电路的分析方法和步骤完全相同,即

(1) 根据已编程的 PAL 电路写出电路的驱动方程(每个触发器输入端的逻辑式)。

(2) 将得到的驱动方程代入触发器的特性方程,得到电路的状态方程。

- (3) 根据已编程的 PAL 电路写出电路的输出方程。
- (4) 列出电路的状态转换表并画出电路的状态转换图。
- (5) 检查电路能否自启动, 说明电路完成什么样的功能。

【例 8-1】试分析图 8-1 中的 PAL16R4 的逻辑功能, 说明该电路实现什么功能, 并指出电路能否自启动。

解: 由图可见, 电路包括组合电路(与-或阵列)和存储电路(四个触发器)两部分, 而且存储电路的状态又反馈到了组合电路的输入, 所以这是一个时序逻辑电路, 需要用驱动方程、状态方程和输出方程这三个方程组描述它的逻辑功能。

首先写出驱动方程为

$$\begin{cases} D_0 = Q_0' \\ D_1 = Q_0 Q_1 + Q_0' Q_1' Q_2 + Q_0' Q_1' Q_3 \\ D_2 = Q_0 Q_2 + Q_1 Q_2 + Q_0' Q_1' Q_2' Q_3 \\ D_3 = Q_0 Q_3 + Q_1 Q_3 + Q_2 Q_3 + Q_0' Q_1' Q_2' Q_3' \end{cases} \quad (8-1)$$

将上面的驱动方程代入 D 触发器的特性方程 $Q^* = D$ 得到

$$\begin{cases} Q_0^* = Q_0' \\ Q_1^* = Q_0 Q_1 + Q_0' Q_1' Q_2 + Q_0' Q_1' Q_3 \\ Q_2^* = Q_0 Q_2 + Q_1 Q_2 + Q_0' Q_1' Q_2' Q_3 \\ Q_3^* = Q_0 Q_3 + Q_1 Q_3 + Q_2 Q_3 + Q_0' Q_1' Q_2' Q_3' \end{cases} \quad (8-2)$$

从图 8-1 电路中还可以写出输出方程为

$$\begin{cases} Y_0 = Q_0 \\ Y_1 = Q_1 \\ Y_2 = Q_2 \\ Y_3 = Q_3 \end{cases} \quad (8-3)$$

为了得到电路的状态转换表, 取 $Q_3 Q_2 Q_1 Q_0 = 0000$ 为初态代入式(8-2)的状态方程求得次态为 $Q_3^* Q_2^* Q_1^* Q_0^* = 1001$ 。再以 1001 为初态代入式(8-2)求出下一个次态。如此继续下去, 就得到了表 8-1 的状态转换表。根据状态转换表画出的状态转换图如图 8-2。

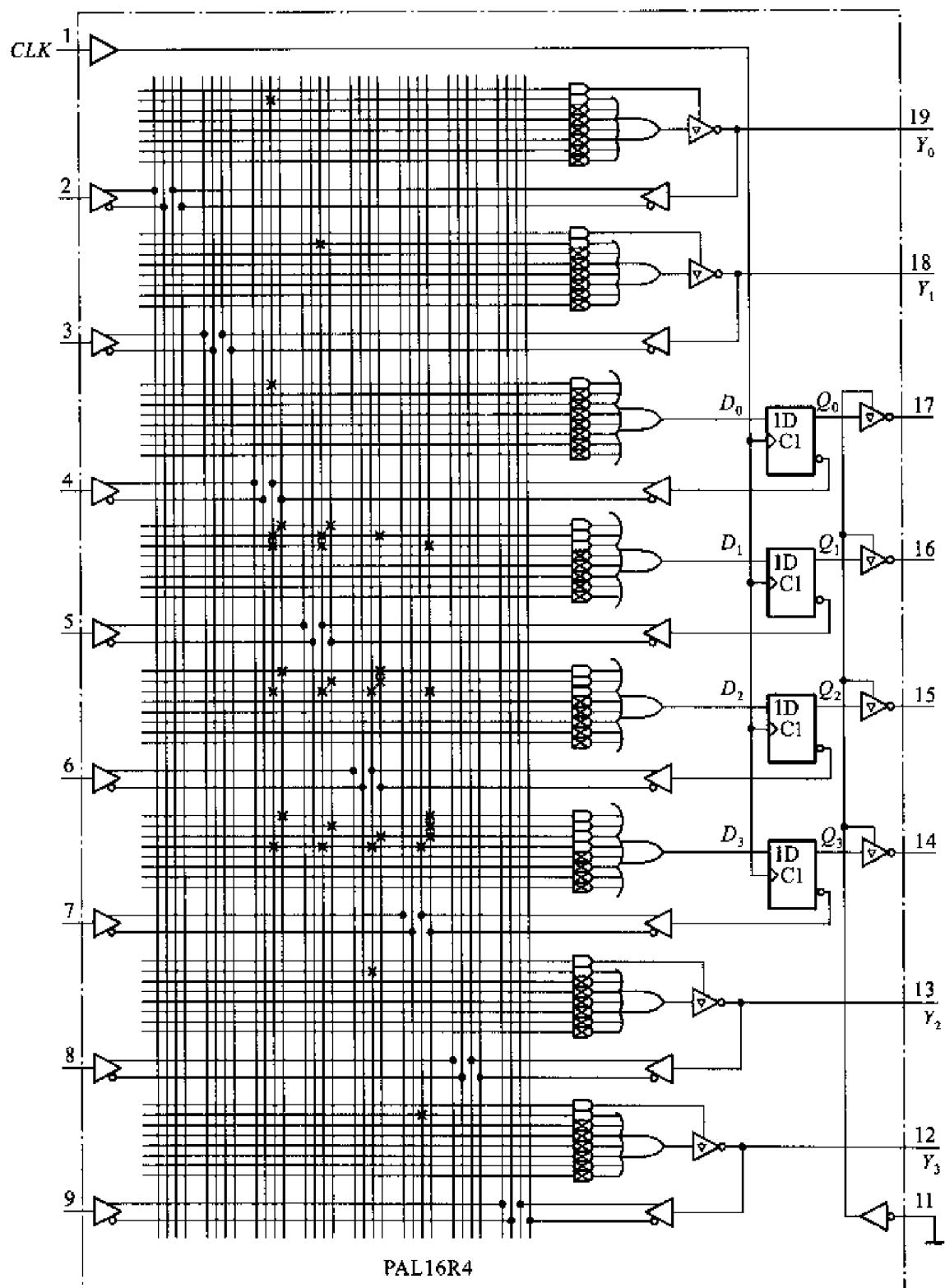


图 8-1 例 8-1 编程后的 PAL 电路

表 8-1 例 8-1PAL 电路的状态转换表

CLK 顺序	Q_3 (Y_3)	Q_2 (Y_2)	Q_1 (Y_1)	Q_0 (Y_0)
0	0	0	0	0
1	1	0	0	1
2	1	0	0	0
3	0	1	1	1
4	0	1	1	0
5	0	1	0	1
6	0	1	0	0
7	0	0	1	1
8	0	0	1	0
9	0	0	0	1
10	0	0	0	0
0	1	1	1	1
1	1	1	1	0
2	1	1	0	1
3	1	1	0	0
4	1	0	1	1
5	1	0	1	0
6	1	0	0	1

由状态转换表和状态转换图不难看出,这是一个采用 BCD 编码的十进制减法计数器,而且电路能够在 CLK 信号作用下自动地从无效状态进入有效循环,所以是能自行启动的电路。

因为这个电路没有输入逻辑变量,而且输出就是电路的状态,所以在状态转换图中没有标出输出/输入。

二、用 PAL 器件设计逻辑电路

1. 设计组合逻辑电路

解题方法和步骤:

与《数字电子技术基础》(第五版)第 4.2.2 节中所讲过的设计方法和步骤基本相同,即

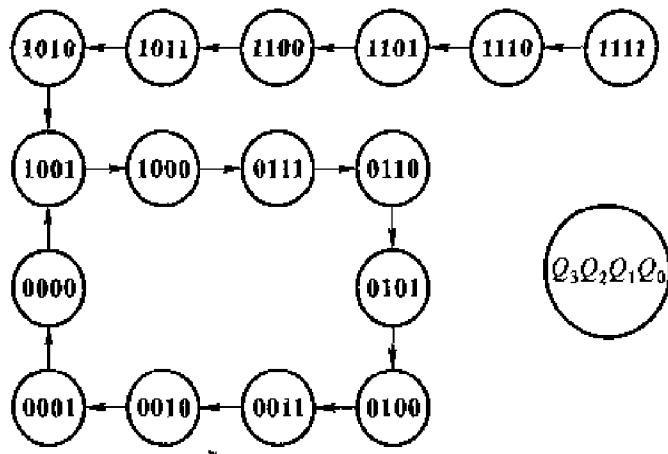


图 8-2 例 8-1PAL 电路的状态转换图

- (1) 进行逻辑抽象, 得出电路的逻辑真值表。
- (2) 写出逻辑函数式, 并化为最简与或式。
- (3) 选定器件型号, 应满足所设计电路对输入端数、输出端数和乘积项数目 的要求。
- (4) 确定输入端、输出端位置, 对与或阵列编程, 进行电路连接。

【例 8-2】 用 PAL 设计一个数据监视电路, 要求能指示出四位并行输入 的数据中所含 1 的个数, 即包含一个 1、两个 1、三个 1 还是四个 1。

解: 以 $ABCD$ 表示并行输入的四位数据, 以 Y'_4, Y'_3, Y'_2, Y'_1 的低电平输出信 号分别表示四位数据中含有四个 1、三个 1、两个 1、一个 1, 便得到了表 8-2 的 逻辑真值表。

表 8-2 例 8-2 电路的真值表

输入				输出			
A	B	C	D	Y'_4	Y'_3	Y'_2	Y'_1
0	0	0	0	1	1	1	1
0	0	0	1	1	1	1	0
0	0	1	0	1	1	1	0
0	0	1	1	1	1	0	1
0	1	0	0	1	1	1	0
0	1	0	1	1	1	0	1
0	1	1	0	1	1	0	1

续表

输入				输出			
<i>A</i>	<i>B</i>	<i>C</i>	<i>D</i>	<i>Y</i> ' ₄	<i>Y</i> ' ₃	<i>Y</i> ' ₂	<i>Y</i> ' ₁
0	1	1	1	1	0	1	1
1	0	0	0	1	1	1	0
1	0	0	1	1	1	0	1
1	0	1	0	1	1	0	1
1	0	1	1	1	0	1	1
1	1	0	0	1	1	0	1
1	1	0	1	1	0	1	1
1	1	1	0	1	0	1	1
1	1	1	1	0	1	1	1

我们在讲述用卡诺图化简逻辑函数时曾经讲到,当卡诺图中的 0 数目很少时,可以将这些 0 对应的最小项合并后再求反,与合并卡诺图中 1 对应的最小项得到的结果相同。由此得到

$$\left\{ \begin{array}{l} Y'_4 = (ABCD)' \\ Y'_3 = (A'BCD + AB'CD + ABC'D + ABCD')' \\ Y'_2 = (A'B'CD + A'BC'D + A'BCD' + AB'C'D + AB'CD' + ABC'D')' \\ Y'_1 = (A'B'C'D + A'B'CD' + A'BC'D' + AB'C'D')' \end{array} \right. \quad (8-4)$$

选用 PAL16L8 可以满足设计要求。由图 8-3 可见,它有十个变量输入端、八个函数输出端,每一组与-或阵列可包含七个乘积项。

按照式(8-4)画出 PAL16L8 与-或阵列编程后的结构图,如图 8-3 所示。PAL16L8 的与-或阵列输出端接有三态输出的反相器,以低电平作为输出信号。因为设计要求中没有规定输出信号是高电平有效还是低电平有效,所以本例设计中取低电平输出为有效信号,PAL16L8 的输出正好也是低电平有效。如果一定要用高电平作为有效输出信号,那就必须将 $Y'_4 \sim Y'_1$ 反馈到另外四个与-或阵列的输入,利用它们输出端的反相器得到以高电平为输出信号的 $Y_4 \sim Y_1$ 。

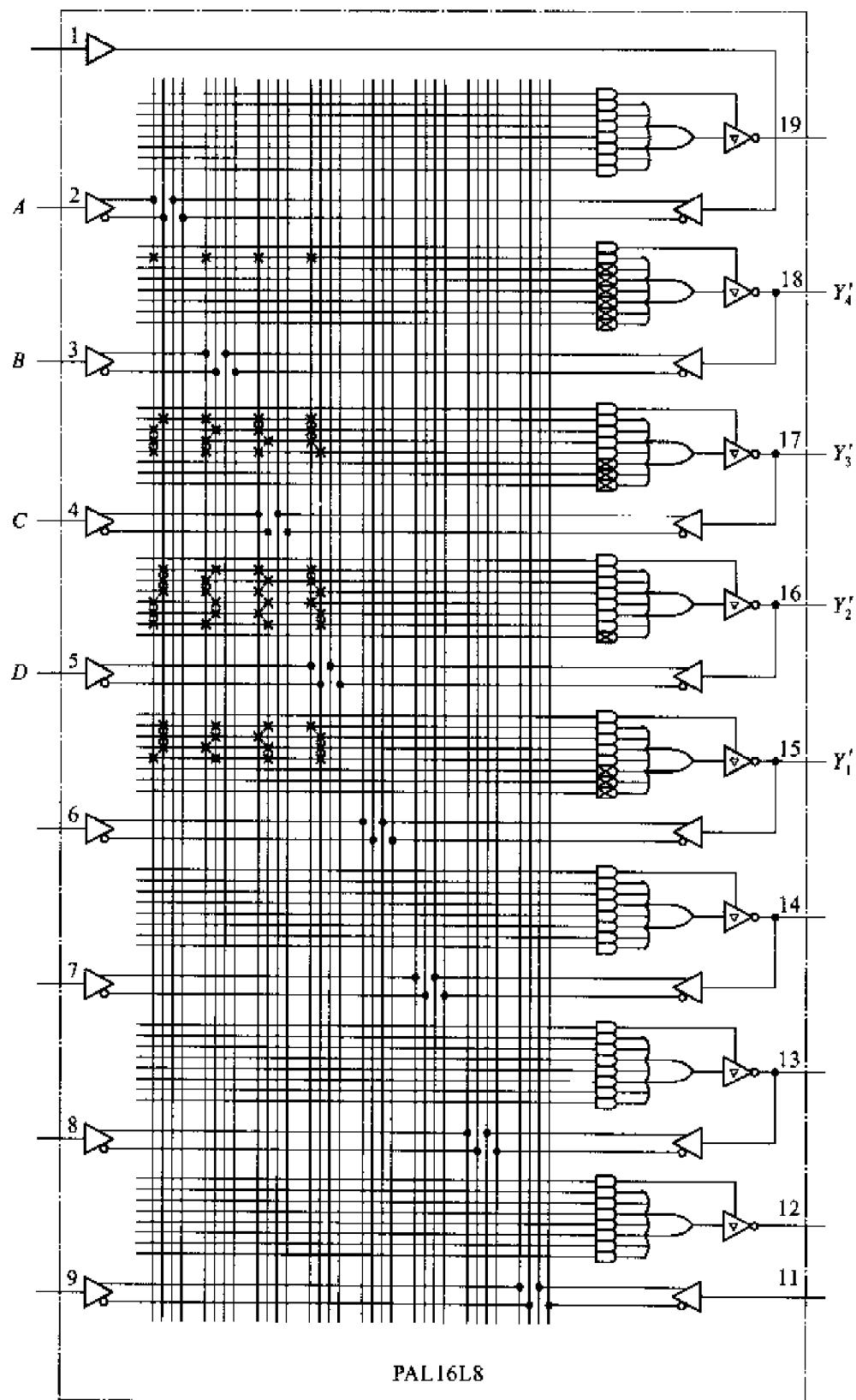


图 8-3 例 8-2 编程后的 PAL 电路

2. 设计时序逻辑电路

解题方法和步骤：

在《数字电子技术基础》(第五版)的第 6.4 节中我们已经总结归纳过用触发器和门电路设计时序逻辑电路的方法和步骤, 用 PAL 器件设计时序逻辑电路的方法和步骤与它基本相同, 即：

- (1) 进行逻辑抽象, 得到电路的状态转换图或状态转换表。
- (2) 状态化简。
- (3) 状态分配。
- (4) 求出电路的输出方程、状态方程和采用 D 触发器时的驱动方程。(因为 PAL 器件中的触发器绝大多数都作成 D 触发器。)
- (5) 选定 PAL 器件。PAL 器件的输入端数、输出端数、触发器数、与 - 或阵列的乘积项数都应符合所设计电路的要求。
- (6) 画出编程后的电路结构图。
- (7) 检查所设计的电路能否自启动。

【例 8-3】 用 PAL16R4 设计 2421 编码的十进制计数器。编码表见表 8-3。

表 8-3 2421 编码十进制计数器的编码表

计数顺序	编 码				进位输出
0	0	0	0	0 	0
1	0	0	0	1	0
2	0	0	1	0	0
3	0	0	1	1	0
4	0	1	0	0	0
5	1	0	1	1	0
6	1	1	0	0	0
7	1	1	0	1	0
8	1	1	1	0	0
9	1	1	1	1	1
10	0	0	0	0 	0

解：从 PAL16R4 的电路结构图(见图 8-5)中可以看到, 它包含有四个触发器, 八个与 - 或阵列, 有八个变量输入端、四个组合逻辑输出端和四个触发器状态输出端。电路的资源可以满足设计需要。如果取这四个触发器的状态作为输

出的 2421 码,则从表 8-3 直接就可以得到 PAL16R4 的状态转换表了。

但是 PAL16R4 触发器的 Q 端是经过三态输出的反相器接到输出引脚的(即所谓输出低电平有效),所以为了在输出引脚上得到表 8-3 的编码输出,则 $Q_3Q_2Q_1Q_0$ 的状态应从表 8-3 求反后产生,如表 8-4 所示。这个表也就是 PAL16R4 应有的状态转换表。

表 8-4 例 8-3PAL 电路的状态转换表

计数 顺序	电路状态				输出				C(进位)
	Q_3	Q_2	Q_1	Q_0	Y_3	Y_2	Y_1	Y_0	
0	1	1	1	1	0	0	0	0	0
1	1	1	1	0	0	0	0	1	0
2	1	1	0	1	0	0	1	0	0
3	1	1	0	0	0	0	1	1	0
4	1	0	1	1	0	1	0	0	0
5	0	1	0	0	1	0	1	1	0
6	0	0	1	1	1	1	0	0	0
7	0	0	1	0	1	1	0	1	0
8	0	0	0	1	1	1	1	0	0
9	0	0	0	0	1	1	1	1	1
10	1	1	1	1	0	0	0	0	0

只有这样,在输出端 $Y_3Y_2Y_1Y_0$ 得到的才是 2421 编码。

由于表 8-4 的计数顺序表也就是电路的状态转换表了,所以无需再作逻辑抽象。而且,这十个状态都是必须保留的,所以也就不需要进行状态化简。同时,2421 编码也规定了状态编码,这样接下来的工作就是要从状态转换表写出电路的状态方程和输出方程了。

为了求电路的状态方程和输出方程,首先根据表 8-4 的状态转换表画出电路的次态/输出($Q_3^*Q_2^*Q_1^*Q_0^*/C$)的卡诺图,如图 8-4(a)所示。将这个卡诺图分解,就得到了 Q_3^* 、 Q_2^* 、 Q_1^* 、 Q_0^* 和 C 的卡诺图,如图 8-4(b)、(c)、(d)、(e) 和 (f)。化简后得到电路的状态方程为

$$\begin{cases} Q_3^* = Q_3Q_2 + Q_2'Q_1'Q_0' \\ Q_2^* = Q_3Q_1 + Q_3Q_0 + Q_2'Q_1'Q_0' \\ Q_1^* = Q_3'Q_1Q_0 + Q_2Q_1Q_0 + Q_1'Q_0' \\ Q_0^* = Q_0' \end{cases} \quad (8-5)$$

输出方程为 $C = Q_2'Q_1'Q_0' = (Q_2 + Q_1 + Q_0)'$ (8-6)

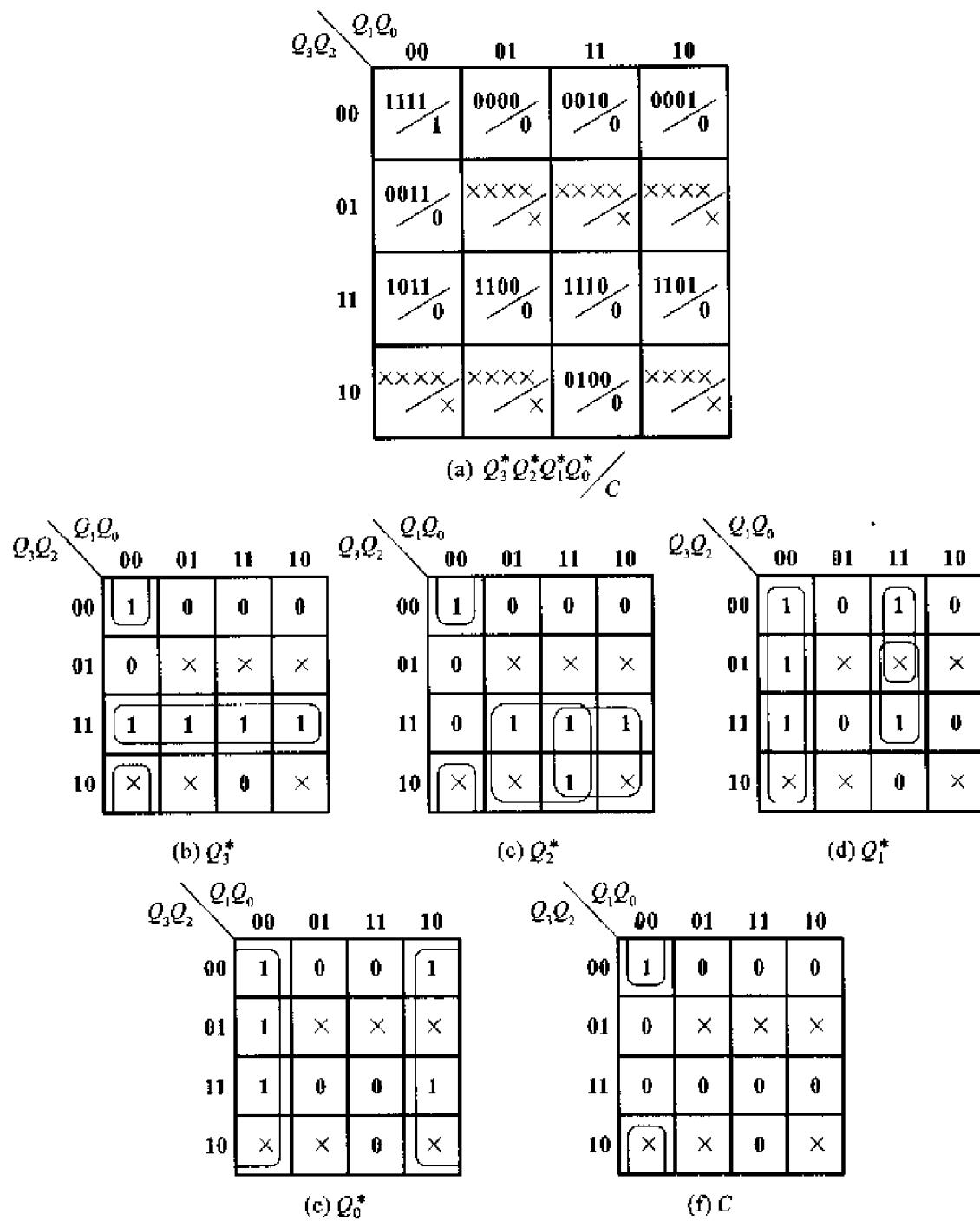


图 8-4 例 8-3 的卡诺图

考虑到 PAL16R4 的组合逻辑输出部分是与或非结构, 所以将 C 化为或非形式。否则输出为低电平有效, 需再经过一级反相器才能得到高电平有效的输出信号。

已知 D 触发器的特性方程为 $Q^* = D$, 故可从式(8-5)写出电路的驱动方程为

$$\begin{cases} D_3 = Q_3Q_2 + Q_2'Q_1'Q_0' \\ D_2 = Q_3Q_1 + Q_3Q_0 + Q_2'Q_1'Q_0' \\ D_1 = Q_3'Q_1Q_0 + Q_2Q_1Q_0 + Q_1'Q_0' \\ D_0 = Q_0' \end{cases} \quad (8-7)$$

根据式(8-6)和式(8-7)画出的PAL16R4编程后的电路结构图如图8-5所示。

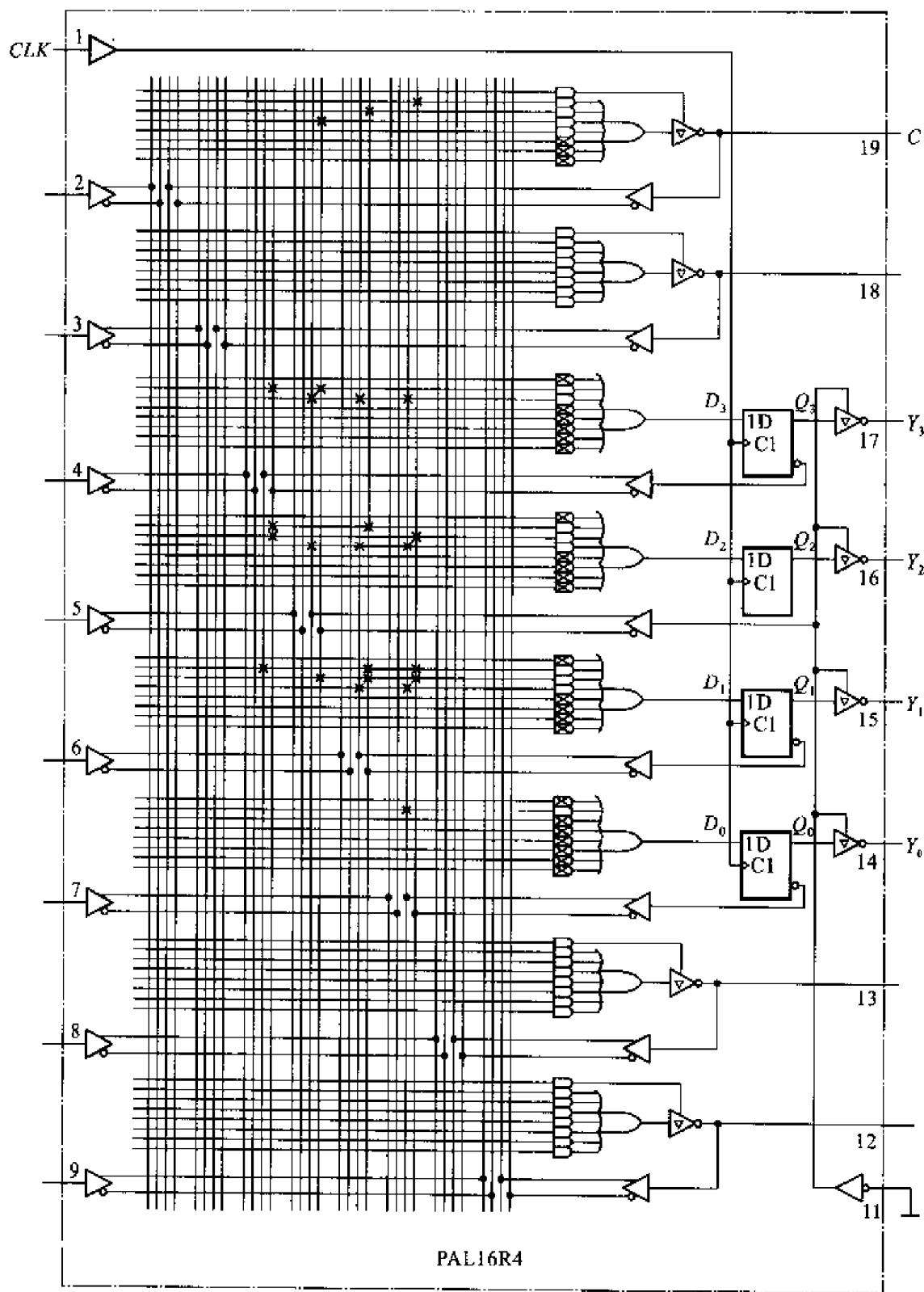


图8-5 例8-3 编程后的PAL电路

最后我们还要检查一下设计的电路能否自启动,也就是要检查所有的无效状态能否在时钟信号作用下自行转入任何一个有效状态。将六个无效状态 **0101**、**0110**、**0111**、**1000**、**1001**、**1010** 分别作为初态代入式(8-5)的状态方程求出次态,计算结果列在表 8-5 中。

表 8-5 例 8-3 电路无效状态的转换表

脉冲顺序	Q_3	Q_2	Q_1	Q_0	进位输出 C
0	0	1	0	1	0
1	0	0	0	0	1
0	0	1	1	0	0
1	0	0	0	1	0
0	0	1	1	1	0
1	0	0	1	0	0
0	1	0	0	0	1
1	1	1	1	1	0
0	1	0	0	1	0
1	0	1	0	0	0
0	1	0	1	0	0
1	0	1	0	1	0
2	0	0	0	0	1

根据表 8-4 和表 8-5 即可画出电路的状态转换图如图 8-6。可以看出,电路是能够自启动的。

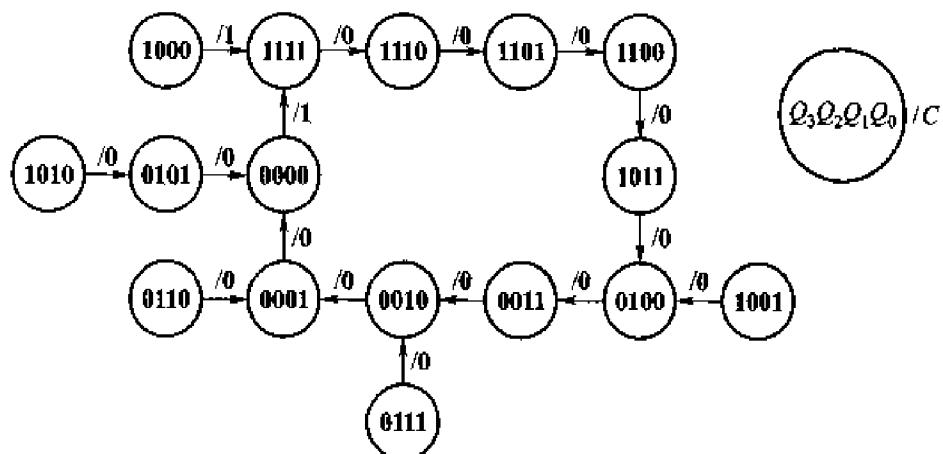


图 8-6 例 8-3 电路的状态转换图

8.2 习题解答

【题 8.1】 试分析图 P8.1 的与 - 或逻辑阵列, 写出 Y_1, Y_2, Y_3 与 A, B, C, D 之间的逻辑函数式。

解: 由图可得

$$Y_1 = A' + B + C + D'$$

$$Y_2 = AB + A'B' + CD' + C'D$$

$$Y_3 = ABCD + A'B'C'D'$$

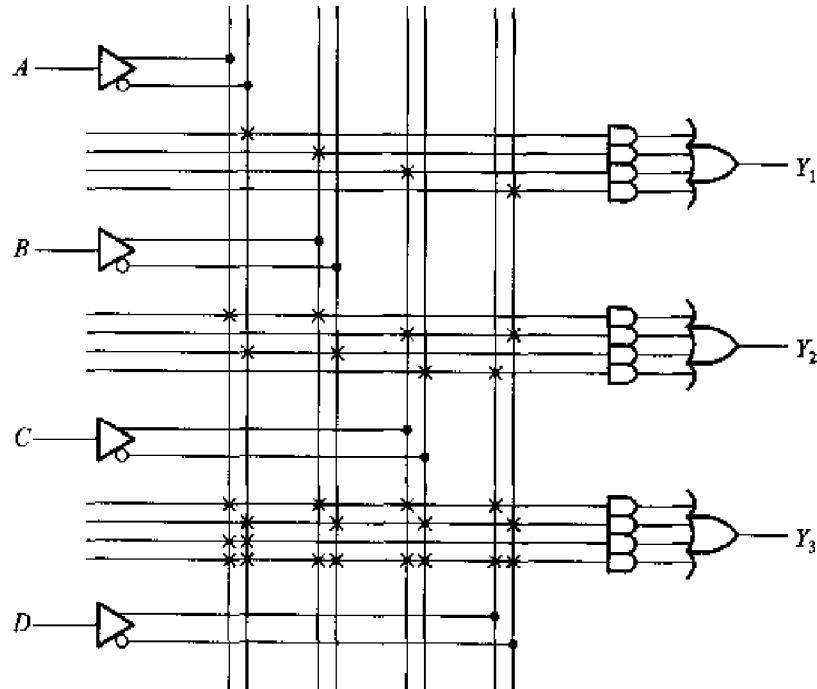


图 P8.1

【题 8.2】 试分析图 P8.2 的与 - 或逻辑阵列, 写出 Y_1, Y_2 与 A, B, C, D 之间的逻辑关系式。

解: 由图 P8.2 可直接写出

$$Y_1 = (AB' + A'B + CD)'$$

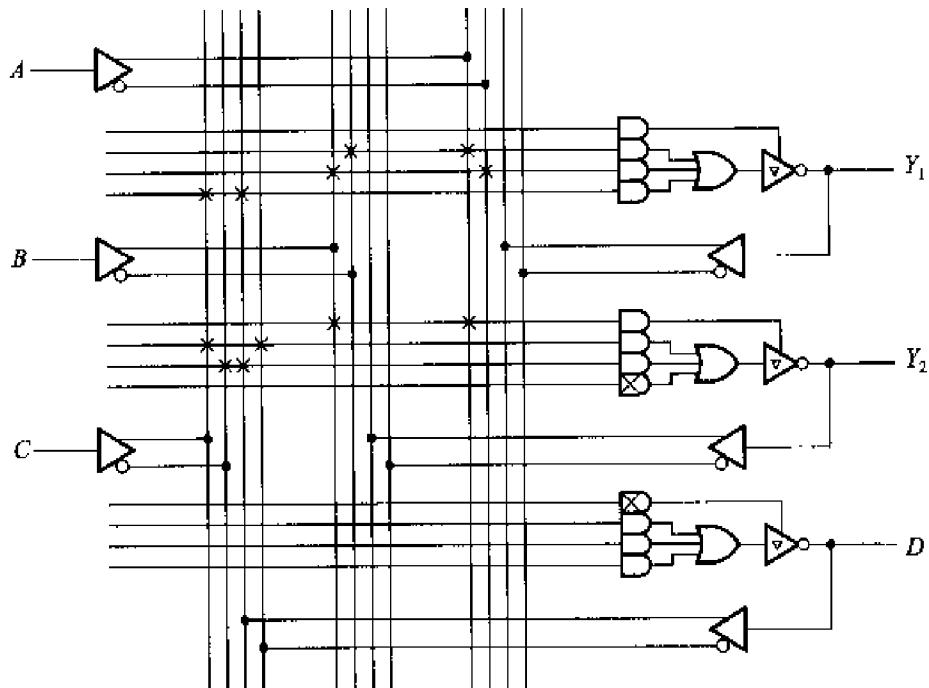


图 P8.2

$$Y_2 = \begin{cases} (CD' + C'D)' & (\text{当 } AB = 1) \\ \text{高阻} & (\text{当 } AB = 0) \end{cases}$$

【题 8.3】 试分析图 P8.3 中由 PAL16L8 构成的逻辑电路,写出 Y_1 、 Y_2 、 Y_3 与 A 、 B 、 C 、 D 、 E 之间的逻辑关系式。

解: 从图 P8.3 可写出

$$Y_1 = (A'B' + A'C' + A'D' + A'E' + B'C' + B'D' + B'E' + C'D' + C'E' + D'E')'$$

$$Y_2 = ABCD + ACDE + ABCE + ABDE + BCDE$$

$$Y_3 = ABCDE$$

【题 8.4】 用 PAL16L8 产生如下一组组合逻辑函数

$$\begin{cases} Y_1 = (A'B'C'D' + A'B'CD + A'BC'D + A'BCD' + ABC'D' + \\ ABCD + AB'C'D + AB'CD')' \\ Y_2 = A'BC'D' + A'BCD + ABC'D + ABCD' + AB'C'D' + AB'CD \quad (\text{P8.4}) \\ Y_3 = (A'B'C'D' + ABCD)' \\ Y_4 = AB + AC \end{cases}$$

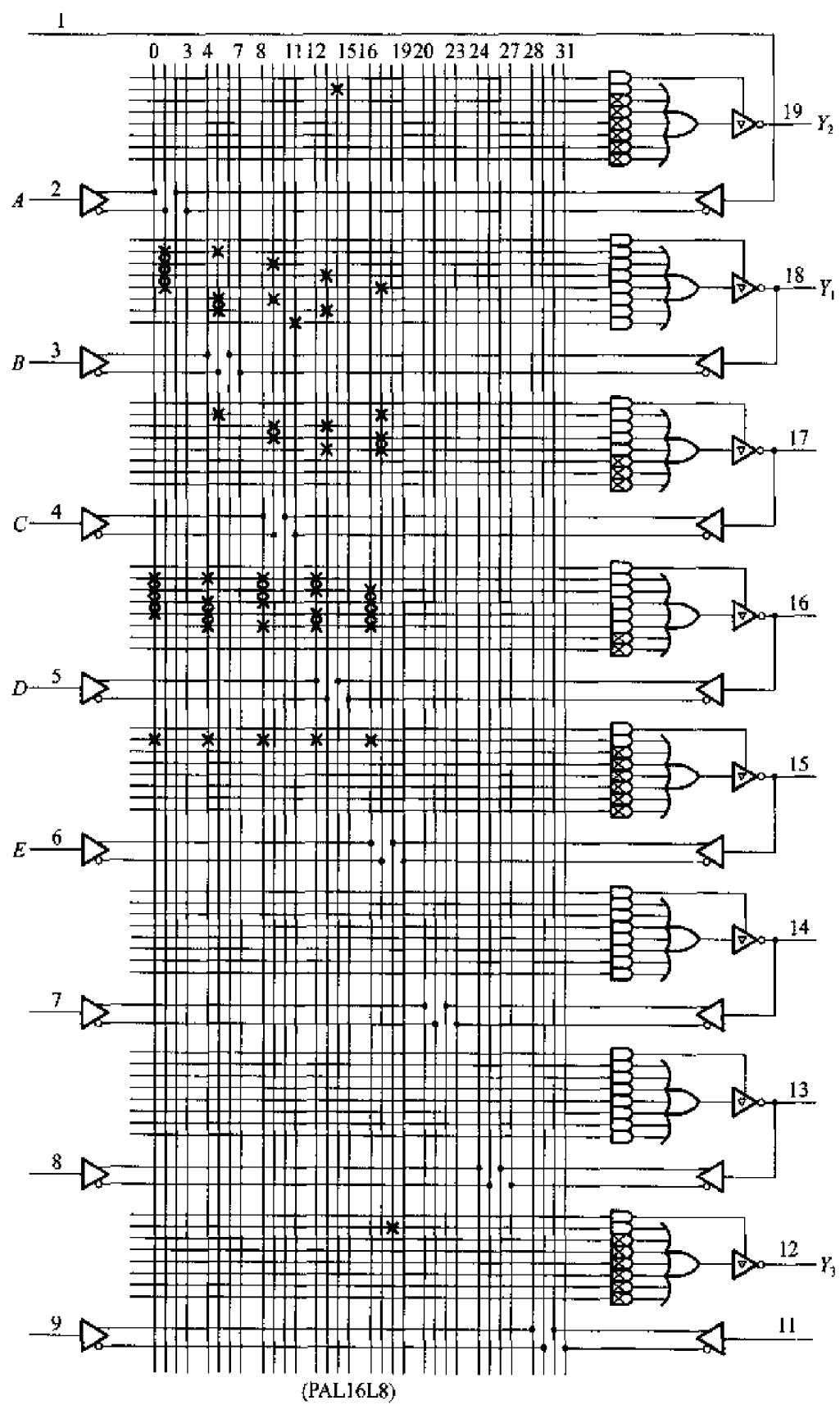


图 PR. 3

画出与-或逻辑阵列编程后的电路图。PAL16L8 的电路图见图 P8.3。

解：由图 P8.3 中 PAL16L8 的逻辑图可见，它的输出端接有三态输出的反相器，所以最适合用来产生与或非形式的逻辑函数。因此，需要将式 (P8.4) 中的 Y_2 和 Y_4 化成与或非函数式。为此可画出 Y_2 、 Y_4 的卡诺图，如图 A8.4(a) 所示。将卡诺图中的 0 合并，然后求反，就得到了 Y_2 、 Y_4 的与或非式，如式 (A8.4) 中所示。

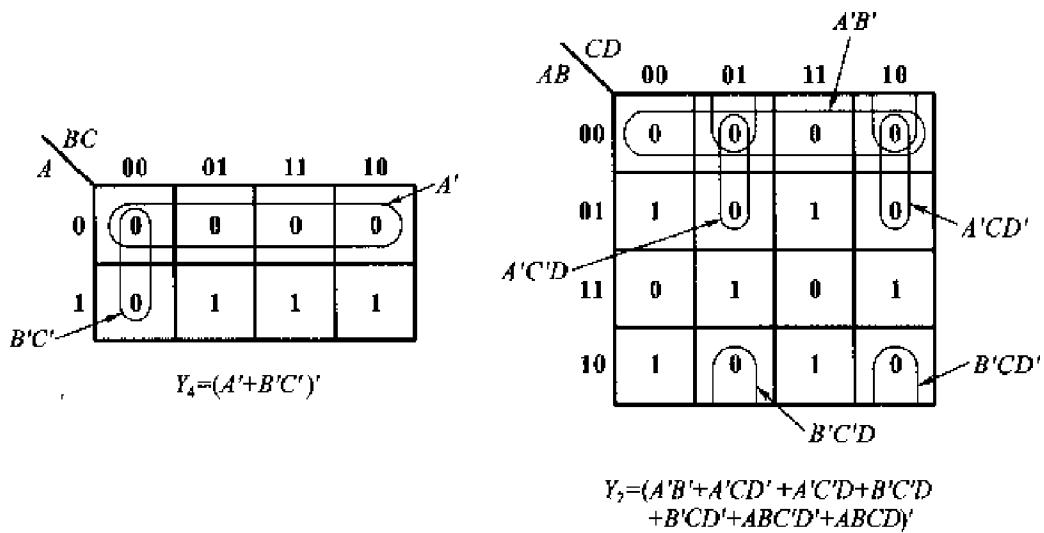


图 A8.4(a)

$$\left\{ \begin{array}{l} Y_1 = (A'B'C'D' + A'B'CD + A'BC'D + A'BCD' + ABC'D' + AB'C'D + \\ \quad ABCD + AB'CD')' \\ Y_2 = (A'B' + A'C'D + A'CD' + B'C'D + B'CD' + ABC'D' + ABCD)' \\ Y_3 = (A'B'C'D' + ABCD)' \\ Y_4 = (A' + B'C')' \end{array} \right. \quad (A8.4)$$

按照上式对与-或阵列编程,就得到了图 A8.4(b)。

【题 8.5】 试分析图 P8.5 给出的用 PAL16R4 构成的时序逻辑电路, 写出电路的驱动方程、状态方程、输出方程, 画出电路的状态转换图。工作时, 11 脚接低电平。

解：从图 P8.5 电路可写出电路的驱动方程为

$$\begin{cases} D_0 = Q'_1 Q_3 + Q_2 Q_3 \\ D_1 = Q_0 \\ D_2 = Q_4 \\ D_3 = Q_5 \end{cases}$$

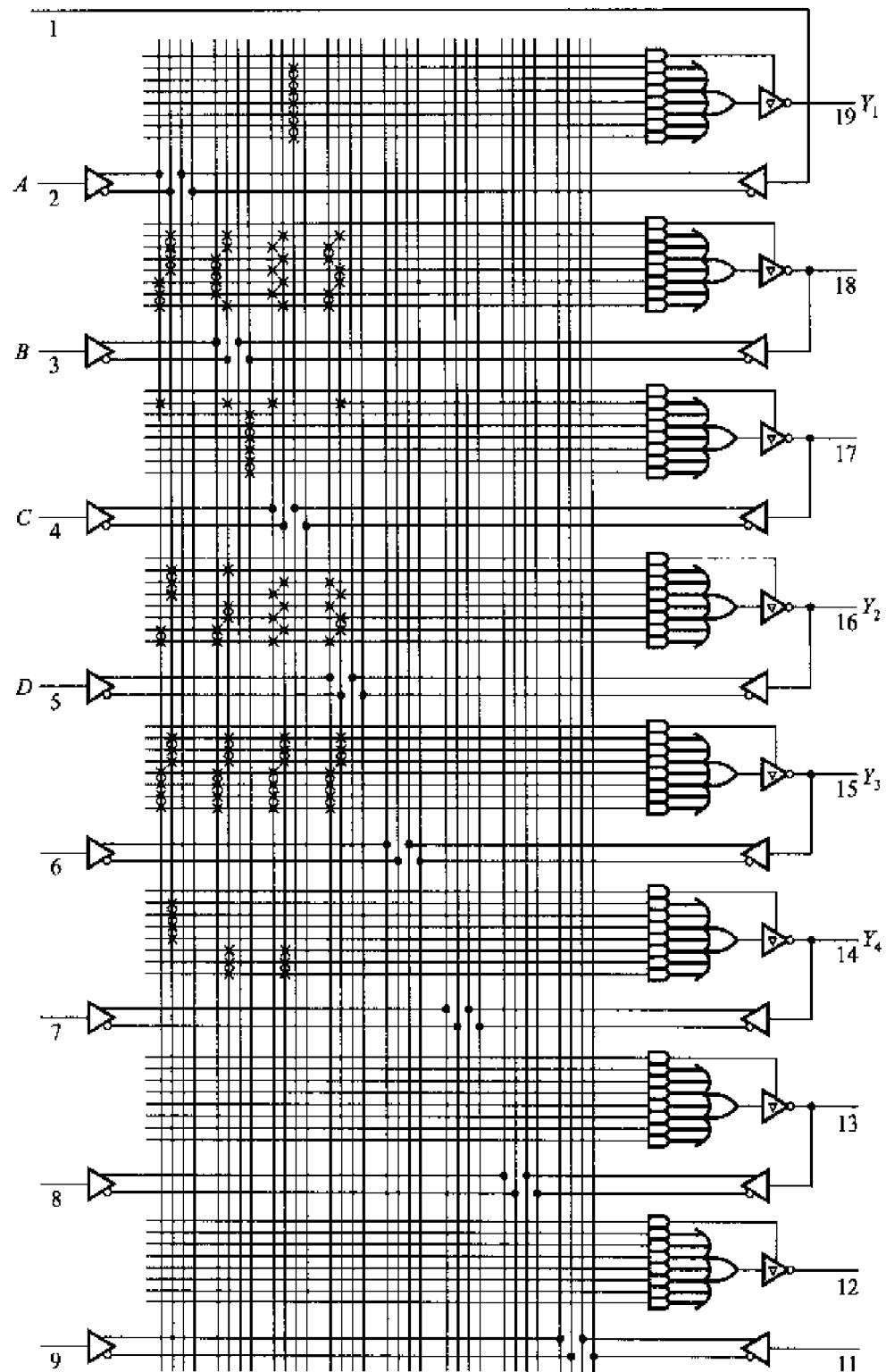


图 A8.4(b)

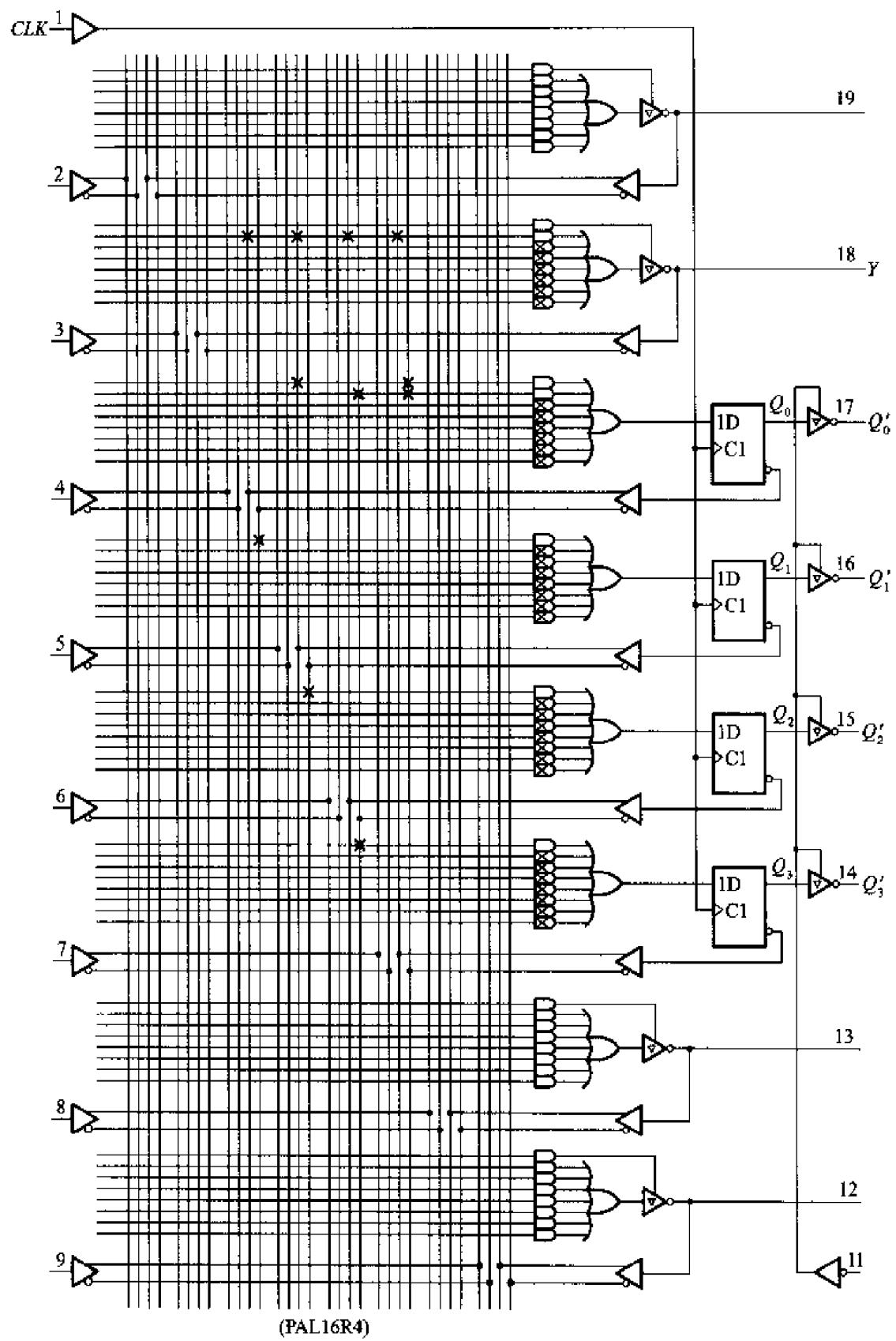


圖 P8.5

状态方程为

$$\begin{cases} Q_0^* = Q_1'Q_3 + Q_2Q_3 \\ Q_1^* = Q_0 \\ Q_2^* = Q_1 \\ Q_3^* = Q_2 \end{cases}$$

输出方程为

$$Y = (Q_0'Q_1'Q_2'Q_3')' = Q_0 + Q_1 + Q_2 + Q_3$$

电路的状态转换图如图 A8.5。

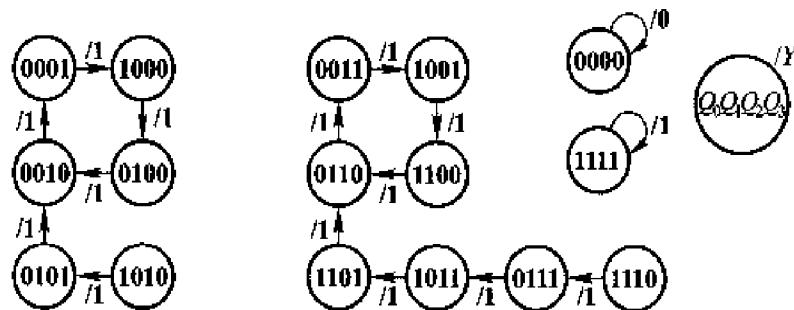


图 A8.5

【题 8.6】 用 PAL16R4 设计一个 4 位二进制可控计数器。要求在控制信号 $M_1M_0 = 11$ 时作加法计数; 在 $M_1M_0 = 10$ 时为预置数状态(时钟信号到达时将输入数据 $D_3D_2D_1D_0$ 并行置入 4 个触发器中); $M_1M_0 = 01$ 时为保持状态(时钟信号到达时所有的触发器保持状态不变); $M_1M_0 = 00$ 时为复位状态(时钟信号到达时所有的触发器同时被置 1)。此外, 还应给出进位输出信号。PAL16R4 的电路图见图 P8.5。

解: 因 PAL16R4 输出端是反相缓冲器, 所以当输出 $Y_3Y_2Y_1Y_0$ 为二进制计数状态时, $Q_3Q_2Q_1Q_0$ 的状态转换表应如表 A8.6 所示。

根据状态转换表画出 $Q_3^*Q_2^*Q_1^*Q_0^*$ 的卡诺图如图 A8.6(a)。由卡诺图化简得到电路的状态方程为

表 A8.6 题 8.6 的状态转换表

CLK	Y_3	Y_2	Y_1	Y_0	C_n	Q_3	Q_2	Q_1	Q_0	C_o
0	0	0	0	0	0	1	1	1	1	0
1	0	0	0	1	0	1	1	1	0	0
2	0	0	1	0	0	1	1	0	1	0
3	0	0	1	1	0	1	1	0	0	0
4	0	1	0	0	0	1	0	1	1	0
5	0	1	0	1	0	1	0	1	0	0
6	0	1	1	0	0	1	0	0	1	0
7	0	1	1	1	0	1	0	0	0	0
8	1	0	0	0	0	0	1	1	1	0

续表

CLK	Y_1	Y_2	Y_3	Y_6	C_0	Q_3	Q_2	Q_1	Q_6	C_0
9	1	0	0	1	0	0	1	1	0	0
10	1	0	1	0	0	0	1	0	1	0
11	1	0	1	1	0	0	1	0	0	0
12	1	1	0	0	0	0	0	1	1	0
13	1	1	0	1	0	0	0	1	0	0
14	1	1	1	0	0	0	0	0	1	0
15	1	1	1	1	1	0	0	0	0	1

$$\left\{ \begin{array}{l} Q_3^* = Q_3'Q_2'Q_1'Q_0' + Q_3Q_2 + Q_3Q_1 + Q_3Q_0 \\ Q_2^* = Q_2'Q_1'Q_0' + Q_2Q_1 + Q_2Q_0 \\ Q_1^* = Q_1'Q_0' + Q_1Q_0 \\ Q_0^* = Q_0' \end{array} \right.$$

考虑到计数、预置数、保持、复位的四种工作状态,应将状态方程补充为

$$\left\{ \begin{array}{l} Q_3^* = (Q_3'Q_2'Q_1'Q_0' + Q_3Q_2 + Q_3Q_1 + Q_3Q_0)M_1M_0 + d_3M_1M_0' + Q_3M_1'M_0 + M_1'M_0' \\ Q_2^* = (Q_2'Q_1'Q_0' + Q_2Q_1 + Q_2Q_0)M_1M_0 + d_2M_1M_0' + Q_2M_1'M_0 + M_1'M_0' \\ Q_1^* = (Q_1'Q_0' + Q_1Q_0)M_1M_0 + d_1M_1M_0' + Q_1M_1'M_0 + M_1'M_0' \\ Q_0^* = Q_0'M_1M_0 + d_0M_1M_0' + Q_0M_1'M_0 + M_1'M_0' \end{array} \right.$$

D 触发器的特性方程为 $Q^* = D$,故得

$$D_3 = Q_3^*, D_2 = Q_2^*, D_1 = Q_1^*, D_0 = Q_0^*$$

$d_3d_2d_1d_0$ 表示预置的 $Y_3'Y_2'Y_1'Y_0'$ 状态。输出方程为

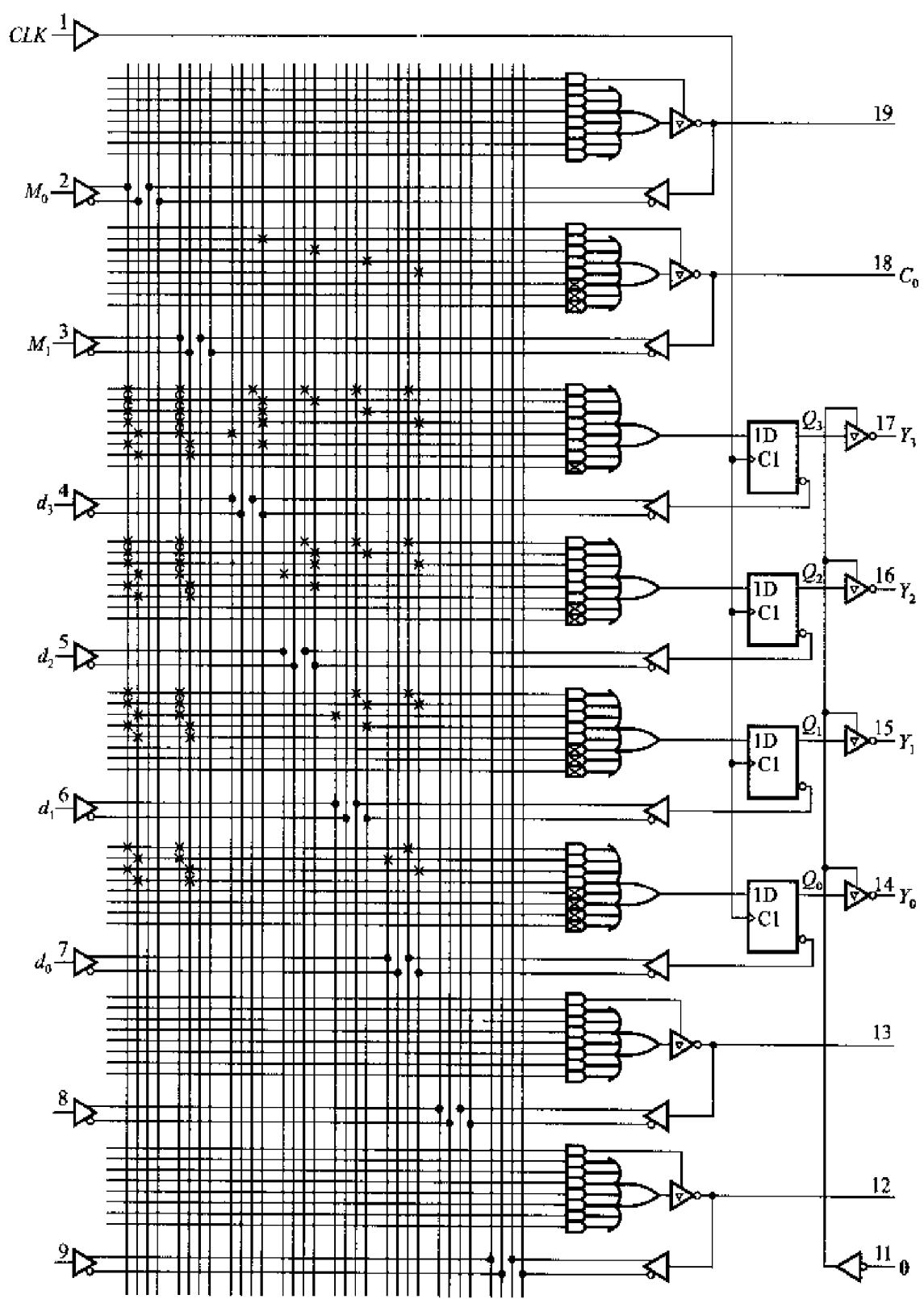
$$C_0 = Q_3'Q_2'Q_1'Q_0' = (Q_3 + Q_2 + Q_1 + Q_0)'$$

电路图如图 A8.6(b) 所示。

Q_3Q_2	00	01	11	10
00	1111	0000	0010	0001
01	0011	0100	0110	0101
11	1011	1100	1110	1101
10	0111	1000	1010	1001

$Q_3^*Q_2^*Q_1^*Q_0^*$ 的卡诺图

(a)



PAL16R4

(b)

图 A8.6

【题 8.7】 试说明在下列应用场合下选用哪种类型的 PLD 最为合适。

1. 小批量定型产品中的中规模逻辑电路。
2. 产品研制过程中需要不断修改的中、小规模逻辑电路。
3. 少量的定型产品中需要的规模较大的逻辑电路。
4. 需要经常改变其逻辑功能的规模较大的逻辑电路。
5. 要求能以遥控方式改变其逻辑功能的逻辑电路。

解：

1. 用 PAL 比较合适。
2. 用 GAL 比较合适。
3. 可用 EPLD 或 FPGA。
4. 用 isp PLD 比较合适。
5. 用 isp PLD 比较适合。

第九章

硬件描述语言

9.1 本章习题类型与解题方法

这一章的习题可以分为两种类型:一类是用 Verilog HDL 语言描述一个逻辑电路;另一类是根据 Verilog HDL 语言的描述画出相应的逻辑电路图。

一、用 Verilog HDL 语言描述一个逻辑电路

解题方法和步骤:

Verilog HDL 描述逻辑电路的基本单元是模块。对任何一个待描述的电路在进行模块命名后,首先要说明电路的输入/输出接口;然后根据所给的条件选择适当的描述方式。用硬件描述语言描述电路的程序不唯一。

二、根据 Verilog HDL 语言的描述画出相应的逻辑电路图

解题方法和步骤:

直接用逻辑图形符号取代语言描述中的关键字,将这些图形符号按从输入到输出的顺序连接起来,就得到所求的逻辑电路图。

9.2 习题解答

【题 9.1】 用 Verilog HDL 语言的结构描述方式,描述图 P9.1 电路的逻辑功能。

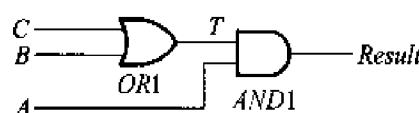


图 P9.1

```

解: module Judge ( A , B , C , Result ) ;
    input A , B , C ;
    output Result ;
    wire T ;
    or
        OR1 ( T , B , C ) ;
    and
        AND1 ( Result , A , T ) ;
endmodule

```

【题 9.2】 用 Verilog HDL 语言实现对【题 4.6】所要设计电路的逻辑功能描述。

解: 题 4.6 要求用门电路实现一个控制两台水泵的逻辑电路, 而且应力求电路简单。根据设计要求得到的电路见图 A9.2 (参见【题 4.6】的解答。 G_4 为同相输出的缓冲器, 用于输出与输入间电路上的隔离。)

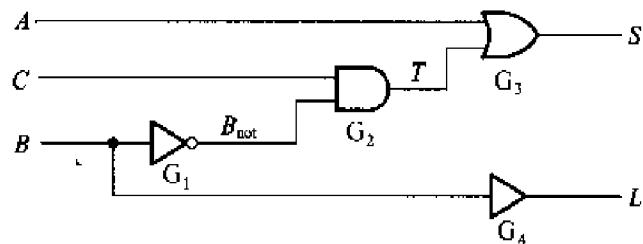


图 A9.2

```

module control( A , B , C , L , S ) ;
    input A , B , C ;
    output L , S ;
    wire Bnot ;
    wire T ;
    not
        G1( Bnot , B ) ;
    and
        G2( T , Bnot , C ) ;
    or
        G3( S , A , T ) ;
    buf
        G4( L , B ) ;
endmodule

```

【题 9.3】 用 Verilog HDL 语言描述一个 4 选 1 数据选择器。

解：4 选 1 数据选择器的功能如图 A9.3 所示。

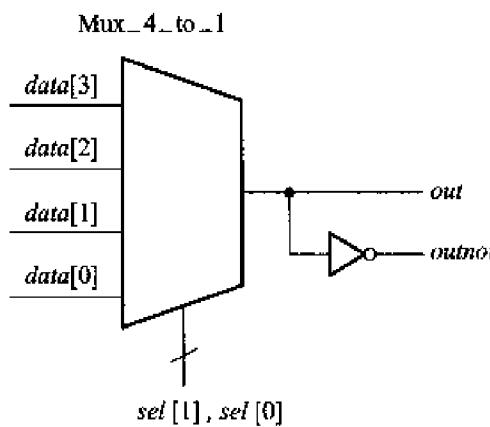


图 A9.3

$$\begin{aligned} \text{out} = & (\text{sel}[1])'(\text{sel}[0])' \cdot \text{data}[0] + (\text{sel}[1])'(\text{sel}[0]) \cdot \text{data}[1] + \\ & (\text{sel}[1])(\text{sel}[0])' \cdot \text{data}[2] + (\text{sel}[1])(\text{sel}[0]) \cdot \text{data}[3] \end{aligned}$$

```

module mux_4_to_1( data ,out,outnot,sel ) ;
    //这是一个4选1数据选择器,名为 mux_4_to_1
    input [ 3:0 ] data ; //定义模块的数据输入端口为 data[0] ~ data[3]
    input [ 1:0 ] sel ; //定义模块的数据选择输入端口 sel[1],sel[0]
    output out, outnot ; //定义该模块的输出端口为 out 和 outnot
    reg out;
    always@ ( data or sel )
    begin
        case( sel ) //分支控制语句开始
            2'b00 : out = data[ 0 ] ;
                //如果 sel[1] sel[0] = 00, 将 data[0] 赋值给 out
            2'b01 : out = data[ 1 ] ;
                //如果 sel[1] sel[0] = 01, 将 data[1] 赋值给 out
            2'b10 : out = data[ 2 ] ;
                //如果 sel[1] sel[0] = 10, 将 data[2] 赋值给 out
            2'b11 : out = data[ 3 ] ;
                //如果 sel[1] sel[0] = 11, 将 data[3] 赋值给 out
        endcase //分支控制语句结束
    end
    assign outnot = ~ out; //将 out 取反后赋值给 outnot

```

```
endmodule // 模块描述结束
```

【题 9.4】用 Verilog HDL 语言描述一个 4 位超前进位加法器。

解：4 位超前进位加法器的原理和实现见 4.3.4 节。其根本的解决思路是设法减小或消除由于进位信号逐级传递所耗费的时间，在相加运算开始的同时就知道高位的进位信号。因此每一位在计算本位结果的同时，还需要有一个模块根据低位的输入计算出该位所需要的进位信号。

电路大致可以分为两个部分：第一部分计算各位的相加结果，首先定义一个不进行进位运算的 1 位加法器 adder_1bit，各位的相加运算可以通过调用来实现。

$$S_0 = A_0 \oplus B_0 \oplus CI$$

$$S_1 = A_1 \oplus B_1 \oplus C_1$$

$$S_2 = A_2 \oplus B_2 \oplus C_2$$

$$S_3 = A_3 \oplus B_3 \oplus C_3$$

其中 A 、 B 和 CI 是整个加法器电路的输入， C_1 、 C_2 和 C_3 则需要第二部分电路来实现。第二部分电路根据 A 、 B 和 CI 计算出各位的进位信号，据分析可得各位的进位信号如下：

$$C_1 = A_0 B_0 + (A_0 + B_0) CI$$

$$C_2 = A_1 B_1 + (A_1 + B_1) (A_0 B_0 + (A_0 + B_0) CI)$$

$$C_3 = A_2 B_2 + (A_2 + B_2) (A_1 B_1 + (A_1 + B_1) (A_0 B_0 + (A_0 + B_0) CI))$$

C_1 、 C_2 和 C_3 都直接由输入信号 A 、 B 和 CI 唯一确定，因此可以通过逻辑运算求出每一位全加器所需的进位信号。根据以上的分析，可以得到如下的用 Verilog HDL 语言描述程序。

```
// 主模块
module adder_4bit(A,B,S,Cl,CO);
  input Cl;
  input [3:0]A,B;
  output CO;
  output [3:0]S;
  wire C1, C2, C3;
  adder_1bit m0(S[0],A[0],B[0],Cl);
    // 调用 adder_1bit 模块,生成模块 m0
  m1(S[1],A[1],B[1],C1);
    // 调用 adder_1bit 模块,生成模块 m1
  m2(S[2],A[2],B[2],C2);
    // 调用 adder_1bit 模块,生成模块 m2
  m3(S[3],A[3],B[3],C3);
```

```

                //调用 adder_1bit 模块,生成模块 m3
Carry1      m4( A[0],B[0],CI,C1);
                //调用 Carry1 模块,生成模块 m4
Carry2      m5( A[0],B[0],A[1],B[1],CI,C2);
                //调用 Carry2 模块,生成模块 m5
Carry3      m6( A[0],B[0],A[1],B[1],A[2],B[2],CI,C3);
                //调用 Carry3 模块,生成模块 m6
Carry4      m7( A[0],B[0],A[1],B[1],A[2],B[2],A[3],B[3],CI,CO);
                //调用 Carry4 模块,生成模块 m7
endmodule

```

//1 位的全加器模块(不计算进位信号)

```

module adder_1bit( a,b,c,sum );
input a,b,c;
output sum;
wire d;
xor g1 ( d,a,b );
xor g2 ( sum,d,c );
endmodule

```

//通过 A0,B0,C1 计算 C1

```

module Carry1 ( A0,B0,CI,C1 );
input A0,B0,CI;
output C1;
assign C1 = ( ( A0&&B0 ) ~^ ( ( A0 ~^B0 ) &&CI ) );
endmodule

```

//通过 A0,B0,A1,B1 和 CI 计算 C2

```

module Carry2( A0,B0,A1,B1,CI,C2 );
input A0,B0,A1,B1,CI;
output C2;
wire C1temp;
Carry1 fore1 ( A0,B0,CI,C1temp );
assign C2 = ( A1&&B1 ) ~^ ( ( A1 ~^B1 ) &&C1temp );
endmodule

```

```
// 通过 A0, B0, A1, B1, A2, B2 和 CI 计算 C3
module Carry3( A0, B0, A1, B1, A2, B2, CI, C3 );
  input A0, B0, A1, B1, A2, B2, CI;
  output C3;
  wire C2temp;
  Carry2 force2( A0, B0, A1, B1, CI, C2temp );
  assign C3 = ( A2&&B2 ) ~^(( A2 ~^B2 ) && C2temp );
endmodule
```

```
// 通过 A0, B0, A1, B1, A2, B2, A3, B3 和 CI 计算 C4
module Carry4( A0, B0, A1, B1, A2, B2, A3, B3, CI, C4 );
  input A0, B0, A1, B1, A2, B2, CI;
  output C4;
  wire C3temp;
  Carry3 force3( A0, B0, A1, B1, A2, B2, CI, C3temp );
  assign C4 = ( A3 && B3 ) ~^(( A3 ~^B3 ) && C3temp );
endmodule
```

【题 9.5】 请根据下面所给的语言描述,画出对应的逻辑电路图。

```
module binary To ESeg;
  wire eSeg, p1, p2, p3, p4;
  reg A, B, C, D;
  nand
    g1( p1, C, ~D ),
    g2( p2, A, B ),
    g3( p3, ~B, ~D ),
    g4( p4, A, C ),
    g5( eSeg, p1, p2, p3, p4 );
endmodule
```

解: 见图 A9.5。

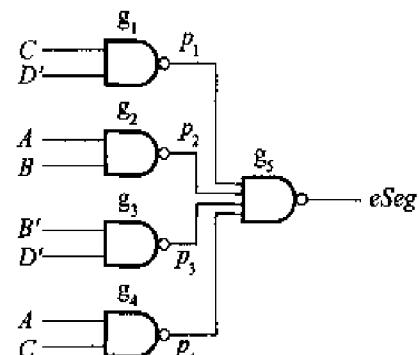


图 A9.5

第十章

脉冲波形的产生和整形

10.1 本章习题类型与解题方法

这一章的习题大致分为四类,即施密特触发器的 V_{T+} 和 V_{T-} 计算,单稳态电路的分析计算,多谐振荡器的分析计算,555 定时器的应用。

脉冲发生电路的分析方法是本章的一个重点,也是难点。

一、施密特触发器阈值电压的计算

解题方法和步骤:

因为在施密特触发器电路中,输入电压上升过程中引起电路状态变化的正向阈值电压 V_{T+} 和输入电压下降过程中引起电路状态变化的负向阈值电压 V_{T-} 是不同的,所以需分别计算出 V_{T+} 和 V_{T-} 。

- (1) 分析确定输入为 0 时电路的状态(即电路中各点的电压值)。
- (2) 找出输入电压上升过程中电路状态发生转换是由哪一点的电压控制的。
- (3) 计算出该点电压引起电路状态发生变化时所对应的输入电压值,即得到 V_{T+} 。
- (4) 分析确定输入高于 V_{T+} 以后电路的状态。
- (5) 找出输入电压下降过程中电路状态发生转换是由哪一点的电压控制的。
- (6) 计算出该点电压引起电路状态发生变化时所对应的输入电压值,即得到 V_{T-} 。

【例 10-1】 计算图 10-1 施密特触发电路的 V_{T+} 、 V_{T-} 和回差电压 ΔV_T 。已知 $R_1 = 5 \text{ k}\Omega$, $R_2 = 10 \text{ k}\Omega$, $R_3 = 33 \text{ k}\Omega$ 。 G_1 和 G_2 为 CMOS 反相器,它们的电源电压为 $V_{DD} = 5 \text{ V}$,输出高电平 $V_{OH} \approx 5 \text{ V}$,输出低电平 $V_{OL} \approx 0 \text{ V}$,阈值电压 $V_{TH} =$

$$\frac{1}{2}V_{DD} = 2.5 \text{ V}_n$$

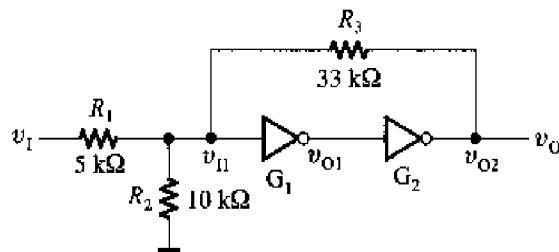


图 10-1 用 CMOS 反相器组成的施密特触发器

解：首先计算 V_{T+} 。

由图可见，当 $v_I = 0$ 时 $v_{II} = 0, v_{O2} = 0$ 。当 v_I 上升到使 $v_{II} = V_{TH}$ 时， v_{O1} 跳变为 0， v_{O2} 跳变为 V_{DD} ，所以电路状态的转换是受 v_{II} 控制的，而且当 v_{II} 上升至 V_{TH} 时所对应的输入电压值就是 V_{T+} 。

根据图 10-1 的电路可以写出

$$v_{II} = v_I \frac{R_2 // R_3}{R_1 + R_2 // R_3}$$

当上式中的 $v_{II} = V_{TH}$ 时 $v_I = V_{T+}$ ，故得到

$$\begin{aligned} V_{TH} &= V_{T+} \frac{R_2 // R_3}{R_1 + R_2 // R_3} \\ V_{T+} &= V_{TH} \frac{R_1 + R_2 // R_3}{R_2 // R_3} \\ &= 2.5 \times \frac{5 + 7.7}{7.7} \text{ V} \\ &= 4.1 \text{ V} \end{aligned}$$

其次再计算 V_{T-} 。

电路状态的转换仍受 v_{II} 的控制。但由于 v_I 高于 V_{T+} 以后 $v_O = V_{OH} = V_{DD}$ ，所以 v_{II} 下降至 V_{TH} 时对应的 v_I 值（即 V_{T-} ）和 V_{T+} 不同。利用叠加定理可以写出 v_{II} 的计算式为

$$v_{II} = v_I \frac{R_2 // R_3}{R_1 + R_2 // R_3} + V_{DD} \frac{R_1 // R_2}{R_3 + R_1 // R_2}$$

当上式中 $v_{II} = V_{TH}$ 时， $v_I = V_{T-}$ ，故得到

$$\begin{aligned} V_{TH} &= V_{T-} \frac{R_2 // R_3}{R_1 + R_2 // R_3} + V_{DD} \frac{R_1 // R_2}{R_3 + R_1 // R_2} \\ V_{T-} &= \left(V_{TH} - V_{DD} \frac{R_1 // R_2}{R_3 + R_1 // R_2} \right) \frac{R_1 + R_2 // R_3}{R_2 // R_3} \end{aligned}$$

$$\begin{aligned}
 &= \left(2.5 - 5 \times \frac{3.3}{33 + 3.3} \right) \times \frac{5 + 7.7}{7.7} \text{ V} \\
 &= 3.3 \text{ V}
 \end{aligned}$$

回差电压为

$$\Delta V_T = V_{T+} - V_{T-} = 4.1 - 3.3 = 0.8 \text{ V}$$

二、单稳态触发器的分析计算

解题方法和步骤：

单稳态触发器的性能通常用输出脉冲宽度 t_w 、输出脉冲幅度 V_{on} 和恢复时间 t_r 等几个主要参数描述。因此，分析计算的任务就是要算出这几个参数。

1. 输出脉冲幅度的计算

若输出电压的高、低电平分别为 V_{on} 和 V_{ol} ，则输出脉冲幅度为

$$V_{on} = V_{oh} - V_{ol}$$

2. 恢复时间的计算

恢复时间 t_r 是指电路从暂稳态结束到恢复为触发前稳定状态所需要的时间。一般认为经过 RC 电路时间常数 3~5 倍的时间以后，电路基本上可以到达稳态，故得到

$$t_r = (3 \sim 5) RC$$

式中的 RC 为所讨论的充、放电回路的时间常数。

3. 输出脉冲宽度的计算

我们已经知道单稳态触发器有一个稳态和一个暂稳态，在外界触发信号作用下将从稳态进入到暂稳态，经过一定时间以后能自动返回稳态。暂稳态持续时间的长短取决于电路内部的时间常数，与触发信号无关。而输出脉冲的宽度就等于暂稳态的持续时间，因此计算输出脉冲的宽度实际上也就是计算电路的暂稳态持续时间。这里需要用到 RC 电路过渡过程的计算方法，具体地可按如下步骤进行：

(1) 分析电路的工作过程，定性地画出电路中各点电压的波形，找出决定电路状态发生转换的控制电压。

(2) 画出每个控制电压充电或放电的等效电路，并尽可能将其化简为单回路。

(3) 确定每个控制电压充电或放电的起始值、终了值和电路状态发生转换时所对应的转换值。

(4) 代入计算公式求出充电或放电过程经过的时间，这个时间既是电路的暂稳态持续时间，也是输出脉冲的宽度 t_w 。

【例 10-2】 计算图 10-2 单稳态触发器的输出脉冲宽度、输出脉冲幅度和电路的恢复时间。已知 G_1, G_2 和 G_3 为 74HC 系列 CMOS 电路， $V_{DD} = 5 \text{ V}$ ，

组成输入端的微分电路,其时间常数远小于触发脉冲 v_1 的脉冲宽度。

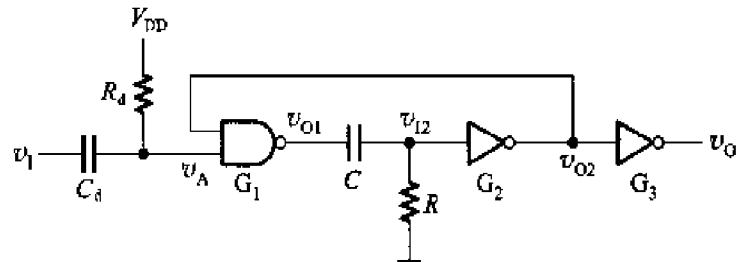


图 10-2 例 10-2 的单稳态触发器电路

解：首先我们来计算输出脉冲宽度 t_w 。为此，需要分析电路的工作过程并画出各点电压的波形图。

稳态下没有电流流过电容 C 和 C_A ，所以 $v_A = V_{DD}$ ， $v_{O2} = 0$ ， $v_{O1} = V_{DD}$ ， $v_{O3} = 0$ ， $v_0 = 0$ 。

当 v_t 的下降沿到达时,微分电路输出一个负脉冲加到 v_A 端,使 v_{o1} 跳变为高电平 V_{DD} 。由于电容上的电压是不可能突变的,所以 v_{o2} 也随之跳变为 V_{DD} , v_{o2} 跳变为 0, v_o 跳变为 V_{DD} ,于是电路进入暂稳态。

然而 v_{12} 的高电平是不能保持下去的,随着电容 C 的充电,电阻 R 上的电流逐渐衰减, v_{12} 逐渐下降。当 v_{12} 降至反相器 G_2 的阈值电压 $V_{TH} = \frac{1}{2}V_{DD}$ 时, v_{02} 跳回高电平, v_0 跳回低电平,暂稳态结束。

与此同时 v_{01} 跳回低电平。但这时电容上还有约 $\frac{1}{2}V_{DD}$ 的电压, 它将通过 G_1 的输出电路、 R 和 G_2 的输入电路放电, 经过一段恢复时间以后, 电路恢复到触发前的稳定状态。根据上述分析就可以画出图 10-3 的电压波形图了。

由图 10-3 可见, 电路被触发以后, 暂稳态的持续时间由 v_{12} 的变化过程控制。 v_{12} 从 V_{00} 下降至 V_{TH} 的时间就是暂稳态的持续时间, 也就是输出脉冲的宽度。

电容充电的等效电路可以画成图 10-4 的形式。由于 G_1 的输出电阻 $R_{ON(P)}$ 比 R 小得多, 所以忽略 C_1 的输出电阻。 v_{12} 在 V_{DD} 与 V_{TH} 之间变化时 G_2 的输入电流基本为零, 所以不必考虑 G_2 输入电路对电容充电回路的影响。

电容充电过程中 v_{12} 的起始值 $v_{12}(0)$ 为 V_{DD} , 终了值 $v_{12}(\infty)$ 为 0, 电路状态发生转换时的转换值 $v_{12}(t_w)$ 为 $\frac{1}{2}V_{DD}$ 。将它们代入计算 RC 电路过渡过程时间的公式得到

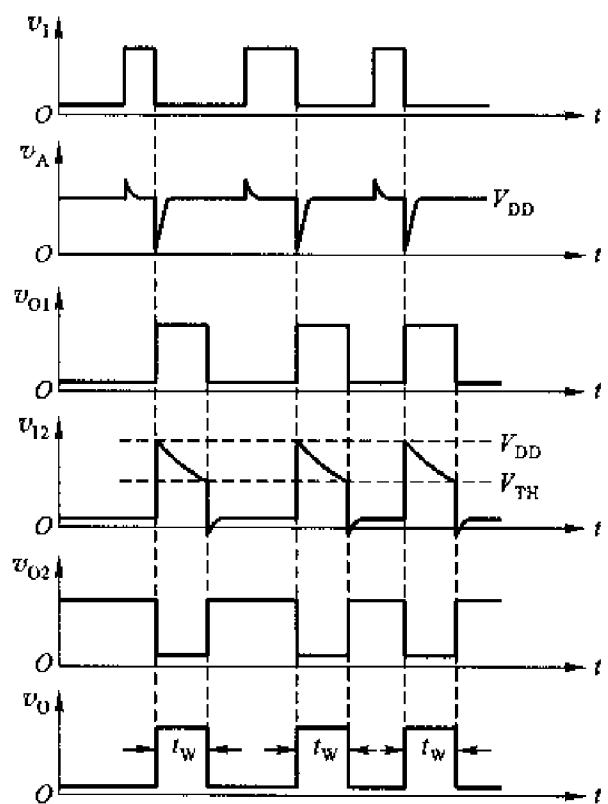


图 10-3 图 10-2 电路的电压波形图

$$\begin{aligned}
 t_w &= R C \ln \frac{v_{12}(\infty) - v_{12}(0)}{v_{12}(\infty) - v_{12}(t_w)} \\
 &= 10 \times 10^3 \times 0.01 \times 10^{-6} \times \ln 2 \text{ s} \\
 &= 69 \text{ } \mu\text{s}
 \end{aligned}$$

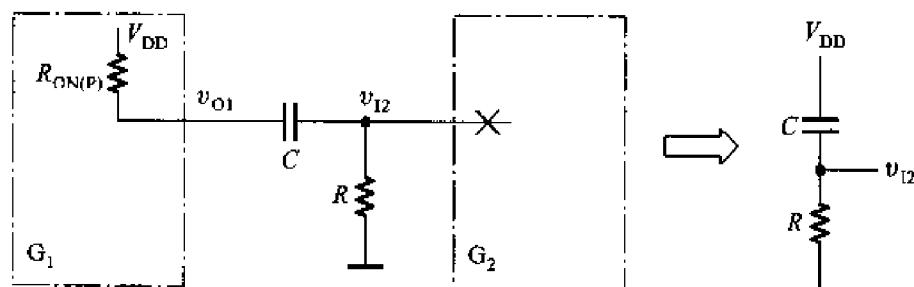


图 10-4 图 10-2 电路中电容 C 的充电回路

在暂稳态结束后的恢复时间里,由于 v_{01} 跳回到低电平,就使电容 C 上的电压变成了 G_2 的负输入电压。这时必须考虑到 G_2 输入电路对电容放电回路的影响,应将放电等效电路画成如图 10-5 的形式。图中的 r_d 是 G_2 输入保护电路

中反向钳位二极管的导通电阻。在 $r_D \ll R$ 的情况下, 可以近似地以 r_D 代替 R 与 r_D 并联的电阻, 于是得到电路的恢复时间为

$$t_{re} = (3 \sim 5) (R_{ON(N)} + r_D) C$$

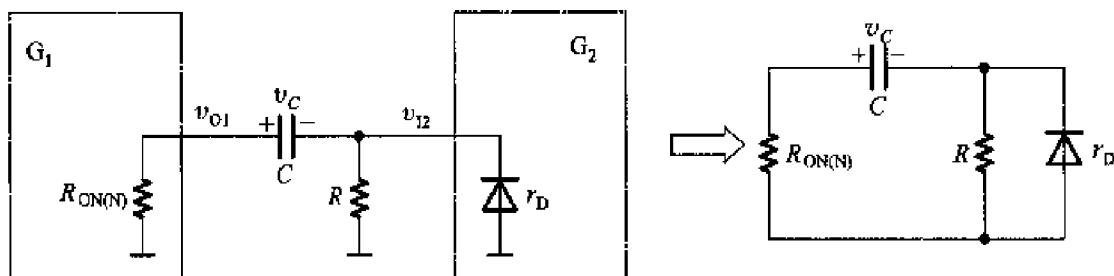


图 10-5 图 10-2 电路中电容 C 的放电回路

若给定 $R_{ON(N)} \leq 200 \Omega$, $r_D \leq 50 \Omega$, 则代入上式后得到

$$\begin{aligned} t_{re} &= (3 \sim 5) 250 \times 0.01 \times 10^{-6} \text{ s} \\ &= 7.5 \sim 12.5 \mu\text{s} \end{aligned}$$

输出脉冲幅度为输出高、低电平之差, 即

$$V_{om} = V_{oh} - V_{ol} \approx 5 \text{ V}$$

三、多谐振荡器的分析计算

解题方法和步骤:

在分析多谐振荡器电路时, 需要计算的两个最基本的性能参数是振荡周期(或者频率)和输出脉冲幅度。

(1) 振荡周期的计算。多谐振荡器的工作特点是不停地在两个暂稳态之间反复转换, 因而振荡周期等于两个暂稳态持续时间之和。在前面计算单稳态触发器的输出脉冲宽度时, 我们已经详细介绍了暂稳态持续时间的计算方法和步骤, 所讲的方法和步骤在这里仍完全适用, 故不再重复。

(2) 输出脉冲幅度的计算。输出脉冲幅度仍为输出高电平 V_{oh} 和输出低电平 V_{ol} 之差, 即

$$V_{om} = V_{oh} - V_{ol}$$

【例 10-3】 在图 10-6 非对称式多谐振荡器电路中, 已知 G_1 和 G_2 为 74 系列反相器 7404, 它们的输出高电平 $V_{oh} = 3.4 \text{ V}$, 输出低电平 $V_{ol} \approx 0 \text{ V}$, 阈值电压 $V_{th} = 1.4 \text{ V}$, 输入钳位电压 $V_{ik} = -1.0 \text{ V}$, 内部电阻 $R_1 = 4 \text{ k}\Omega$ 。给定 $R = 1.5 \text{ k}\Omega$, $C = 0.01 \mu\text{F}$, 试求电路的振荡频率。

解: TTL 集成电路 7404 是“六反相器”, 内部包含六个完全相同的反相器电路, 所以在图 10-6 中将每一个反相器标为 $\frac{1}{6}7404$ 。

由于电阻 R 的存在, 如果电路不发生自激振荡, 则 v_{il} 和 v_{o1} 必然处于高、低

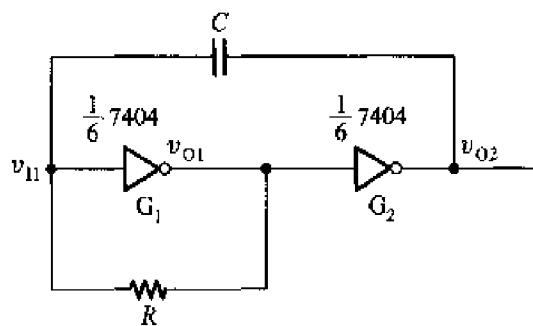


图 10-6 例 10-3 的非对称式多谐振荡器电路

电平之间,也就是 G_1 将工作在电压传输特性的转折区。 G_2 的输入也处于高、低电平之间,同样也工作在电压传输特性的转折区。当 G_1, G_2 处于电压传输特性的转折区时有较大的电压放大倍数,所以只要 v_{in} 有一个极小的跳变,例如由于干扰或噪声产生的微小正跳变,就会被放大并形成正反馈,使 v_{o1} 迅速跳变为低电平而 v_{o2} 跳变为高电平,电路进入第一种暂稳态。因为电容上的电压不能突变,所以 v_{in} 也得到了和 v_{o2} 相同大小的正跳变。

但是这个状态是不能持久的,随着电容 C 的放电, v_{in} 逐渐降低,当降至 $v_{in} = V_{th}$ 时,由于电路的正反馈作用又使 v_{o1} 跳变至高电平、 v_{o2} 跳变至低电平,电路转换到第二种暂稳态。同时, v_{in} 也得到与 v_{o2} 同样的负跳变。

这个状态同样也是不能持久的,随着电容 C 的充电, v_{in} 逐渐升高,当升至 $v_{in} = V_{th}$ 时,由于电路的正反馈作用,电路又重新返回第一种暂稳态。

根据以上分析,我们就得到了图 10-7 的电压波形图。可以看出,电路状态的转换是由 v_{in} 控制的,每当 v_{in} 充电至 V_{th} 和放电至 V_{th} 时都引发电路状态转换。两个暂稳态的持续时间也就是 v_{in} 从开始充电到充电至 V_{th} 的时间和从开始放电到放电至 V_{th} 的时间。

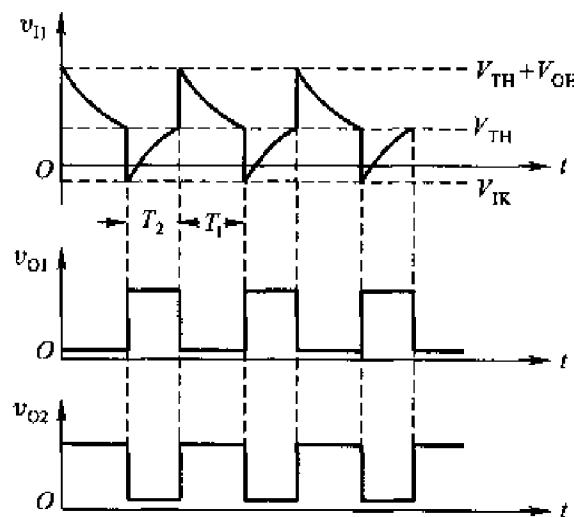


图 10-7 图 10-6 电路的电压波形图

图 10-8 是电容充、放电的等效电路。电容放电过程 v_{II} 始终高于 V_{TH} ，故可忽略 G_1 的高电平输入电流，得到如图 10-8(a) 的放电回路。而在电容充电过程中 v_{II} 处在 V_{TH} 以下，因而必须考虑 G_1 输入电路的存在对放电过程的影响，这时的充电等效电路应画成图 10-8(b) 的形式。利用戴维南定理将电容以外的电路化简为等效的 V_E 与 R_E 串联支路，最后得到

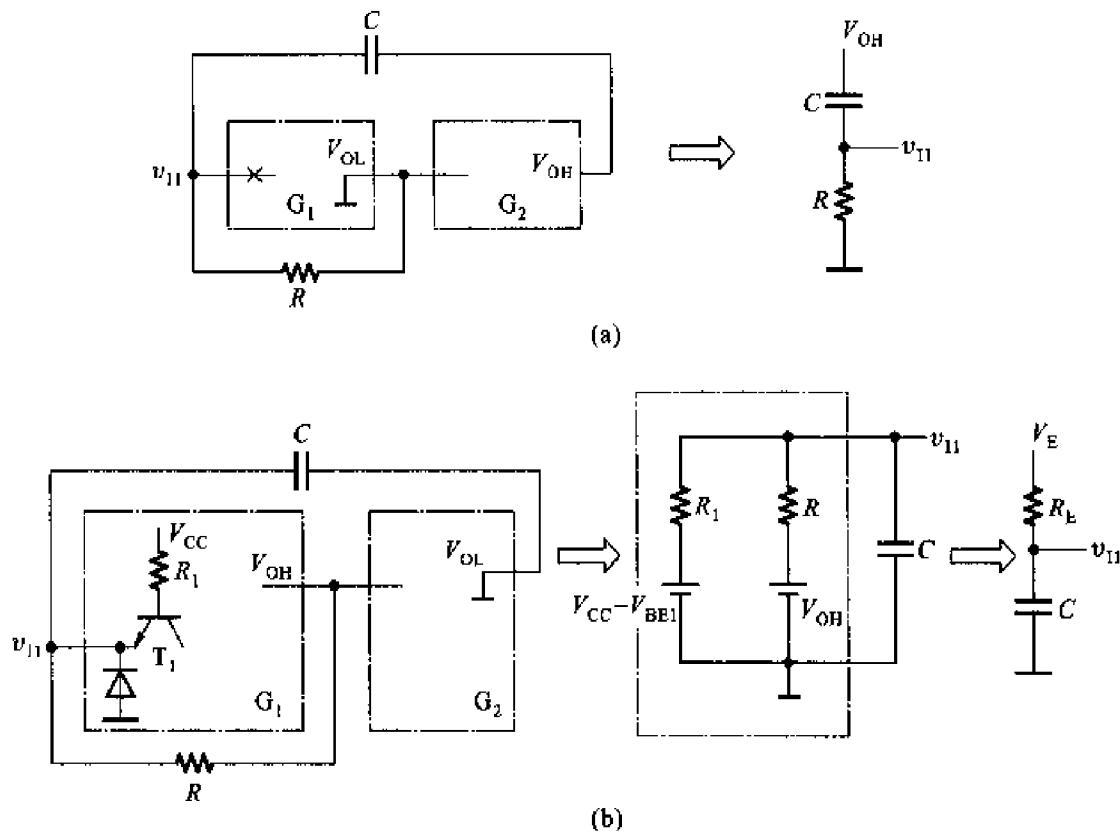


图 10-8 图 10-6 电路中电容 C 的充、放电等效电路

$$V_E = V_{OH} + \frac{R}{R + R_1} (V_{CC} - V_{BE1} - V_{OH}) \quad (10-1)$$

$$R_E = \frac{RR_1}{R + R_1} \quad (10-2)$$

当 v_{II} 由 V_{OL} 跳变为 V_{OH} 时， v_{II} 也从 V_{TH} 的基础上产生一个 $V_{OH} - V_{OL}$ 的正跳变，所以 v_{II} 在电容放电时的初始值为 $V_{TH} + V_{OH} - V_{OL}$ 。 v_{II} 放电的终了值是零，转换值是 V_{TH} 。将这一组数值代入计算公式得到电容的放电时间为

$$T_1 = RC \ln \frac{0 - (V_{TH} + V_{OH} - V_{OL})}{0 - V_{TH}}$$

$$= RC \ln \frac{V_{TH} + V_{OH}}{V_{TH}}$$

$$\begin{aligned}
 &= 1.5 \times 10^3 \times 0.01 \times 10^{-6} \times \ln \frac{1.4 + 3.4}{1.4} \text{ s} \\
 &= 1.5 \times 10^3 \times 0.01 \times 10^{-6} \times 1.23 \text{ s} \\
 &= 18.5 \mu\text{s}
 \end{aligned}$$

当 v_{02} 从 V_{0H} 跳变至 V_{0L} 时, v_{11} 也从 V_{TH} 的基础上产生一个负跳变。由于 G_1 的输入端内部有反向钳位二极管, 所以 v_{11} 最低只能跳变到 $V_{IK} = -1.0$ V。由图 10-8(b) 可见, 电容充电时 v_{11} 的终了值为 V_E , 而状态转换时的 v_{11} 值仍为 V_{TH} 。根据这一组数据就得到了电容的充电时间为

$$T_2 = R_E C \ln \frac{V_E - V_{IK}}{V_E - V_{TH}} \quad (10-3)$$

由式(10-1)得到

$$\begin{aligned}
 V_E &= \left[3.4 + \frac{1.5}{1.5 + 4} (5 - 0.7 - 3.4) \right] \text{ V} \\
 &= 3.6 \text{ V}
 \end{aligned}$$

由式(10-2)得到

$$R_E = \frac{1.5 \times 4}{1.5 + 4} = 1.1 \text{ k}\Omega$$

将得到的 V_E 、 R_E 值代回式(10-3), 求得充电时间为

$$\begin{aligned}
 T_2 &= 1.1 \times 10^3 \times 0.01 \times 10^{-6} \times \ln \frac{3.6 + 1}{3.6 - 1.4} \text{ s} \\
 &= 1.1 \times 10^3 \times 0.01 \times 10^{-6} \times 0.74 \text{ s} \\
 &= 8 \mu\text{s}
 \end{aligned}$$

细心的读者可能会发现, 我们在计算 T_2 时, 没有考虑 v_{11} 从 $-V_{IK}$ 上升到 -0.7 V 期间 G_1 输入端钳位二极管的导通电流。因此, 这里得到的是近似计算结果。

电路的振荡周期 T 等于 T_1 与 T_2 之和, T 的倒数即为振荡频率 f , 故得

$$\begin{aligned}
 f &= \frac{1}{T_1 + T_2} \\
 &= \frac{1}{(18.5 + 8) \times 10^{-6}} \text{ Hz} = 37.7 \text{ kHz}
 \end{aligned}$$

四、555 定时器应用电路的分析计算

解题方法和步骤:

(1) 首先分析确定 555 定时器的工作模式。尽管用 555 定时器构成的应用电路五花八门, 但 555 定时器本身的基本工作模式仍然不外乎施密特触发器、单稳态触发器和多谐振荡器三种。三种工作模式的电路连接方法已在《数字电子技术基础》(第五版) 的 10.5 节中详细地介绍了, 这里不再重复。

(2) 若 555 定时器工作在施密特触发器模式, 则可按前面第 271 页上所讲

的施密特触发器阈值电压的计算方法求出 V_{T+} 和 V_{T-} 。

(3) 若 555 定时器工作在单稳态触发器模式, 则可按前面第 273 页上所讲的单稳态触发器的分析和计算方法求出输出脉冲的宽度和幅度以及电路的恢复时间。

(4) 若 555 定时器工作在多谐振荡器模式, 则可按前面第 276 页上所讲的分析和计算方法求出电路的振荡频率和输出脉冲的幅度等。

【例 10-4】 图 10-9 是用 555 定时器接成的施密特触发器。G 为 74HC 系列与非门, 输出电压 V_G 的高、低电平分别为 $V_{OH} = 5 \text{ V}$ 、 $V_{OL} = 0 \text{ V}$, 输出电阻小于 50Ω 。试求 V_G 为高、低电平时电路的 V_{T+} 和 V_{T-} , 并画出电路的电压传输特性。

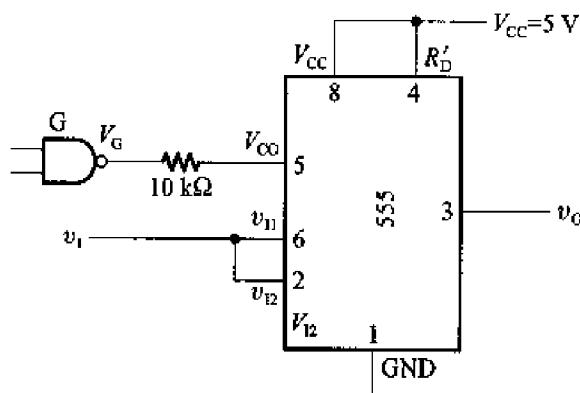


图 10-9 例 10-4 的施密特触发器电路

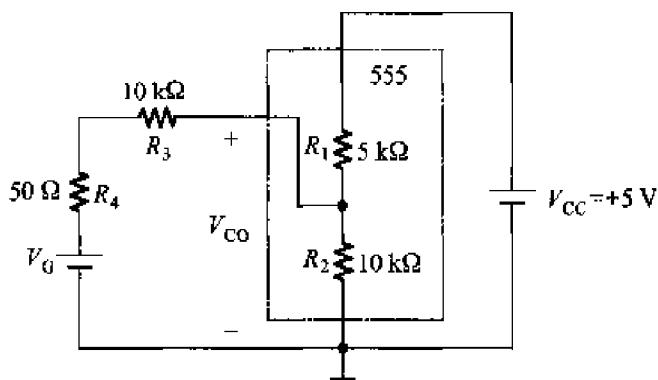
解: 在介绍用 555 定时器接成施密特触发器的原理时已经讲到, 它的正向阈值电压为 $V_{T+} = V_{co}$, 负向阈值电压为 $V_{T-} = \frac{1}{2}V_{co}$ 。因此, 只要计算出 V_{co} 为高、低电平时的 V_{co} 值, 就很容易得到 V_{T+} 和 V_{T-} 了。

我们在前面讨论 555 定时器 V_{co} 端的输入电路时讲过, V_{co} 端接在了集成电路内部分压电阻的结点上, 如图 10-10 所示。当 $V_G = 0$ 时, 可求得 V_{co} 为

$$\begin{aligned} V_{co} &= \frac{R_2 \parallel (R_3 + R_4)}{R_1 + R_2 \parallel (R_3 + R_4)} V_{cc} \\ &= \frac{10 \parallel (10 + 0.05)}{5 + 10 \parallel (10 + 0.05)} \times 5 \text{ V} \\ &= 2.5 \text{ V} \end{aligned}$$

故得到 $V_{T+} = V_{co} = 2.5 \text{ V}$, $V_{T-} = \frac{1}{2}V_{co} = 1.25 \text{ V}$ 。

当 $V_G = 5 \text{ V}$ 时, 利用叠加定理求得 V_{co} 值为

图 10-10 计算图 10-9 电路中 V_{CO} 值的等效电路

$$\begin{aligned}
 V_{CO} &= \frac{R_2 \parallel (R_3 + R_4)}{R_1 + R_2 \parallel (R_3 + R_4)} V_{CC} + \frac{R_1 \parallel R_2}{R_3 + R_4 + R_1 \parallel R_2} V_C \\
 &= \left(2.5 + \frac{5 \parallel 10}{10 + 0.05 + 5 \parallel 10} \times 5 \right) \text{ V} \\
 &= (2.5 + 1.24) \text{ V} \\
 &= 3.74 \text{ V}
 \end{aligned}$$

于是得到 $V_{T+} = V_{CO} = 3.74 \text{ V}$, $V_{T-} = \frac{1}{2}V_{CO} = 1.87 \text{ V}$

根据上述计算结果画出的电压传输特性如图 10-11。

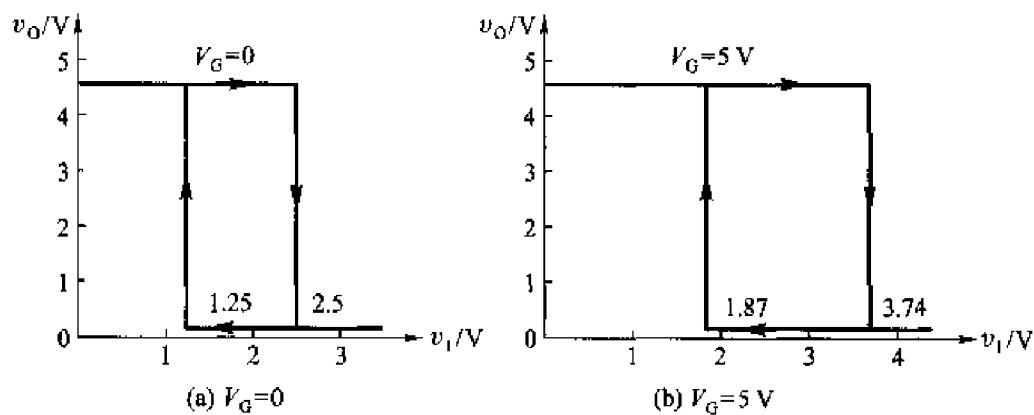


图 10-11 图 10-9 电路的电压传输特性

【例 10-5】 图 10-12 是用 555 定时器接成的单稳态触发器, 电路参数标注在图中, 输入信号波形如图中所给出。

- (1) 画出输出电压 v_o 的波形, 计算输出脉冲宽度。
- (2) 若去掉输入端的微分电容 C_d , 对电路的工作有何影响?

(3) 如果 v_1 的脉冲幅度只有 5 V, 电路能否正常工作?

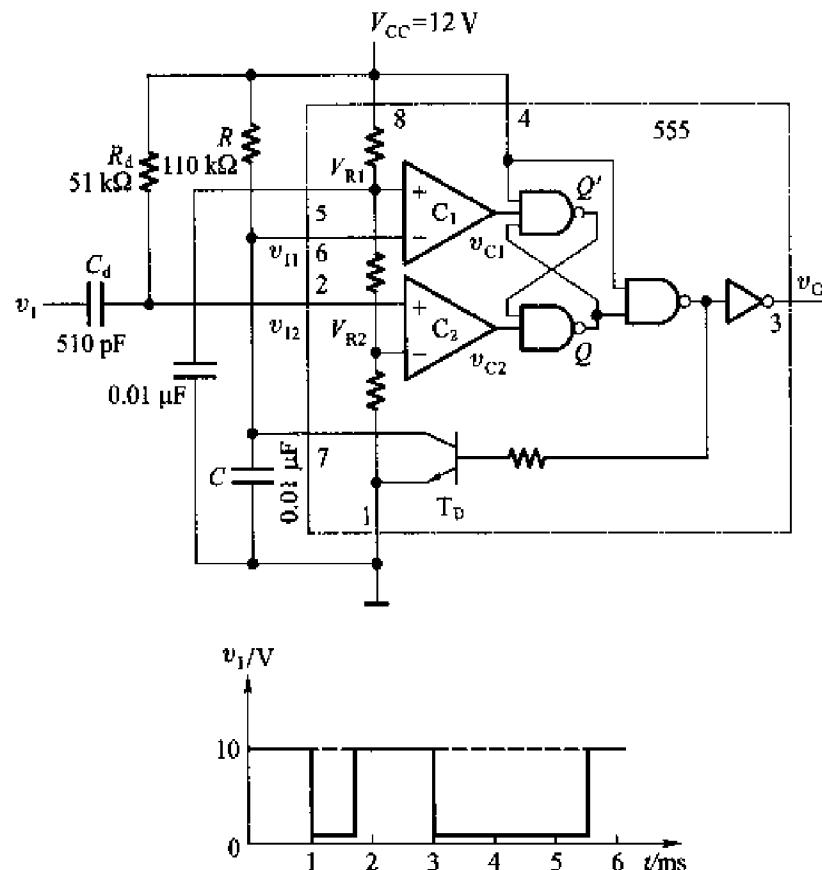


图 10-12 例 10-5 的单稳态触发器电路及输入电压波形

解:

(1) 计算输出脉冲宽度。

图 10-12 是用 555 定时器构成单稳态电路的典型接法。由于 $R_d \cdot C_d$ 远小于触发脉冲低电平持续时间, 所以 $R_d \cdot C_d$ 构成 v_1 的微分电路。当 v_1 发生负跳变时, 在 v_{12} 产生一个负跳变的尖脉冲, 使 v_{12} 低于 V_{R1} , 于是比较器 C_2 的输出 v_{C2} 变为低电平, 将锁存器置成 $Q=1$, v_0 变成高电平, 电路进入暂稳态。

暂稳态是不能持久的。 $Q=1$ 以后三极管 T_D 截止, 电容 C 开始充电。当充电至 $v_{12} = V_{R1}$ 时, 比较器 C_1 输出变为低电平, 而这时 v_{C2} 已经回到高电平, 所以锁存器被置为 $Q=0$, v_0 随之返回低电平, 暂稳态结束。因此, 输出脉冲的宽度 t_w 等于电容 C 从 0 开始充电到充至 $V_{R1} = \frac{2}{3}V_{cc}$ 的时间。据此可求得

$$t_w = RC \ln \frac{v_{12}(\infty) - v_{12}(0)}{v_{12}(\infty) - V_{R1}}$$

$$= 110 \times 10^3 \times 0.01 \times 10^{-6} \times \ln \frac{V_{cc} - 0}{V_{cc} - \frac{2}{3}V_{cc}}$$

$$= 110 \times 0.01 \times 10^{-3} \times 1.1 \text{ s}$$

$$= 1.2 \text{ ms}$$

v_0 的波形如图 10-13 所示。

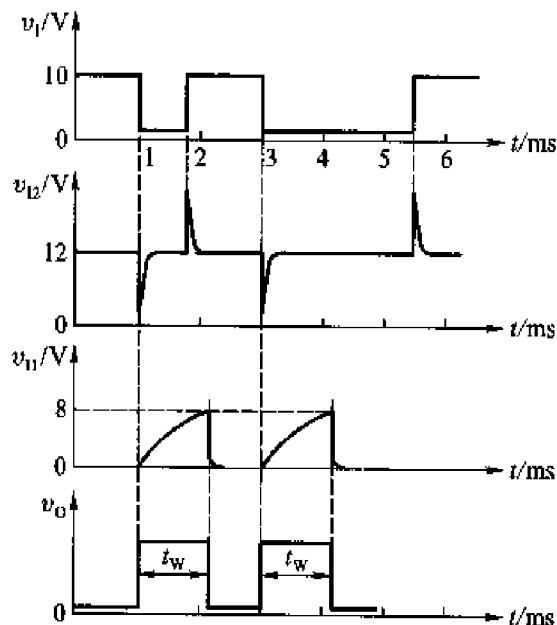


图 10-13 图 10-12 电路的电压波形图

(2) 由图 10-12 可见,如果去掉 C_1 ,将 v_1 直接接至 555 定时器的输入端 v_{12} ,则在 v_{12} 的低电平持续时间里比较器 C_2 的输出 v_{c2} 也始终为低电平。如果 v_{11} 充电到 V_{R1} 时 v_{c2} 的低电平仍然未变,则虽然 v_{c1} 变成了低电平,但锁存器的 Q 端和输出 v_0 仍然会保持原来的高电平不变。一直要到 v_1 回到低电平以后, v_{c2} 变成了高电平, Q 端和 v_0 才回到低电平。

由此可见,当触发脉冲的低电平持续时间大于电路的暂稳态维持时间以后,输出脉冲宽度将等于触发脉冲的低电平持续时间,而不再取决于电路本身的参数,电路已不能正常工作。因此,在触发脉冲低电平持续时间大于单稳态电路的暂稳态持续时间时,输入端一定要加 $R_4 C_4$ 微分电路。

(3) 在图 10-12 电路中,如果加到 v_1 端的触发脉冲幅度为 5 V,那么当触发脉冲的下降沿到达时, v_{12} 的电位将在原来的 V_{cc} 基础上向下跳变 5 V,达到 $12 - 5 = 7 \text{ V}$ 。而 $V_{R2} = \frac{1}{3}V_{cc} = 4 \text{ V}$, 所以 v_{12} 下跳至 7 V 时仍高于 V_{R2} , 比较器 C_2 不会输出低电平信号,锁存器不会翻转,电路状态不会发生转换。

可见,触发信号到达时必须能使 v_{12} 降至 V_{R2} 以下,电路才会被触发。在触发脉冲幅度不够大的情况下,可以采用电阻分压的方法降低 v_{12} 的静态电位。例如

可以在 v_{12} 与接地端之间接入与 R_d 相同大小的电阻, 使 v_{12} 的静态电位降至 $\frac{1}{2}V_{CC} = 6$ V, 这时用幅度为 5 V 的触发脉冲就能触发这个单稳态电路了。

【例 10-6】 图 10-14 是用 555 定时器接成的多谐振荡器, 电路参数如图中所示。要求

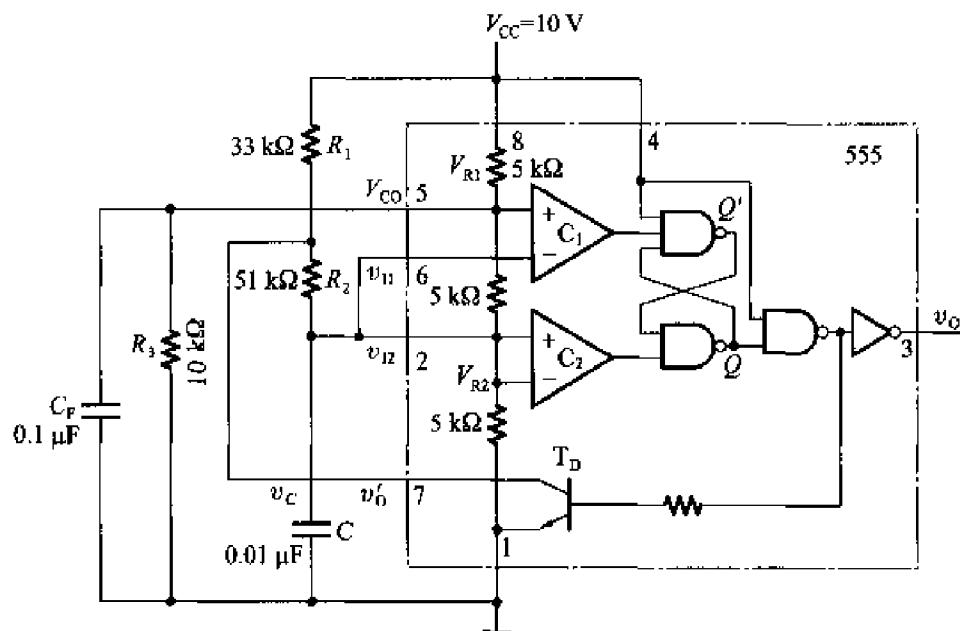


图 10-14 例 10-6 的多谐振荡器电路

- (1) 计算电路的振荡频率。
 - (2) 说明电容 C_F 的作用。
 - (3) 说明如果去掉电阻 R_1 ，并将电阻 R_2 的上端接至 555 定时器的 v_0 端，电路能否工作。

解：

- (1) 计算电路的振荡频率。

由图可知, v_{11} 和 v_{12} 相连作为输入即构成了施密特触发器, 再由输出端 v'_0 经 R_2 和 C 反馈到输入端, 就得到了多谐振荡器。电容 C 上的电压 v_c 在 V_{T+} 与 V_{T-} 之间往复地充、放电, v_0 便在高、低电平之间往复跳变, 如图 10-15 所示。电容 C 的充、放电回路如图 10-16 所示。

从图 10-16(a) 的充电回路求得充电时间为

$$t_1 = (R_1 + R_2) C \ln \frac{V_{cc} - V_{T+}}{V_{cc} - V_{T-}} \quad (10-4)$$

因为 V_{ce0} 端经电阻 R_3 接地, 所以现在的 V_{t+} 不等于 $\frac{2}{3}V_{cc}$ 。由图中可以算出, V_{ce0} 等于一个 $5\text{ k}\Omega$ 电阻和两个并联的 $10\text{ k}\Omega$ 电阻分压, 故 $V_{ce0} = 5\text{ V} \neq V_{t+}$ 。

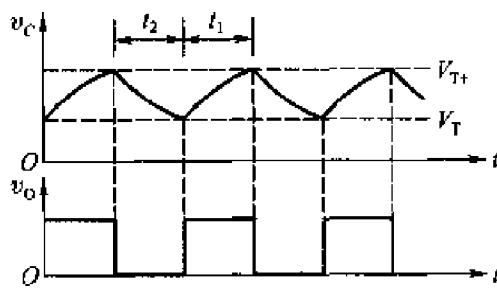


图 10-15 图 10-14 电路中的电压波形图

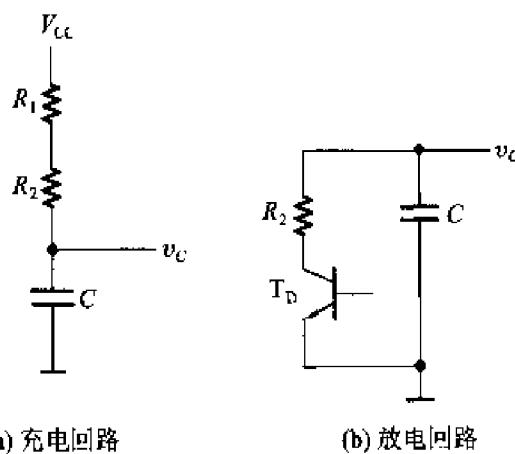


图 10-16 图 10-14 电路中电容 C 的充、放电回路

$V_{T-} = \frac{1}{2}V_{CO} = 2.5$ V。将这两个数值代入式(10-4)得到

$$\begin{aligned} t_1 &= (33 + 51) \times 10^3 \times 0.01 \times 10^{-6} \times \ln \frac{10}{2.5} \\ &= 84 \times 0.01 \times 10^{-3} \times 0.4 \text{ s} \\ &= 0.34 \text{ ms} \end{aligned}$$

根据图 10-16(b)的放电回路得到放电时间为

$$t_2 = (R_2 + r_T) C \ln \frac{0 - V_{T+}}{0 - V_{T-}}$$

考虑到三极管 T_D 的导通内阻 r_T 远小于 R_2 , 故将它忽略, 于是得到

$$\begin{aligned} t_2 &= 51 \times 10^3 \times 0.01 \times 10^{-6} \ln \frac{5}{2.5} \text{ s} \\ &= 51 \times 0.01 \times 10^{-3} \times 0.69 \text{ s} \\ &= 0.35 \text{ ms} \end{aligned}$$

振荡频率为

$$f = \frac{1}{t_1 + t_2} = \frac{10^3}{0.34 + 0.35} \text{Hz} \\ = 1.45 \text{ kHz}$$

(2) C_F 的作用在于稳定 V_{CO} 的电压。因为 V_{CO} 如果发生波动会直接影响 V_{T+} 和 V_{T-} ，进而影响频率的稳定。由于电容两端的电压不会发生突变，所以对瞬态干扰有滤除作用。

(3) 由图中可以看出， v_0' 与 v_0 的高、低电平相位是完全相同的。根据施密特触发器经 RC 电路反馈到输入端形成多谐振荡器的原理，无论从 v_0' 反馈到输入端还是从 v_0 反馈到输入端，都可以形成振荡电路。从减轻 v_0 端的负载和改善 v_0 波形考虑，一般都是以 v_0' 为反馈引回端，而不用 v_0 端。

10.2 习题解答

【题 10.1】 若反相输出的施密特触发器输入信号波形如图 P10.1 所示，试画出输出信号的波形。施密特触发器的转换电平 V_{T+} 、 V_{T-} 已在输入信号波形图上标出。

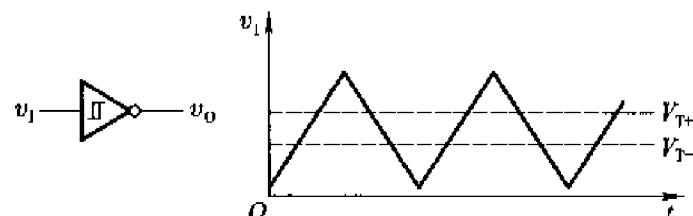


图 P10.1

解：根据给定的 v_1 波形画出的 v_0 波形见图 A10.1。

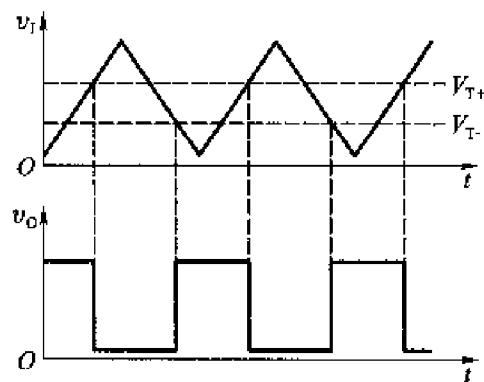


图 A10.1

【题 10.2】 在图 10.2.1 用 CMOS 反相器组成的施密特触发器电路中, 若 $R_1 = 50 \text{ k}\Omega$, $R_2 = 100 \text{ k}\Omega$, $V_{DD} = 5 \text{ V}$, $V_{TH} = \frac{1}{2}V_{DD}$, 试求电路的输入转换电平 V_{T+} 、 V_{T-} 以及回差电压 ΔV_T 。

解: 根据《数字电子技术基础》(第五版)中的式(10.2.1)、(10.2.2)和(10.2.3)可得

$$V_{T+} = \left(1 + \frac{R_1}{R_2}\right) V_{TH} = \left(1 + \frac{50}{100}\right) \times 2.5 \text{ V} = 3.75 \text{ V}$$

$$V_{T-} = \left(1 - \frac{R_1}{R_2}\right) V_{TH} = \left(1 - \frac{50}{100}\right) \times 2.5 \text{ V} = 1.25 \text{ V}$$

$$\Delta V_T = V_{T+} - V_{T-} = (3.75 - 1.25) \text{ V} = 2.5 \text{ V}$$

【题 10.3】 在图 P10.3(a)所示的施密特触发器电路中, 已知 $R_1 = 10 \text{ k}\Omega$, $R_2 = 30 \text{ k}\Omega$, G_1 和 G_2 为 CMOS 反相器, $V_{DD} = 15 \text{ V}$ 。

(1) 试计算电路的正向阈值电压 V_{T+} 、负向阈值电压 V_{T-} 和回差电压 ΔV_T 。

(2) 若将图 P10.3(b)给出的电压信号加到图 P10.3(a)电路的输入端, 试画出输出电压的波形。

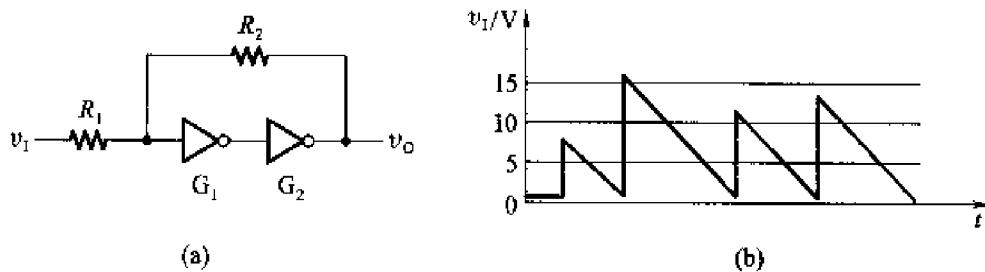


图 P10.3

解:

(1) 根据《数字电子技术基础》(第五版)中的式(10.2.1)、(10.2.2)、(10.2.3)可知

$$V_{T+} = \left(1 + \frac{R_1}{R_2}\right) V_{TH} = \left(1 + \frac{10}{30}\right) \times \frac{15}{2} \text{ V} = 10 \text{ V}$$

$$V_{T-} = \left(1 - \frac{R_1}{R_2}\right) V_{TH} = \left(1 - \frac{10}{30}\right) \times \frac{15}{2} \text{ V} = 5 \text{ V}$$

$$\Delta V_T = V_{T+} - V_{T-} = 5 \text{ V}$$

(2) 见图 A10.3。

【题 10.4】 图 P10.4 是用 CMOS 反相器接成的压控施密特触发器电路, 试分析它的转换电平 V_{T+} 、 V_{T-} 以及回差电压 ΔV_T 与控制电压 V_{CO} 的关系。

解: 设反相器 G_1 输入端电压为 v_A , 则根据叠加定理得到

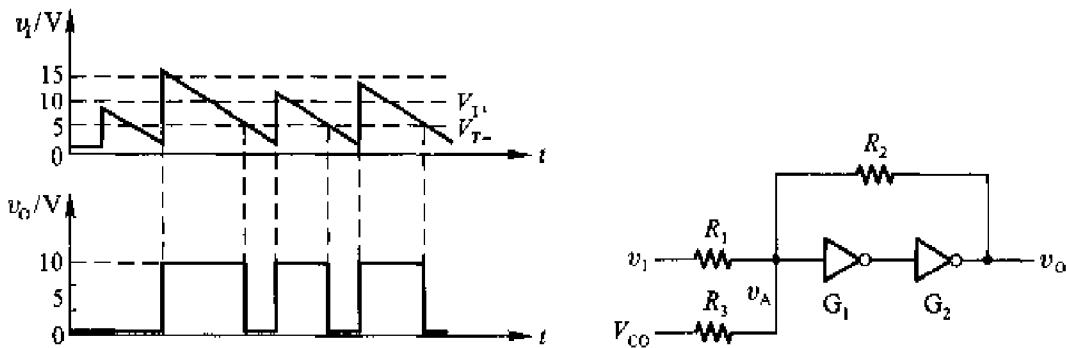


图 A10.3

图 P10.4

$$v_A = v_1 \frac{R_2 // R_3}{R_1 + R_2 // R_3} + V_{CO} \frac{R_1 // R_2}{R_3 + R_1 // R_2} + v_0 \frac{R_1 // R_3}{R_2 + R_1 // R_3}$$

(1) 在 v_1 升高过程中 $v_0 = 0$ 。当升至 $v_A = V_{TH}$ 时, $v_1 = V_{T+}$, 因而得到

$$V_{TH} = V_{T+} \frac{R_2 // R_3}{R_1 + R_2 // R_3} + V_{CO} \frac{R_1 // R_2}{R_3 + R_1 // R_2}$$

$$V_{T+} = \left(V_{TH} - V_{CO} \frac{R_1 // R_2}{R_3 + R_1 // R_2} \right) \frac{R_1 + R_2 // R_3}{R_2 // R_3}$$

$$= V_{TH} \left(1 + \frac{R_1}{R_3} + \frac{R_1}{R_2} \right) - \frac{R_1}{R_3} V_{CO}$$

(2) 在 v_1 降低过程中 $v_0 = V_{DD}$ 。当 $v_A = V_{TH}$ 时, $v_1 = V_{T-}$, 于是可得

$$V_{TH} = V_{T-} \frac{R_2 // R_3}{R_1 + R_2 // R_3} + V_{CO} \frac{R_1 // R_2}{R_3 + R_1 // R_2} + V_{DD} \frac{R_1 // R_3}{R_2 + R_1 // R_3}$$

$$V_{T-} = \left(V_{TH} - V_{CO} \frac{R_1 // R_2}{R_3 + R_1 // R_2} - V_{DD} \frac{R_1 // R_3}{R_2 + R_1 // R_3} \right) \frac{R_1 + R_2 // R_3}{R_2 // R_3}$$

$$= V_{TH} \left(1 + \frac{R_1}{R_3} - \frac{R_1}{R_2} \right) - \frac{R_1}{R_3} V_{CO}$$

$$(3) \Delta V_T = V_{T+} - V_{T-} = 2 \frac{R_1}{R_2} V_{TH} = \frac{R_1}{R_2} V_{DD} \quad (\text{与 } V_{CO} \text{ 无关})$$

【题 10.5】 图 P10.5 是具有电平偏移二极管的施密特触发器电路, 试分析它的工作原理, 并画出电压传输特性。 G_1 、 G_2 、 G_3 均为 TTL 电路。

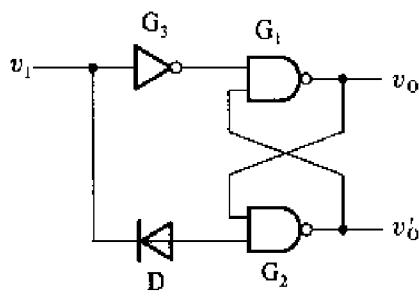


图 P10.5

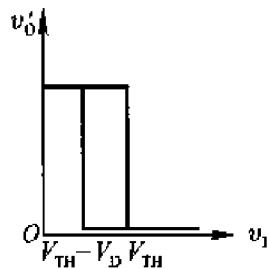


图 A10.5

解：设门电路的阈值电压为 V_{TH} ，二极管的导通压降为 V_D 。则输入电压 $v_1 = 0$ 时，门 G_2 输出高电平， G_1 输出低电平， $v_0' = 1, v_0 = 0$

在 v_1 升高的过程中，当 $v_1 \geq V_{TH}$ 时，门 G_3 输出低电平，使 v_0 变成高电平而 v_0' 变为低电平，即 $v_0' = 0, v_0 = 1$ 。所以 $V_{T+} = V_{TH}$ 。

在 v_1 降低过程中，当 $v_1 \leq V_{TH} - V_D$ 时，门 G_2 的输出变为高电平，而此时门 G_3 输出已经是高电平，所以门 G_1 输出变为低电平，电路变为 $v_0' = 1, v_0 = 0$ 的状态。因此电路的 $V_{T-} = V_{TH} - V_D$ 。电压传输特性如图 A10.5。

【题 10.6】 在图 P10.6 所示的整形电路中，输入电压 v_1 的波形如图中所示，假定它的低电平持续时间比 R, C 电路的时间常数大得多。

(1) 试画出输出电压 v_0 的波形。

(2) 能否用图 P10.6 中的电路作单稳态触发器使用？试说明理由。

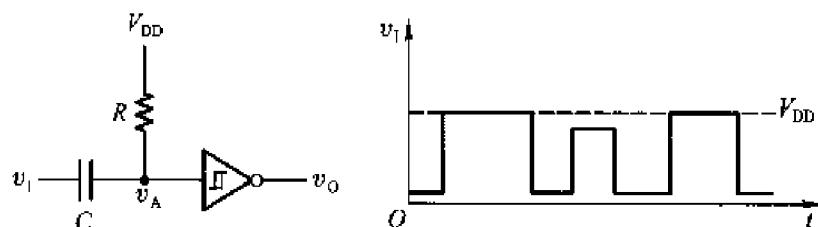


图 P10.6

解：

(1) 因为 RC 电路时间常数远小于 v_1 低电平持续时间，所以 RC 电路在这里是微分电路。据此即可画出 v_A 的波形，并进而从 v_A 的波形画出 v_0 的波形，如图 A10.6 所示。

(2) 由于 v_A 的脉冲幅度和输入信号 v_1 的幅度、下降沿的好坏有关，所以 v_0 输出脉冲的宽度也与 v_1 有关，而不仅仅取决于电路内部的参数。因此，这个电路不能作单稳态触发器使用。

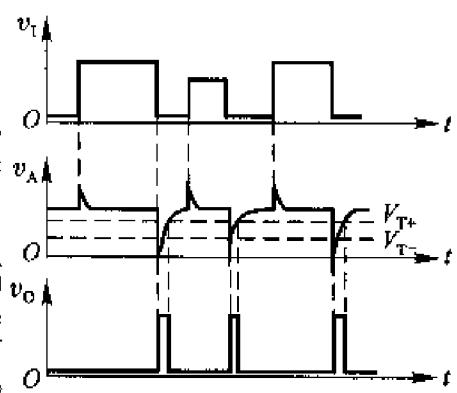


图 A10.6

【题 10.7】 在图 10.3.1 给出的微分型单稳态触发器电路中, 已知 $R = 51 \text{ k}\Omega$, $C = 0.01 \mu\text{F}$, 电源电压 $V_{DD} = 10 \text{ V}$, 试求在触发信号作用下输出脉冲的宽度和幅度。

解: 根据《数字电子技术基础》(第五版)中给出的式(10.3.2)得到, 输出脉冲宽度为

$$t_w = R C \ln 2 = 51 \times 10^3 \times 0.01 \times 10^{-6} \times 0.69 \text{ s} = 0.35 \text{ ms}$$

由式(10.3.3)得到输出脉冲幅度为

$$V_m = V_{OH} - V_{OL} \approx V_{DD} = 10 \text{ V}$$

【题 10.8】 在图 10.3.5 的积分型单稳态触发器电路中, 若 G_1 和 G_2 为 74LS 系列门电路, 它们的 $V_{OH} = 3.4 \text{ V}$, $V_{OL} \approx 0$, $V_{TH} = 1.1 \text{ V}$, $R = 1 \text{ k}\Omega$, $C = 0.01 \mu\text{F}$, 试求在触发信号作用下输出负脉冲的宽度。设触发脉冲的宽度大于输出脉冲的宽度。

解: 设门电路输出低电平 $V_{OL} \approx 0$, 输出电阻 R_o 很小, 可以忽略, 则根据《数字电子技术基础》(第五版)给出的式(10.3.6)得到

$$t_w = R C \ln \frac{V_{OH}}{V_{TH}} = 1 \times 10^3 \times 0.01 \times 10^{-6} \ln \frac{3.4}{1.1} \text{ s} \\ \approx 11.3 \mu\text{s}$$

【题 10.9】 图 P10.9 是用 TTL 门电路接成的微分型单稳态触发器, 其中 R_d 阻值足够大, 保证稳态时 v_A 为高电平。 R 的阻值很小, 保证稳态时 v_{12} 为低电平。试分析该电路在给定触发信号 v_1 作用下的工作过程, 画出 v_A 、 v_{01} 、 v_{12} 和 v_o 的电压波形。 C_d 的电容量很小, 它与 R_d 组成微分电路。

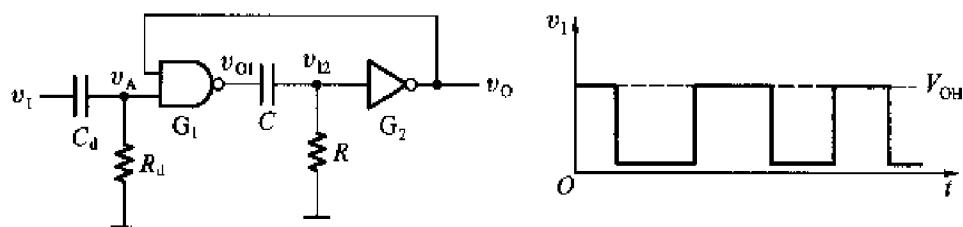


图 P10.9

解: 由图 P10.9 可知, 因 R 的阻值很小, 所以 $v_{12} < V_{TH}$; 而 R_d 阻值很大, 使 $v_A \geq V_{OH}$ 。故稳态下 $v_{01} = V_{OL}$, $v_o = v_{OH}$ 。

当 v_1 端有负的触发脉冲时, v_A 处出现负向的微分脉冲, v_{01} 和 v_{12} 产生正的电压跳变, v_o 跳变为低电平。由于 v_o 的低电平反馈到门 G_1 的输入, 所以在 v_A 的低电平信号消失后 v_{01} 的高电平和 v_o 的低电平仍继续维持。而且这种正反馈使 v_o 波形的边沿很陡。

v_{01} 跳变成高电平以后电容 C 开始充电, 随着充电的进行 v_{12} 逐渐下降, 当降至 $v_{12} = V_{TH}$ 时 v_0 跳变为高电平、 v_{01} 跳变为低电平, 电容 C 放电, 电路恢复到触发前的稳定状态。

电路中各点电压的波形如图 A10.9 所示。从 v_A 的波形上可见, 因为 v_0 的低电平反饋到了门 G_1 的输入端, 所以在 v_0 低电平期间 v_A 一直被钳在低电平上。

【题 10.10】 在图 P10.9 的微分型单稳态触发器电路中, 若 G_1 和 G_2 为 74 系列 TTL 门电路, 它们的 $V_{OH} = 3.2$ V, $V_{OL} \approx 0$, $V_{TH} = 1.3$ V, $R = 0.3$ k Ω , $C = 0.01$ μ F, 试计算电路输出负脉冲的宽度。

解: 由图 A10.9 可见, 输出脉冲宽度等于 v_{12} 从电容开始充电到降至 V_{TH} 的一段时间。电容充电的回路如图 A10.10 所示。忽略门 G_2 的输出电阻 R_o 及门 G_1 高电平输入电流, 则充电回路可简化为 R 和 C 串联的简单回路。 v_{12} 从 V_{OH} (电容开始充电瞬时的 v_{12} 值) 下降至 V_{TH} 的时间 (也就是输出脉冲的宽度) 为

$$t_w = RC \ln \frac{V_{OH}}{V_{TH}} = 0.3 \times 10^3 \times 0.01 \times 10^{-6} \ln \frac{3.2}{1.3} \text{ s} \\ = 2.7 \mu\text{s}$$

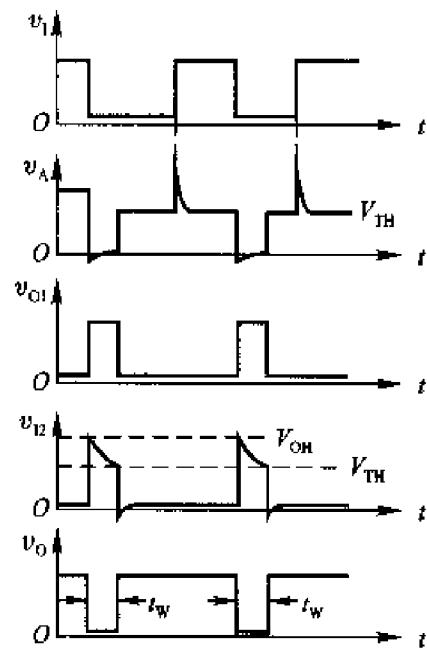


图 A10.9

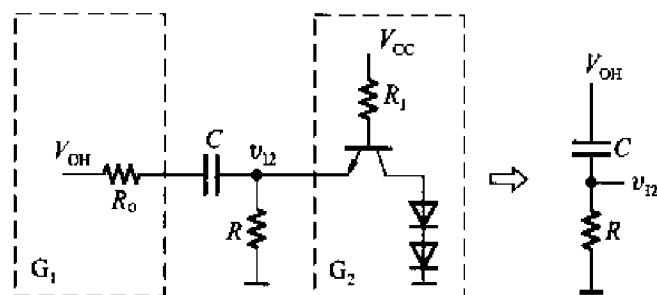


图 A10.10

【题 10.11】 图 P10.11 是用两个集成单稳态触发器 74121 所组成的脉冲变换电路, 外接电阻和外接电容的参数如图中所示。试计算在输入触发信号 v_1 作用下 v_{01} 、 v_{02} 输出脉冲的宽度, 并画出与 v_1 波形相对应的 v_{01} 、 v_{02} 的电压波形。 v_1 的波形如图中所示。

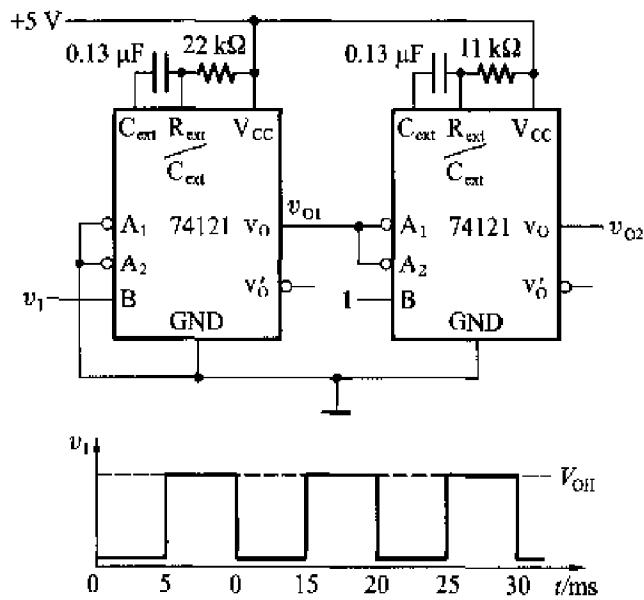


图 P10.11

解: v_{01} 、 v_{02} 的波形图如图 A10.11。

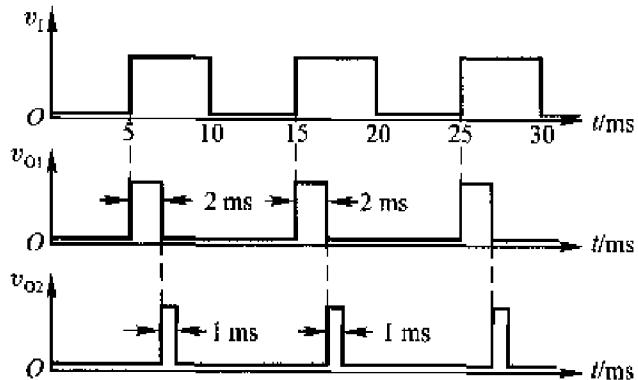


图 A10.11

根据《数字电子技术基础》(第五版)给出的式(10.3.10)得到 v_{01} 、 v_{02} 输出脉冲的宽度分别为

$$t_{w1} = 0.69 \times 22 \times 10^3 \times 0.13 \times 10^{-6} \text{ s} \approx 2 \text{ ms}$$

$$t_{w2} = 0.69 \times 11 \times 10^3 \times 0.13 \times 10^{-6} \text{ s} \approx 1 \text{ ms}$$

【题 10.12】 在图 10.4.1 所示的对称式多谐振荡器电路中,若 $R_{p1} = R_{p2} = 1 \text{ k}\Omega$, $C_1 = C_2 = 0.1 \mu\text{F}$, G_1 和 G_2 为 74LS04(六反相器)中的两个反相器, G_1 和 G_2 的 $V_{OH} = 3.4 \text{ V}$, $V_{TH} = 1.1 \text{ V}$, $V_{IK} = -1.5 \text{ V}$, $R_1 = 20 \text{ k}\Omega$, 求电路的振荡频率。

解: 根据《数字电子技术基础》(第五版)中给出的式(10.4.5)可知,振荡周期为

$$T = 2R_E C \ln \frac{V_F - V_{TH}}{V_F - V_{TH}}$$

其中

$$R_E = \frac{R_1 R_F}{R_1 + R_F} = \frac{20 \times 1}{20 + 1} \text{ k}\Omega = 0.95 \text{ k}\Omega$$

$$\begin{aligned} V_F &= V_{OH} + \frac{R_F}{R_1 + R_F} (V_{CC} - V_{OH} - V_{BE}) \\ &= 3.4 \text{ V} + \frac{1}{20 + 1} (5 - 3.4 - 0.7) \text{ V} = 3.44 \text{ V} \end{aligned}$$

故得到

$$\begin{aligned} T &= 2 \times 0.95 \times 10^3 \times 0.1 \times 10^{-6} \ln \frac{3.44 + 1.5}{3.44 - 1.1} \\ &= 1.42 \times 10^{-4} \text{ s} \end{aligned}$$

振荡频率为

$$f = \frac{1}{T} = 7.04 \text{ kHz}$$

【题 10.13】 图 P10.13 是用 CMOS 反相器组成的对称式多谐振荡器。若 $R_{F1} = R_{F2} = 10 \text{ k}\Omega$, $C_1 = C_2 = 0.01 \mu\text{F}$, $R_{p1} = R_{p2} = 33 \text{ k}\Omega$, 试求电路的振荡频率, 并画出 v_{in} 、 v_{o1} 、 v_{o2} 各点的电压波形。

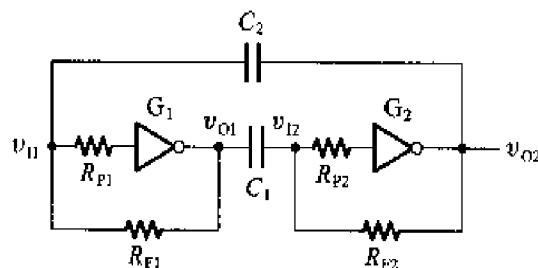


图 P10.13

解: 在 R_{p1} 、 R_{p2} 足够大的条件下, 反相器的输入电流可以忽略不计。在电路参数对称的情况下, 电容的充电时间和放电时间相等, 据此画出的各点电压波形如图 A10.13(a) 所示。图 A10.13(b) 是电容充、放电的等效电路。

由等效电路求得振荡周期为

$$T = 2(R_F + R_{ON(N)} + R_{ON(P)}) C \ln \frac{V_{DD} - (V_{TH} - V_{DD})}{V_{DD} - V_{TH}}$$

在 $R_F \gg R_{ON(N)}$, $R_F \gg R_{ON(P)}$, $V_{TH} = \frac{1}{2} V_{DD}$ 的条件下, 可将上式写成

$$T = 2R_F C \ln 3$$

将给定的 R_F 、 C 值代入上式后得到

$$T = 2 \times 10 \times 10^3 \times 0.01 \times 10^{-6} \times 1.1 \text{ s} = 2.2 \times 10^{-4} \text{ s}$$

故得到振荡频率为

$$f = \frac{1}{T} = 4.55 \text{ kHz}$$

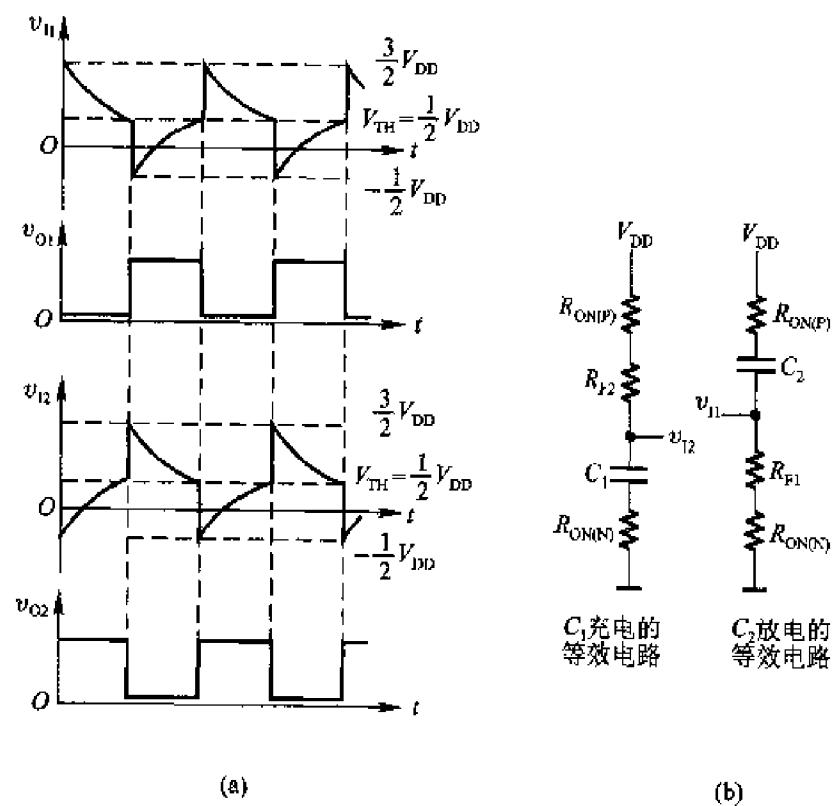


图 A10.13

【题 10.14】 在图 10.4.6 非对称式多谐振荡器电路中, 若 G_1, G_2 为 CMOS 反相器, $R_p = 9.1 \text{ k}\Omega$, $C = 0.001 \mu\text{F}$, $R_p = 100 \text{ k}\Omega$, $V_{DD} = 5 \text{ V}$, $V_{TH} = 2.5 \text{ V}$, 试计算电路的振荡频率。

解: 根据《数字电子技术基础》(第五版)中给出的式(10.4.10)可得

$$f = \frac{1}{T} = \frac{1}{2.2R_pC} = \frac{1}{2.2 \times 9.1 \times 10^3 \times 10^{-9}} \approx 50 \text{ kHz}$$

【题 10.15】 如果将图 10.4.6 非对称式多谐振荡器中的 G_1 和 G_2 改用 TTL 反相器, 并将 R_p 短路, 试画出电容 C 充、放电时的等效电路, 并求出计算电路振荡频率的公式。

解: 根据电路工作原理得到 v_u 的波形图如图 A10.15(a) 所示。电容 C 放电 (指 v_u 下降的过程) 的回路如图 A10.15(b), 电容充电 (指 v_u 上升的过程) 的回路如图 A10.15(c)。由此求得电容放电时间 T_1 和充电时间 T_2 分别为

$$T_1 = R_C \ln \frac{V_{TH} + V_{OH}}{V_{TH}}$$

$$T_2 = R_C \ln \frac{V_E - (-V_{IK})}{V_E - V_{TH}}$$

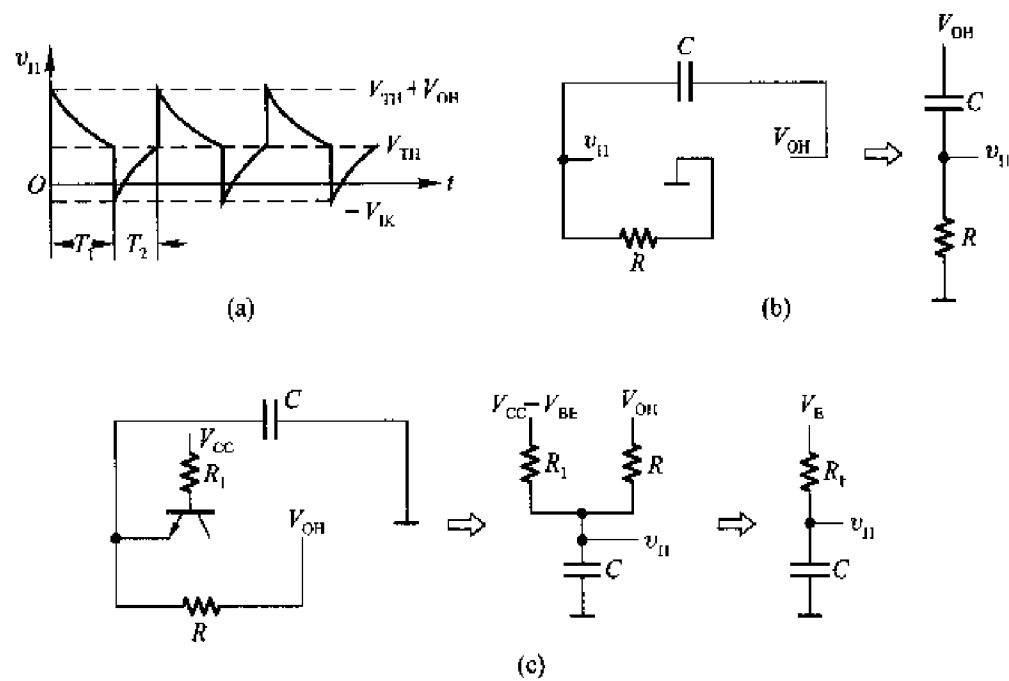


图 A10.15

其中

$$R_E = \frac{RR_1}{R + R_1}$$

$$V_E = V_{oh} + \frac{R}{R + R_1} (V_{cc} - V_{be} - V_{oh})$$

在 $R_1 \gg R$ 的条件下, $R_E \approx R$, $V_E \approx V_{oh}$, 这时可得到周期的近似计算公式

$$T = T_1 + T_2 = R C \ln \frac{V_{th} + V_{oh}}{V_{th}} \cdot \frac{V_{oh} + V_{ik}}{V_{oh} - V_{th}}$$

【题 10.16】 图 P10.16 是由五个同样的与非门接成的环形振荡器。今测得输出信号的重复频率为 10 MHz, 试求每个门的平均传输延迟时间。假定所有与非门的传输延迟时间相同, 而且 $t_{phl} = t_{plh} = t_{pd}$ 。

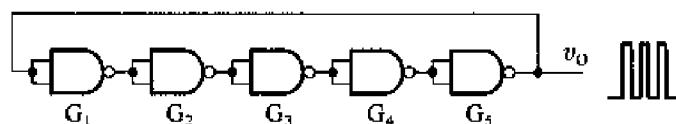


图 P10.16

解: 根据《数字电子技术基础》(第五版)给出的式(10.4.11)可知, 将 n 个反相器首尾相接组成的环形振荡器的振荡周期为 $T = 2nt_{pd}$, 故得到

$$t_{pd} = \frac{T}{2n} = \frac{1}{2nf} = \frac{1}{2 \times 5 \times 10^6} \text{ s} = 10^{-8} \text{ s} = 10 \text{ ns}$$

【题 10.17】 在图 10.4.12(b) 所示的环形振荡器电路中, 若给定 $R = 200 \Omega$, $R_s = 100 \Omega$, $C = 0.01 \mu\text{F}$, G_1, G_2 和 G_3 为 74 系列 TTL 门电路 ($V_{\text{OH}} = 3 \text{ V}$, $V_{\text{OL}} \approx 0$, $V_{\text{TH}} = 1.3 \text{ V}$), 试计算电路的振荡频率。

解: 根据《数字电子技术基础》(第五版)中的式(10.4.18)得到

$$\begin{aligned} T &= R C \ln \frac{2V_{\text{OH}} - V_{\text{TH}}}{V_{\text{OH}} - V_{\text{TH}}} \cdot \frac{V_{\text{OH}} + V_{\text{TH}}}{V_{\text{TH}}} \\ &= 200 \times 0.01 \times 10^{-6} \ln \frac{6 - 1.3}{3 - 1.3} \times \frac{3 + 1.3}{1.3} \text{ s} \\ &= 4.4 \mu\text{s} \end{aligned}$$

振荡频率为

$$f = \frac{1}{T} = 227 \text{ kHz}$$

【题 10.18】 在图 10.4.17 电路中, 已知 CMOS 集成施密特触发器的电源电压 $V_{\text{DD}} = 15 \text{ V}$, $V_{\text{T+}} = 9 \text{ V}$, $V_{\text{T-}} = 4 \text{ V}$, 试问:

- (1) 为了得到占空比为 $q = 50\%$ 的输出脉冲, R_1 与 R_2 的比值应取多少?
- (2) 若给定 $R_1 = 3 \text{ k}\Omega$, $R_2 = 8.2 \text{ k}\Omega$, $C = 0.05 \mu\text{F}$, 电路的振荡频率为多少? 输出脉冲的占空比又是多少?

解:

- (1) 由《数字电子技术基础》(第五版)中给出的式(10.4.20)可知, 为使 $q = 50\%$, 应取 T_1 与 T_2 相等, 即

$$\begin{aligned} R_2 C \ln \frac{V_{\text{DD}} - V_{\text{T-}}}{V_{\text{DD}} - V_{\text{T+}}} &= R_1 C \ln \frac{V_{\text{T+}}}{V_{\text{T-}}} \\ \text{故 } R_2/R_1 &= \ln \frac{V_{\text{T+}}}{V_{\text{T-}}} / \ln \frac{V_{\text{DD}} - V_{\text{T-}}}{V_{\text{DD}} - V_{\text{T+}}} \\ &= \ln \frac{11}{6} / \ln \frac{9}{4} \\ &= 3/4 \end{aligned}$$

$$\begin{aligned} (2) T &= T_1 + T_2 = R_2 C \ln \frac{V_{\text{DD}} - V_{\text{T-}}}{V_{\text{DD}} - V_{\text{T+}}} + R_1 C \ln \frac{V_{\text{T+}}}{V_{\text{T-}}} \\ &= 8.2 \times 10^3 \times 0.05 \times 10^{-6} \ln \frac{11}{6} \text{ s} + 3 \times 10^3 \times 0.05 \times 10^{-6} \ln \frac{9}{4} \text{ s} \\ &= (0.25 + 0.12) \text{ ms} = 0.37 \text{ ms} \end{aligned}$$

$$f = \frac{1}{T} = 2.7 \text{ kHz}$$

$$\text{输出脉冲的占空比 } q = \frac{T_1}{T} = \frac{0.25}{0.37} = 0.68$$

【题 10.19】 在图 10.5.2 所示用 555 定时器接成的施密特触发器电路中,

试求：

- (1) 当 $V_{cc} = 12$ V, 而且没有外接控制电压时, V_{T+} 、 V_{T-} 及 ΔV_T 值。
- (2) 当 $V_{cc} = 9$ V、外接控制电压 $V_{co} = 5$ V 时, V_{T+} 、 V_{T-} 、 ΔV_T 各为多少。

解：

$$(1) \text{ 当 } V_{cc} = 12 \text{ V} \text{ 时, } V_{T+} = \frac{2}{3}V_{cc} = 8 \text{ V}, V_{T-} = \frac{1}{3}V_{cc} = 4 \text{ V}, \Delta V_T = V_{T+} - V_{T-} = 4 \text{ V}.$$

$$(2) \text{ 当外接控制电压 } V_{co} = 5 \text{ V 时, } V_{T+} = V_{co} = 5 \text{ V}, V_{T-} = \frac{1}{2}V_{co} = 2.5 \text{ V},$$

$$\Delta V_T = V_{T+} - V_{T-} = 2.5 \text{ V}.$$

【题 10.20】 图 P10.20 是用 555 定时器组成的开机延时电路。若给定 $C = 25 \mu\text{F}$, $R = 91 \text{ k}\Omega$, $V_{cc} = 12 \text{ V}$, 试计算常闭开关 S 断开以后经过多长的延迟时间 v_0 才跳变为高电平。

解：延迟时间等于从 S 断开瞬间到电阻 R 上的电压降至 $V_{T-} = \frac{1}{3}V_{cc}$ 的时间, 即

$$\begin{aligned} T_d &= RC \ln \frac{0 - V_{cc}}{0 - \frac{1}{3}V_{cc}} = RC \ln 3 \\ &= 1.1 \times 91 \times 10^3 \times 25 \times 10^{-6} \\ &= 2.5 \text{ s} \end{aligned}$$

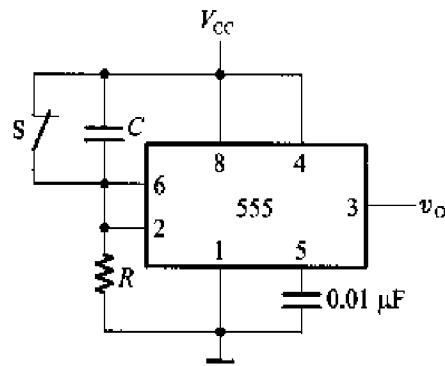


图 P10.20

【题 10.21】 试用 555 定时器设计一个单稳态触发器, 要求输出脉冲宽度在 $1 \sim 10$ s 的范围内可手动调节。给定 555 定时器的电源为 15 V。触发信号来自 TTL 电路, 高低电平分别为 3.4 V 和 0.1 V。

解：

(1) 若使图 A10.21 的单稳态电路正常工作, 触发信号必须能将触发输入端电压(2 端) 拉到 V_{T-} 以下, 而在触发信号到来之前, 2 端电压应高于 V_{T-} 。由于 $V_{T-} = 5 \text{ V}$, 而触发脉冲最高电平仅为 3.4 V, 所以需要在输入端加分压电阻, 使 2 端电压在没有触发脉冲时略高于 5 V。可取 $R_1 = 22 \text{ k}\Omega$ 、 $R_2 = 18 \text{ k}\Omega$, 分压后 2 端电压为 6.75 V。触发脉冲经微分电容 C_d 加到 2 端。

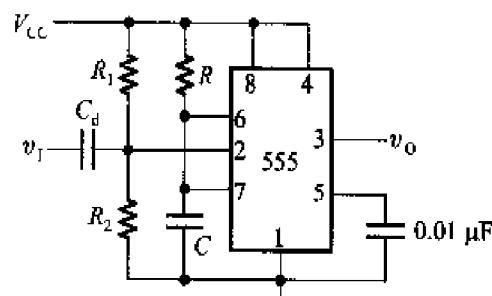


图 A10.21

(2) 取 $C = 100 \mu\text{F}$, 为使 $t_w = 1 \sim 10 \text{ s}$, 可求出 R 的阻值变化范围

$$R_{(min)} = \frac{t_{w(min)}}{1.1C} = \frac{1}{1.1 \times 100 \times 10^{-6}} \Omega = 9.1 \text{ k}\Omega$$

$$R_{(max)} = \frac{t_{w(max)}}{1.1C} = \frac{10}{1.1 \times 100 \times 10^{-6}} \Omega = 91 \text{ k}\Omega$$

取 $100 \text{ k}\Omega$ 的电位器与 $8.2 \text{ k}\Omega$ 电阻串联作为 R , 即可得到 $t_w = 1 \sim 10 \text{ s}$ 的调节范围。

【题 10.22】 在图 10.5.6 用 555 定时器组成的多谐振荡器电路中, 若 $R_1 = R_2 = 5.1 \text{ k}\Omega$, $C = 0.01 \mu\text{F}$, $V_{cc} = 12 \text{ V}$, 试计算电路的振荡频率。

解: 由《数字电子技术基础》(第五版)中给出的式(10.5.5)得

$$f = \frac{1}{(R_1 + 2R_2)C \ln 2} = \frac{1}{3 \times 5.1 \times 10^3 \times 0.01 \times 10^{-6} \times 0.69} \text{ Hz} \\ = 9.47 \text{ kHz}$$

【题 10.23】 图 P10.23 是用 555 定时器构成的压控振荡器, 试求输入控制电压 v_t 和振荡频率之间的关系式。当 v_t 升高时频率是升高还是降低?

解: 由《数字电子技术基础》(第五版)中的式(10.5.2)及式(10.5.3)知, 振荡周期为

$$T = T_1 + T_2 = (R_1 + R_2)C \ln \frac{V_{cc} - V_{t-}}{V_{cc} - V_{t+}} + R_2C \ln \frac{V_{t+}}{V_{t-}}$$

将 $V_{t+} = v_t$, $V_{t-} = \frac{1}{2}v_t$ 代入上式后得到

$$T = (R_1 + R_2)C \ln \frac{V_{cc} - \frac{1}{2}v_t}{V_{cc} - v_t} + R_2C \ln 2$$

当 v_t 升高时, T 变大, 振荡频率下降。

【题 10.24】 图 P10.24 是一个简易电子琴电路, 当琴键 $S_1 \sim S_n$ 均未按下时, 三极管 T 接近饱和导通, v_E 约为 0 V , 使 555 定时器组成的振荡器停振。当按下不同琴键时, 因 $R_1 \sim R_n$ 的阻值不等, 扬声器发出不同的声音。

若 $R_E = 20 \text{ k}\Omega$, $R_1 = 10 \text{ k}\Omega$, $R_E = 2 \text{ k}\Omega$, 三极管的电流放大系数 $\beta = 150$, $V_{cc} = 12 \text{ V}$, 振荡器外接电阻、电容参数如图所示, 试计算按下琴键 S_1 时扬声器发出声音的频率。

解: 当按下 S_1 时, 如果忽略三极管 T 的基极电流, 则流过 R_1 的电流与流过 R_E 的电流相同, 所以 R_1 上的电压为

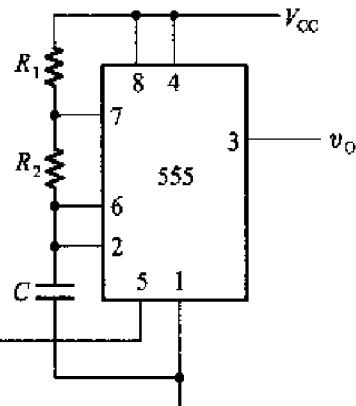


图 P10.23

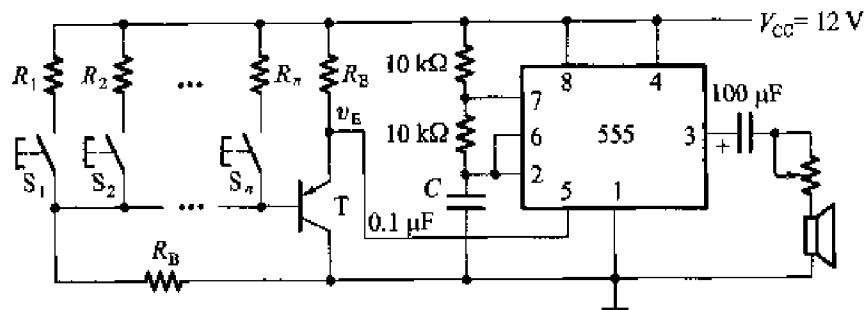


图 P10.24

$$V_{R_1} \approx \frac{R_1}{R_1 + R_B} V_{cc} = 4 \text{ V}$$

设 T 为 PNP 型锗三极管, 导通时 $V_{BE} = 0.3 \text{ V}$, 则 R_E 上的电压为

$$V_{R_E} = V_{cc} - V_{BE} = 3.7 \text{ V}$$

因此得到

$$v_E = V_{cc} - V_{R_E} = 8.3 \text{ V}$$

由于 v_E 接到了 555 定时器的 V_{cc} 端, 则根据上题的结果可得

$$\begin{aligned} T &= (R_1 + R_2) \ln \frac{V_{cc} - \frac{1}{2}v_E}{V_{cc} - v_E} + R_2 \ln 2 \\ &= (20 \times 10^3 \times 0.1 \times 10^{-6} \ln \frac{12 - 4.15}{12 - 8.3} + 10 \times 10^3 \times 0.1 \times 10^{-6} \times 0.69) \text{ s} \\ &= (1.5 \times 10^{-3} + 0.69 \times 10^{-3}) \text{ s} = 2.19 \times 10^{-3} \text{ s} \\ f &= \frac{1}{T} = 457 \text{ Hz} \end{aligned}$$

【题 10.25】 图 P10.25 是用两个 555 定时器接成的延迟报警器。当开关 S 断开后, 经过一定的延迟时间后扬声器开始发出声音。如果在延迟时间内 S 重新闭合, 扬声器不会发出声音。在图中给定的参数下, 试求延迟时间的具体数值和扬声器发出声音的频率。图中的 G_1 是 CMOS 反相器, 输出的高、低电平分别为 $V_{OH} \approx 12 \text{ V}$, $V_{OL} \approx 0 \text{ V}$ 。

解: 图 P10.25 中左边一个 555 定时器接成了施密特触发器, 右边一个 555 定时器接成了多谐振荡器。当开关 S 断开后电容 C 充电, 充至 $V_{t+} = \frac{2}{3} V_{cc}$ 时反相器 G_1 输出高电平, 多谐振荡器开始振荡。故延迟时间为

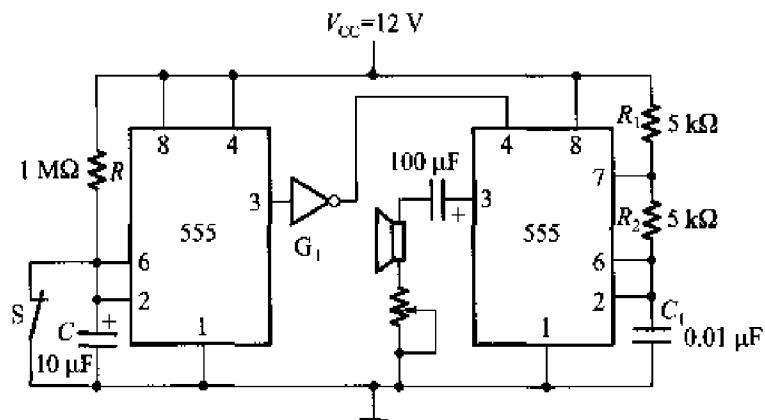


图 P10.25

$$\begin{aligned}
 T_D &= R C \ln \frac{V_{cc}}{V_{cc} - V_{th}} \\
 &= 10^6 \times 10 \times 10^{-6} \ln \frac{12}{12 - 8} \text{ s} \\
 &= 11 \text{ s}
 \end{aligned}$$

振荡器的振荡频率,亦即扬声器发出声音的频率为

$$\begin{aligned}
 f &= \frac{1}{(R_1 + 2R_2)C_1 \ln 2} = \frac{1}{15 \times 10^3 \times 0.01 \times 10^{-6} \times 0.69} \text{ Hz} \\
 &= 9.66 \text{ kHz}
 \end{aligned}$$

【题 10.26】 图 P10.26 是救护车扬声器发音电路。在图中给出的电路参数下,试计算扬声器发出声音的高、低音频率以及高、低音的持续时间。当 $V_{cc} = 12 \text{ V}$ 时,555 定时器输出的高、低电平分别为 11 V 和 0.2 V ,输出电阻小于 100Ω 。

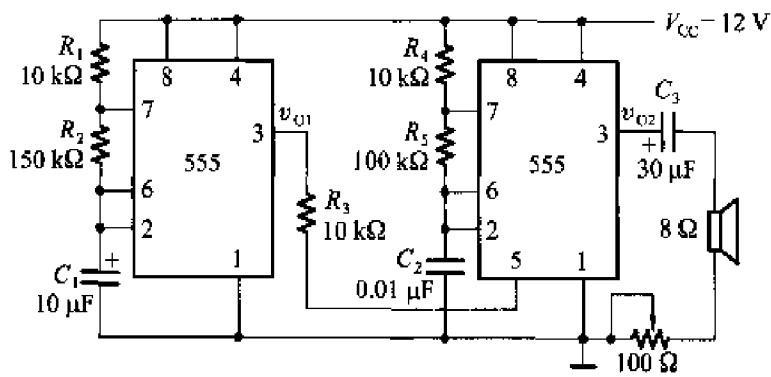


图 P10.26

解: 图 P10.26 中两个 555 定时器均接成了多谐振荡器。

(1) v_{01} 的高电平持续时间为

$$t_H = (R_1 + R_2)C_1 \ln 2 = 160 \times 10^3 \times 10 \times 10^{-6} \times 0.69 \text{ s} = 1.1 \text{ s}$$

这时 $v_{01} = 11$ V。由图 A10.26 可以用叠加定理计算出, 加到右边 555 定时器 5 脚上的电压 $V_{CO} = 8.8$ V。因此, $V_{T+} = 8.8$ V, $V_{T-} = 4.4$ V。振荡器的振荡频率, 亦即扬声器声音的周期为

$$\begin{aligned} T_1 &= (R_4 + R_5) C_2 \ln \frac{V_{CC} - V_{T-}}{V_{CC} - V_{T+}} + R_5 C_2 \ln 2 \\ &= (110 \times 10^3 \times 0.01 \times 10^{-6} \ln \frac{12 - 4.4}{12 - 8.8} \\ &\quad + 100 \times 10^3 \times 0.01 \times 10^{-6} \times 0.69) \text{ s} \\ &= 1.63 \times 10^{-3} \text{ s} \end{aligned}$$

$$f_1 = \frac{1}{T_1} = 611 \text{ Hz}$$

(2) v_{01} 的低电平持续时间为

$$\begin{aligned} t_L &= R_2 C_1 \ln 2 = 150 \times 10^3 \times 10 \times 10^{-6} \times 0.69 \\ &= 1.04 \text{ s} \end{aligned}$$

这时 $v_{01} = 0.2$ V, 由图 A10.26 可以计算出, 加到右边一个 555 定时器 5 脚上的电压 $V_{CO} = 6$ V, 故 $V_{T+} = 6$ V, $V_{T-} = 3$ V。振荡周期为

$$\begin{aligned} T_2 &= (110 \times 10^3 \times 0.01 \times 10^{-6} \ln \frac{12 - 3}{12 - 6} + 100 \times 10^3 \times 0.01 \times 10^{-6} \times 0.69) \text{ s} \\ &= 1.14 \times 10^{-3} \text{ s} \end{aligned}$$

$$f_2 = \frac{1}{T_2} = 876 \text{ Hz}$$

至此可知, 高音频率为 876 Hz, 持续时间 1.04 s。低音频率为 611 Hz, 持续时间 1.1 s。

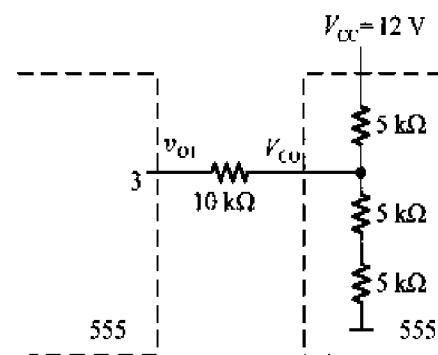


图 A10.26

第十一章

数-模和模-数转换

11.1 本章习题类型与解题方法

这一章的习题可大致分为三种类型。第一种类型是关于 A/D、D/A 转换的基本概念、转换电路基本工作原理和特点的题目,其中包括 D/A 转换器输出电压的定量计算这样基本练习的题目。第二种类型是 D/A 转换器应用的题目,这种类型的题目数量最大。第三种类型的题目是 D/A 转换器和 A/D 转换器中参考电压 V_{REF} 稳定度的计算,这种题目虽然数量不大,但是概念性比较强,而且有实用意义。

一、D/A 转换器输出电压的定量计算

解题方法和步骤:

1. 单极性输出的 D/A 转换器

(1) 对于图 11-1(a) 的倒 T 形电阻网络 D/A 转换器,输出的模拟电压用下式计算

$$\begin{aligned} v_o &= -R_F i_Z \\ &= -\frac{V_{REF} R_F}{2^n R} (d_{n-1} 2^{n-1} + d_{n-2} 2^{n-2} + \dots + d_1 2^1 + d_0 2^0) \\ &= -\frac{V_{REF} R_F}{2^n R} \cdot D \end{aligned} \quad (11-1)$$

式中 R 是倒 T 形 $R-2R$ 网络中电阻 R 的阻值, R_F 是外接的运算放大器的反馈电阻, V_{REF} 是外接的参考电压(也称基准电压), D 表示以二进制数给出的输入数字量。选择 V_{REF} 的极性可以改变输出电压的极性, 改变 R_F 阻值可以改变 D/A 转换的比例系数。

在倒 T 形电阻网络 D/A 转换器中通常都有一个内置的反馈电阻, 用以取代

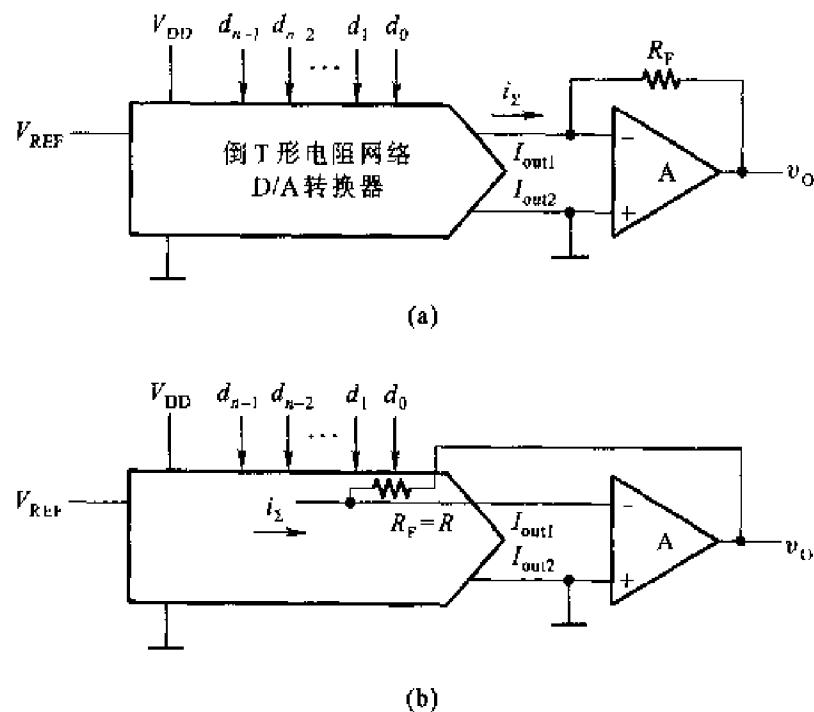


图 11-1 倒 T 形电阻网络 D/A 转换器的典型应用接法

外接的 R_F , 如图 11-1(b) 所示。这个内置电阻的阻值与倒 T 形电阻网络中的 R 阻值相同。因此, 在采用内置电阻取代外接 R_F 以后, 式(11-1)便简化为

$$v_O = -\frac{V_{REF}}{2^n} \cdot D \quad (11-2)$$

(2) 对于图 11-2 的权电流形 D/A 转换器, 输出的模拟电压用下式计算

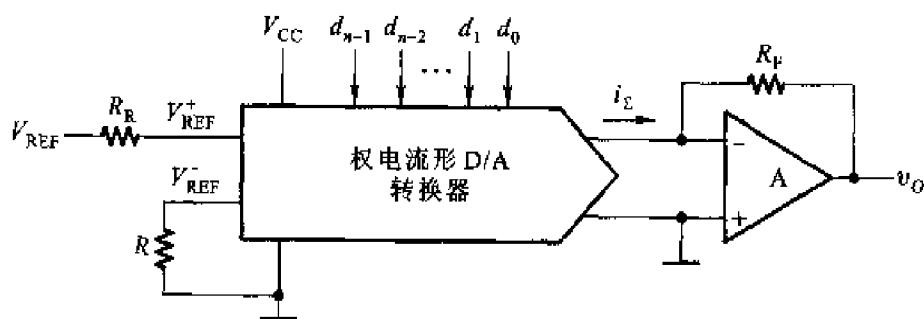


图 11-2 权电流形 D/A 转换器的典型应用接法

$$\begin{aligned} v_O &= -R_F i_Z \\ &= -\frac{V_{REF} R_F}{2^n R_R} (d_{n-1} 2^{n-1} + d_{n-2} 2^{n-2} + \dots + d_1 2^1 + d_0 2^0) \end{aligned}$$

$$= - \frac{V_{REF} R_F}{2^n R} \cdot D \quad (11-3)$$

式中的 R_F 是求和放大器的反馈电阻。用 R_R 和 V_{REF} 为权电流网络设定参考(基准)电流 I_R 。在 V_{REF} 端接至地电位的状态下, $I_R = V_{REF}/R_R$ 。 I_R 的工作范围由器件使用说明中给出。例如 DAC0800~0808 的 I_R 最大允许值规定为 5 mA。电阻 R 是 D/A 转换器输入端内部差分放大器的平衡电阻, 其阻值应取成与 R_R 相同的数值。通过选择 R_F 、 R_R 和 V_{REF} 的参数, 即可获得需要的 D/A 转换比例系数。

2. 双极性输出 D/A 转换器

在没有接入偏移电流 I_B 时, 图 11-3 D/A 转换器的输出电压计算公式已在式(11-1)给出, 即

$$v_o = - \frac{V_{REF} R_F}{2^n R} \cdot D$$

当输入数字量 D 从 0 变到最大($2^n - 1$)时, v_o 是单极性的。当 V_{REF} 为正时 v_o 为负; 而 V_{REF} 为负时 v_o 为正。

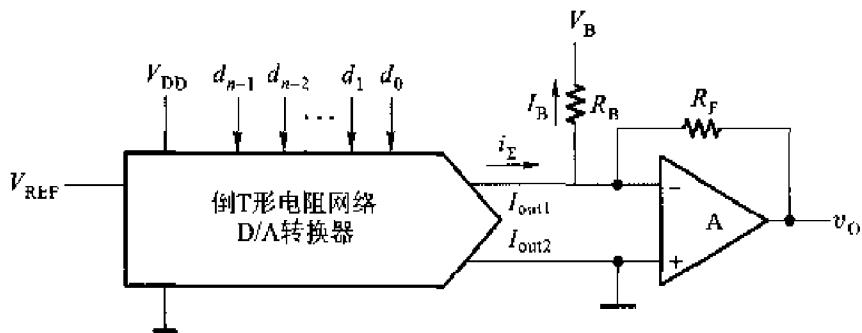


图 11-3 双极性输出的倒 T 形电阻网络 D/A 转换器

若 D/A 转换器的输入数字量为 n 位, 取 $R_F = R$, 则当输入数字量 D 从零变到最大($2^n - 1$)时 v_o 将从 0 变到 $-\frac{2^n - 1}{2^n} V_{REF}$ 。

如果在求和放大器输入端引入偏置电流 I_B , 并使 I_B 与 i_S 在求和放大器中相减, 这时输出将变为

$$v_o = - \frac{V_{REF} R_F}{2^n R} \cdot D + I_B R_F \quad (11-4)$$

若 I_B 与 $D = 2^{n-1}$ (即最高位为 1, 其余各位均为 0) 时的 i_S 相等, 则此时的 v_o 将等于零。我们在教科书中分析倒 T 形电阻网络时已经知道, 输入数字量最高位为 1 时的权电流为 $V_{REF}/2R$, 故可将式(11-4)写成

$$v_o = - \frac{V_{REF} R_F}{2^n R} \cdot D + \frac{V_{REF} R_F}{2R}$$

$$= - \frac{V_{REF} \cdot R_F}{2^n R} (D - 2^{n-1}) \quad (11-5)$$

上式表明,如果 V_{REF} 为止,则当 $D > 2^{n-1}$ 时 v_o 为负,而当 $D < 2^{n-1}$ 时 v_o 为正。因此,输出电压是双极性的。在 D 为 8 位二进制数及 $R_F = R$ 时, V_{REF} 为不同极性下的输出电压如表 11-1 所示。

表 11-1 图 11-3 电路的输出电压

数字量输入		模拟电压输出	
MSB	LSB	V_{REF} 为正	V_{REF} 为负
$(2^n - 1)$	1 1 1 1 1 1 1 1	$- V_{REF} /2 + 1LSB$	$+ V_{REF} /2 - 1LSB$
(2^{n-1})	1 0 0 0 0 0 0 0	0	0
(0)	0 0 0 0 0 0 0 0	$+ V_{REF} /2$	$- V_{REF} /2$

在输入的数字量以补码形式给出时,最高位是符号位,正数的符号位为 0,负数的符号位为 1。为了能在输入正数时得到正的输出模拟电压,输入为负数时得到负的输出模拟电压,需要将符号位反相以后再作为 D/A 转换器的最高位输入,同时取负的 V_{REF} 。若输入的数字量为 8 位,最高位为符号位,这时 D/A 转换器输出模拟电压与输入数字量的关系将和表 11-1 相同。

【例 11-1】 图 11-4 是用 DAC0830 接成的 D/A 转换电路。DAC0830 是 8 位二进制输入的倒 T 形电阻网络 D/A 转换器,若 $V_{REF} = 5$ V, 试写出输出电压 v_{o2} 的计算公式,并计算当输入数字量为 0、 2^{n-1} (2^7) 和 $2^n - 1$ ($2^8 - 1$) 时的输出电压值。

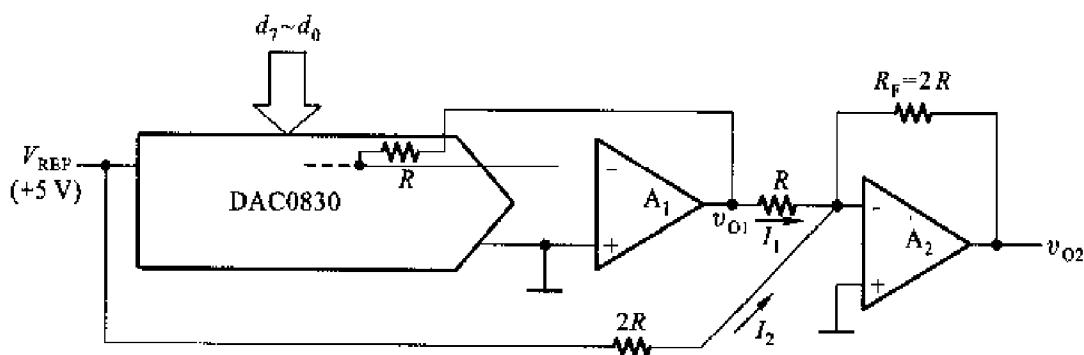


图 11-4 例 11-1 的 D/A 转换电路

解: 在 DAC0830 和运算放大器 A_1 组成的 D/A 转换电路部分中,因为 A_1 的反馈电阻采用了 DAC0830 的内置反馈电阻 $R_F = R$, 所以 A_1 的输出电压 v_{o1} 由式 (11-2) 计算, 即

$$v_{01} = -\frac{V_{\text{REF}}}{2^n} \cdot D$$

运算放大器 A_2 组成另一个求和放大器, 它的输出电压计算公式应为

$$\begin{aligned} v_{02} &= -R_F(I_1 + I_2) \\ &= -R_F(v_{01}/R + V_{\text{REF}}/2R) \\ &= \frac{V_{\text{REF}}R_F}{2^n R}(D - 2^{n-1}) \end{aligned} \quad (11-6)$$

上式与式(11-5)只相差一个负号。可见图 11-4 电路也是双极性输出的 D/A 转换电路。

将 $n = 8$ 、 $V_{\text{REF}} = 5$ V、 $R_F = 2R$ 代入上式后得到

$$\begin{aligned} v_{02} &= V_{\text{REF}} \frac{D - 2^{n-1}}{2^{n-1}} \\ &= 5 \times \frac{D - 2^7}{2^7} \text{ V} \end{aligned} \quad (11-7)$$

将 $D = 0$ 、 $D = 2^7$ 和 $D = 2^8 - 1$ 分别代入上式计算, 得到的 v_{02} 分别为 -5 V、0 V 和 4.96 V。

二、D/A 转换器的应用

本章习题中的 D/A 转换器应用题目又有两类, 一类是用于组成波形发生器的题目, 另一类是用于组成增益可编程放大器的题目。

1. 用于组成波形发生器

解题方法和步骤:

(1) 分析给定的波形发生器电路。首先找出 D/A 转换器输入的数字序列数值, 然后算出与这些数字量对应的输出模拟电压数值, 再将这些模拟电压作为输出波形的幅值, 按时间顺序画出波形, 就得到了输出电压波形。

(2) 设计产生指定波形的波形发生器电路。在一个完整的波形周期内按一定的时间间隔取一系列的取样点; 选定一个最小量化单位, 将每个取样点上波形的幅值量化, 算出对应的数字量; 将这些数字量顺序地存入存储器的地址中, 并将存储器的数据输出作为 D/A 转换器的数字量输入; 根据对波形周期的要求, 顺序地读取存储器的数据并不断地循环, 在 D/A 转换器的输出端就得到了所要求的电压波形。

【例 11-2】 试画出图 11-5 波形发生电路的输出电压波形。CB7520 是 10 位输入的倒 T 形电阻网络 D/A 转换器, 参考电压 $V_{\text{REF}} = -8$ V。74LS194A 是 4 位双向移位寄存器, 它的功能表如表 11-2, 假定它的初始状态为 $Q_0Q_1Q_2Q_3 = 0000$ 。 D_{tr} 和 D_{ll} 分别为右移数据输入端和左移数据输入端。 G_1 和 G_2 是 74 系列 TTL 反相器 7404, $R_F = 1 \text{ k}\Omega$, $C = 0.01 \mu\text{F}$, 石英晶体的谐振频率为 1 MHz。

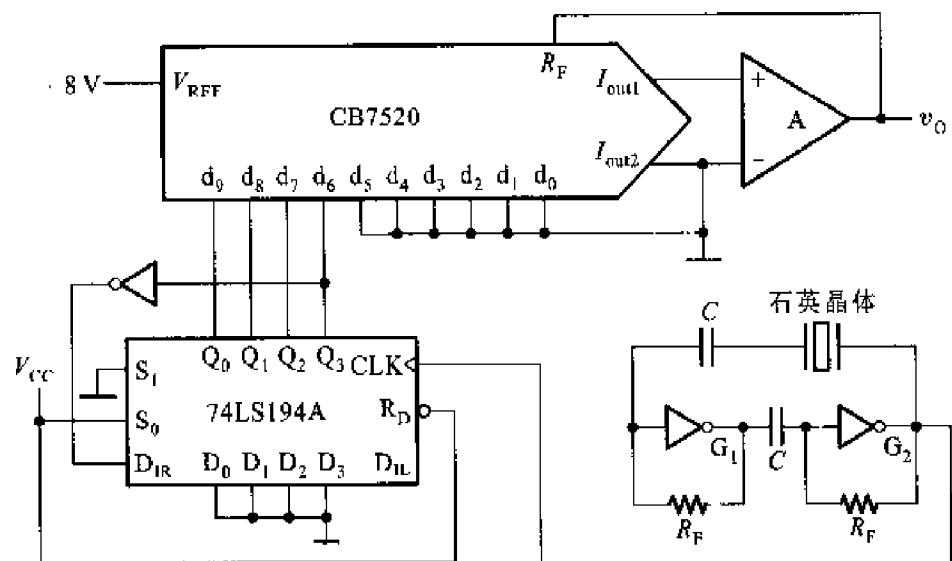


图 11-5 例 11-2 的波形发生电路

表 11-2 74LS194A 的功能表

R'_D	S_1	S_0	工作状态
0	x	x	置零
1	0	0	保持
1	0	1	右移
1	1	0	左移
1	1	1	并行输入

解：因为本例中是以移位寄存器里的数据作为 D/A 转换器输入的，所以首先需要找出移位寄存器中数据变化的规律。由于 74LS194A 接成了右移工作状态，并且以 Q'_1 作为 D_{1R} 的输入，因而构成了一个扭环形计数器。在 CLK 信号的连续作用下， $Q_0Q_1Q_2Q_3$ 的状态（也就是 D/A 转换器的输入 $d_9d_8d_7d_6$ ）将按表 11-3 所示的顺序变化。

由式 (11-2) 知

$$v_0 = -\frac{V_{REF}}{2^8} \cdot D = \left(\frac{8}{2^{10}} \cdot D \right) V$$

运用上式求得 $d_9 = 1, d_8 = 1, d_7 = 1, d_6 = 1$ 所产生的输出电压分别为 +4 V、+2 V、+1 V、+0.5 V，这样就能够很容易算出 $d_9d_8d_7d_6$ 为不同数值下的 v_0 值了。计算结果如表 11-3 中所列出。在 CLK 信号作用下， v_0 的数值将按表 11-3 中的顺序变化。

表 11-3 例 11-2 中 74LS194A 的状态转换表和输出电压 v_o 值

CLK 顺序	Q_0 (d_9)	Q_1 (d_8)	Q_2 (d_7)	Q_3 (d_6)	v_o/V
0	0	0	0	0	0
1	1	0	0	0	4
2	1	1	0	0	6
3	1	1	1	0	7
4	1	1	1	1	7.5
5	0	1	1	1	3.5
6	0	0	1	1	1.5
7	0	0	0	1	0.5
8	0	0	0	0	0

我们已经讲过,石英晶体多谐振荡器的振荡频率由石英晶体的自身谐振频率决定,因此 CLK 的频率应为 1 MHz,即周期等于 1 μ s,这样就可以画出 v_o 的波形了(如图 11-6 所示)。

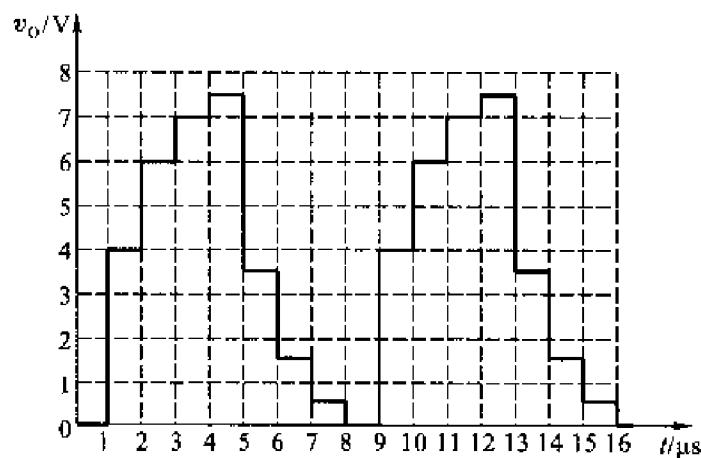


图 11-6 例 11-2 电路的输出电压波形

【例 11-3】 设计一个波形发生电路,产生图 11-7 所示的周期性输出电压波形。

解:如果每间隔 1 μ s 取一个取样点,则一个完整的波形周期中共有 16 个取样点,如图 11-7 中所示。取最小量化单位 $\Delta = 0.5$ V,将每个取样点上波形的幅度除以 0.5 V,就得到了表 11-4 的取样电压量化数据表。

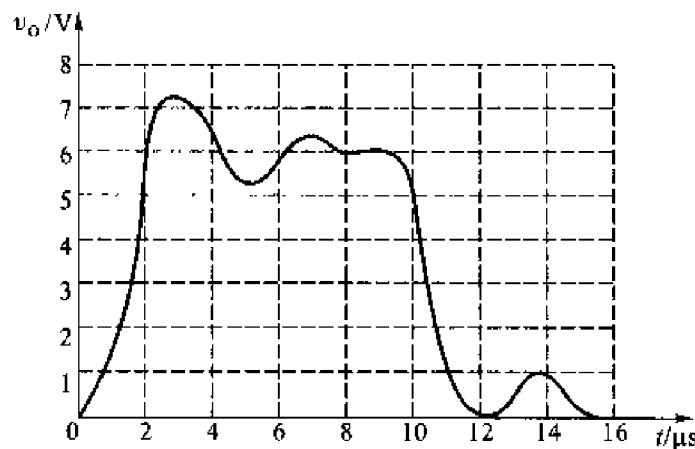


图 11-7 例 11-3 的电压波形图

表 11-4 例 11-3 取样电压量化数据表

取样点顺序	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
v_o/V	0	1.5	6.0	7.3	6.5	5.4	6.0	6.4	6.0	6.0	5.4	1.0	0	0.5	1.0	0
量化数值	0	3	12	15	13	11	12	13	12	12	11	2	0	1	2	0

为了存储表 11-4 的波形数据, 需要 16 个存储单元。如果采用二进制数存储, 每个单元需要存 4 位二进制数。因此, 使用 16×4 位的 ROM 就够用了。若将表 11-4 中的数据表依次存入 ROM, 便得到表 11-5 的 ROM 数据表。

表 11-5 例 11-3 中 ROM 的数据表

地址				数据				地址				数据					
A_3	A_2	A_1	A_0	D_3	D_2	D_1	D_0	A_3	A_2	A_1	A_0	D_3	D_2	D_1	D_0		
0	0	0	0	0	0	0	0	(0)	1	0	0	0	1	1	0	0	(12)
0	0	0	1	0	0	1	1	(3)	1	0	0	1	1	1	0	0	(12)
0	0	1	0	1	1	0	0	(12)	1	0	1	0	1	0	1	1	(11)
0	0	1	1	1	1	1	1	(15)	1	0	1	1	0	0	1	0	(2)
0	1	0	0	1	1	0	1	(13)	1	1	0	0	0	0	0	0	(0)
0	1	0	1	1	0	1	1	(11)	1	1	0	1	0	0	0	1	(1)
0	1	1	0	1	1	0	0	(12)	1	1	1	0	0	0	1	0	(2)
0	1	1	1	1	1	0	1	(13)	1	1	1	1	0	0	0	0	(0)

将表 11-5 中 ROM 的数据依次读出, 加到 D/A 转换器的输入端, 并不断循环, 在 D/A 转换器的输出就能产生图 11-7 的电压波形了。为了按表 11-5 中

的顺序循环产生 ROM 的地址代码,可以用一个 4 位二进制计数器的输出作为 ROM 的 4 位地址输入代码。只要以 1 MHz 的频率连续不断地供给计数器作为 CLK 脉冲,地址代码就会自动按表 11-5 的顺序变化,而且变化的时间间隔正好是 1 μ s。

按照以上的设计思路,就得到了图 11-8 的波形发生器电路。图中 CB7520 是 10 位倒 T 形电阻网络 D/A 转换器,ROM 为 16×4 位只读存储器,其中存有表 11-5 的数据表。74LS161 是同步十六进制计数器。石英晶体多谐振荡器产生频率为 1 MHz 的脉冲,作为计数器的时钟输入。

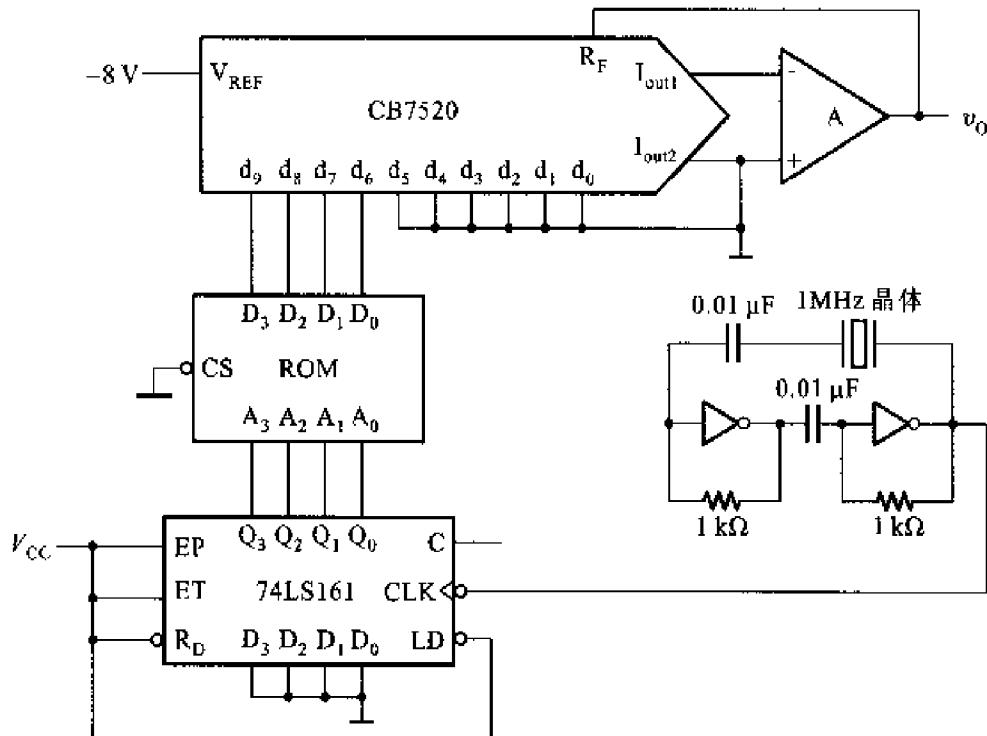


图 11-8 例 11-3 的波形发生器电路

由式(11-2)可知, CB7520 的输出电压为

$$v_0 = -\frac{V_{REF}}{2^n} \cdot D$$

若取 $V_{REF} = -8$ V, 则得到

$$\begin{aligned} v_0 &= \frac{8}{2^{10}} (d_9 2^9 + d_8 2^8 + d_7 2^7 + d_6 2^6) \\ &= \frac{8}{2^4} (D_3 2^3 + D_2 2^2 + D_1 2^1 + D_0 2^0) \end{aligned}$$

当 $D_0 = 1$ 时在输出端产生的电压恰好等于 0.5 V, 与所设定的量化单位相同。

图 11-9 是图 11-8 电路的输出电压波形。这个波形和图 11-7 给定的波

形之间有一定的误差。通过增加取样点(提高取样速率)和减小量化单位,可以减小这个电路的输出电压波形与给定波形之间的误差。



图 11-9 图 11-8 电路的输出电压波形

2. 用于组成增益可编程放大器

解题方法和步骤:

在图 11-10 形式的负反馈电压放大器中,若 A 可以近似地视为理想放大器(输入电流为 0, 放大倍数为 ∞ , 输出电阻为 0)则电压放大倍数(增益)为

$$A_v = -\frac{R_f}{R_1}$$

因此,只要以 D/A 转换器作为可编程电阻取代 R_1 或 R_f ,就能构成增益可编程放大器。

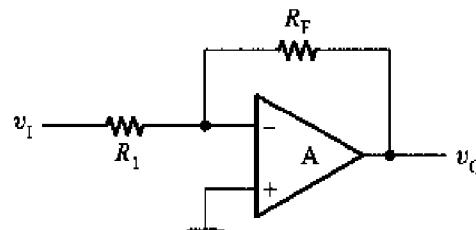


图 11-10 负反馈电压放大器

【例 11-4】 在图 11-11 的放大电路中,试计算当 D/A 转换器的输入数字量从全 0 变到全 1 时电压放大倍数的变化范围是多少。图中的 DAC0830 是 8 位倒 T 形电阻网络 D/A 转换器,电阻网络中的电阻 R 等于 $15 \text{ k}\Omega$ 。运算放大器外接的反馈电阻 $R_f = 150 \text{ k}\Omega$ 。

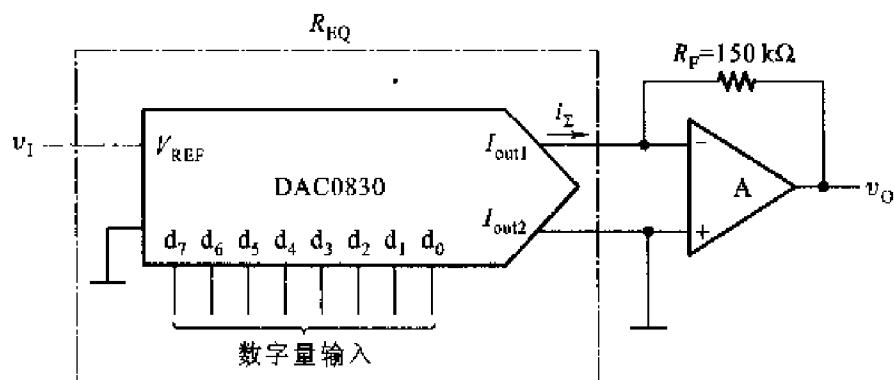


图 11-11 例 11-4 的增益可编程放大电路

解：由图 11-11 可知，在 I_{out1} 端为 0 电平的条件下，D/A 转换器的等效电阻为

$$R_{EQ} = \frac{V_{REF}}{i_{\Sigma}} = \frac{V_{REF}}{i_S}$$

而由前面的式(11-1)可知

$$i_S = \frac{V_{REF}}{2^n R} \cdot D$$

故得到

$$R_{EQ} = \frac{2^n R}{D} \quad (11-8)$$

式中 R 是倒 T 形电阻网络中电阻 R 的阻值， D 为以二进制数表示的输入数字量， n 为输入数字量的位数。

据此便可以得到图 11-11 电路的电压放大倍数为

$$\begin{aligned} A_v &= \frac{v_o}{v_i} \\ &= -\frac{R_F}{R_{EQ}} \\ &= -\frac{R_F}{R} \cdot \frac{D}{2^n} \\ &= -\frac{150}{15} \cdot \frac{D}{2^8} \\ &= -0.039D \end{aligned}$$

当 D 为全 0 时， $A_v = 0$ ；当 D 为全 1 时，由上式求得

$$\begin{aligned} A_v &= -0.039 \times 255 \\ &= -9.95 \end{aligned}$$

故 A_v 的变化范围是 $0 \sim -9.95$ 。

【例 11-5】 试计算图 11-12 增益可编程放大电路的电压放大倍数，并说明当 D/A 转换器的输入数字量从全 0 变到全 1 时放大倍数的变化范围。图中 DAC0830 为 8 位倒 T 形电阻网络 D/A 转换器，倒 T 形电阻网络中电阻 R 的阻值等于 $15 \text{ k}\Omega$ 。输入端电阻 R_1 的阻值为 $150 \text{ k}\Omega$ 。

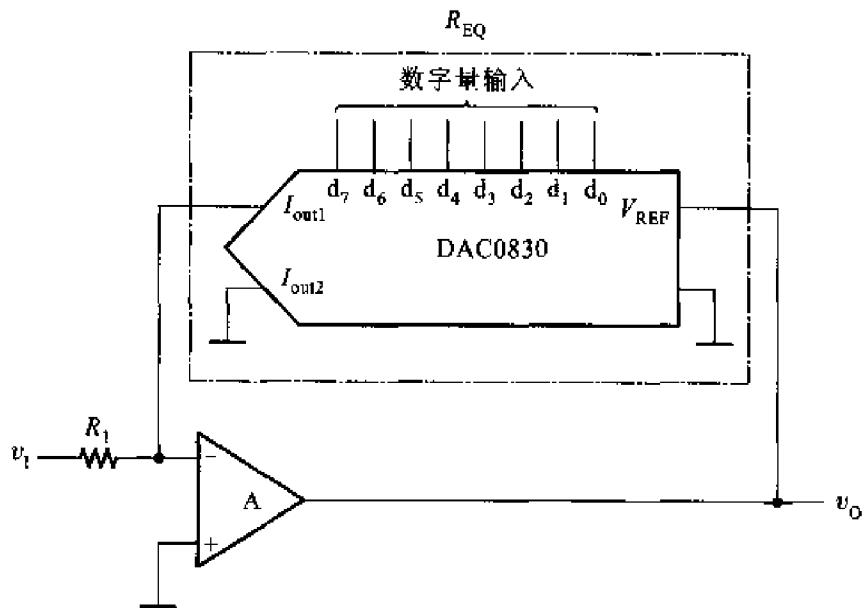


图 11-12 例 11-5 的增益可编程放大电路

解：根据图 11-12 可写出电路的电压放大倍数为

$$\begin{aligned} A_v &= \frac{v_0}{v_1} \\ &= -\frac{R_{EQ}}{R_1} \end{aligned}$$

又知 $R_{EQ} = \frac{2^8 R}{D}$ ，故得到

$$\begin{aligned} A_v &= -\frac{R}{R_1} \cdot \frac{2^8}{D} \\ &= -\frac{15}{150} \cdot \frac{256}{D} \\ &= -\frac{25.6}{D} \end{aligned}$$

当 D 为全 0 时， $A_v = -\infty$ ；

当 D 为全 1 时

$$A_v = -\frac{25.6}{255} = -0.1$$

故 A_v 的变化范围是 $-0.1 \sim -\infty$ 。

三、倒 T 形电阻网络 D/A 转换器参考电压稳定度的计算

解题方法和步骤：

由式(11-1)中可以看到, D/A 转换器的输出电压 v_o 是和参考电压 V_{REF} 有关的, 即

$$v_o = -\frac{V_{REF}R_F}{2^n R} \cdot D$$

因此, V_{REF} 的波动 ΔV_{REF} 将引起 v_o 的波动 Δv_o 。为保证转换精度, Δv_o 必须小于输入最低有效位的 1 所产生输出电压的一半 $\left(\frac{1}{2} \text{LSB}\right)$, 即要求

$$\Delta v_o \leq \frac{1}{2} \text{LSB}$$

根据式(11-1)可分别得出 Δv_o 和 $\frac{1}{2} \text{LSB}$ 为

$$\Delta v_o = \left| \frac{\Delta V_{REF}R_F}{2^n R} \cdot D \right|$$

$$\frac{1}{2} \text{LSB} = \frac{1}{2} \left| \frac{V_{REF}R_F}{2^n R} \cdot 1 \right| = \left| \frac{V_{REF}R_F}{2^{n+1} R} \right|$$

故得到

$$\left| \frac{\Delta V_{REF}R_F}{2^n R} \cdot D \right| \leq \left| \frac{V_{REF}R_F}{2^{n+1} R} \right|$$

为保证在不同的 D 值时上式均成立, D 应取为最大值 $(2^n - 1)$, 因而将上式写为

$$\left| \frac{\Delta V_{REF}R_F}{2^n R} (2^n - 1) \right| \leq \left| \frac{V_{REF}R_F}{2^{n+1} R} \right|$$

在 n 足够大的条件下, $2^n - 1 \approx 2^n$ 。若 $R_F = R$, 则由上式得到

$$\left| \frac{\Delta V_{REF}}{V_{REF}} \right| \leq \frac{1}{2^{n+1}} \quad (11-9)$$

此式就是参考电压应当满足的相对稳定度。

【例 11-6】 在输入为 12 位的倒 T 形电阻网络 D/A 转换器 DAC1222 中, 若参考电压 $V_{REF} = 10 \text{ V}$, 为了保证输入最低位仍为有效位, V_{REF} 的相对稳定度应为多少? 允许 V_{REF} 有多大范围的波动?

解: 根据式(11-9)可知, V_{REF} 的相对稳定度应为

$$\left| \frac{\Delta V_{\text{REF}}}{V_{\text{REF}}} \right| \leq \frac{1}{2^{13}} = 0.122\%$$

允许 V_{REF} 的波动范围为

$$|\Delta V_{\text{REF}}| \leq \left| \frac{V_{\text{REF}}}{2^{13}} \right| = 1.22 \text{ mV}$$

四、量化电平参考电压稳定度的计算

解题方法和步骤：

在某些类型 D/A 转换器(例如开关树型 D/A 转换器)和 A/D 转换器(例如并联比较型 A/D 转换器)当中,经常采用电阻链分压来产生一系列不同等级的量化电平基准,如图 11-13 所示。

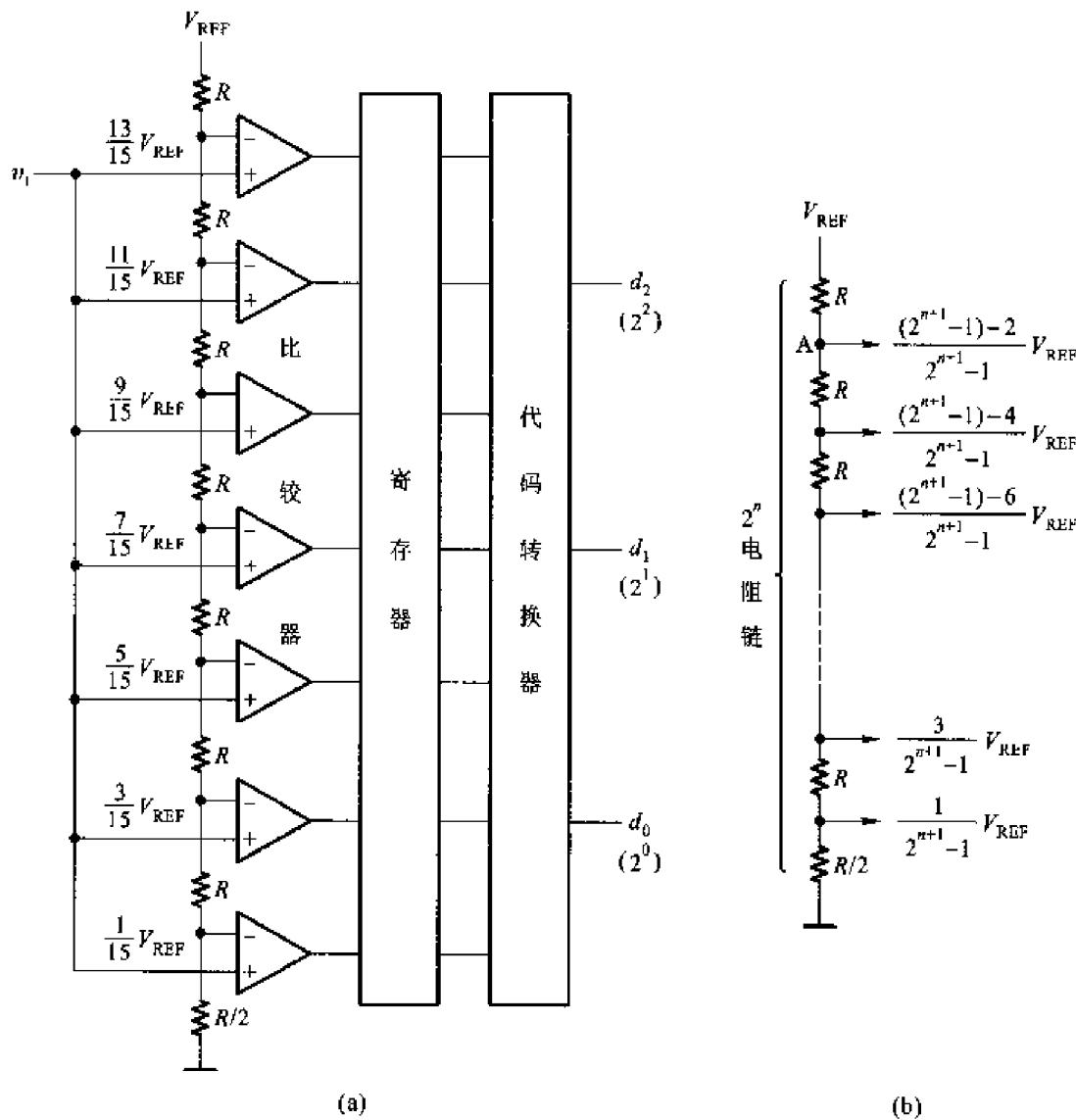


图 11-13 用电阻链分压方式产生一系列量化电平等级基准

在图 11-13(a)并联比较型 A/D 转换器中,为了将输入的模拟电压 v_i 转换为 3 位二进制数字量,需要将 v_i 与 2^3 个不同等级的电平进行比较。同时,为减小量化误差,取量化单位 $\Delta = \frac{2}{15}V_{\text{REF}}$,即 $\Delta = \frac{2}{2^{3+1}-1}V_{\text{REF}}$ 。因此,电阻链由 2^3 个电阻组成,最下边的一个为 $R/2$,其余均为 R 。

根据同样的道理,如果要把输入的模拟电压转换为 n 位二进制的数字量,则需要用 2^n 个电阻接成电阻链进行分压,以便产生 2^n 个量化电平等级基准,如图 11-13(b)所示。为减小量化误差,应取量化单位为 $\Delta = \frac{2}{2^{n+1}-1}V_{\text{REF}}$ 。为此,最下边的一个电阻取为 $R/2$,其余的电阻都为 R 。

当 V_{REF} 发生波动 ΔV_{REF} 时,必然会影响所有的量化电平等级基准。不过由于电阻分压作用, ΔV_{REF} 对最高的一个量化电平等级基准(电阻链上的 A 点)影响最大。

为了保证转换精度, ΔV_{REF} 在任何一个量化电平等级基准点上所产生的电压都必须小于 $\frac{1}{2}\Delta$ 。由于 ΔV_{REF} 在 A 点的分压值最大,所以只要这一点的电压变化小于 $\frac{1}{2}\Delta$,则其余量化电平等级基准的变化都不会大于 $\frac{1}{2}\Delta$ 。

ΔV_{REF} 在 A 点产生的电压变化为

$$\Delta V_A = \frac{(2^{n+1}-1)-2}{2^{n+1}-1} \Delta V_{\text{REF}}$$

由 $|\Delta V_A| \leq \frac{1}{2}\Delta$ 得到

$$\left| \frac{(2^{n+1}-1)-2}{2^{n+1}-1} \Delta V_{\text{REF}} \right| \leq \left| \frac{1}{2} \cdot \frac{2}{2^{n+1}-1} V_{\text{REF}} \right|$$

故得

$$\left| \frac{\Delta V_{\text{REF}}}{V_{\text{REF}}} \right| \leq \frac{1}{2^{n+1}-3} \quad (11-10)$$

此式即为 V_{REF} 应满足的相对稳定度计算公式。

【例 11-7】 在输出为 6 位二进制数的并联比较型 A/D 转换器中,为保证转换误差小于 $\frac{1}{2}$ LSB,试计算对参考电压 V_{REF} 的相对稳定度的要求是多少。

解: 利用式(11-10)可以直接求得

$$\begin{aligned} \left| \frac{\Delta V_{\text{REF}}}{V_{\text{REF}}} \right| &\leq \frac{1}{2^{6+1}-3} \\ &= \frac{1}{2^7-3} \\ &= 0.8\% \end{aligned}$$

11.2 习题解答

【题 11.1】 在图 11.2.1 所示的权电阻网络 D/A 转换器中, 若取 $V_{REF} = 5$ V, 试求当输入数字量为 $d_3d_2d_1d_0 = 0101$ 时输出电压的大小。

解: 根据《数字电子技术基础》(第五版)中给出的式(11.2.2)得到

$$\begin{aligned} v_0 &= -\frac{V_{REF}}{2^4}(d_32^3 + d_22^2 + d_12^1 + d_02^0) \\ &= -\frac{5}{2^4}(0 \times 2^3 + 1 \times 2^2 + 0 \times 2^1 + 1 \times 2^0) \text{ V} \\ &= -1.5625 \text{ V} \end{aligned}$$

【题 11.2】 在图 11.2.3 给出的倒 T 形电阻网络 D/A 转换器中, 已知 $V_{REF} = -8$ V, 试计算当 d_3, d_2, d_1, d_0 每一位输入代码分别为 1 时在输出端所产生的模拟电压。

解: 根据《数字电子技术基础》(第五版)中给出的式(11.2.4)得到

$$\begin{aligned} v_0 &= -\frac{V_{REF}}{2^4}(d_32^3 + d_22^2 + d_12^1 + d_02^0) \\ &= \frac{1}{2}(d_32^3 + d_22^2 + d_12^1 + d_02^0) \text{ V} \end{aligned}$$

由上式即可算出 d_3, d_2, d_1, d_0 每一位为 1 时在输出端产生的模拟电压分别为 4 V、2 V、1 V 和 0.5 V。

【题 11.3】 在图 11.2.5 所示的 D/A 转换电路中, 给定 $V_{REF} = 5$ V, 试计算

(1) 输入数字量的 $d_9 \sim d_0$ 每一位为 1 时在输出端产生的电压值。

(2) 输入为全 1、全 0 和 1000000000 时对应的输出电压值。

解: 根据《数字电子技术基础》(第五版)中给出的式(11.2.5)可知

$$\begin{aligned} v_0 &= -\frac{V_{REF}}{2^n}D_n \\ &= -\frac{5}{2^{10}}(d_92^9 + d_82^8 + \cdots + d_12^1 + d_02^0) \text{ V} \end{aligned}$$

(1) 根据上式即可求出 $d_9 \sim d_0$ 每一位的 1 在输出端产生的电压分别为 -2.5 V, -1.25 V, -0.625 V, -0.313 V, -0.156 V, -78.13 mV, -39.06 mV, -19.53 mV, -9.77 mV, -4.88 mV。

(2) 输入为全 1、全 0 和 1000000000 时的输出电压分别为 -4.995 V, 0 V 和 -2.5 V。

【题 11.4】 在图 11.2.5 由 CB7520 所组成的 D/A 转换器中, 已知 $V_{REF} = -10$ V, 试计算当输入数字量从全 0 变到全 1 时输出电压的变化范围。如果想把输出电压的变化范围缩小一半, 可以采取哪些方法?

解: 根据《数字电压技术基础》(第五版)中给出的式(11.2.5)可知

$$v_o = -\frac{V_{REF}}{2^8} \cdot D = \left(\frac{10}{2^{10}} \times D \right) V$$

将 $D = 0, D = 2^{10} - 1$ (全 1) 代入上式即可求出输入从全 0 变到全 1 时输出电压的变化范围为 $0 \sim 9.99$ V。

如果需要将输出电压的变化范围缩小一半, 可以将 V_{REF} 的绝对值减小一半, 即改为 $V_{REF} = -5$ V。也可以将求和放大器的放大倍数减小一半。为此, 求和放大器的反馈电阻不能再使用 CB7520 片内提供的反馈电阻 R , 而应在 I_{out} 与放大器输出端 v_o 之间外接一个大小等于 $R/2$ 的反馈电阻。CB7520 内设置的反馈电阻 R 为 $10 \text{ k}\Omega$ 。

【题 11.5】 图 P11.5 所示电路是用 CB7520 和同步十六进制计数器 74LS161 组成的波形发生器电路。已知 CB7520 的 $V_{REF} = -10$ V, 试画出输出电压 v_o 的波形, 并标出波形图上各点电压的幅度。CB7520 的电路结构见图 11.2.5, 74LS161 的功能表与表 6.3.4 相同。

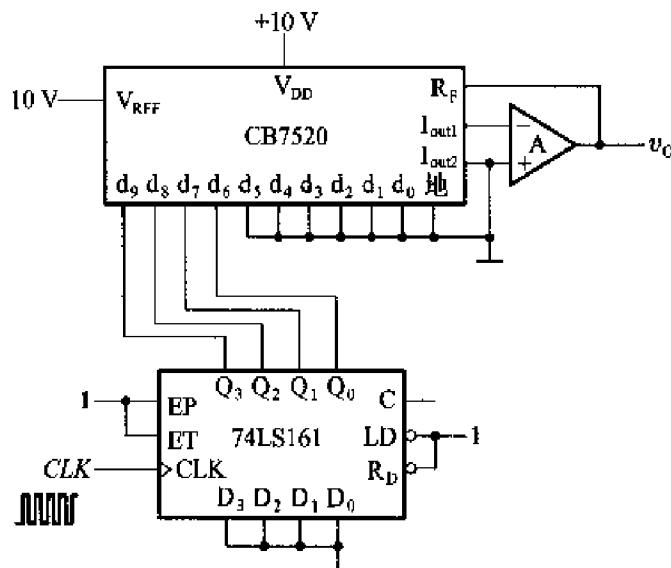


图 P11.5

解: 由于 74LS161 工作在计数状态, 所以在时钟信号连续作用下, 它的输出端 $Q_3 Q_2 Q_1 Q_0$ 从 0000 ~ 1111 不停地循环, CB7520 的输入 $d_9 d_8 d_7 d_6$ 也从 0000 ~ 1111 不停地循环。根据《数字电子技术基础》(第五版)中的式(11.2.5)即可计

算出 $d_9d_8d_7d_6$ 为 0000、0001、…、1111 时对应的输出电压值，并得到如图 A11.5 所示的 v_o 电压波形图。

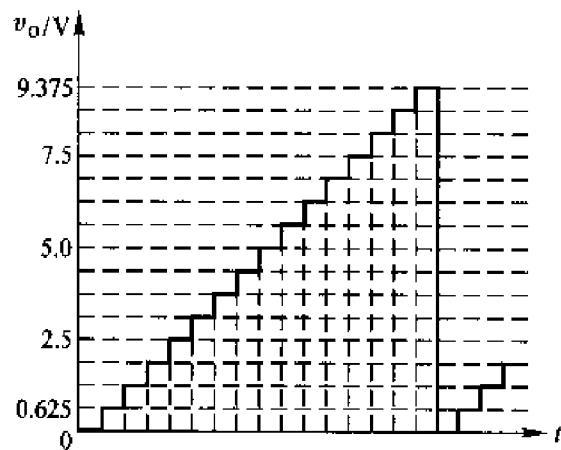


图 A11.5

【题 11.6】 图 P11.6 所示电路是用 CB7520 组成的双极性输出 D/A 转换器。CB7520 的电路结构见图 11.2.5，其倒 T 形电阻网络中的电阻 $R = 10 \text{ k}\Omega$ 。为了得到 $\pm 5 \text{ V}$ 的最大输出模拟电压，在选定 $R_B = 20 \text{ k}\Omega$ 的条件下， V_{REF} 、 V_B 应各取何值？

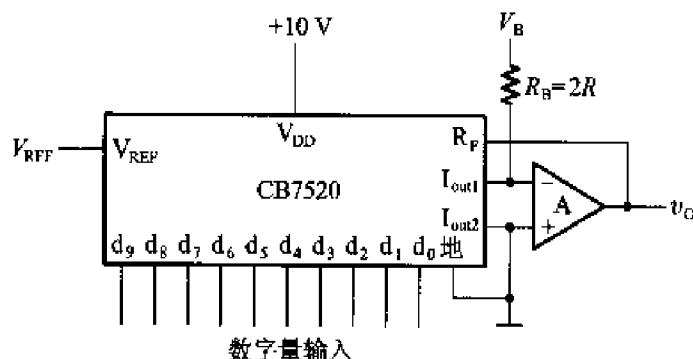


图 P11.6

解：由本书前面给出的式(11-5)可知，双极性输出 D/A 转换器的输出电压为

$$v_o = -\frac{V_{\text{REF}}R_f}{2^n R}(D - 2^{n-1})$$

在 $R_f = R$ 的条件下，为使 $D = 0$ 时和 $D = 2^{n-1}$ 时输出电压幅度均为 5 V ，则应取 $V_{\text{REF}} = 10 \text{ V}$ 。

为实现双极性输出， V_B 提供的偏移电流大小应与 $d_9 = 1$ 而其余各位为 0 时

的输出电流 I_{out} 相等。又知 $d_9 = 1$ 产生的输出电流为 $\frac{V_{\text{REF}}}{2R}$, 所以得到

$$\frac{|V_B|}{R_B} = \frac{V_{\text{REF}}}{2R}$$

$$|V_B| = \frac{R_B}{2R} V_{\text{REF}} = V_{\text{REF}} = 10 \text{ V}$$

V_B 的极性应与 V_{REF} 相反。当 $V_{\text{REF}} = 10 \text{ V}$ 时, 应取 $V_B = -10 \text{ V}$ 。

【题 11.7】 在图 P11.7 给出的 D/A 转换器中, 试求:

- (1) 1LSB 产生的输出电压增量是多少?
- (2) 输入为 $d_9 \sim d_0 = 1000000000$ 时的输出电压是多少?
- (3) 若输入以二进制补码给出, 则最大的正数和绝对值最大的负数各为多少? 它们对应的输出电压各为多少?

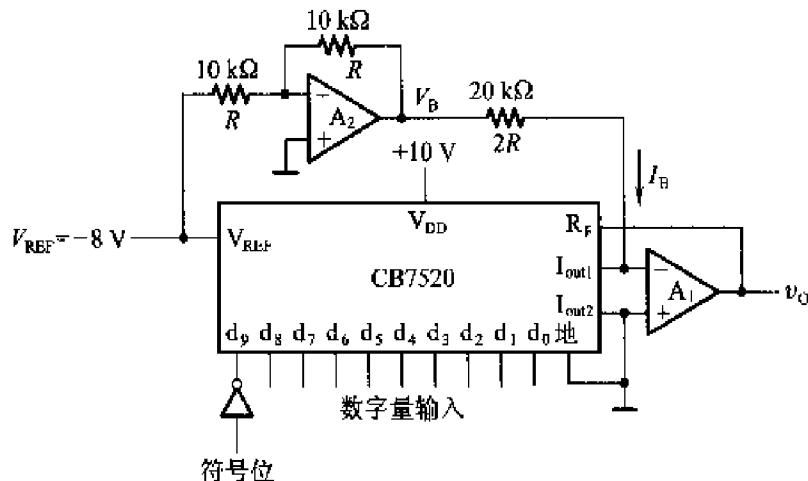


图 P11.7

解: 图 P11.7 是一个具有双极性输出的 D/A 转换器。其中 A_2 是放大倍数为 1 的反相放大器, 它的输出电压为 $V_B = -V_{\text{REF}} = 8 \text{ V}$ 。 $I_B = V_{\text{REF}}/2R$, 其大小与 $d_9 = 1$ 时 CB7520 的输出电流 I_{out} 相等, 所以符合双极性输出对偏移电流的大小和极性的要求。由前面得出的计算双极性输出 D/A 转换器输出电压的式 (11-5) 知

$$v_o = -\frac{V_{\text{REF}} R_F}{2^n R} (D - 2^{n-1}) = \frac{8}{2^{10}} (D - 2^9) \text{ V}$$

因此可以计算出

- (1) 1LSB 产生的输出电压增量为

$$\Delta v_o = \frac{8}{2^{10}} \text{ V} = 7.8 \text{ mV}$$

(2) 当 $D = (100000000)_2 = 2^9$ 时, $v_o = 0$ 。

(3) 输入的最大正数为 $(0111111111)_2$, 最高位为符号位。为得到正确的双极性输出电压, 必须将符号位反相以后加到 D/A 转换器的最高位输入, 所以这时的输入为

$$D = d_9 d_8 d_7 d_6 d_5 d_4 d_3 d_2 d_1 d_0 = (1111111111)_2 = 2^{10} - 1$$

故得到 $v_o = \frac{8}{2^{10}}(2^{10} - 1 - 2^9) \text{ V} = \frac{8}{2^{10}}(2^9 - 1) \text{ V} = 3.99 \text{ V}$

输入的最大负数为 $(1000000000)_2$, 将符号位反相以后得到 $D = d_9 d_8 d_7 d_6 d_5 d_4 d_3 d_2 d_1 d_0 = (0000000000)_2$, 故这时的输出为 $v_o = \frac{8}{2^{10}}(-2^9) \text{ V} = -4 \text{ V}$ 。

【题 11.8】 试分析图 P11.8 电路的工作原理, 画出输出电压 v_o 的波形图。CB7520 的电路图见图 11.2.5。同步十进制计数器 74LS160 的功能表见表 6.3.4。表 P11.8 给出了 RAM 的 16 个地址单元中所存的数据。高 6 位地址 $A_9 \sim A_4$ 始终为 0, 在表中没有列出。RAM 的输出数据只用了低 4 位, 作为 CB7520 的输入。因 RAM 的高 4 位数据没有使用, 故表中也未列出。

表 P11.8 图 P11.8 中 RAM 的数据表

A_3	A_2	A_1	A_0	D_3	D_2	D_1	D_0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	1
0	0	1	1	0	1	1	1
0	1	0	0	1	1	1	1
0	1	0	1	1	1	1	1
0	1	1	0	0	1	1	1
0	1	1	1	0	0	1	1
1	0	0	0	0	0	0	1
1	0	0	1	0	0	0	0
1	0	1	0	0	0	0	1
1	0	1	1	0	0	1	1
1	1	0	0	0	1	0	1
1	1	0	1	0	1	1	1
1	1	1	0	1	0	0	1
1	1	1	1	1	0	1	1

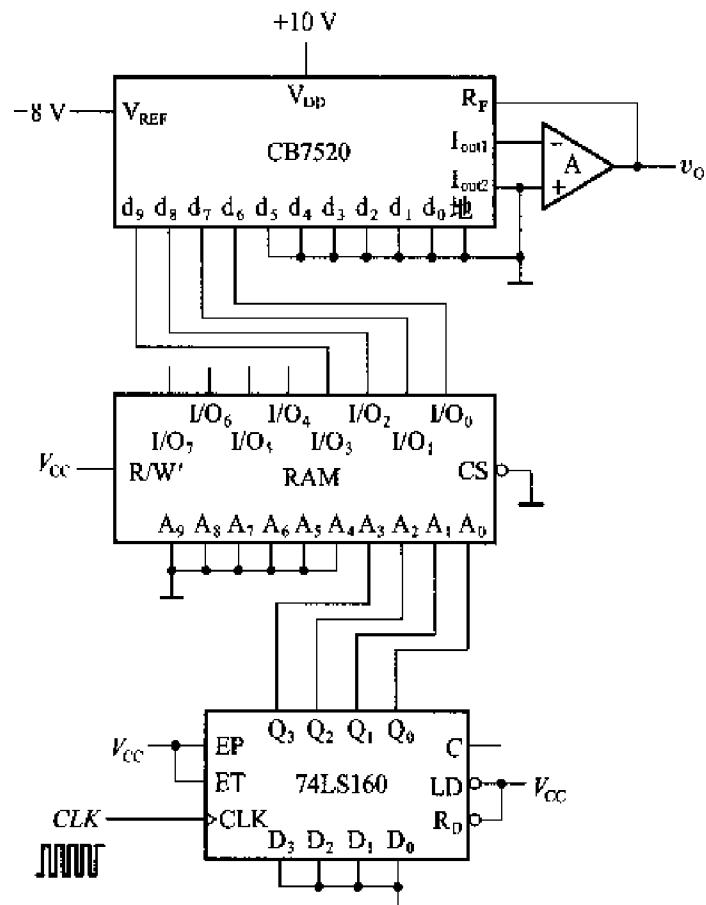


图 P11.8

解：十进制计数器 74LS160 工作在计数状态，在 CLK 脉冲序列的作用下， $Q_3Q_2Q_1Q_0$ 的状态从 0000 到 1001 循环计数，将存储器 $A_9A_8A_7A_6A_5A_4A_3A_2A_1A_0 = 0000000000 \sim 0000001001$ 这十个地址单元中存储的数据依次读出，作为 CB7520 的数字量输入。CB7520 高 4 位数字量输入 d_9, d_8, d_7, d_6 每位为 1 时产生的输出模拟电压分别为 +4 V、+2 V、+1 V、+0.5 V。输出电压 v_0 的波形如图 A11.8 所示。

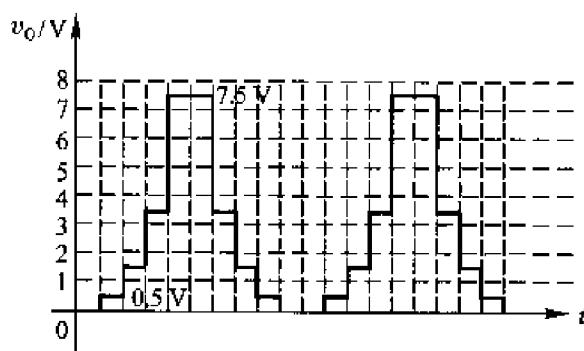


图 A11.8

【题 11.9】 如果用图 P11.8 的电路产生图 P11.9 的输出电压波形, 应如何修改 RAM 中的数据? 请列出修改以后的 RAM 数据表, 并计算时钟信号 CLK 应有的频率。

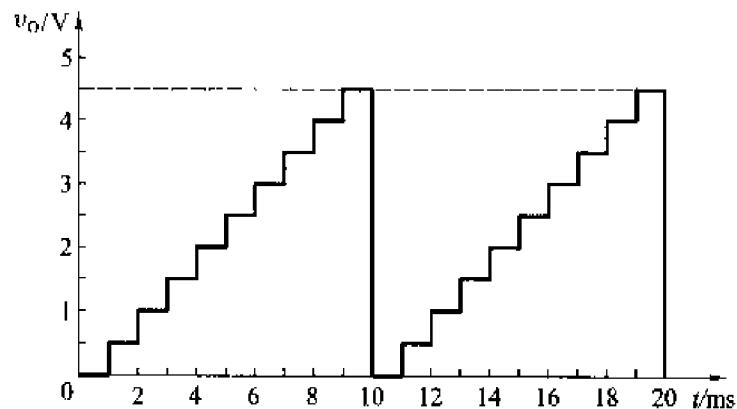


图 P11.9

解: 由上题知 1LSB 产生的输出模拟电压为 0.5 V, 将图 P11.9 波形图上各点的电压除以 0.5, 就得到了表 A11.9 的 RAM 的数据表。取 $A_9 \sim A_4$ 始终为 0, 表中未列出。每个地址中高 4 位数据 $D_4 \sim D_7$ 没有用, 可为任意值, 故表中也未列出。

由图 P11.9 的波形图上还可以看出, RAM 的数据改变周期为 1 ms, 故 CLK 的频率应为 1 kHz。

表 A11.9 题 11.9 RAM 的数据表

A_3	A_2	A_1	A_0	D_3	D_2	D_1	D_0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	0
0	0	1	1	0	0	1	1
0	1	0	0	0	1	0	0
0	1	0	1	0	1	0	1
0	1	1	0	0	1	1	0
0	1	1	1	0	1	1	1
1	0	0	0	1	0	0	0
1	0	0	1	1	0	0	1
1	0	1	0	x	x	x	x

续表

A_3	A_2	A_1	A_0	D_3	D_2	D_1	D_0
1	0	1	1	×	×	×	×
1	1	0	0	×	×	×	×
1	1	0	1	×	×	×	×
1	1	1	0	×	×	×	×
1	1	1	1	×	×	×	×

【题 11.10】设计一个波形发生器电路,要求产生图 P11.10 所给定的电压波形。

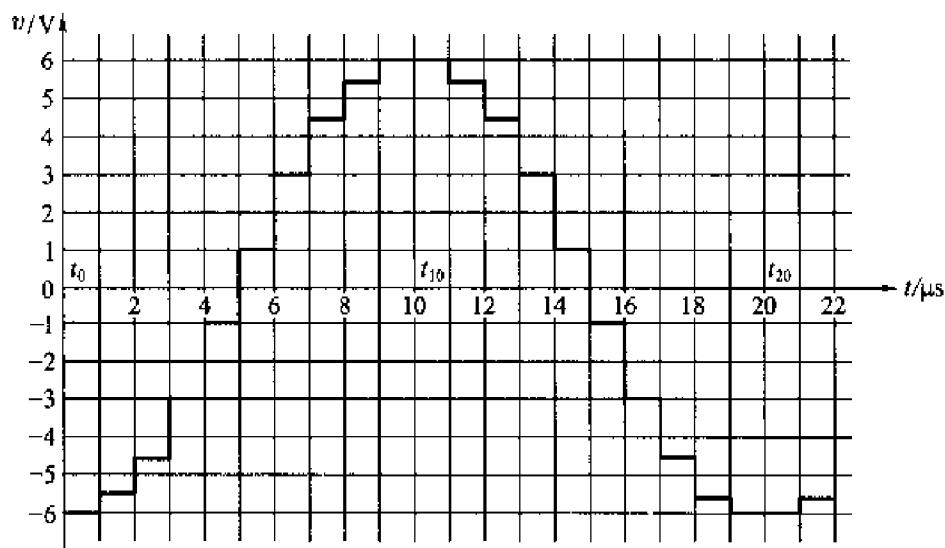


图 P11.10

解: 由图 P11.10 的波形图可见,从 $t_0 \sim t_{20}$ 为一个完整的波形。因为 t_{20} 这一点也就是下一个重复周期上的 t_0 点,所以只要将 $t_0 \sim t_{19}$ 这 20 个点上输出电压的幅值量化以后存入 EPROM 中,然后将这些数据不断地循环读出,并加到双极性输出的 D/A 转换器上,就能在 D/A 转换器的输出端得到图 P11.10 的波形了。

为了循环产生 EPROM 的 20 个地址,需要使用一个二十进制计数器。同时还需要有一个脉冲发生器,为计数器提供时钟脉冲。由图 P11.10 的波形图上可知,波形的取样周期为 1 μ s,所以振荡器的频率应为 1 MHz。

至于 D/A 转换器、EPROM、计数器和脉冲发生器所用器件的选择以及每一部分电路的具体接法,则有多种可行的方案。

在图 A11.10 采用的方案中,双极性输出 D/A 转换器用 CB7520 和求和放大器组成。4 位二进制计数器 74LS161 和 D 触发器 FF_A 接成了二十进制计数

器。反相器 G_2, G_3 和电阻、电容以及谐振频率为 1 MHz 的石英晶体组成了多谐振荡器。

若取量化单位 $\Delta = 0.5 \text{ V}$, 则根据图 P11.10 给定的波形即可列出 EEPROM 中应存入数据的数据表, 如表 A11.10 所示。因为双极性输出 D/A 转换器要求以二进制补码的形式输入数字量, 所以表 A11.10 中的数据 $D_4 D_3 D_2 D_1 D_0$ 为二进制补码, 其中 D_4 为符号位。由于采用了 1024×8 位的 EEPROM, 而且将它的地址输入端 $A_9 \sim A_5$ 接成 0, 所以数据被存在 $A_9 \sim A_0 = 0000000000 \sim 0000010011$ 这 20 个地址单元中。而且, 只有每个地址中的低 5 位数据是有用的。因此, 在表 A11.10 中只列出了这 20 个地址单元的低 5 位地址和低 5 位数据。

表 A11.10 图 A11.10 中 EEPROM 的数据表

地址	数据	地址	数据
$A_4 A_3 A_2 A_1 A_0$	$D_4 D_3 D_2 D_1 D_0$	$A_4 A_3 A_2 A_1 A_0$	$D_4 D_3 D_2 D_1 D_0$
0 0 0 0 0	1 0 1 0 0	0 1 0 1 0	0 1 1 0 0
0 0 0 0 1	1 0 1 0 1	0 1 0 1 1	0 1 0 1 1
0 0 0 1 0	1 0 1 1 1	0 1 1 0 0	0 1 0 0 1
0 0 0 1 1	1 1 0 1 0	0 1 1 0 1	0 0 1 1 0
0 0 1 0 0	1 1 1 1 0	0 1 1 1 0	0 0 0 1 0
0 0 1 0 1	0 0 0 1 0	0 1 1 1 1	1 1 1 1 0
0 0 1 1 0	0 0 1 1 0	1 0 0 0 0	1 1 0 1 0
0 0 1 1 1	0 1 0 0 1	1 0 0 0 1	1 0 1 1 1
0 1 0 0 0	0 1 0 1 1	1 0 0 1 0	1 0 1 0 1
0 1 0 0 1	0 1 1 0 0	1 0 0 1 1	1 0 1 0 0

双极性输出 D/A 转换器中取 $R_B = 2R = 20 \text{ k}\Omega$ 、 $V_B = -V_{REF} = 10 \text{ V}$, 输出电压可用本书中前面已给出的式(11-5)计算, 即

$$v_0 = -\frac{V_{REF}R_F}{2^n R}(D - 2^{n-1})$$

$$= \frac{10}{2^{10}} \cdot \frac{R_F}{R}(D - 2^9) \text{ V}$$

根据图 P11.10 给定波形的要求, 在 t_0 时刻应满足 $v_0 = -6 \text{ V}$ 。将 t_0 时 D/A 转换器的输入数据 $d_9 d_8 d_7 d_6 d_5 d_4 d_3 d_2 d_1 d_0 = (0010000000)_2 = 2^7$ 代入上面的公式后应满足

$$\frac{10}{2^{10}} \cdot \frac{R_F}{R}(2^7 - 2^9) = -6$$

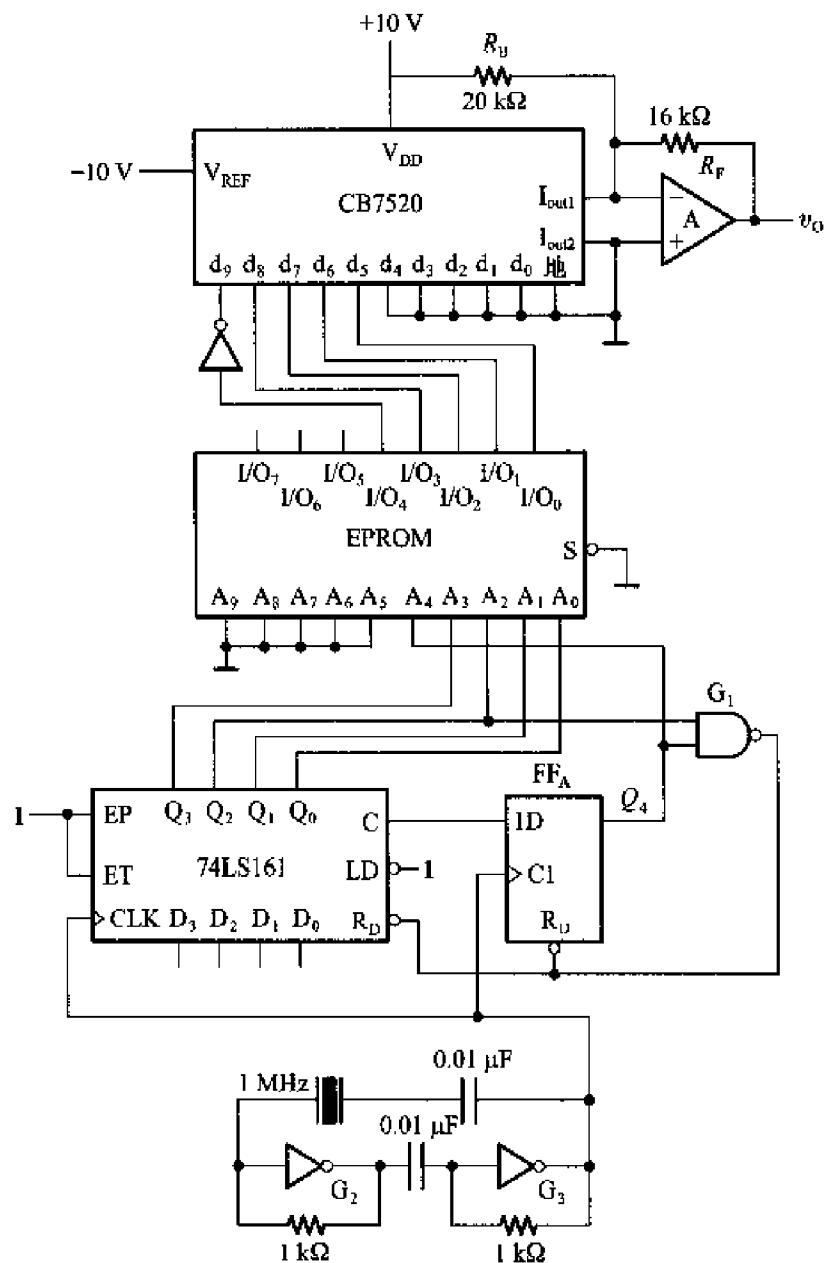


图 A11.10

由上式得到 $R_F = 1.6R = 16 \text{ kΩ}$ 。

故应取 R_F 为 16 kΩ 。

【题 11.11】 图 P11.11 所示电路是用 D/A 转换器 CB7520 和运算放大器构成的增益可编程放大器, 它的电压放大倍数 $A_v = \frac{v_o}{v_i}$ 由输入的数字量 D ($d_9 \sim d_0$) 来设定。试写出 A_v 的计算公式, 并说明 A_v 的取值范围。

解: 由《数字电子技术基础》(第五版)中给出的式(11.2.5)知

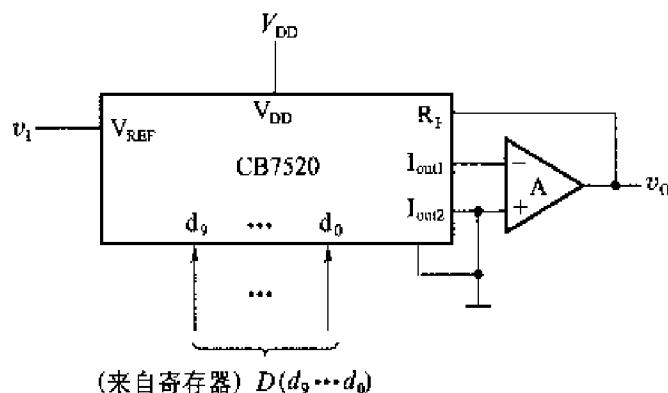


图 P11.11

$$v_o = -\frac{V_{REF}}{2^n} D_n$$

$$= -\frac{v_1}{2^{10}} D_n$$

故得到

$$A_v = \frac{v_o}{v_1} = -\frac{D_n}{2^{10}}$$

D_n 的取值范围为 $0000000000 \sim 1111111111 (2^{10} - 1)$, 故 A_v 的取值范围为 $0 \sim -\frac{2^{10} - 1}{2^{10}}$

【题 11.12】 图 P11.12 电路是用 D/A 转换器 CB7520 和运算放大器组成的增益可编程放大器, 它的电压放大倍数 $A_v = \frac{v_o}{v_1}$ 由输入的数字量 $D (d_9 \sim d_0)$ 来设定。试写出 A_v 的计算公式, 并说明 A_v 取值的范围是多少?

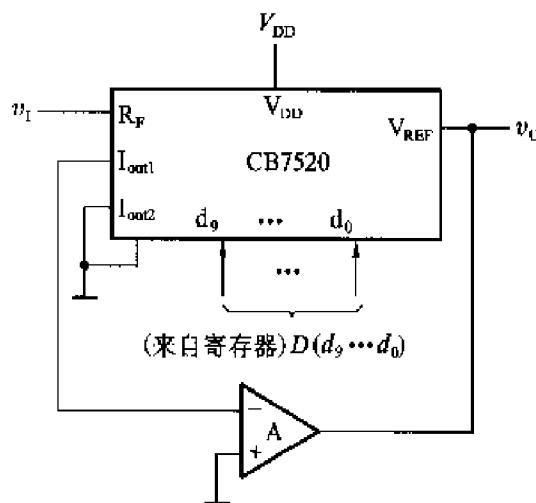


图 P11.12

解：由图 A11.12(a)可见,由于 CB7520 的 I_{out} 接运算放大器的“虚地点”,近似为 0 电平,这时可将 V_{REF} 与 I_{out} 之间的电路看作一个等效电阻 R_{EQ} 。 R_{EQ} 的数值由式(11-8)给出,即 $R_{\text{EQ}} = \frac{2^n}{D} R$ 。

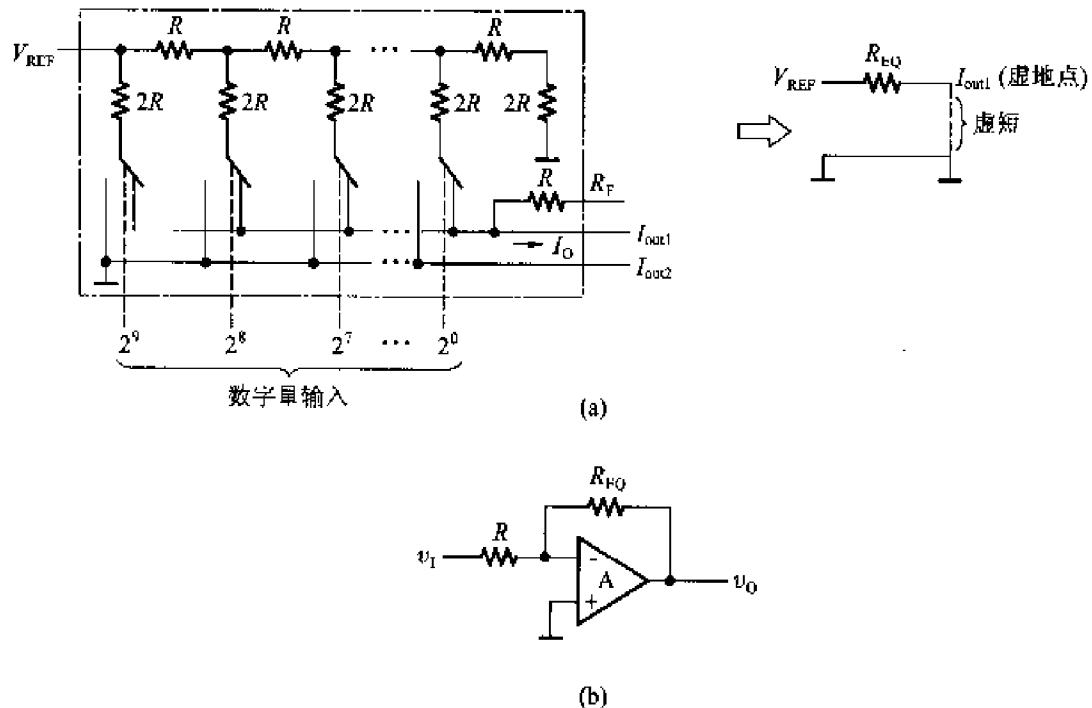


图 A11.12

因此,图 P11.11 电路可简化成图 A11.12(b)形式,由图得

$$A_v = -\frac{R_{\text{EQ}}}{R} = -\frac{2^{10}}{D_n}$$

D_n 的取值范围为 0000000000 ~ 1111111111 时,得到 A_v 的取值范围为 $-\infty \sim -\frac{2^{10}}{2^{10}-1}$ 。

【题 11.13】 在图 P11.13 所示的 D/A 转换器中,已知输入为 8 位二进制数码,接在 CB7520 的高 8 位输入端上, $V_{\text{REF}} = 10 \text{ V}$ 。为保证 V_{REF} 偏离标准值所引起的误差 $\leq \frac{1}{2} \text{ LSB}$ (现在的 LSB 应为 d_2), 允许 V_{REF} 的最大变化 ΔV_{REF} 是多少?

V_{REF} 的相对稳定度 $\left(\frac{\Delta V_{\text{REF}}}{V_{\text{REF}}} \right)$ 应为多少? CB7520 的电路见图 11.2.5。

解: 根据题目要求,应满足

$$\frac{2^8 - 1}{2^8} \Delta V_{\text{REF}} < \frac{1}{2} \cdot \frac{V_{\text{REF}}}{2^8}$$

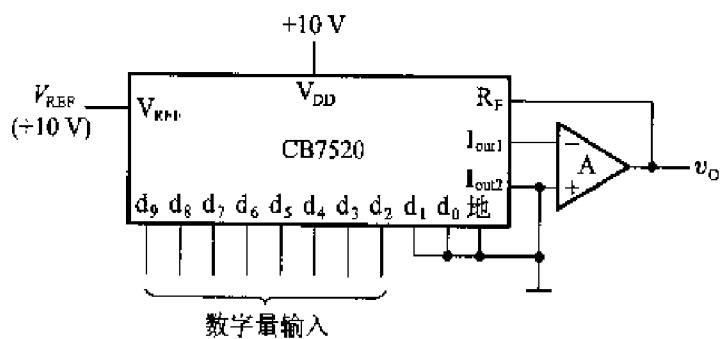


图 P11.13

$$\Delta V_{\text{REF}} < \frac{V_{\text{REF}}}{2^9} \cdot \frac{2^8}{2^8 - 1} \approx \frac{V_{\text{REF}}}{2^9} = 19.5 \text{ mV}$$

$$\left| \frac{\Delta V_{\text{REF}}}{V_{\text{REF}}} \right| \approx \frac{1}{2^9} = 2 \%$$

也可以直接利用式(11-9)计算,得到的结果相同。

【题 11.14】 若将图 11.3.7 并联比较型 A/D 转换器输入数字量增加至 8 位,并采用图 11.3.3(b) 所示的量化电平划分方法,试问最大的量化误差是多少? 在保证 V_{REF} 变化时引起的误差 $\leq \frac{1}{2}$ LSB 的条件下, V_{REF} 的相对稳定性 $\left(\frac{\Delta V_{\text{REF}}}{V_{\text{REF}}} \right)$ 应为多少?

解: 量化单位应取为 $\Delta = \frac{2V_{\text{REF}}}{2^8 - 1} = \frac{2V_{\text{REF}}}{511}$ 。最大量化误差为 $\frac{1}{2}\Delta = \frac{V_{\text{REF}}}{511}$ 。

因为 ΔV_{REF} 在最高位比较器的基准电压上引起的误差最大,所以应保证这个误差小于 $\frac{1}{2}$ LSB,故得到

$$\Delta V_{\text{REF}} \cdot \frac{509}{511} < \frac{1}{511} V_{\text{REF}}$$

$$\Delta V_{\text{REF}} < \frac{1}{509} V_{\text{REF}}$$

$$\left| \frac{\Delta V_{\text{REF}}}{V_{\text{REF}}} \right| < 0.2 \%$$

【题 11.15】 在图 11.3.8 给出的计数式 A/D 转换器中,若输出的数字量为 10 位二进制数,时钟信号频率为 1 MHz,则完成一次转换的最长时间是多少? 如果要求转换时间不得大于 100 μs ,那么时钟信号频率应选多少?

解: 完成一次转换的最长时间约为 $2^{10} - 1$ 个 CLK 周期,即 $(2^{10} - 1) \times 10^{-6} \text{ s}$

= 1.024 ms。

如果要求转换时间小于 100 μs，则时钟信号频率 T_c 应满足

$$(2^{10} - 1) T_c < 100 \times 10^{-6}$$

时钟信号频率应满足

$$f = \frac{1}{T_c} > \frac{2^{10} - 1}{100 \times 10^{-6}} \text{ Hz} = 10.24 \text{ MHz}$$

【题 11.16】 如果将图 11.3.10 逐次渐近型 A/D 转换器的输出扩展到 10 位，取时钟信号频率为 1 MHz，试计算完成一次转换操作所需要的时间。

解：完成一次转换所需时间为

$$(n + 2) T_c = 12 \times 10^{-6} \text{ s} = 12 \mu\text{s}$$

【题 11.17】 在图 11.3.13 所示的双积分型 A/D 转换器中，若计数器为 10 位二进制，时钟信号频率为 1 MHz，试计算转换器的最大转换时间是多少？

解：最大转换时间为 $2^{n+1} T_c = 2^{10} \times 10^{-6} \text{ s} = 2.048 \text{ ms}$ 。

【题 11.18】 在图 11.3.16 的 A/D 转换器电路中，若要求单稳态触发器输出脉冲的宽度为 $t_w = 2.5 \mu\text{s}$ ，输入电压为 0 ~ 5 V 时输出脉冲的频率为 0 ~ 200 kHz，电路参数应作何修改？

解：由《数字电子技术基础》（第五版）的 11.3.6 节中可知，AD650 输出脉冲的宽度 t_w 由式(11.3.9)给出

$$t_w = [C_{os}(6.8 \times 10^3) + 3 \times 10^{-7}] \text{ s}$$

为得到 $t_w = 2.5 \mu\text{s}$ ，则从上式求得 C_{os} 的值应为

$$\begin{aligned} C_{os} &= [(t_w - 3 \times 10^{-7}) / 6.8 \times 10^3] \text{ F} \\ &= 324 \times 10^{-12} \text{ F} \\ &= 324 \text{ pF} \end{aligned}$$

又由 11.3.6 节中的式(11.3.8)知，AD650 输出脉冲频率的计算公式为

$$f_{out} = v_i / I_0 t_w R_{int}$$

式中 I_0 为 1 mA。为了在 $v_i = 5 \text{ V}$ 时获得 f_{out} 为 200 kHz，则由上式可求出 R_{int} 应取的阻值为

$$\begin{aligned} R_{int} &= v_i / I_0 t_w f_{out} \\ &= (5 / 1 \times 10^{-3} \times 2.5 \times 10^{-6} \times 2 \times 10^5) \Omega \\ &= 10 \text{ k}\Omega \end{aligned}$$

故应将图 11.3.16 电路中的 C_{os} 改为 324 pF，同时将 R_{int} 改为 10 kΩ。

【题 11.19】 在图 11.3.14 的 V-F 变换型 A/D 转换器电路中，如果要求将输入 0 ~ 5 V 的模拟电压转换为 3 位十进制数字量输出，输入为 5 V 时输出应显示 500。闸门脉冲 v_G 的宽度为 5 ms。试求 V-F 变换器输出频率与输入模拟电压之间的转换比例系数。

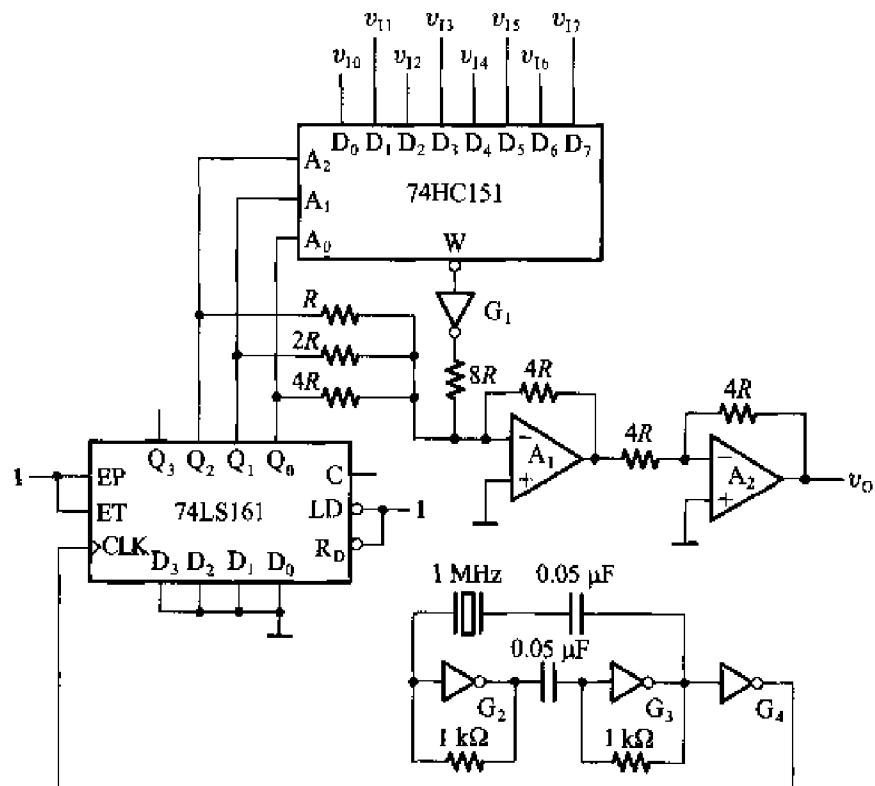
解：设 $V-F$ 变换的比例系数为 $K = f_{\text{out}}/v_1$ 。由图 11.3.14 可知，根据题目要求，当 $v_1 = 5 \text{ V}$ 时，在闸门脉冲宽度 $T_c = 5 \text{ ms}$ 的时间内计数器应计入 500 个计数脉冲。由此可得到此时 f_{out} 应有的数值为

$$\begin{aligned} f_{\text{out}} &= 500/T_c \\ &= (500/5 \times 10^{-3})/\text{s} \\ &= 100 \text{ kHz} \end{aligned}$$

故得到 $V-F$ 变换比例系数为

$$\begin{aligned} K &= f_{\text{out}}/v_1 = (100 \times 10^3/5) \text{ Hz/V} \\ &= 20 \text{ kHz/V} \end{aligned}$$

【题 11.20】 试分析图 P11.20(a) 电路的工作原理，画出输出电压 v_o 的波形图。其中 74HC151 是 8 选 1 数据选择器，它的电路结构图和输出逻辑式见图 4.3.24 和式(4.3.22)。74LS161 为同步十六进制加法计数器，它的功能表与表 6.3.4 相同。假定 74LS161 和反相器 G_1 的输出电阻阻值远远小于 R 的阻值。74HC151 各输入端的电压波形如图 P11.20(b) 所示。



(a)

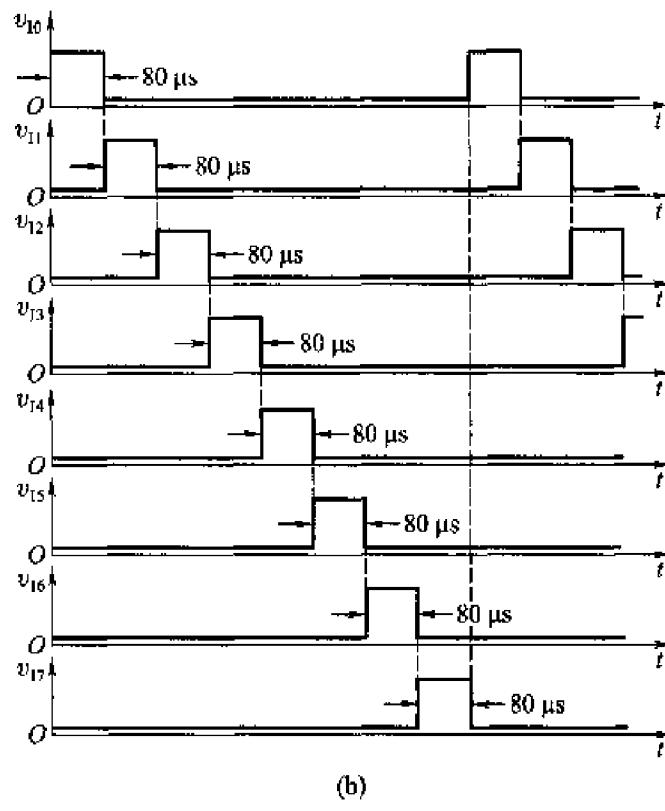


图 P11.20

解: 74LS161 工作在计数状态, 低 3 位构成八进制计数器, 在时钟信号(周期 1 μ s)不断作用下, $Q_2Q_1Q_0$ 从 000 ~ 111 循环不停地计数。

如果先不考虑反相器 G_1 的输出对 v_0 的影响, 并设 Q_2, Q_1, Q_0 输出的高、低电平分别为 V_{OH} 和 0, 则输出电压为

$$v_0 = (4V_{OH})Q_2 + (2V_{OH})Q_1 + V_{OH}Q_0$$

当 $Q_2Q_1Q_0$ 从 000 ~ 111 依次循环变化时, v_0 将依次在 0 \rightarrow V_{OH} \rightarrow $2V_{OH}$ \rightarrow $3V_{OH}$ \rightarrow $4V_{OH}$ \rightarrow $5V_{OH}$ \rightarrow $6V_{OH}$ \rightarrow $7V_{OH}$ \rightarrow 0 之间跳变, 输出波形为不同高度的八条虚线, 虚线上的每个点持续时间为 1 μ s, 两个点之间的间隔为 7 μ s。

$Q_2Q_1Q_0$ 同时又作为 74HC151 的输入地址, 将 $D_0 \sim D_7$ 八个输入数据的状态叠加到 v_0 上。当 $D_i = 1$ 时在 v_0 上叠加 $\frac{1}{2}V_{OH}$ (V_{OH} 为反相器 G_1 的输出高电平), $D_i = 0$ 时对 v_0 原有的数值没有影响。

在给定输入 $v_{10} \sim v_{17}$ 波形如图 P11.20 (b) 的情况下, 得到的 v_0 波形如图 A11.20 所示。因此, 若将 v_0 接至单踪示波器上, 就可以同时显示 $D_0 \sim D_7$ 八个数字信号的波形。

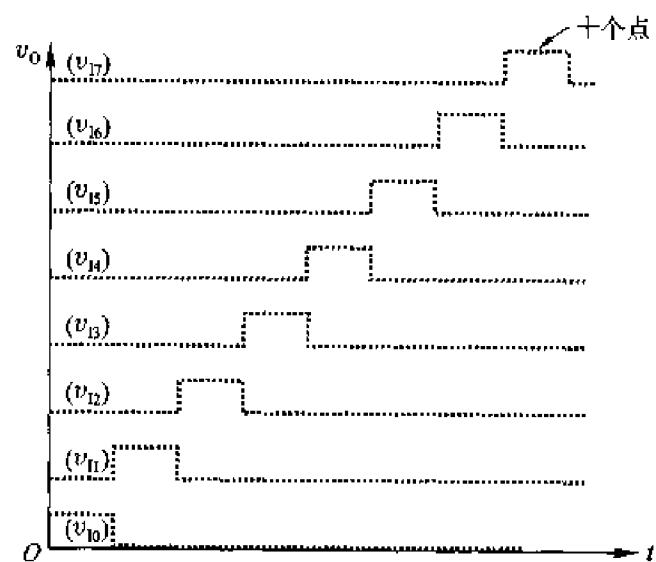


图 A11.20