



暨南大学
JINAN UNIVERSITY

第6章 嵌入式系统硬件

杨光华

物联网与物流工程研究院 / 电气信息学院

办公室：行政楼 631

电邮：ghyang@jnu.edu.cn

电话：8505687

声明：课件中的部分文字、图片、视频等源于网络，相应版权属于原创人

第6章 嵌入式系统硬件

主要内容

1. S3C2410概述
2. 电源电路模块
3. 复位电路模块
4. JATG接口模块
5. 时钟与电源管理
6. S3C2410X的存储器
7. DMA控制器
8. A/D转换与触摸屏
9. 中断控制器
10. 输入/输出端口
11. 定时器、PWM
12. UART通用异步串行接口
13. SPI串行总线接口
14. I2C(IIC)串行总线接口
15. 实时钟RTC
16. USB接口
17. 看门狗
18. LCD控制器

1 S3C2410X概述

主要内容

- 主要特性
- 系统结构
- 引脚信号

1 S3C2410X概述

S3C2410X是韩国三星公司推出的16/32位RISC微控制器，其CPU采用的是ARM920T内核，加上丰富的片内外设，为手持设备和其它应用，提供了低价格、低功耗、高性能微控制器的解决方案。

一、主要特性

- 具有16KB指令Cache、16KB数据Cache和存储器管理单元MMU。
- 外部存储器控制器，可扩展8组，每组128MB，总容量达1GB；支持从Nand flash存储器启动。

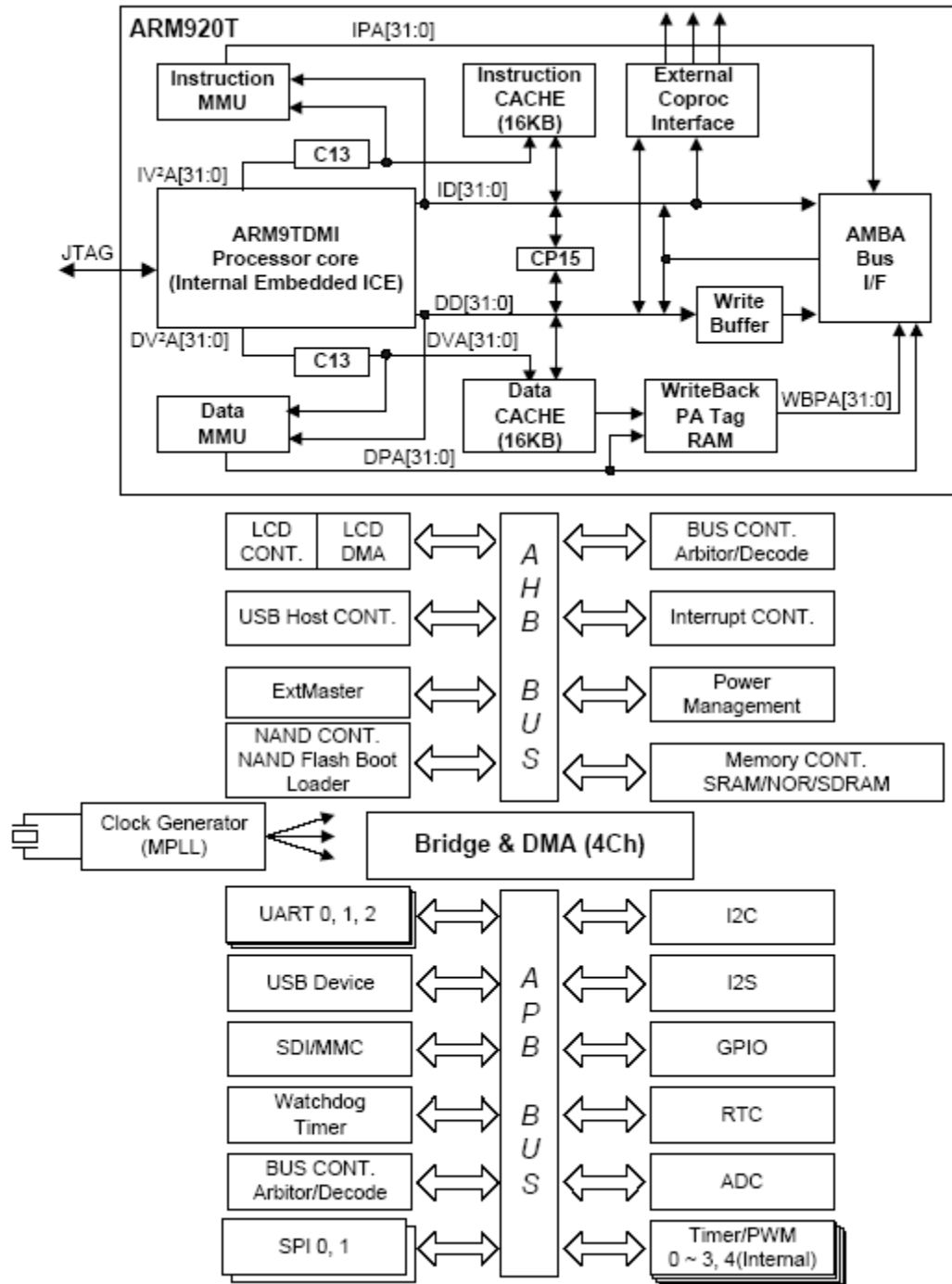
- 55个中断源，可以设定1个为快速中断，有24个外部中断，并且触发方式可以设定。
- 4通道的DMA，并且有外部请求引脚。
- 3个通道的UART，带有16字节的TX/RX FIFO，支持IrDA1.0功能。
- 具有2通道的SPI、1个通道的IIC串行总线接口和1个通道的IIS音频总线接口。
- 有2个USB主机总线的端口，1个USB设备总线的端口。
- 有4个具有PWM功能的16位定时器和1个16位内部定时器。
- 8通道的10位A/D转换器，最高速率可达500kB/s；提供有触摸屏接口。
- 具有117个通用I/O口和24通道的外部中断源。

- 兼容MMC的SD卡接口。
- 具有电源管理功能，可以使系统以普通方式、慢速方式、空闲方式和掉电方式工作。
- 看门狗定时器。
- 具有日历功能的RTC。
- 有LCD控制器，支持4K色的STN和256K色的TFT，配置有DMA通道。
- 具有PLL功能的时钟发生器，时钟频率高达203MHz。
- 双电源系统：1.8/2.0V内核供电，3.3V存储器和I/O供电。

二、系统结构

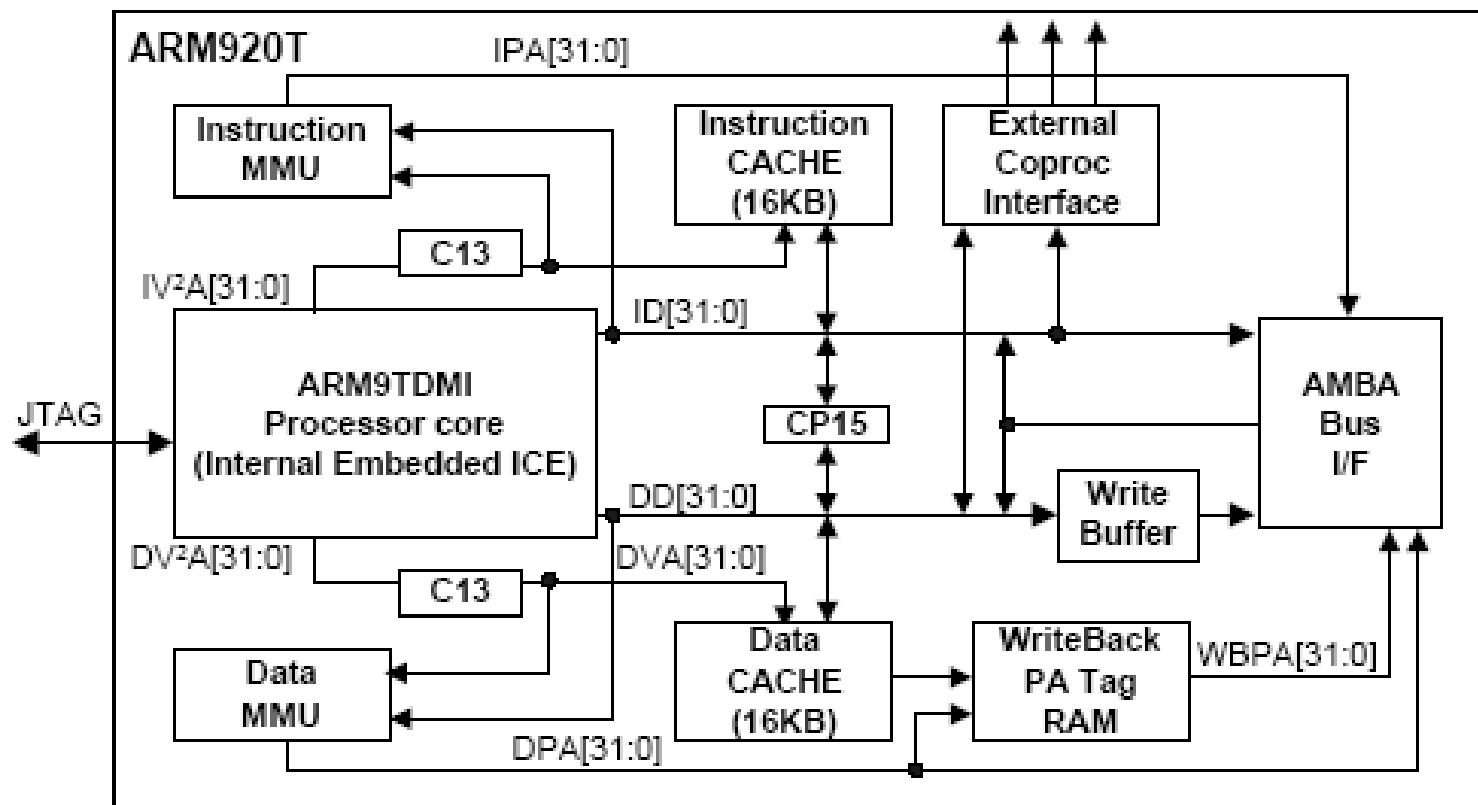
主要由两大部分构成：

ARM920T内核
片内外设。



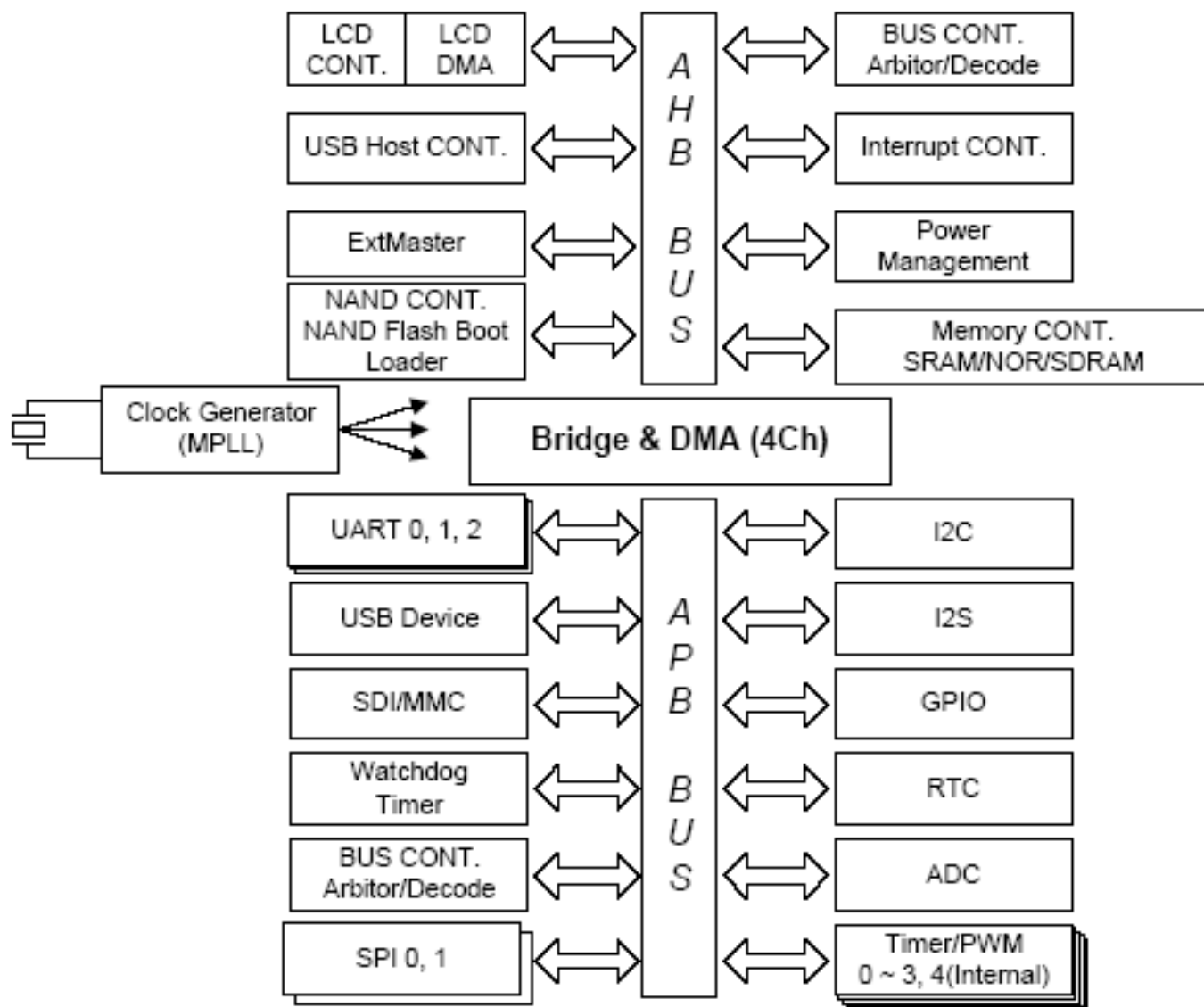
1、ARM920T内核

由三部分：ARM9内核ARM9TDMI、32KB的Cache、MMU。



2、片内外设

分为高速外设和低速外设，分别用AHB总线和APB总线。



三、引脚信号

S3C微控制器是272-FBGA封装。

其信号可以分成

addr0---addr26、

Data0---data31、

GPA0---GPA22

GPB10、 GPC15、

GPD15、 GPE15、

GPF7、 GPG15、

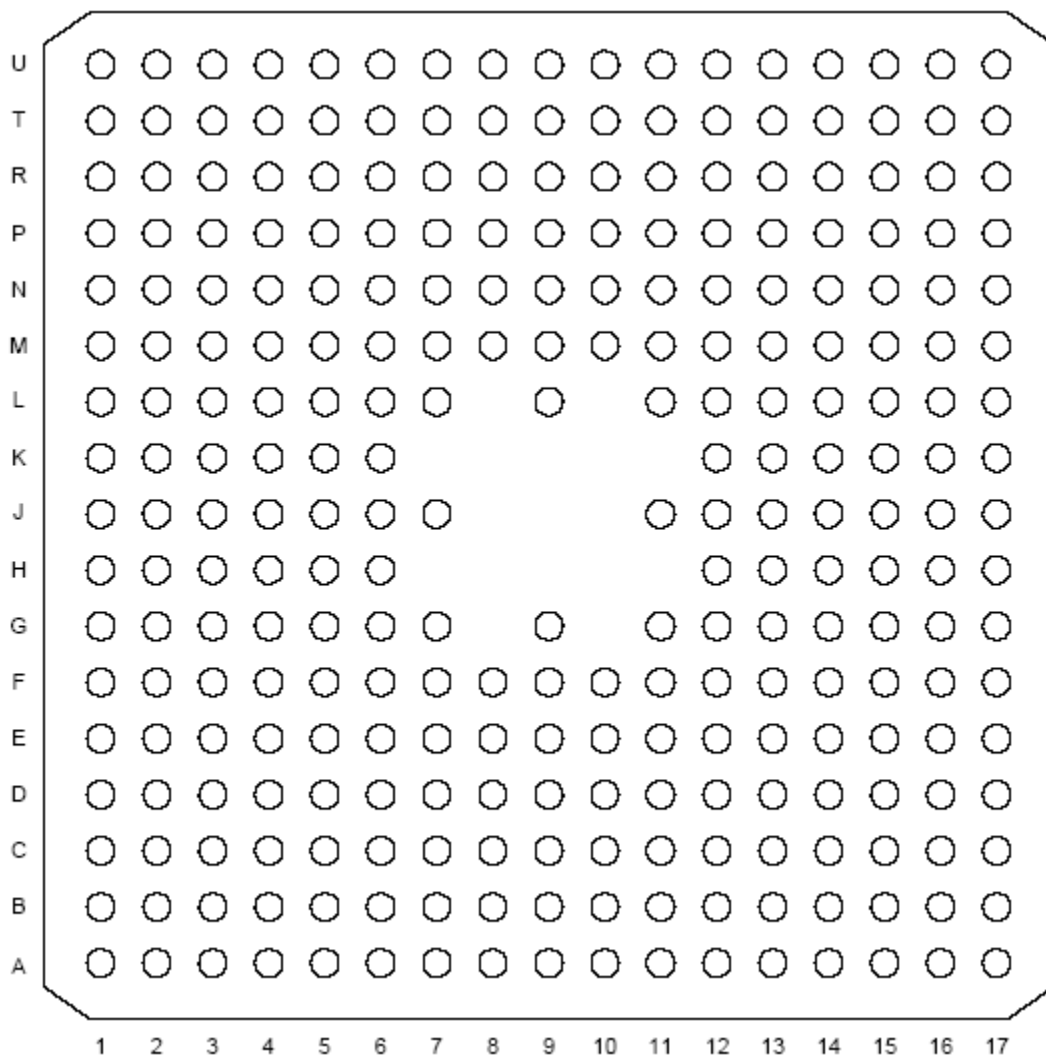
GPH10、 EINT23、

nGCS0—nGCS7、

AIN7、 IIC、 SPI、

OM0---OM3

等，大部分都是复用的



第6章 嵌入式系统硬件

主要内容

1. S3C2410概述
2. 电源电路模块
3. 复位电路模块
4. JATG接口模块
5. 时钟与电源管理
6. S3C2410X的存储器
7. DMA控制器
8. A/D转换与触摸屏
9. 中断控制器
10. 输入/输出端口
11. 定时器、PWM
12. UART通用异步串行接口
13. SPI串行总线接口
14. I2C(IIC)串行总线接口
15. 实时钟RTC
16. USB接口
17. 看门狗
18. LCD控制器

电源电路

- DC-DC稳压器有线性稳压器与开关稳压器两种
- 线性稳压器优势
 - 不在电路板上产生噪声
 - 元件数量少
 - 价格不高
- 线性稳压器劣势
 - 不能输出比输入高的电压
 - 效率不高，产生热量

电源电路

- 开关稳压器优势

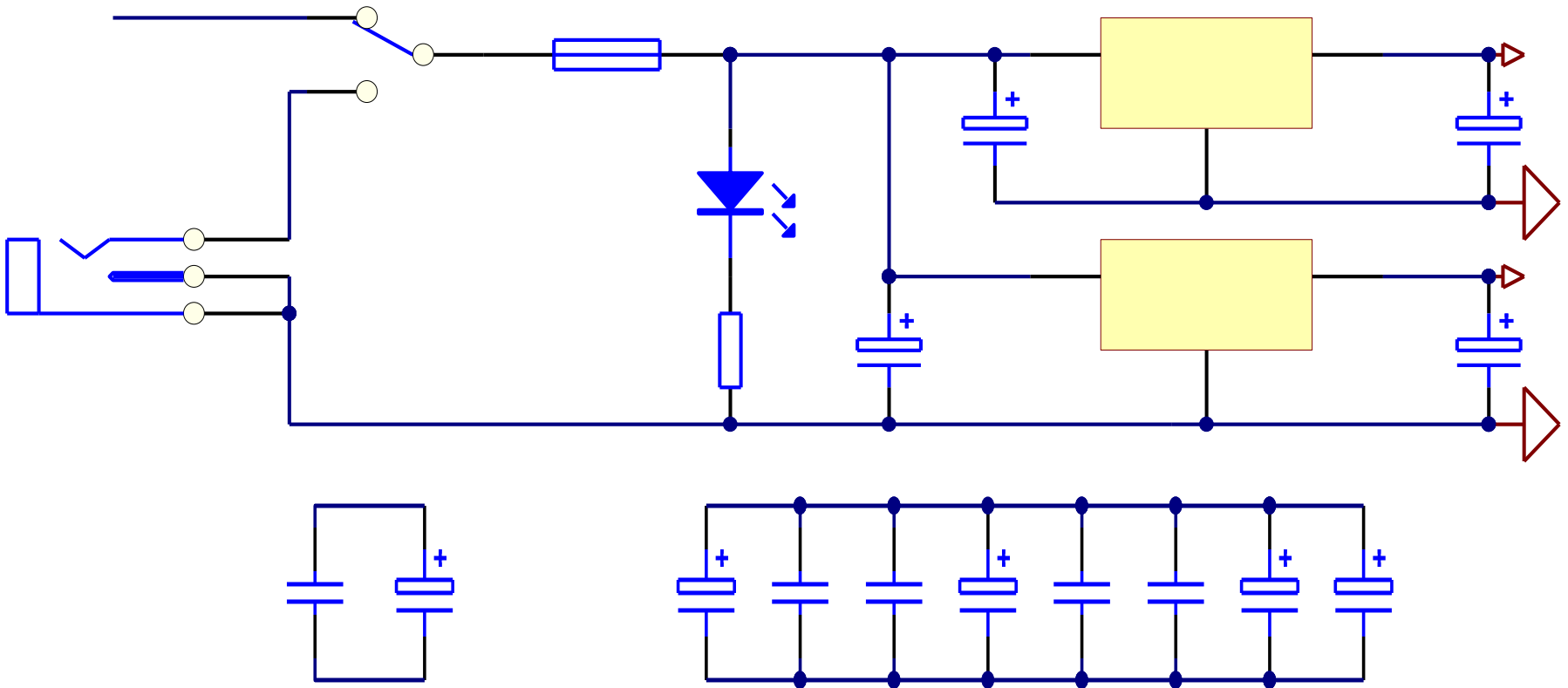
- 效率更高
- 不产生那么多的热量
- 可从任意输入电压产生任意输出电压

- 开关稳压器劣势

- 噪声大，并且元件数量多

电源电路设计实例

- 拟通过一**5V稳压器**或**USB接口**供电，需要**+5V**、**+2.5V**与**+3V**三种电源输出

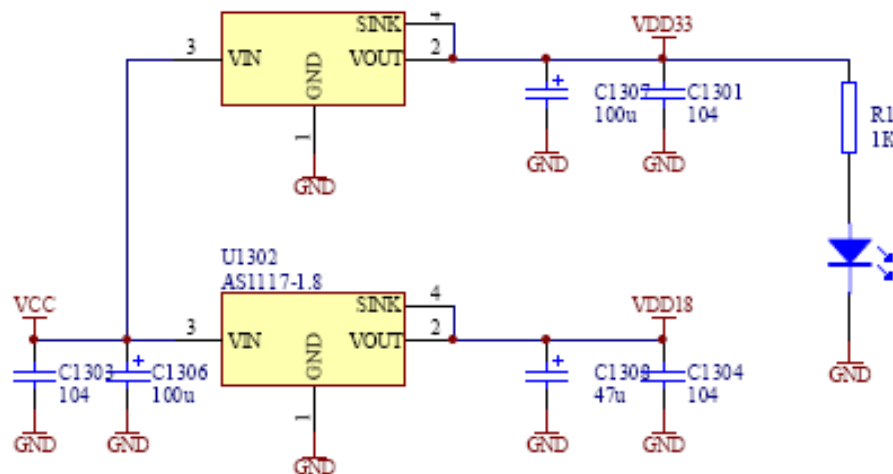
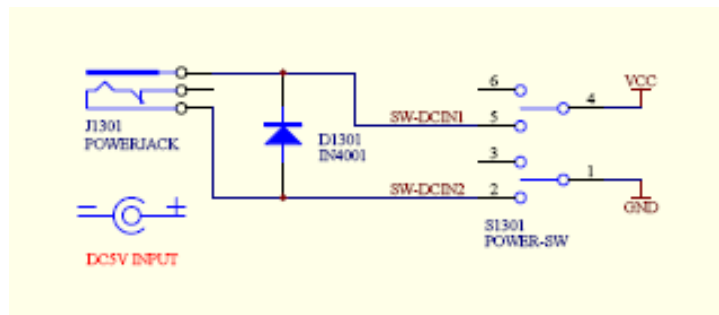


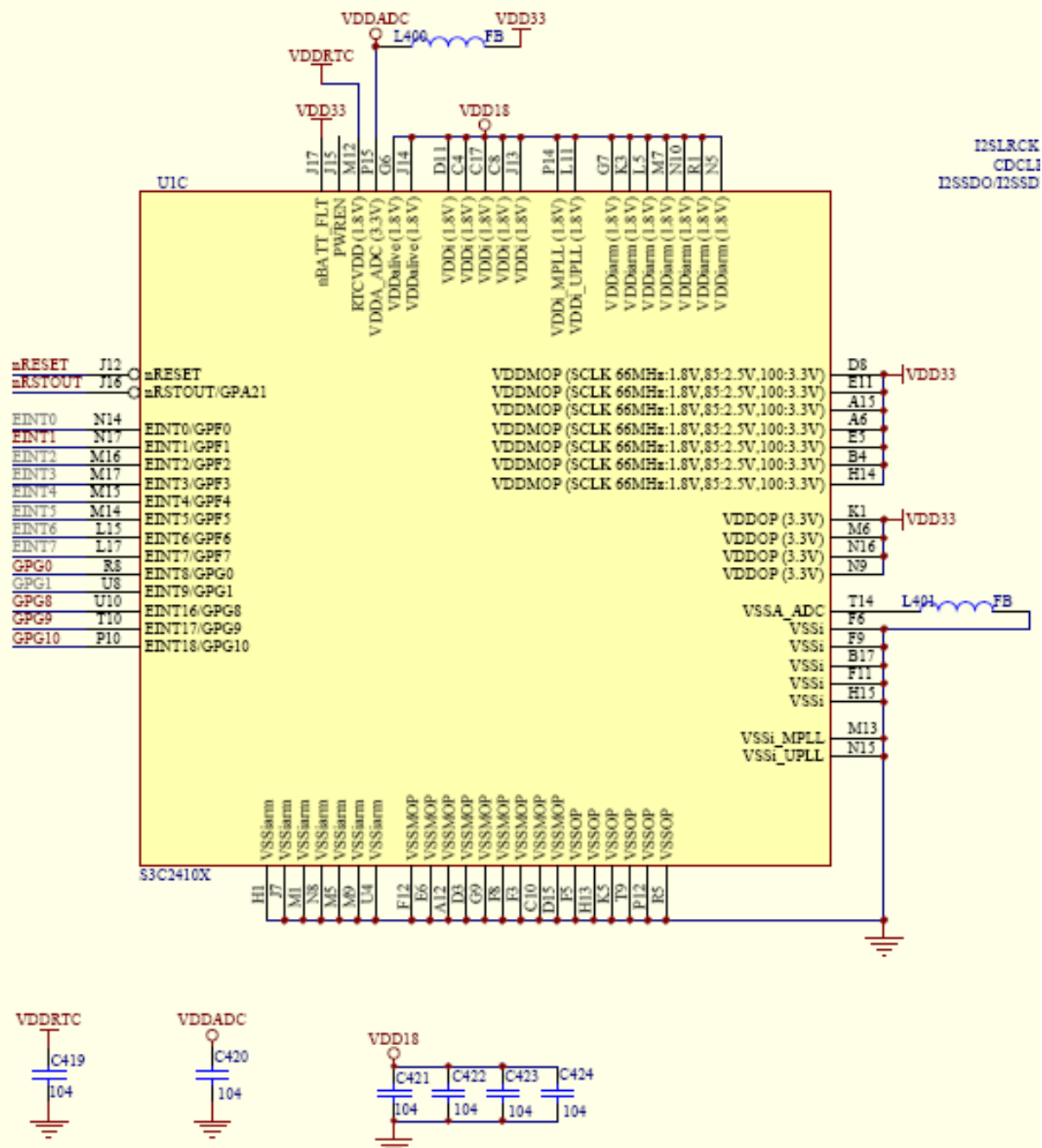
电源电路

- 电源与地线设计中需注意的问题
 - 电源线与地线尽量粗，最好用平面
 - 地线与电源线组成的回路面积应尽量小
 - 模拟与数字部分要独立供电
 - 数字地与模拟地分开
 - 电源线与地线间加退耦电容

电源电路

- 1.8v/2.0v内核供电,3.3v存储器供电,3.3v外部I/O供电
- 2410-S电源电压为5V, 经LM1085-3.3V和AS1117-1.8V分别得到3.3V和1.8V 的工作电压
- 外围芯片多数使用了3.3V 电压, 而1.8V是供给S3C2410 内核使用的。5V电压供给音频功放芯片、LCD、电机、硬盘、CAN 总线等电路使用





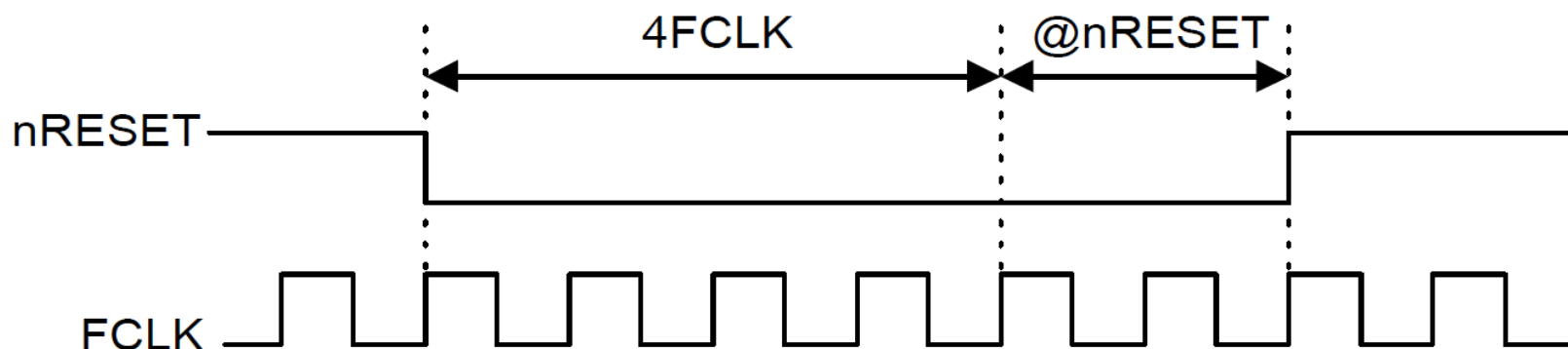
第6章 嵌入式系统硬件

主要内容

1. S3C2410概述
2. 电源电路模块
3. 复位电路模块
4. JATG接口模块
5. 时钟与电源管理
6. S3C2410X的存储器
7. DMA控制器
8. A/D转换与触摸屏
9. 中断控制器
10. 输入/输出端口
11. 定时器、PWM
12. UART通用异步串行接口
13. SPI串行总线接口
14. I2C(IIC)串行总线接口
15. 实时钟RTC
16. USB接口
17. 看门狗
18. LCD控制器

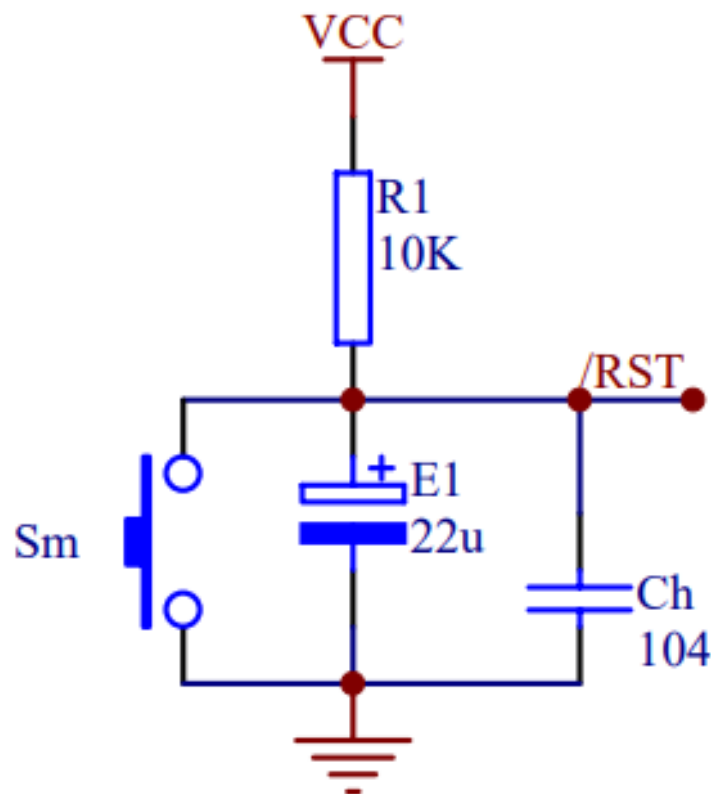
S3C2410复位逻辑

| Reset, Clock & Power | | |
|----------------------|----|--|
| nRESET | ST | nRESET信号将挂起任何操作，并将S3C2410A带入一个可知的复位状态。一个有效的复位信号，必须是在处理器电源稳定之后，将nRESET保持低电平至少4个FCLK的时间。 |
| nRSTOUT | O | 外部设备复位控制 ($nRSTOUT = nRESET \& nWDTRST \& SW_RESET$) |
| PWREN | O | 2.0V 内核电压开关控制信号 |
| nBATT_FLT | I | 电池状态探测器（不能够在掉电模式下，因电量低而唤醒处理器）如果它不使用，必须接高电平（3.3V） |



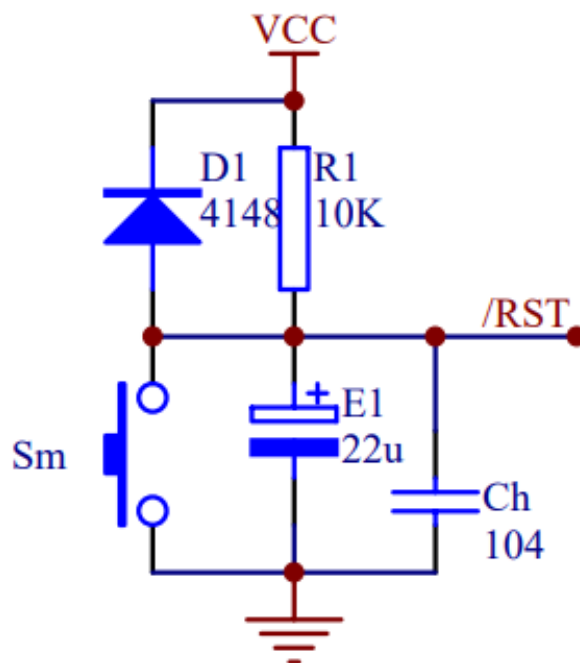
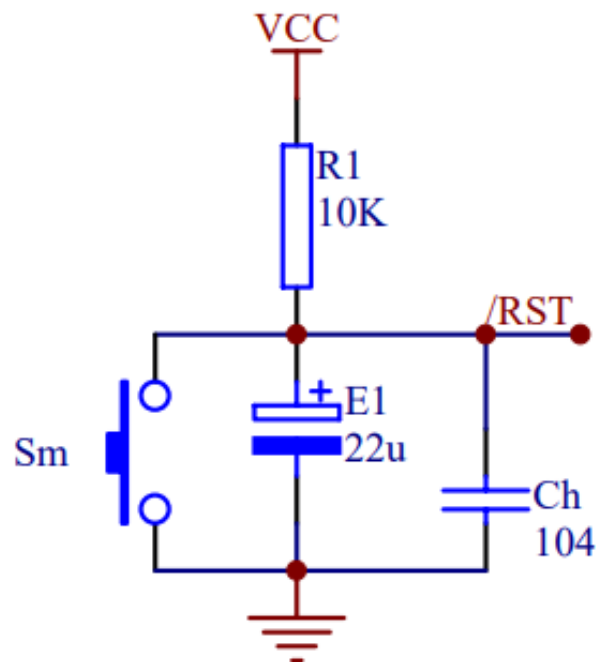
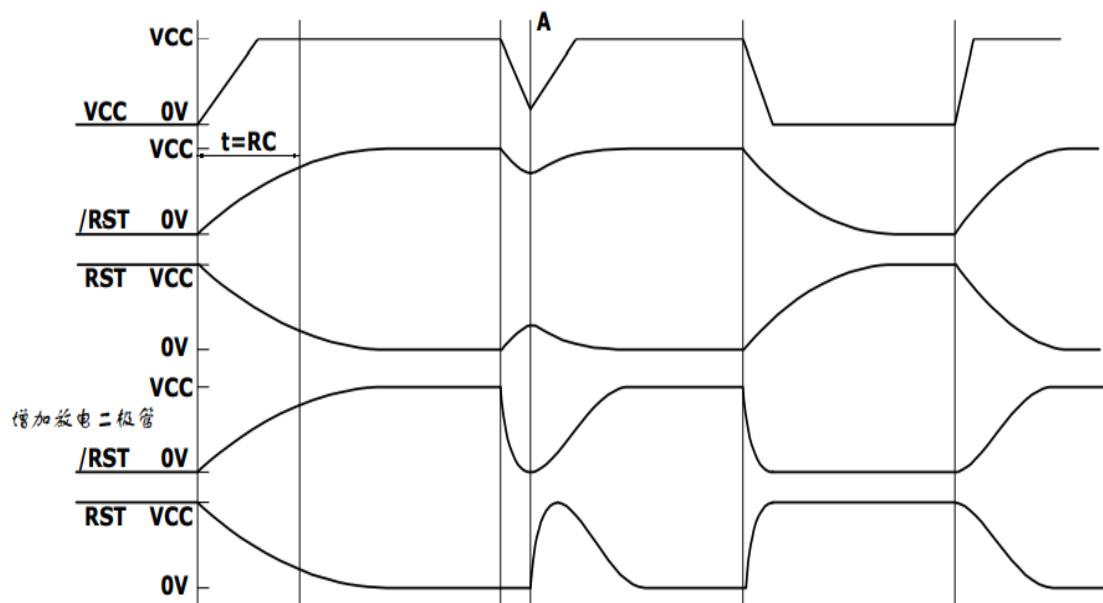
复位电路

- 复位电路用于产生复位脉冲，使系统复位
- 上电复位：系统上电时提供复位信号 直至系统电源稳定后撤销复位信号
- 手动复位：复位按键，按下时系统便会复位（重启）



抗干扰能力差！

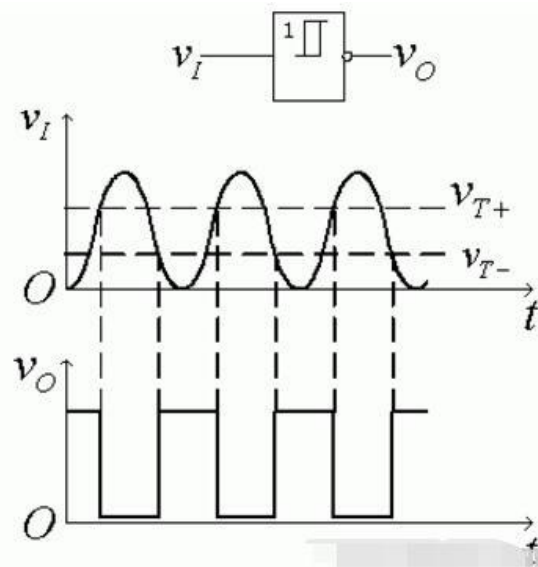
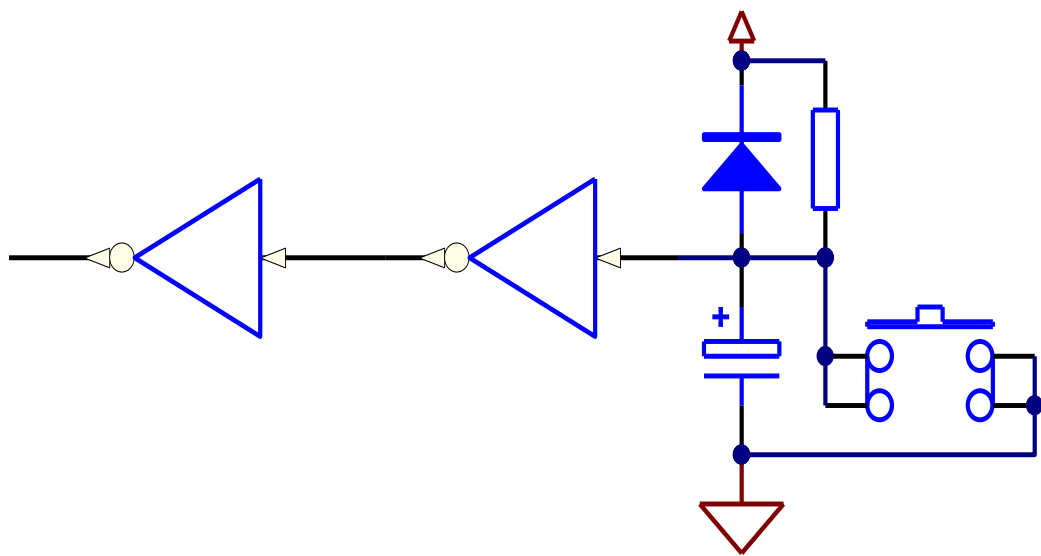
复位电路



的复位电路增加了二极管，
在电源电压瞬间下降时使电
容迅速放电，一定宽度的电
源毛刺也可令系统可靠复位

复位电路

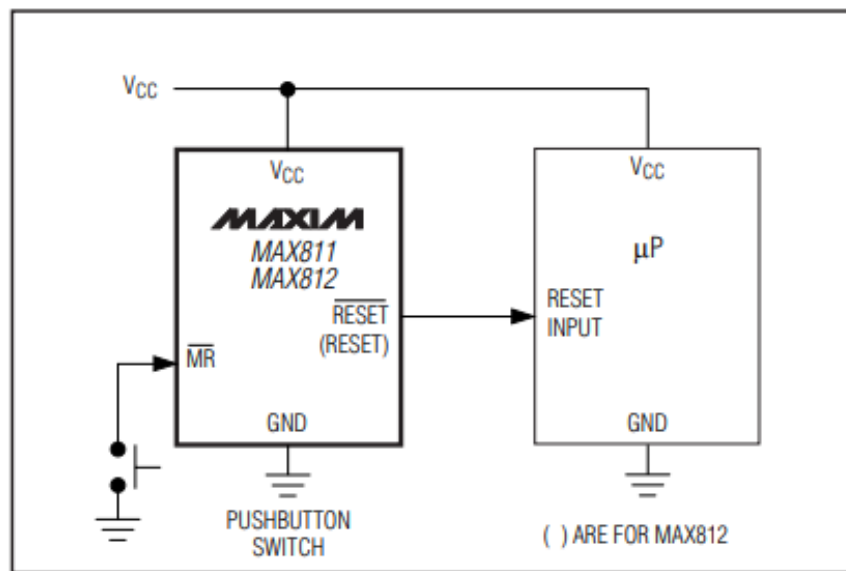
- 反相施密特触发器74HC14来对脉冲波形进行整形滤波



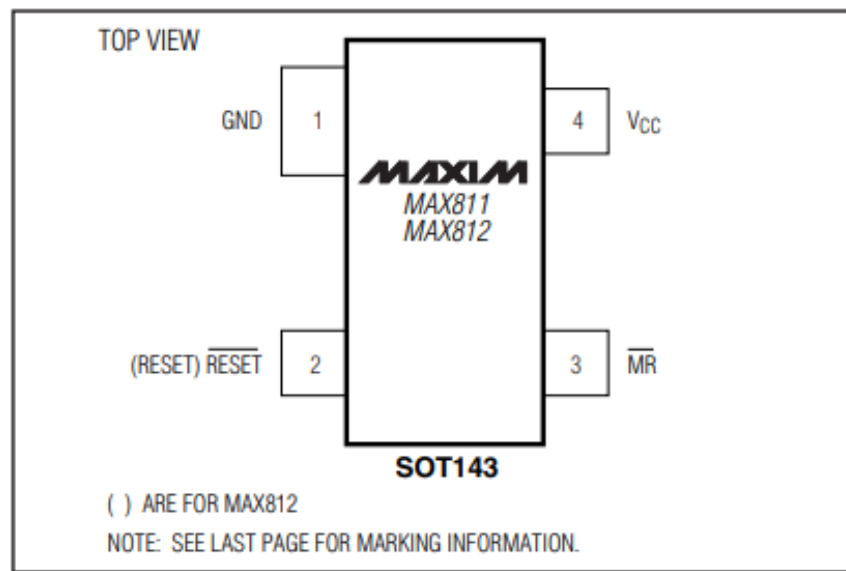
复位电路

- 使用专用复位芯片的复位电路
 - 上电复位：保障上电时能正确地启动系统
 - 掉电复位：当电源失效或电压降到某一电压值以下时复位系统

Typical Operating Circuit

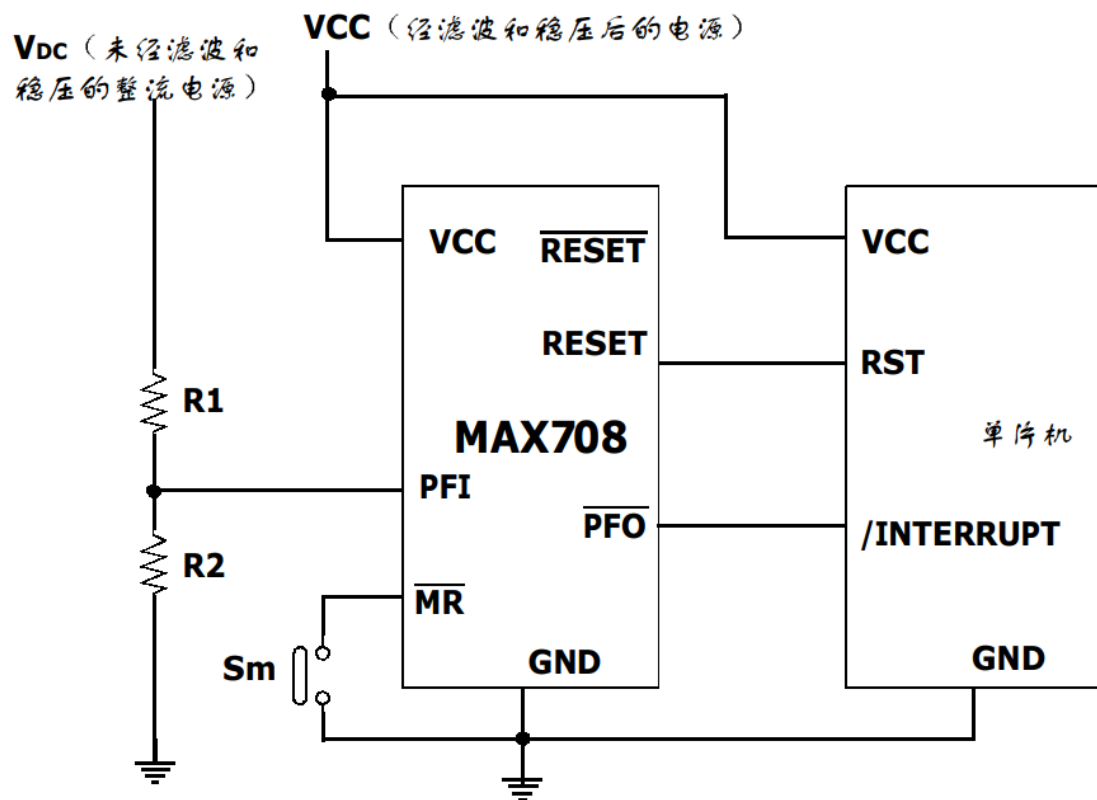


Pin Configuration



电源监控电路

- 监视第二个电源信号，为处理器提供电压跌落的预警功能
- 电源跌落时到复位前执行某些安全操作：保存参数、发送警报信号或切换后备电池等
- 选择适当的预警电压点，以保证靠电源的储能供电情况下，VCC电压从预警电压跌到复位电压的维持时间必须足够长



电源监控电路

- 多功能监控电路的功能
 - 电源测控：供电电压出现异常时提供预警指示或中断请求信号，方便系统实现异常处理
 - 数据保护：当电源或系统工作异常时 对数据进行必要的保护，如写保护、数据备份或切换后备电池
 - 看门狗定时器：当系统程序跑飞或死锁时，复位系统
 - 其它的功能：如温度测控、短路测试等

第6章 嵌入式系统硬件

主要内容

1. S3C2410概述
2. 电源电路模块
3. 复位电路模块
4. JATG接口模块
5. 时钟与电源管理
6. S3C2410X的存储器
7. DMA控制器
8. A/D转换与触摸屏
9. 中断控制器
10. 输入/输出端口
11. 定时器、PWM
12. UART通用异步串行接口
13. SPI串行总线接口
14. I2C(IIC)串行总线接口
15. 实时钟RTC
16. USB接口
17. 看门狗
18. LCD控制器

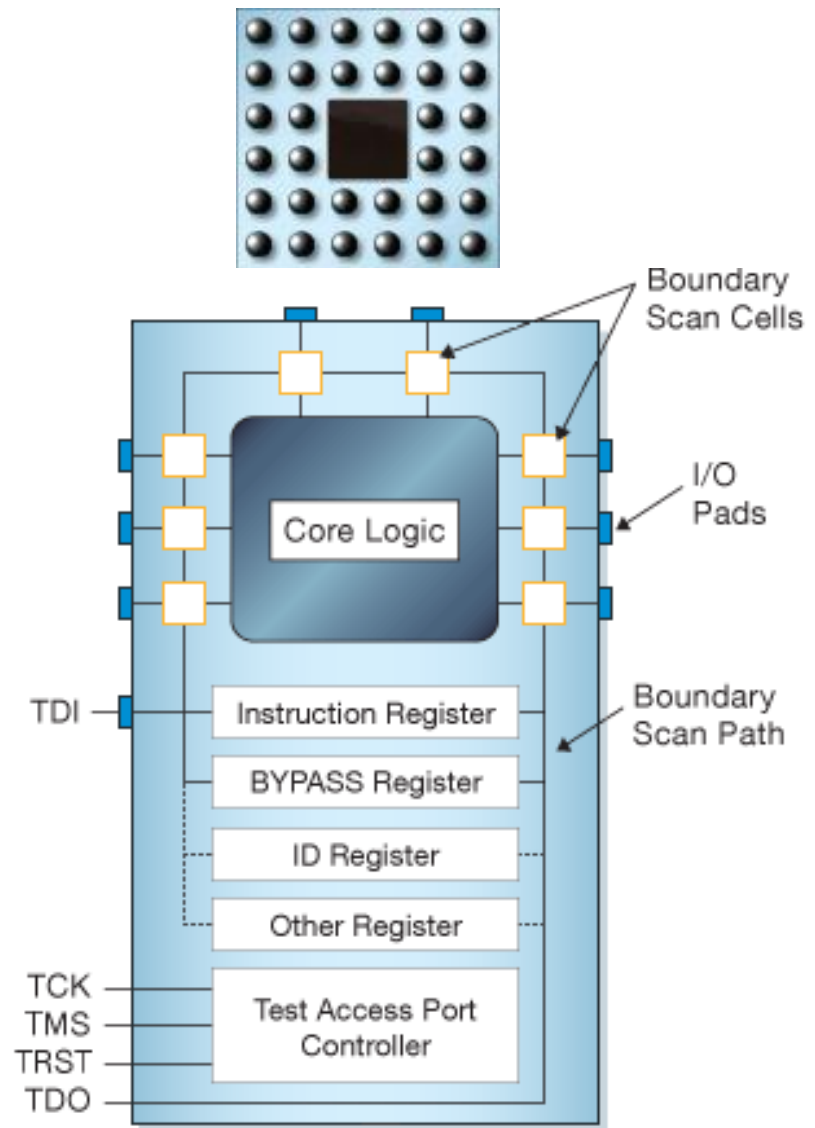
JTAG 测试技术

- JTAG (Joint Test Action Group, 联合测试行动小组) 是一种国际标准测试协议 (IEEE1149.1标准), 主要用于芯片内部测试、系统仿真与调试及 bootloader 的下载
- JTAG 技术是一种嵌入式调试技术, 它在芯片内部封装了专门的测试电路 TAP (Test Access Port, 测试访问口), 通过专用的 JTAG 测试工具对内部节点进行测试



JTAG 边界扫描

- Ability to set and read the values on pins without direct physical access
- Boundary Scan Register (BSR) which consists of a number of boundary scan 'cells'



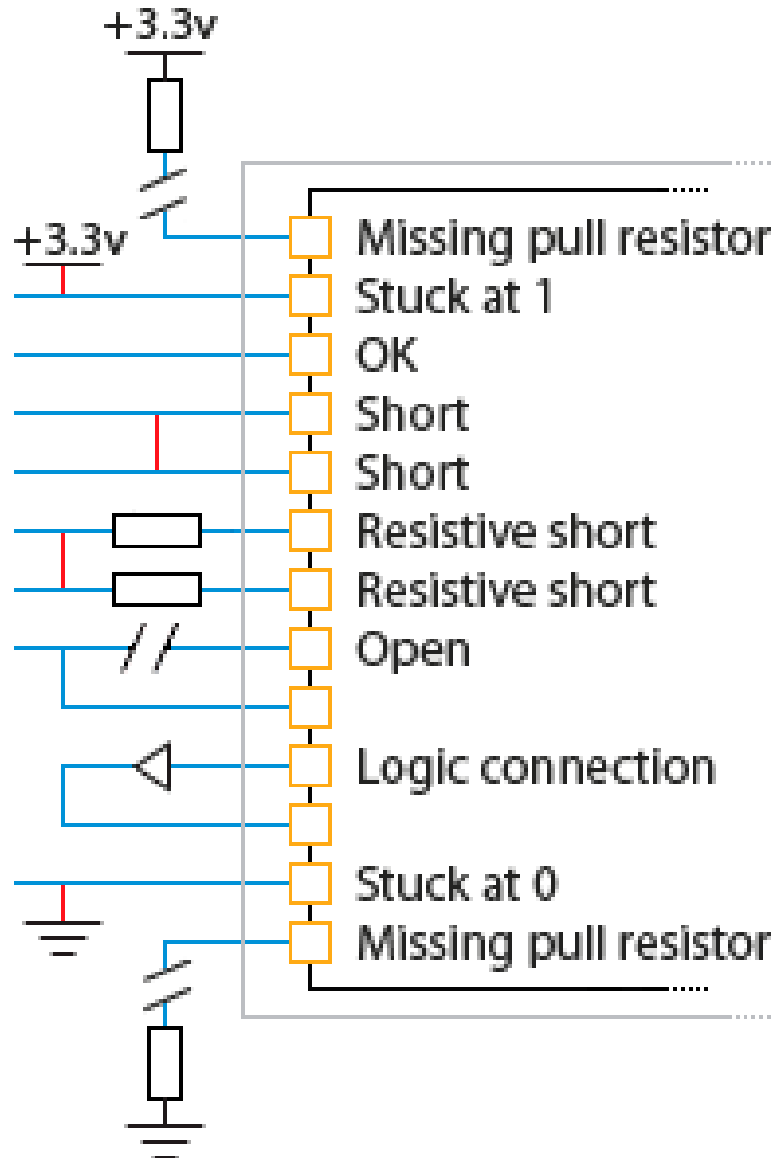
JTAG 边界扫描

• Chain Integrity Testing

- Most basic form of testing
- Testing JTAG devices meant to be in the JTAG chain actually exist
- ID code

Connection Testing

- short circuit, open circuit, stuck-at, and pull-resistor faults



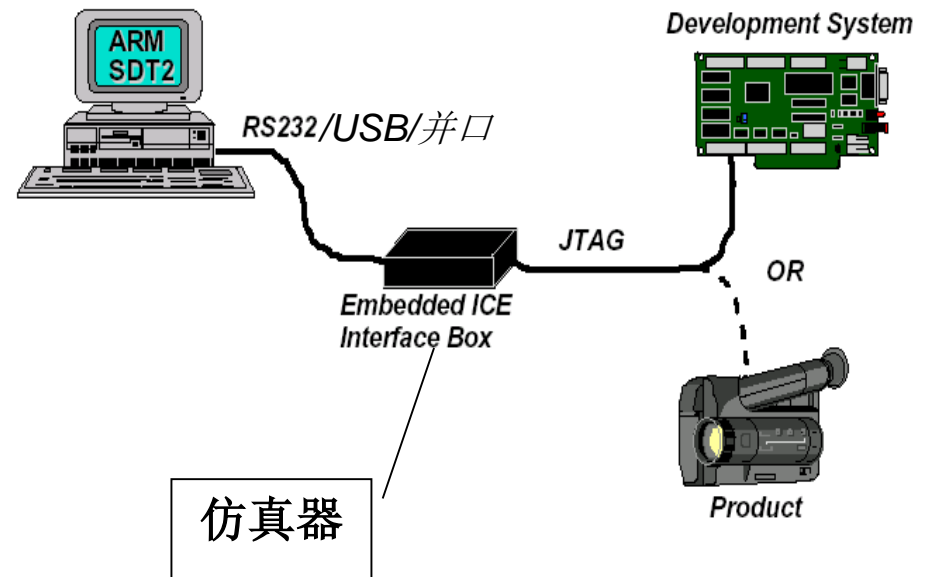
JTAG 边界扫描

- Non-JTAG Device Testing

- outputs of non-JTAG devices can be read back via JTAG devices
- memory testing: write information into memory; and then read this information back

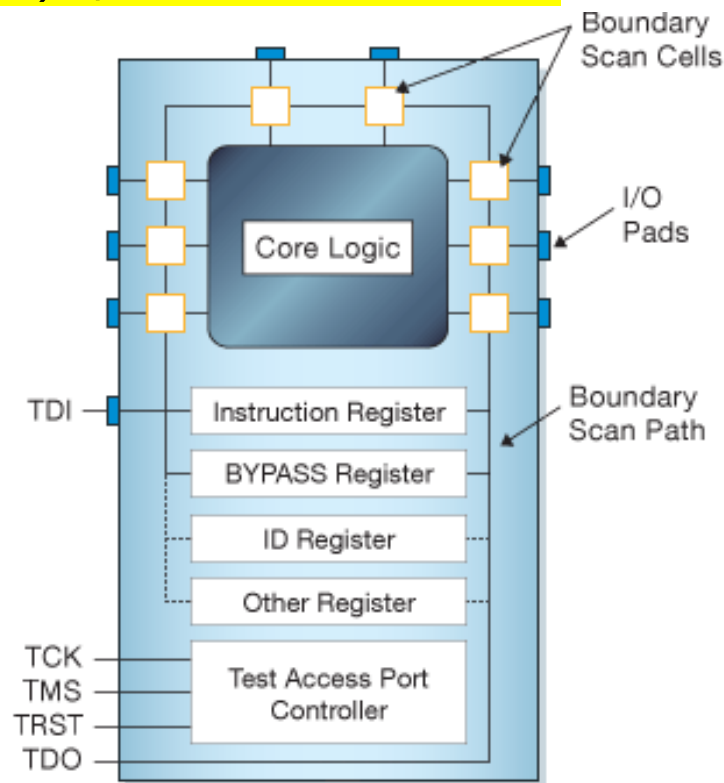
- In-System Programming

- In-System Debugging



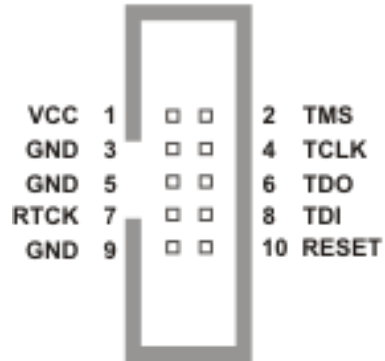
JTAG 接口信号

- **nTRST** : JTAG复位信号，复位JTAG的状态机和内部的宏单元 (Macrocell) (Test Reset) Optional
- **TMS** : 测试模式选择 (Test Mode Select) ，通过TMS信号控制JTAG状态机的状态
- **TCK** : JTAG的时钟信号 (Test Clock)
- **TDI** : 数据输入信号(Test Data-In)
- **TDO** : 数据输出信号(Test Data-Out)
- **VCC** : 接电源
- **GND** : 接地线
- **NC** : 未连接



JTAG 接口

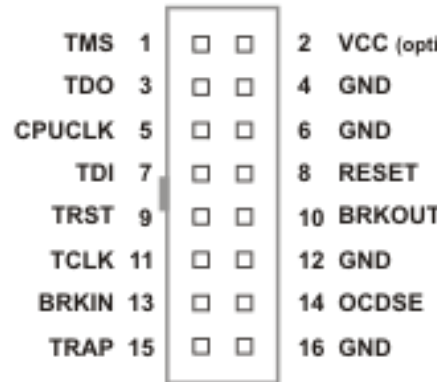
ARM 10-PIN Interface



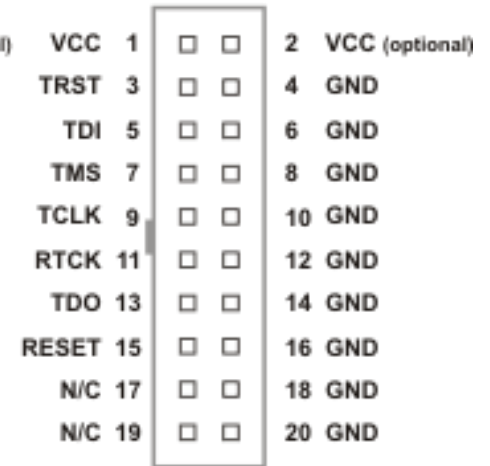
ST 14-PIN Interface



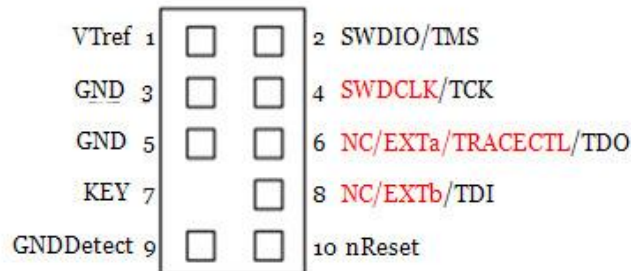
OCDS 16-PIN Interface



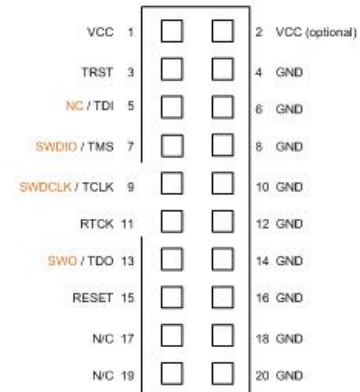
ARM 20-PIN Interface



Cortex Debug 10-pin Connector



ARM Standard JTAG 20-pin Connector

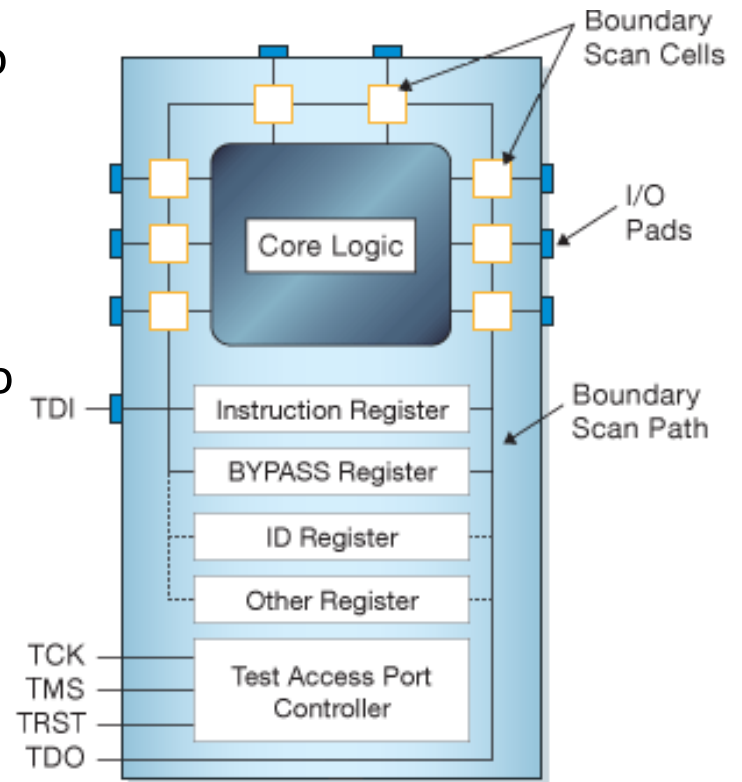


20 to 20 Pin Adapter



JTAG 寄存器

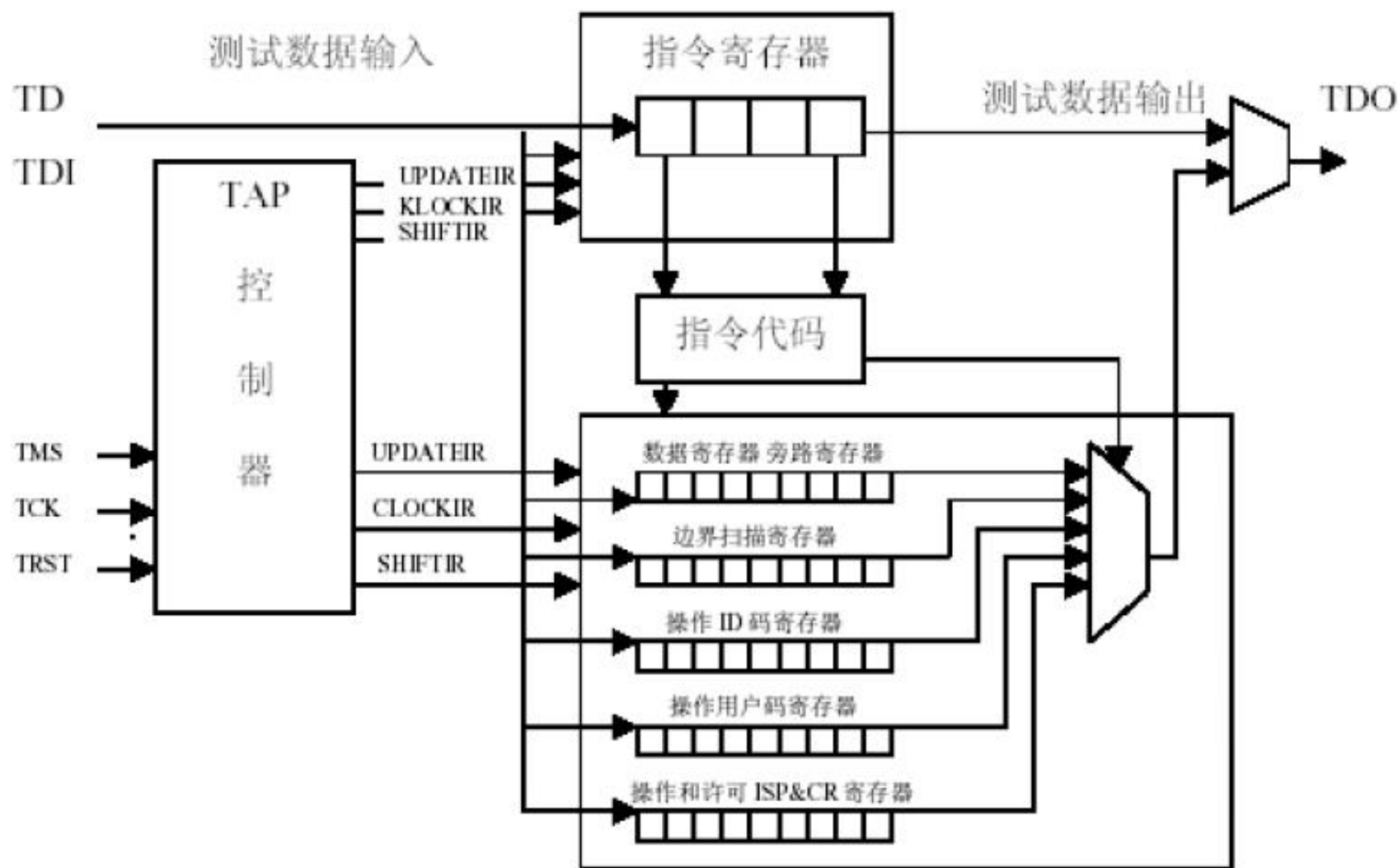
- Instruction register
 - Holds the current instruction
 - Used by the TAP controller to decide what to do with signals that are received
- Data registers
 - BSR (Boundary Scan Register) – move data to and from the I/O pins of a device.
 - BYPASS – this is a single-bit register that passes information from TDI to TDO
 - IDCODES – this register contains the ID code and revision number for the device



边界扫描指令

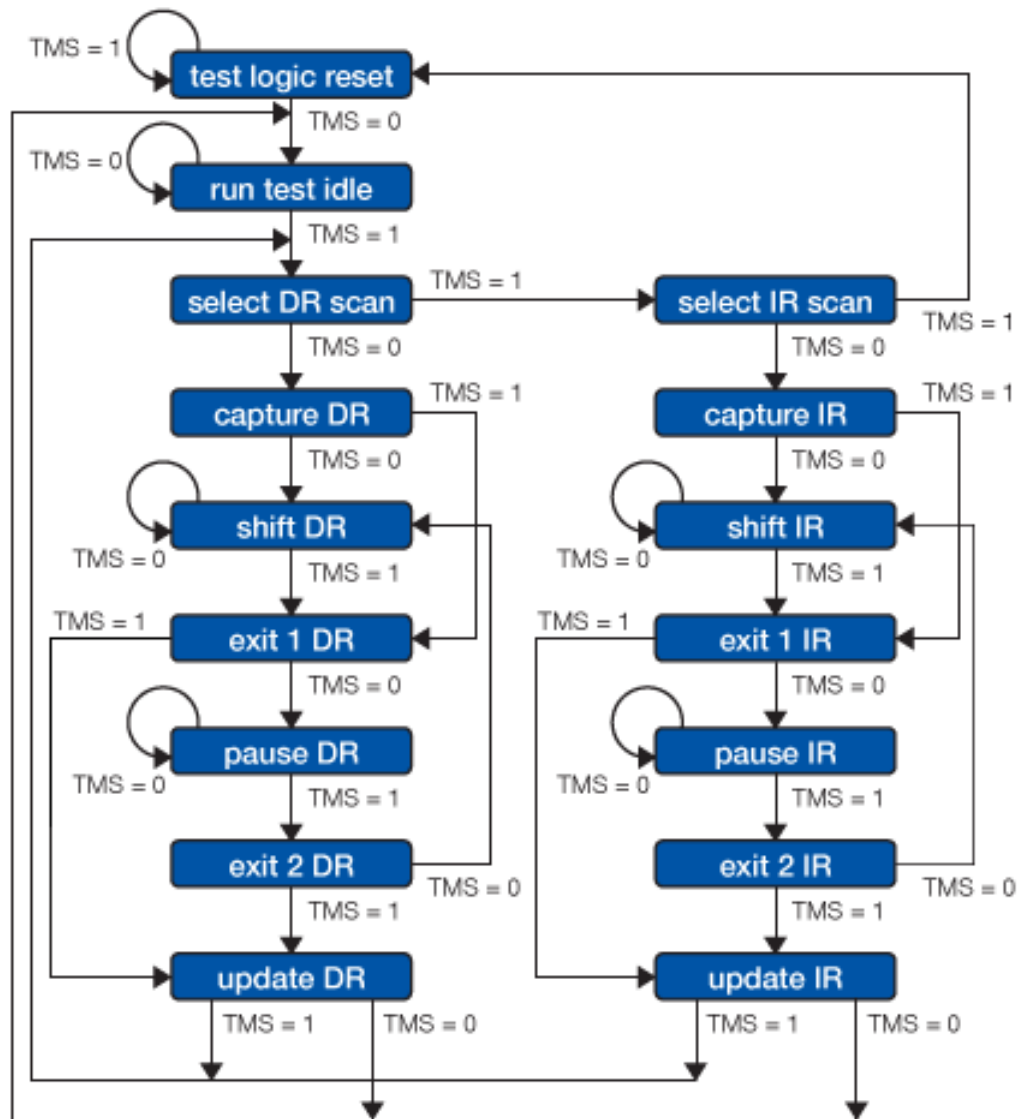
- BYPASS – TDI and TDO lines connected via BYPASS register
- EXTEST – TDI and TDO connected to BSR. The device's pin states are sampled with the 'capture dr' JTAG state and new values are shifted into the BSR with the 'shift dr' state; these values are then applied to the pins of the device using the 'update dr' state.
- SAMPLE/PRELOAD – TDI and TDO connected to BSR. However, the device is left in its normal functional mode. During this instruction, the BSR can be accessed by a data scan operation to take a sample of the functional data entering and leaving the device. The instruction is also used to preload test data into the BSR prior to loading an EXTEST instruction.
- IDCODE – TDI and TDO connected to IDCODE register.
- INTEST – TDI and TDO lines connected to BSR. While the EXTEST instruction allows the user to set and read pin states, the INTEST instruction relates to the core-logic signals of a device.

JTAG 内部结构

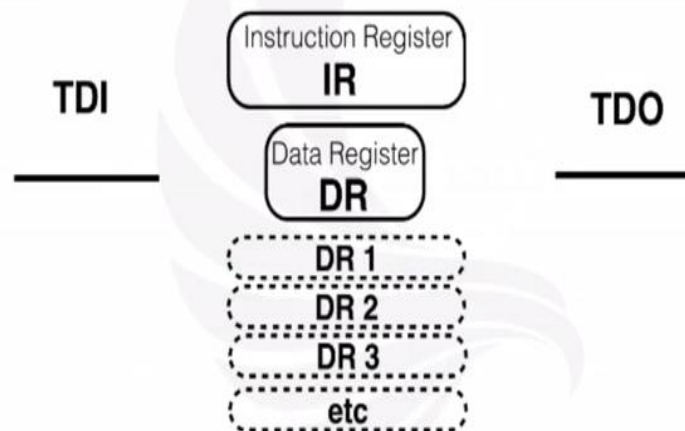
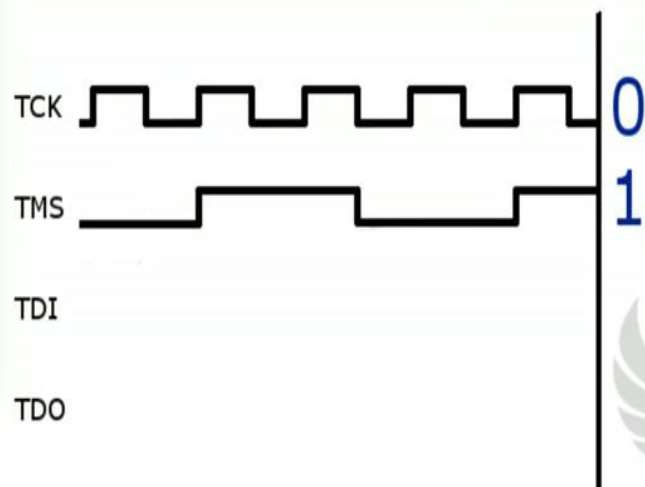
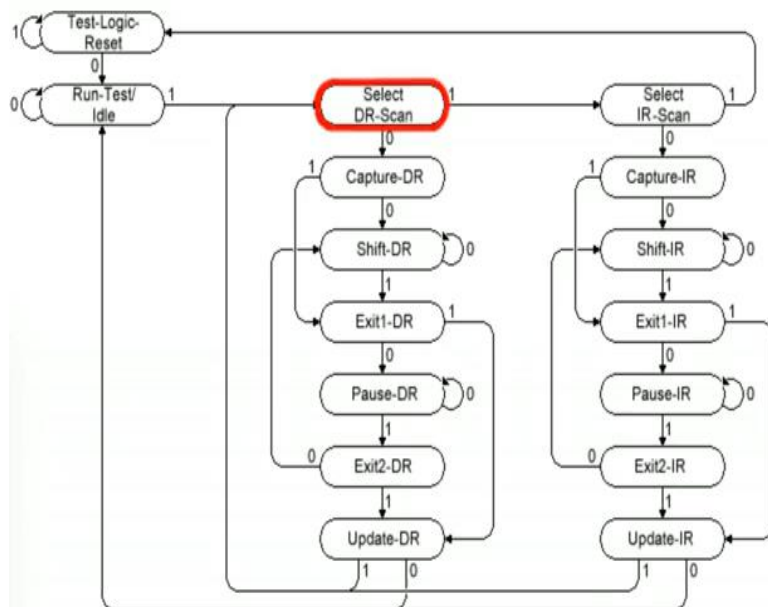


TAP控制器与状态机

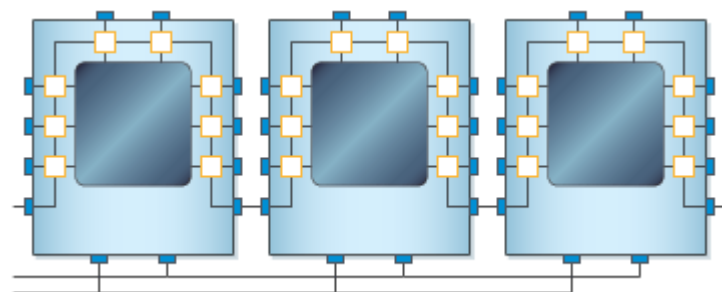
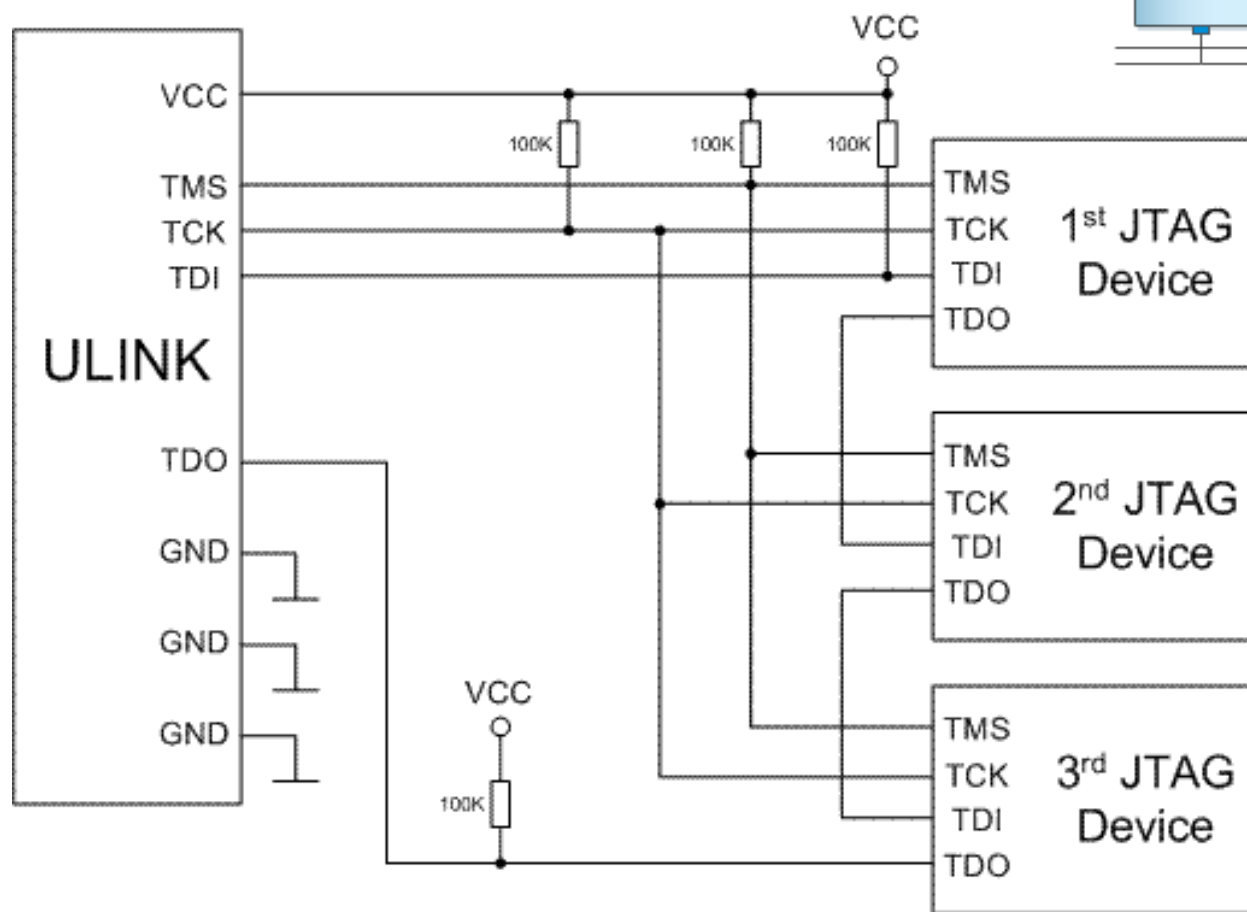
- Test Access Port (TAP) Controller
- A state machine controlled by the TMS signal
- Controls the behavior of JTAG system



JTAG 状态机

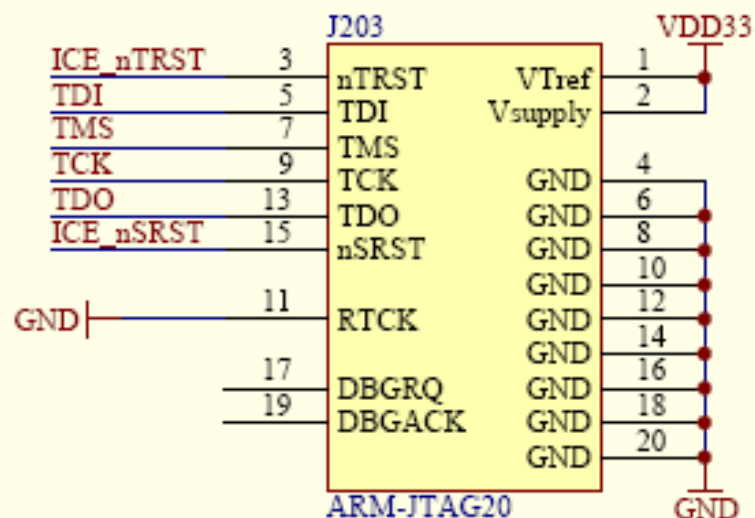
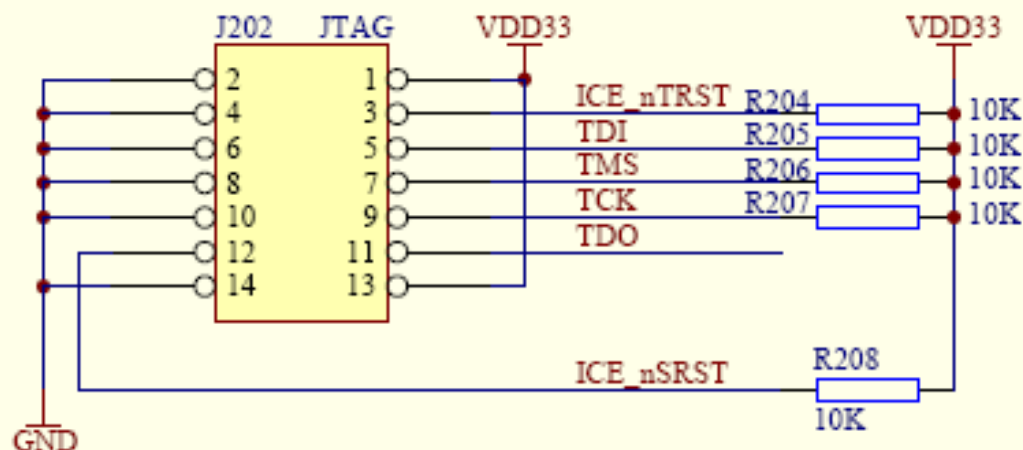


JTAG链



JTAG 接口电路实例

- 在带IEEE1149标准的JTAG/ICE端口的任何ARM处理器中，**TDI, TDO, TMS和TCK**是最少的引脚
- 除TDO引脚外的其他所有引脚内部均有大约10KR的上拉电阻



第6章 嵌入式系统硬件

主要内容

1. S3C2410概述
2. 电源电路模块
3. 复位电路模块
4. JATG接口模块
5. 时钟与电源管理
6. S3C2410X的存储器
7. DMA控制器
8. A/D转换与触摸屏
9. 中断控制器
10. 输入/输出端口
11. 定时器、PWM
12. UART通用异步串行接口
13. SPI串行总线接口
14. I2C(IIC)串行总线接口
15. 实时钟RTC
16. USB接口
17. 看门狗
18. LCD控制器

5 时钟与电源管理

主要内容

- 1、概述
- 2、结构与工作原理
- 3、专用寄存器
- 4、应用问题

要求：理解本节内容。

一、时钟和电源管理功能

1、时钟功能

有两个锁相环MPLL、UPLL产生系统所需要的不同频率的时钟。

(1) 为CPU产生FCLK时钟

(2) 为AHB产生HCLK时钟

使用HCLK的设备：中断控制器、存储器管理器、DMA控制器、LCD控制器、FLASH控制器、USB Host（不用PLL时）、总线控制器、片外设备

(3) 为APB产生PCLK时钟

使用PCLK的设备：117个通用I/O口GPIO、ADC、5个定时器与4个PWM、3个UART、2个SPI、IIC、USB Device（不用PLL时）、RTC、WDT、SD卡接口、IIS接口（Host and Device）

(4) 为USB（Host and Device）产生UCLK时钟（48MHz）

2、电源管理功能

具有4种电源管理模式：正常模式、慢时钟模式、空闲模式、掉电模式

(1) 正常模式

1) 锁相环工作；2) 为CPU和所有片内外设提供时钟。

此模式系统功耗最大

(2) 慢时钟模式

锁相环不工作，CPU等直接使用原始时钟、或原始时钟的分频工作。

此模式工作时钟频率低而使功耗低，并且锁相环不工作也使功耗降低。

(3) 空闲模式

停止为CPU提供时钟，CPU不工作（其外设均工作）。

退出方法：任何中断请求可唤醒CPU工作，退出空闲模式

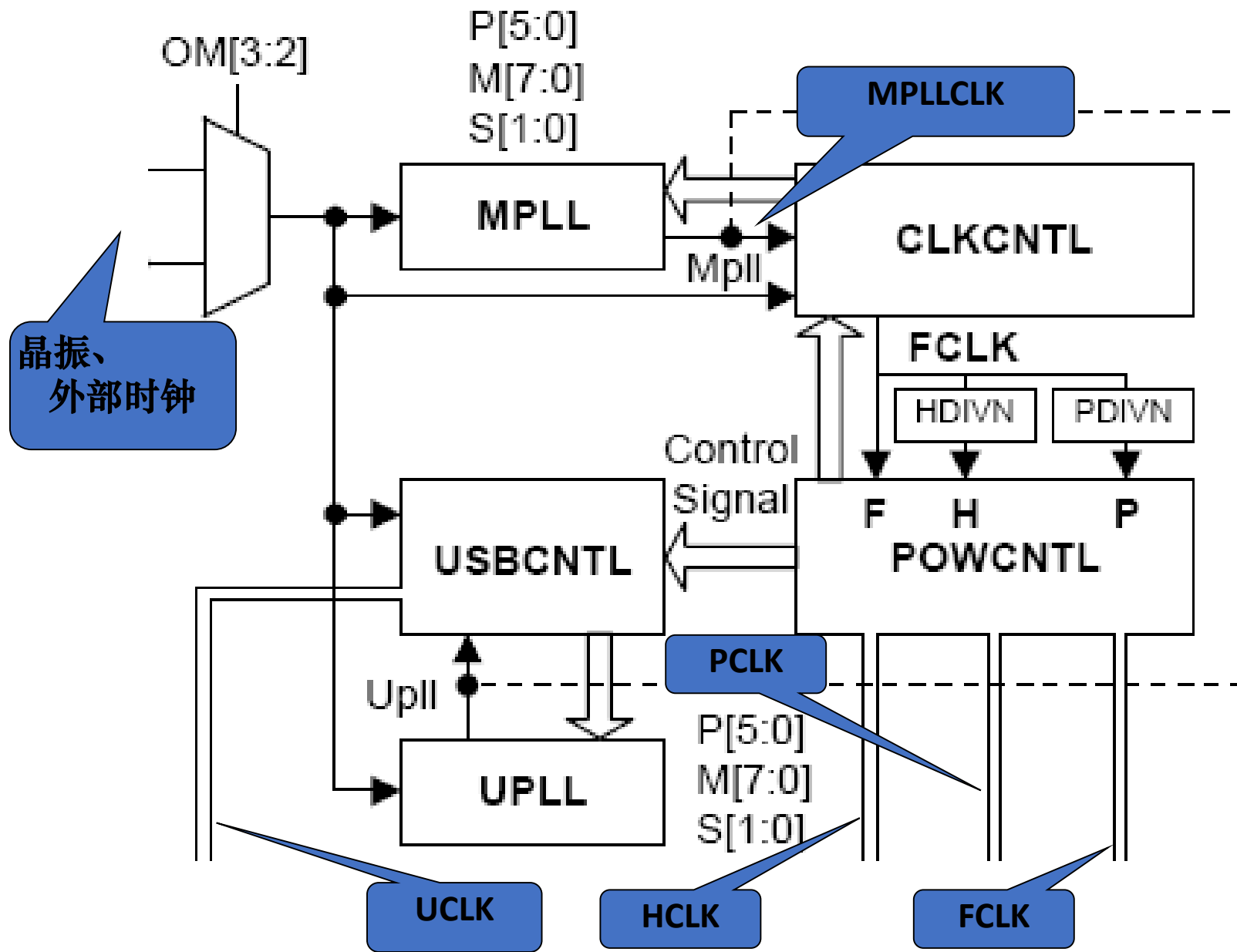
(4) 断电模式

时钟模块断电，除了唤醒电路之外所有部分均不供电。系统需分成两部分供电。此模式功耗最低。必须设置有外中断

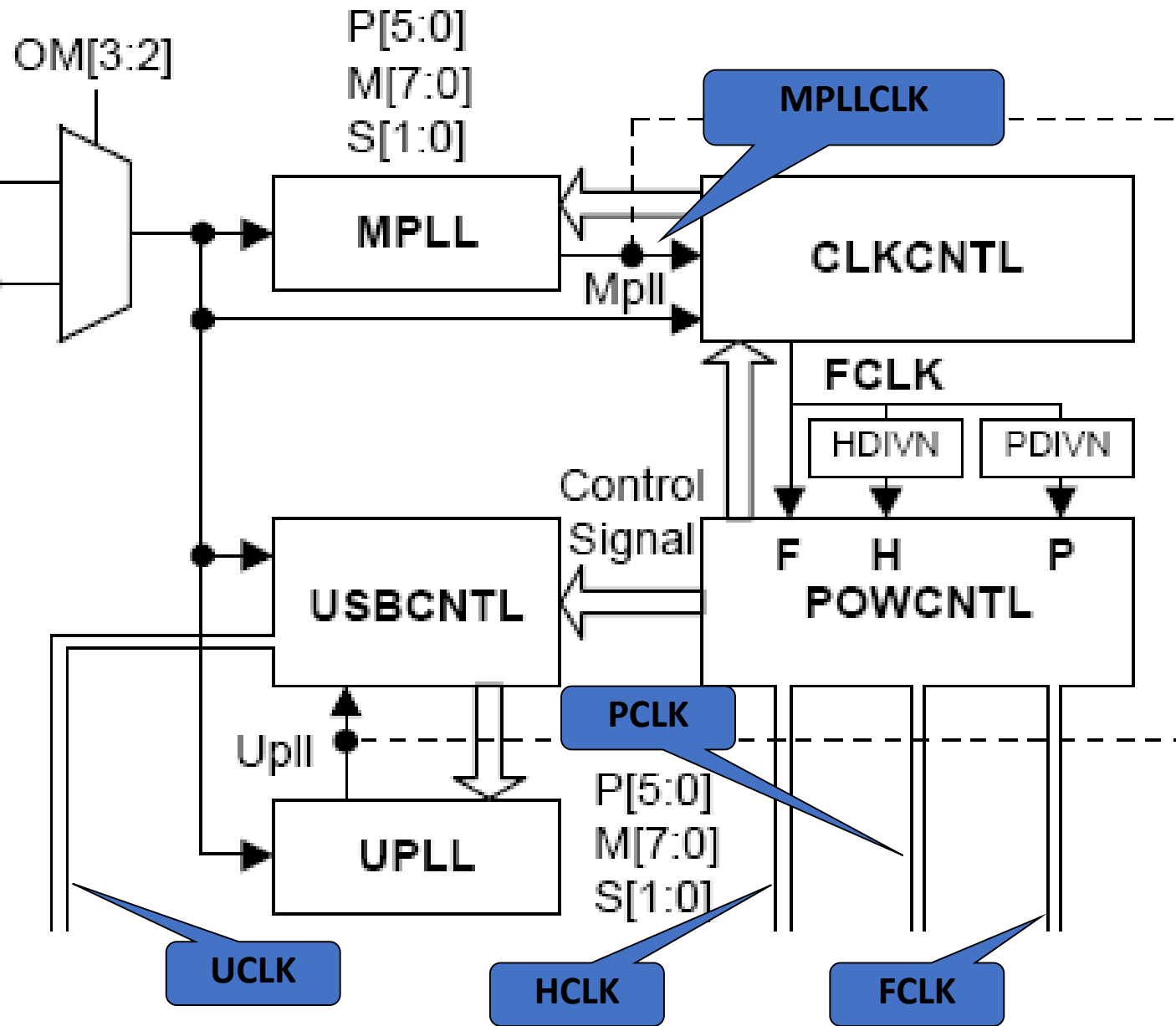
退出方法：用中断唤醒。（1）外部中断EINT0---15；（2）实时钟报警中断

二、电路结构与工作原理

1、电路结构

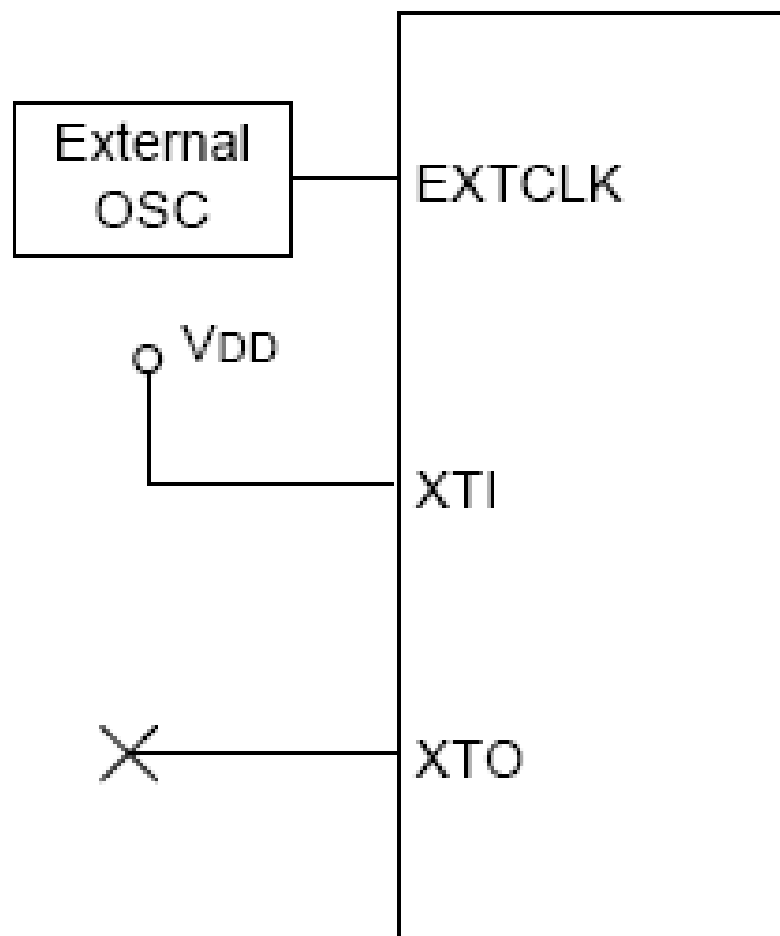
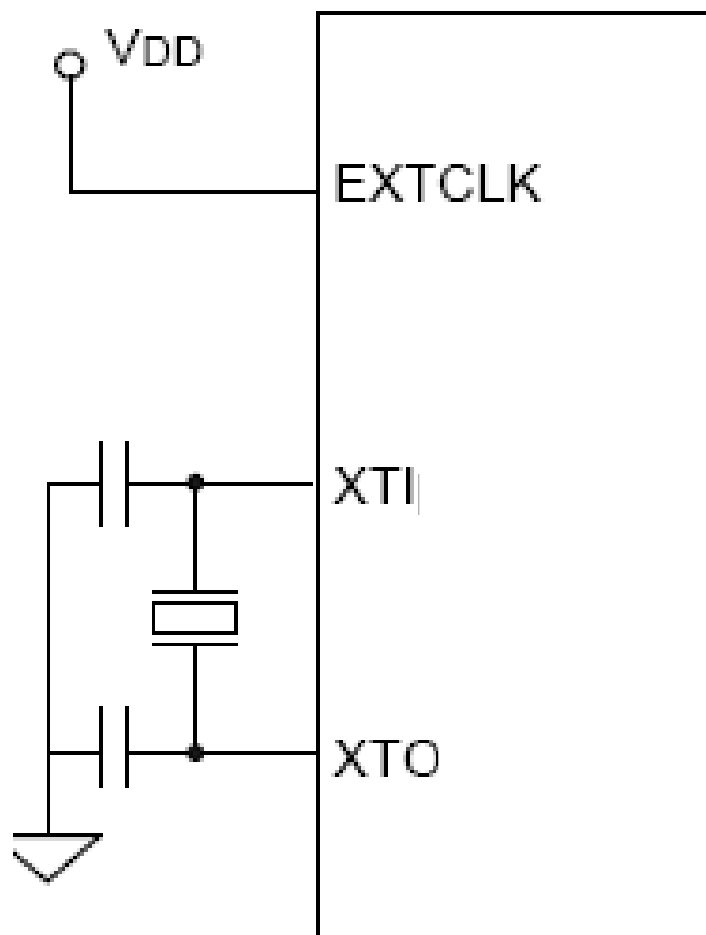


1、电路结构



主要由5部分组成：
时钟源、MPLL、UPLL、时钟控制器、电源控制器等。

晶振电路和外部时钟



2、时钟源选择

S3C2410的时钟可以选用晶振(XTAL)，也可以使用外部时钟(EXTCLK)，由系统复位时，在复位信号上升沿对引脚OM3、OM2所测的状态来确定。其对应关系如下表所示。

| OM[3:2]值 | 主时钟源 | USB时钟源 |
|----------|---------|---------|
| 00 | Crystal | Crystal |
| 01 | Crystal | EXTCLK |
| 10 | EXTCLK | Crystal |
| 11 | EXTCLK | EXTCLK |

3、频率计算

(1) 锁相环输出频率

$$MPLL = (m \times Fin) / (p \times 2^S)$$

$m = M + 8$, M : M 寄存器的值

$p = P + 2$, P : P 寄存器的值

S : S 寄存器的值

(2) S3C2410内核时钟频率

使用锁相环: $FCLK = MPLL$

慢模式下:

$$FCLK = MPLL / \text{除数器比率}$$

三、专用寄存器

S3C2410的时钟与电源管理共有6个专用寄存器，其基地址均为0x4C000000。

| 寄存器 | R/W | 描 述 | 初值 | 偏址 |
|----------|-----|------------|-------------|------|
| LOCKTIME | R/W | PLL锁定时间寄存器 | 0x00FFFFFFF | 0x00 |
| MPLLCON | R/W | MPLL配置寄存器 | 0x0005C080 | 0x04 |
| UPLLCON | R/W | UPLL配置寄存器 | 0x00028080 | 0x08 |
| CLKCON | R/W | 时钟控制寄存器 | 0x0007FFF0 | 0x0C |
| CLKSLOW | R/W | 慢时钟控制寄存器 | 0x00000004 | 0x10 |
| CLKDIVN | R/W | 时钟比控制寄存器 | 0x00000000 | 0x14 |

1、PLL锁定时间寄存器 (LOCKTIME)

| 寄存器 | R/W | 描 述 | 初值 | 偏址 |
|----------|-----|------------------|-------------|------|
| LOCKTIME | R/W | PLL锁定时间 计数寄存器 | 0x00FFFFFFF | 0x00 |

| 字段名 | 位 | 意 义 | 初值 |
|----------|-------|--------------------------------|-------|
| Reserved | 31:24 | 保留 (为0) | 0x00 |
| U_LTIME | 23:12 | UPLL锁定时间计数值 (U_LTIME>150μS) | 0xFFF |
| M_LTIME | 11:0 | MPLL锁定时间计数值 (U_LTIME>150μS) | 0xFFF |

2、MPLL控制寄存器 (MPLLCON)

| 寄存器 | R/W | 描 述 | 初值 | 偏址 |
|---------|-----|-----------|------------|------|
| MPLLCON | R/W | MPLL控制寄存器 | 0x0005C080 | 0x04 |

| 字段名 | 位 | 意 义 | 初值 |
|----------|-------|--------------|--------|
| Reserved | 31:20 | 保留 (为0) | 0x000 |
| MDIV | 19:12 | 主倍频 (M) 控制值 | 0x5C |
| Reserved | 11:10 | 保留 (为0) | 00 |
| PDIV | 9:4 | 前 (P) 分频控制值 | 001000 |
| Reserved | 3:2 | 保留 (为0) | 00 |
| SDIV | 1:0 | 后 (S) 分频控制值 | 00 |

3、UPLL控制寄存器 (UPLLCON)

| 寄存器 | R/W | 描 述 | 初值 | 偏址 |
|---------|-----|-----------|------------|------|
| UPLLCON | R/W | UPLL控制寄存器 | 0x00028080 | 0x08 |

| 字段名 | 位 | 意 义 | 初值 |
|----------|-------|--------------|--------|
| Reserved | 31:20 | 保留 (为0) | 0x000 |
| MDIV | 19:12 | 主倍频 (M) 控制值 | 0x28 |
| Reserved | 11:10 | 保留 (为0) | 00 |
| PDIV | 9:4 | 前 (P) 分频控制值 | 001000 |
| Reserved | 3:2 | 保留 (为0) | 00 |
| SDIV | 1:0 | 后 (S) 分频控制值 | 00 |

MPS值选择推荐表

| 输入频率 | 输出频率 | MDIV | PDIV | SDIV |
|----------|-----------|------|------|------|
| 12.00MHz | 11.289MHz | N/A | N/A | N/A |
| 12.00MHz | 16.934MHz | N/A | N/A | N/A |
| 12.00MHz | 22.50MHz | N/A | N/A | N/A |
| 12.00MHz | 33.75MHz | 82 | 2 | 3 |
| 12.00MHz | 45.00MHz | 82 | 1 | 3 |
| 12.00MHz | 50.70MHz | 161 | 3 | 3 |
| 12.00MHz | 48.00MHz | 120 | 2 | 3 |
| 12.00MHz | 56.25MHz | 142 | 2 | 3 |
| 12.00MHz | 67.50MHz | 82 | 2 | 2 |

MPS值选择推荐表（续1）

| 输入频率 | 输出频率 | MDIV | PDIV | SDIV |
|----------|-----------|------|------|------|
| 12.00MHz | 79.00MHz | 71 | 1 | 2 |
| 12.00MHz | 875MHz | 105 | 2 | 2 |
| 12.00MHz | 90.00MHz | 112 | 2 | 2 |
| 12.00MHz | 101.25MHz | 127 | 2 | 2 |
| 12.00MHz | 113.00MHz | 105 | 1 | 2 |
| 12.00MHz | 118.50MHz | 150 | 2 | 2 |
| 12.00MHz | 1200MHz | 116 | 1 | 2 |
| 12.00MHz | 135.00MHz | 82 | 2 | 1 |

MPS值选择推荐表（续2）

| 输入频率 | 输出频率 | MDIV | PDIV | SDIV |
|----------|-----------|------|------|------|
| 12.00MHz | 147.00MHz | 90 | 2 | 1 |
| 12.00MHz | 152.00MHz | 68 | 1 | 1 |
| 12.00MHz | 158.00MHz | 71 | 1 | 1 |
| 12.00MHz | 170.00MHz | 77 | 1 | 1 |
| 12.00MHz | 180.00MHz | 82 | 1 | 1 |
| 12.00MHz | 186.00MHz | 85 | 1 | 1 |
| 12.00MHz | 192.00MHz | 88 | 1 | 1 |
| 12.00MHz | 202.80MHz | 161 | 3 | 1 |

4、时钟控制寄存器 (CLKCON)

| 寄存器 | R/W | 描 述 | 初值 | 偏址 |
|--------|-----|---------|------------|------|
| CLKCON | R/W | 时钟控制寄存器 | 0x0007FFF0 | 0x0C |

| 字段名 | 位 | 意 义 | 初值 |
|----------|-------|---------------------------|-------|
| Reserved | 31:19 | 保留 (为0) | 0x000 |
| SPI | 18 | 控制PCLK给SPI时钟 0：禁止；1：允许 | 1 |
| IIS | 17 | 控制PCLK给IIS时钟 0：禁止；1：允许 | 1 |
| IIC | 16 | 控制PCLK给IIC时钟 0：禁止；1：允许 | 1 |

4、时钟控制寄存器（CLKCON续1）

| 字段名 | 位 | 意 义 | 初值 |
|-------|----|-----------------------------|----|
| ADC | 15 | 控制PCLK给ADC时钟 0：禁止；1：允许 | 1 |
| RTC | 14 | 控制PCLK给RTC时钟 0：禁止；1：允许 | 1 |
| GPIO | 13 | 控制PCLK给GPIO时钟 0：禁止；1：允许 | 1 |
| UART2 | 12 | 控制PCLK给UART2时钟 0：禁止；1：允许 | 1 |
| UART1 | 11 | 控制PCLK给UART1时钟 0：禁止；1：允许 | 1 |

4、时钟控制寄存器（CLKCON续2）

| 字段名 | 位 | 意 义 | 初值 |
|------------|----|----------------------------------|----|
| UART0 | 10 | 控制PCLK给UART0时钟。 0：禁止；1：允许 | 1 |
| SDI | 9 | 控制PCLK给SDI时钟。 0：禁止；1：允许 | 1 |
| PWMTIMER | 8 | 控制PCLK给PWMTIMER时钟 0：禁止；1：允许 | 1 |
| USB Device | 7 | 控制PCLK给USB Device时钟 0：禁止；1：允许 | 1 |
| USB Host | 6 | 控制HCLK给USB Host时钟 0：禁止；1：允许 | 1 |

4、时钟控制寄存器（CLKCON续3）

| 字段名 | 位 | 意 义 | 初值 |
|--------------------------|---|--------------------------------|----|
| LCDC | 5 | 控制HCLK给LCDC时钟。 0：禁止；1：允许 | 1 |
| NAND Flash Controller | 4 | 控制HCLK给Flash C时钟。 0：禁止；1：允许 | 1 |
| POWER- OFF | 3 | 控制进入断电模式。 0：禁止；1：进入断电模式 | 0 |

4、时钟控制寄存器（CLKCON续4）

| 字段名 | 位 | 意 义 | 初值 |
|----------|---|---|----|
| IDLE BIT | 2 | 控制进入空闲模式。 0：禁止；1：转入空闲模式 说明：该位不能够自动清0. | 0 |
| Reserved | 1 | 保留（为0） | 0 |
| SM_BIT | 0 | 控制进入特别模式。 0：禁止（推荐）； 1：进入特别模式（保留） | 0 |

5、慢时钟控制寄存器 (CLKSLOW)

| 寄存器 | R/W | 描 述 | 初值 | 偏址 |
|---------|-----|----------|------------|------|
| CLKSLOW | R/W | 慢时钟控制寄存器 | 0x00000004 | 0x10 |

| 字段名 | 位 | 意 义 | 初值 |
|----------|---|---|----|
| UCLK_ON | 7 | USB时钟控制。0：开，UPLL也开；1：关，UPLL也关。 | 0 |
| Reserved | 6 | 保留（为0） | - |
| MPLL_OFF | 5 | M锁相环控制。 0：开，稳定后（至少150 μ S）可对SLOE_BIT清0； 1：关，仅在SLOE_BIT为1时 | 1 |

5、慢时钟控制寄存器（CLKSLOW续）

| 字段名 | 位 | 意 义 | 初值 |
|----------|-----|---|------------|
| SLOW_BIT | 4 | 慢时钟控制位。 0：正常模式，FCLK=MPLL 1:慢时钟模式。 FCLK= 输入时钟/2/SLOW_VAL FCLK= 输入时钟(SLOW_VAL=0) | 0 |
| Reserved | 3 | 保留（为0） | - |
| SLOW_VAL | 2:0 | 慢时钟除数值（0---7）。 | 0x4 |

**说明： 1、进入慢时钟模式MPLL可关、也可开。
但关闭MPLL更节电。**

**2、退出慢时钟模式应先启动MPLL，
否则因MPLL未稳定而FCLK无时钟输出。**

6、时钟比控制寄存器（CLKDIVN）

| 寄存器 | R/W | 描 述 | 初值 | 偏址 |
|---------|-----|----------|------------|------|
| CLKDIVN | R/W | 时钟比控制寄存器 | 0x00000000 | 0x14 |

| 字段名 | 位 | 意 义 | 初值 |
|----------|---|--------------------------------|----|
| Reserved | 2 | 保留（为0） | 0 |
| HDIVN | 1 | 0: HCLK=FCLK 1: HCLK=FCLK/2 | 0 |
| PDIVN | 0 | 0: PCLK=HCLK 1: PCLK=HCLK/2 | 0 |

慢时钟模式时钟设置

| SLOW _VAL | FCLK | HCLK | | PCLK | |
|--------------|-------|-------------|-------------|--------------|--------------|
| | | HDIVN =0 | HDIVN =1 | PDIVN = 0 | PDIVN = 1 |
| 000 | EXT/1 | EXT/1 | EXT/2 | HCLK | HCLK/2 |
| 001 | EXT/2 | EXT/2 | EXT/4 | HCLK | HCLK/2 |
| 010 | EXT/4 | EXT/4 | EXT/8 | HCLK | HCLK/2 |
| 011 | EXT/6 | EXT/6 | EXT/612 | HCLK | HCLK/2 |

说明： 1、慢时钟模式不用PLL。
2、EXT指晶振或外部时钟。

慢时钟模式时钟设置（续）

| SLOW _VAL | FCLK | HCLK | | PCLK | |
|--------------|--------|-------------|-------------|-------------|-------------|
| | | HDIVN =0 | HDIVN =1 | PDIVN =0 | PDIVN =1 |
| 100 | EXT/8 | EXT/8 | EXT/16 | HCLK | HCLK/2 |
| 101 | EXT/10 | EXT/10 | EXT/20 | HCLK | HCLK/2 |
| 110 | EXT/12 | EXT/12 | EXT/24 | HCLK | HCLK/2 |
| 111 | EXT/14 | EXT/14 | EXT/28 | HCLK | HCLK/2 |

说明： 3、 USB的UCLK均为48MHz。

四、S3C2410时钟及电源管理应用

1、锁相环的应用

锁相环主要功能是提供系统内部的运行时钟。应用时注意以下问题：

(1) 系统复位后必须写一次控制寄存器MPLLCON、UPLLCON才能使其正常工作。即便是不改变其值也要写一次，虽然复位后MPLL、UPLL均是使能的。

(2) 是多数情况下，启动锁相环后，都有一段锁相稳定时间（大于 $150\text{ }\mu\text{s}$ ），在这段时间FCLK无时钟输出（为低电平）。在慢时钟模式未撤销时启动MPLL无此现象。

(3) 在MPLL正常工作时重新设置MPS值改变时钟频率，也出现FCLK无时钟输出（为低电平）现象。

(4) USB的时钟问题。使用UPLL其时钟为恒定值48MHz；不使用UPLL则时钟为晶振或外部时钟值。

2、与断电模式相关的问题

(1) ADC的掉电问题。如果系统进入到断电模式，则应该设置ADC的控制寄存器为掉电模式。

(2) 断电模式数据总线 (D[31:0]或D[15:0]) 的上拉问题。1) 断电时数据总线保持高阻态；2) 上拉电阻应使能；3) 若有总线驱动器，如74LVCH162245，不上拉则省电。

(3) 电池失效信号对断电唤醒的影响。

电池失效信号 $nBATT_FLT$ 会屏蔽所有的断电唤醒信号，必须先处理电池失效问题。

(4) RTC报警中断信号唤醒断电模式问题。 RTC报警中断信号唤醒断电模式后，在中断标志寄存器中并不设置，需要对RTC查询确定报警具体情况。

(5) 引脚状态。见下表。

| 引脚类型 | 断电后 |
|-----------------|-------------------|
| GPIO输出 | 输出，其引脚寄存器值被应用 |
| GPIO输入 | 输入 |
| GPIO其它功能 | 输入。如GPG6:SPIMOSI |
| 功能输出 | 输出，并且保持原状态。如nGCS0 |
| 功能输入 | 输入。如nWAIT |

对于输出端口，如果不输出，则引脚保持高可减小功耗，输出低则因寄生电阻而有消耗。

3、进入断电模式的方法步骤

(1) 设置唤醒外中断和RTC报警中断。

1) 进行外中断引脚配置；

2) 设置中断屏蔽寄存器，对唤醒中断源开放，屏蔽其它中断源。

(2) 配置数据总线D[31; 0]为上拉。

写MISCCR[1:0]为00。若有总线驱动器，可关闭上拉电阻，且省电。

**(3) 设置USB数据口为浮空。写
MISCCR[13:12]为11。**

**(4) 使SDRAM信号在断电期间保护。
写MISCCR[19:17]为111。**

**(5) 将需要保存的数据写到一般状态
寄存器GSTATE3、GSTATE4中。断电时其值
被保护。**

**(6) 停止LCD显示。对寄存器
LCDCON1[0]写0。**

(7) 设置SDRAM为自刷新。对寄存器REFRESH[22]写1，并且等待，使自刷新生效。

(8) 使系统进入断电模式。对寄存器CLKCON[3]的POWER_OFF写1。

4、退出断电模式的方法步骤

如果有外中断或RTC报警中断唤醒断电模式，则系统先进行复位，通过以下方法退出断电模式，使系统正常工作。

(1) 判断是否为断电复位。查询GSTATE2[1]，1表示系统是从断电模式唤醒。

(2) 清除掉SDRAM的断电保护功能。写寄存器MISCCR[19:17]为000。

(3) 设置SDRAM为自动刷新。对寄存器REFRESH[22]写0，并且等待，使系统释放自刷新。

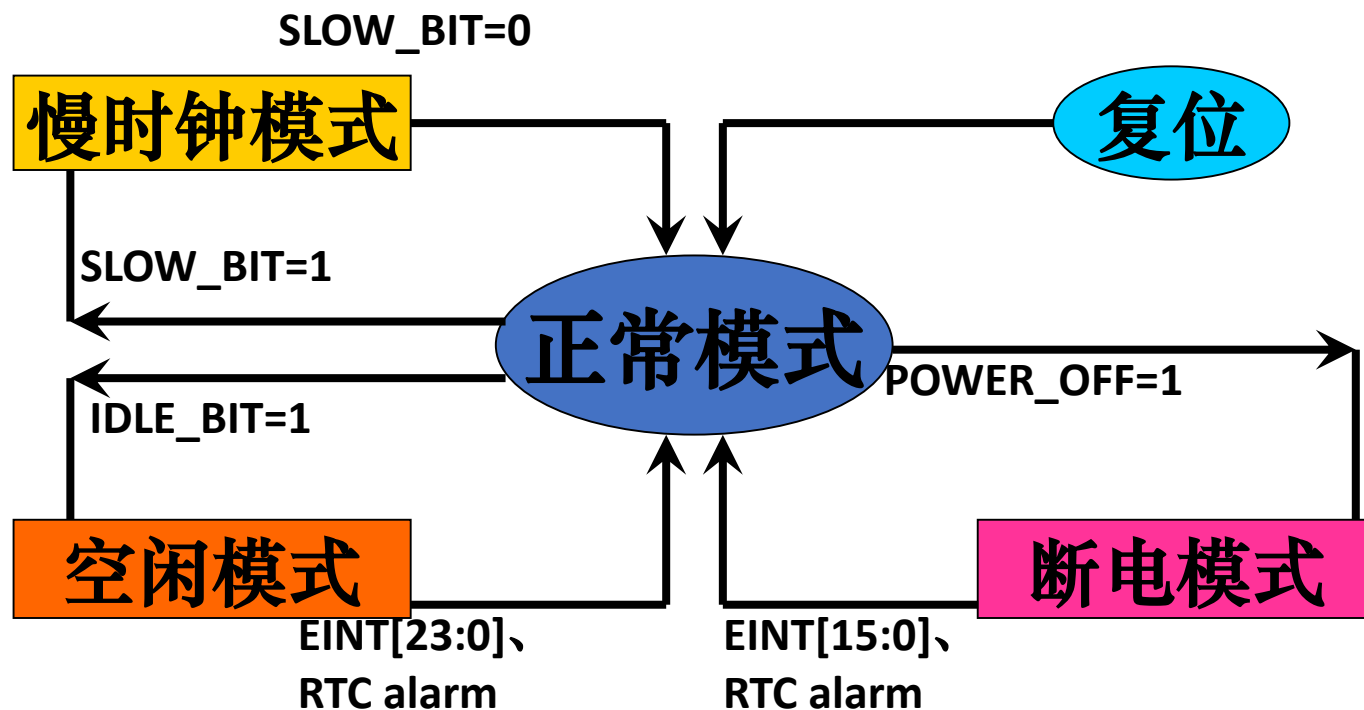
(4) 恢复断电前保存在GSTATE3、GSTATE4中的信息。根据用户使用。

(5) 查询中断请求标志：

- 1) 查询EINT4—15：读EINTPND**
- 2) 查询EINT0—3：读SRCPND（该寄存器可能不被设置）**

5、4种电源模式的转换方法

各种模式之间不能任意转换，转换关系如下图所示。





Thank you