



暨南大学
JINAN UNIVERSITY

第3章 嵌入式微处理器

杨光华

物联网与物流工程研究院 / 电气信息学院

办公室：行政楼 631

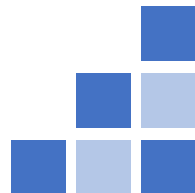
电邮：ghyang@jnu.edu.cn

电话：8505687

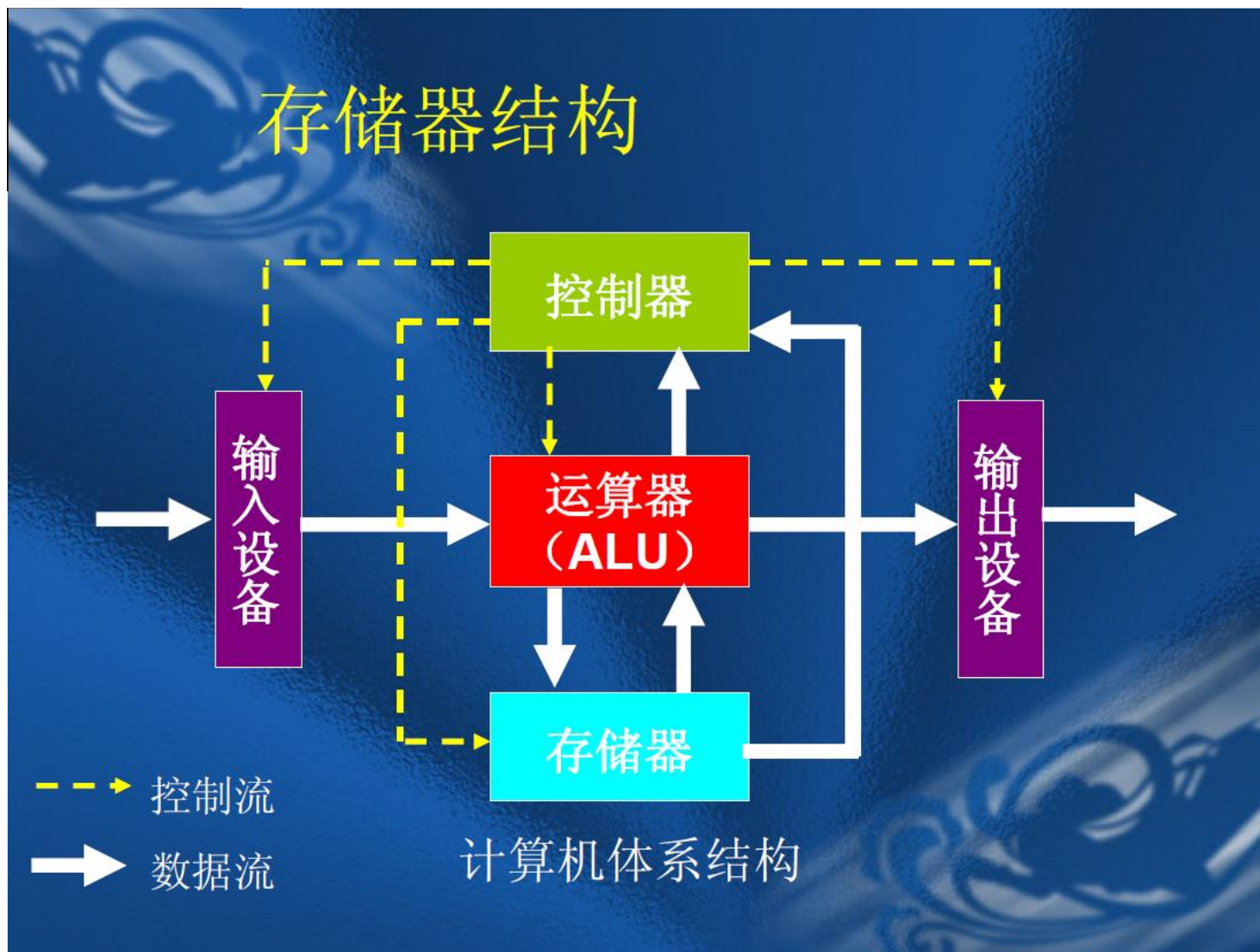
声明：课件中的部分文字、图片、视频等源于网络，相应版权属于原创人

主要内容

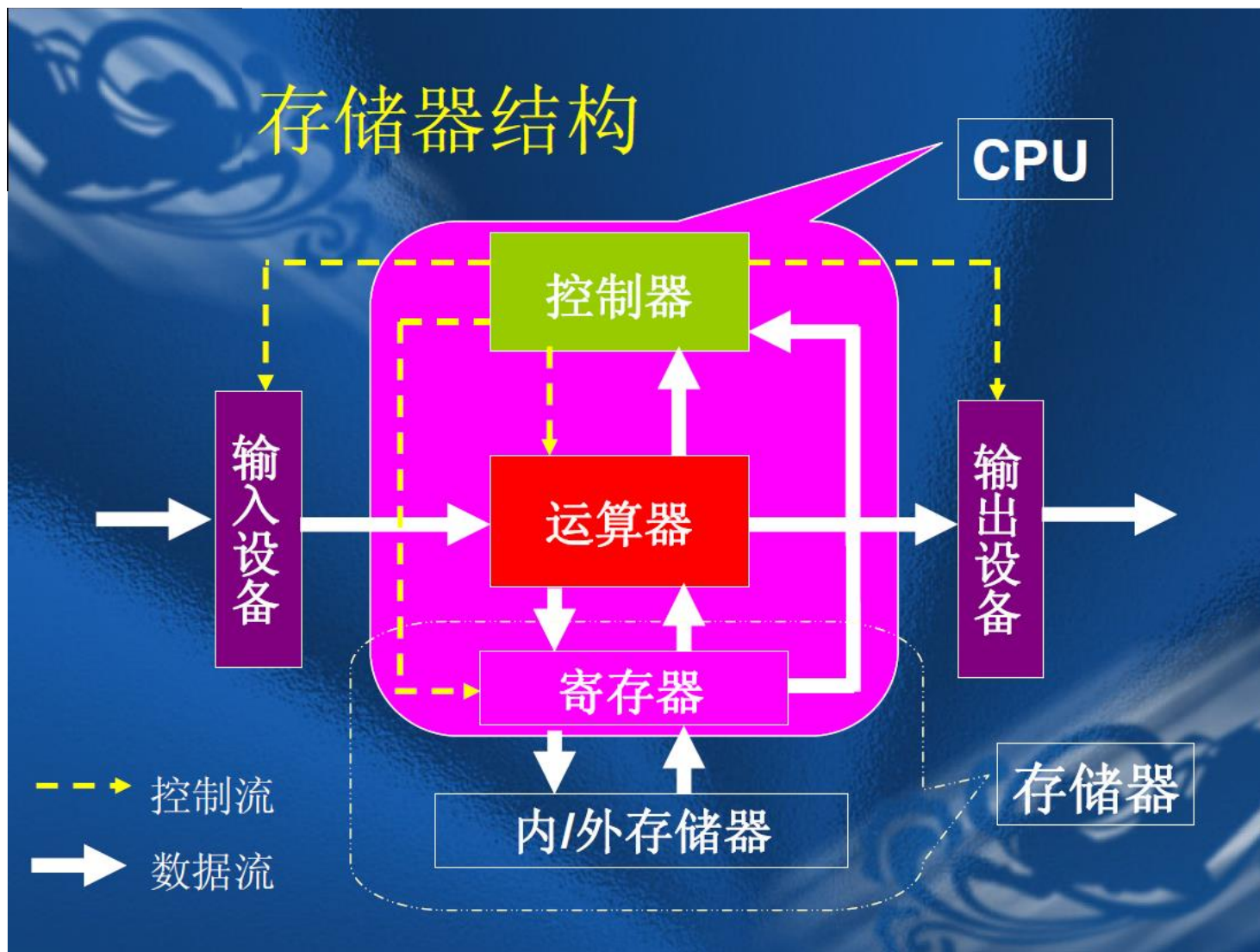
- 微处理器体系结构
- 嵌入式微处理器的发展
- 嵌入式微处理器的特点
- 主流嵌入式处理器介绍



存储器结构

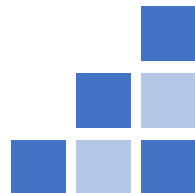


存储器结构



存储器结构

- 微处理器存储器结构
 - 程序、指令
 - 数据
- 冯·诺依曼（ Von Neumann ）结构
- 哈佛（ Harvard ）结构



冯·诺依曼 (Von Neumann) 结构

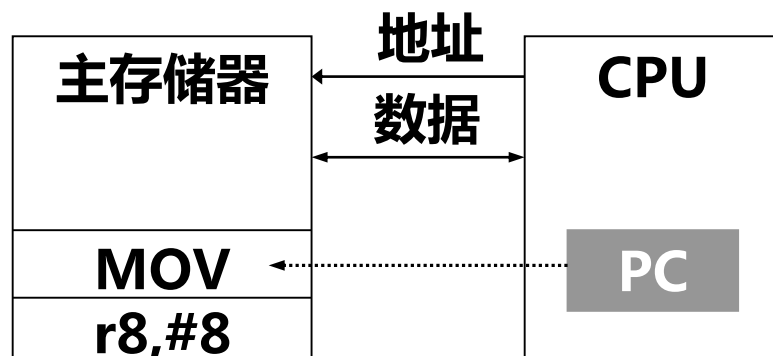
- 也称普林斯顿结构
- 存储程序：自动依次执行指令
- 将程序指令存储器和数据存储器合并在一起



约翰·冯·诺伊曼(John von Neumann)

1903.12.28—1957.02.08

匈牙利—美国数学家、电子计算机之父



冯·诺依曼结构

冯·诺依曼 (Von Neumann) 结构

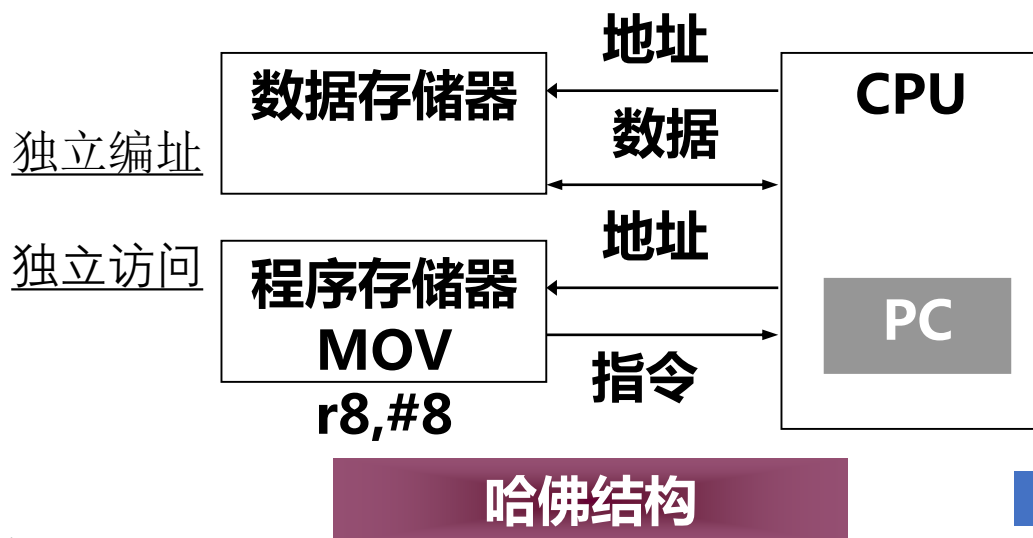
- 程序指令和数据共用一个存储空间
- 程序指令存储地址和数据存储地址指向同一个存储器的不同物理位置
- 采用单一的地址及数据总线，程序指令和数据的宽度相同
- 处理器执行指令时，先从存储器中取出指令解码，再取操作数执行运算，即使单条指令也要耗费几个甚至几十个周期，在高速运算时，在传输通道上会出现瓶颈效应
- 目前使用普林斯顿结构的**CPU**和微控制器有很多，包括
 - 英特尔公司的**8086**及其他**CPU**
 - **ARM**公司的**ARM7**
 - **MIPS**公司的**MIPS**处理器

哈佛 (Harvard) 结构

- 程序和数据存储器在两个分开的物理空间中，取指令和执行能完全重叠
- 允许在一个机器周期内同时获取指令字和操作数，从而提高了执行速度，使数据吞吐率提高1倍

- 使用哈佛结构的微处理器

- 所有的DSP处理器
- 摩托罗拉公司的MC68系列
- Zilog公司的Z8系列
- ATMEL公司的AVR系列
- ARM公司的ARM9、ARM10和ARM11



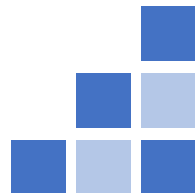
- 微处理器体系结构

- 存储器结构

- 指令集结构

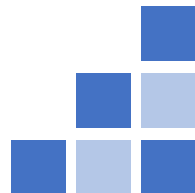
- 流水线技术

- 数据存储格式



RISC与CISC

- 复杂指令集系统CISC (Complex Instruction Set Computer)
- 精简指令集系统RISC (Reduced Instruction Set Computer)
- 早期的计算机部件非常昂贵，主频低，运算速度慢。为了提高运算速度，人们不得不将越来越多的复杂指令加入到指令系统中，以提高计算机的处理效率，这就逐渐形成了复杂指令集计算机体系
- Intel公司的X86系列CPU是典型的CISC体系的结构，从最初的8086到后来的Pentium系列，每出一代新的CPU，都会有自己新的指令，而为了兼容以前CPU平台上的软件，旧的CPU的指令集又必须保留，这就使指令的解码系统越来越复杂

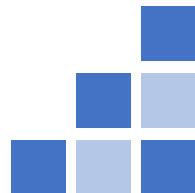


- 好处

- 可以有效减少编译代码中指令的数目，使取指令操作所需要的内存访问数量达到最小化
- 可以简化编译器结构，它在处理器指令集中包含了类似于程序设计语言结构的复杂指令

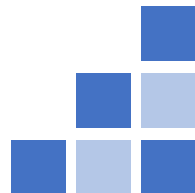
- 问题

- 指令的2 / 8规律
- VLSI 制造工艺要求 CPU 控制逻辑的规整性
- 软硬件的功能划分



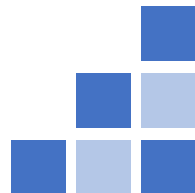
RISC

- 1975年IBM公司开始研究指令系统的合理性问题，IBM公司的John eocke提出精简指令系统的想法，并于1979年研制出一种用于电话交换系统的32位小型计算机IBM801，它有120条指令，工作速度为10MIPS，这是世界是第一台采用RISC思想的计算机
- 1979年，美国加州伯克利大学的David Patterson开展了RISC的研究工作，1980年Patterson和Ditzel完成了一篇题为“精简指令集计算机概述”的开创性论文，全面提出了精简指令集的设计思想



- 随后，伯克利大学的研究生依照此理论基础，设计出了 第一颗精简指令集处理器 RISC I，这颗处理器远比当时已经相当流行的 CISC 处理器简单的多，在设计上所花费 的功夫也降低许多，但整体功能上的表现却与 CISC 处理器不相上下
- 在此基础上，又研制成功了 RISC II 机
- 后来斯坦福大学成功研制了MIPS机，这些都为RISC的诞生与发展起了很大作用
- 从此处理器设计方向便分别向着 CISC和RISC 这两大方向发展

- 实际上1980 年以来，所有新的处理器体系结构都或多或少地采用了RISC概念，甚至有些典型的CISC处理机中也采用了些RISC设计思想，比如 Intel的80486、Pentium 系列等
- 而RISC 思想最成功也是第一个商业化的实例就是ARM，当然，它也放弃了一些RISC特征而保留了一些CISC特征

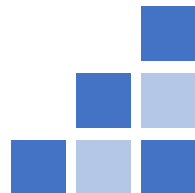


RISC

- 1983年以后，一些中、小型公司开始推出RISC产品，由于它具有高性价比，市场占有率不断提高
- 1987年SUN微系统公司用SPARC芯片构成工作站，从而使其工作站的销售量居于世界首位
- 当前一些大公司，如IBM、DEC、Intel和Motorola等都将其部分力量转到RISC方面来
- 在CISC市场上占有率最高的Intel公司和Motorola公司也进军RISC领域。IBM公司、Motorola公司和Apple公司联合发展Power PC芯片，HP公司和Intel公司联合开发代号为Merced的微处理器
- RISC已经成为当前计算机发展不可逆转的趋势

- RISC的特点

- RISC的着眼点不是简单地放在简化指令系统上
- 而是通过简化指令系统使计算机的结构更加简单合理，从而提高运算效率



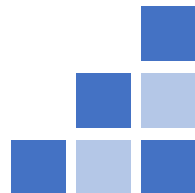
CISC与RISC的区别

| 类别 | CISC | RISC |
|------|---|---|
| 指令系统 | 指令数量很多 | 较少，通常少于100 |
| 执行时间 | 有些指令执行时间很长，如整块的存储器内容复制；或将多个寄存器的内容复制到存储器 | 没有较长执行时间的指令 |
| 编码长度 | 编码长度可变，1~15字节 | 编码长度固定，通常为4个字节 |
| 寻址方式 | 寻址方式多样 | 简单寻址 |
| 操作 | 可以对存储器和寄存器进行算术和逻辑操作 | 只能对寄存器进行算术和逻辑操作， Load / Store 体系结构 |
| 编译 | 难以用优化编译器生成高效的目标代码程序 | 采用优化编译技术，生成高效的目标代码程序 |

CISC与RISC的区别

- 指令集的设计

- RISC构架的指令格式和长度通常是固定的 (如 ARM是32 位的指令)、且指令和寻址方式少而简单、大多数指令在一个周期内就可以执行完毕
- CISC构架下的指令长度通常是可变的、指令类型也很多、一条指令通常要若干周期才可以执行完



CISC与RISC的区别

- 结构设计

- RISC 是一个载入/存储(load/store) 的构架，只有载入和存储指令可以访问存储器
- 数据处理指令只对寄存器的内容进行操作。为了加速程序的运算，RISC会设定多组的寄存器，并且指定特殊用途的寄存器
- CISC 构架则允许 数据处理指令对存储器进行操作，对寄存器的要求相对不高

CISC与RISC的区别

- 案例：乘法运算 $a^*=b$

CISC架构

MUL ADDRA, ADDR B

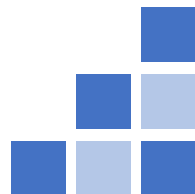
CPU硬件逻辑实现

RISC架构

**MOV A, ADDRA;
MOV B, ADDR B;
MUL A, B;
STR ADDRA, A**

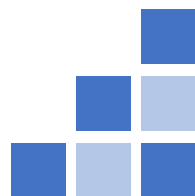
软件指定操作步骤

- 微处理器体系结构
 - 存储器结构
 - 指令集结构
 - 流水线技术
 - 数据存储格式



流水线技术

- 流水线技术是将一个重复的时序分解成若干个子过程，而每一个子过程都可有效地在其专用功能段上与其他子过程同时执行
- 流水线技术应用于计算机系统结构的各个方面

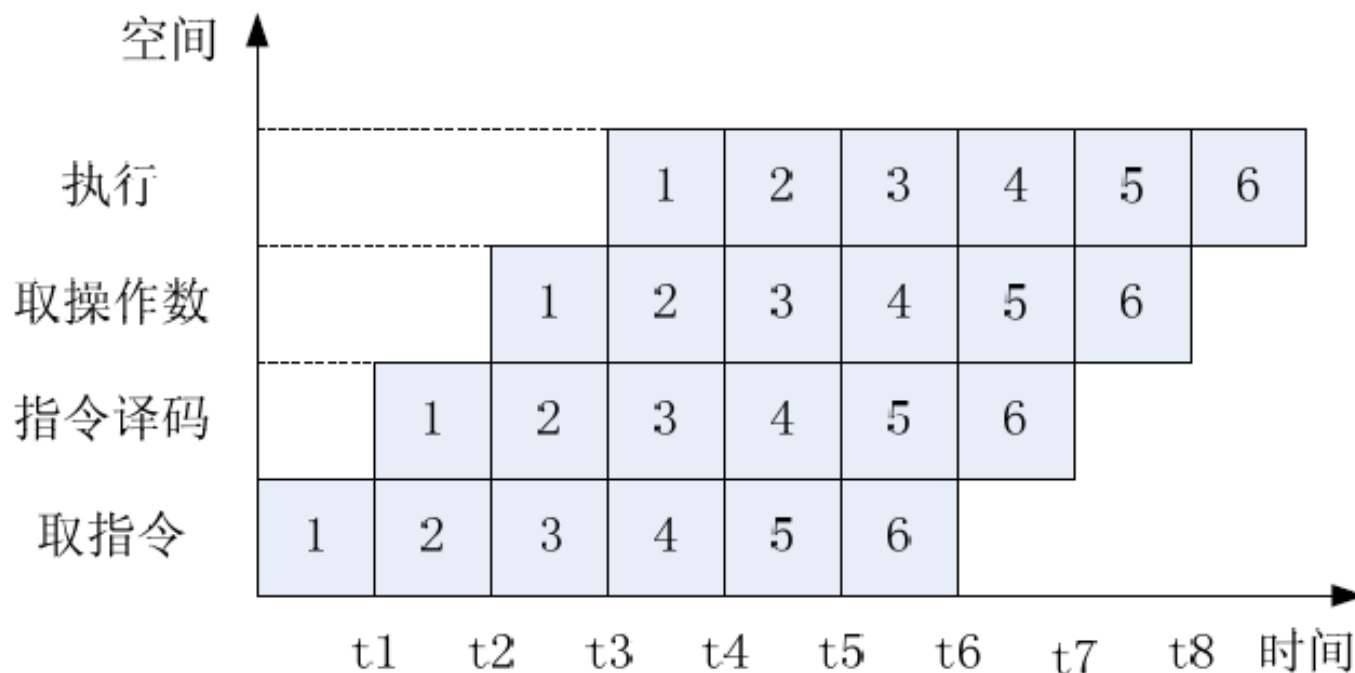


流水线技术

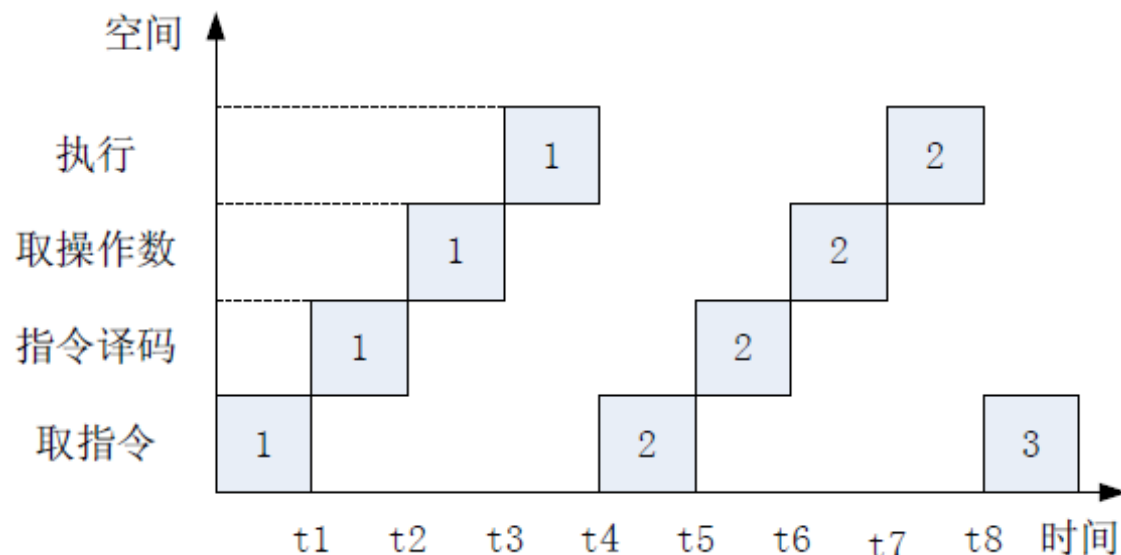
- 以指令的执行过程为例介绍流水线技术
- 早期指令的执行是**顺序方式**
 - 当前指令执行完毕后才开始读取后续指令
 - 控制简单，且比较直观
 - 时间安排上不能充分利用各部件
- 为了提高工作速度，现在的数字计算机都在不同程度上采取**重叠处理方式**，重叠的程度取决于存储体与运算部件的多少及控制指令部件的工作方式

流水线技术

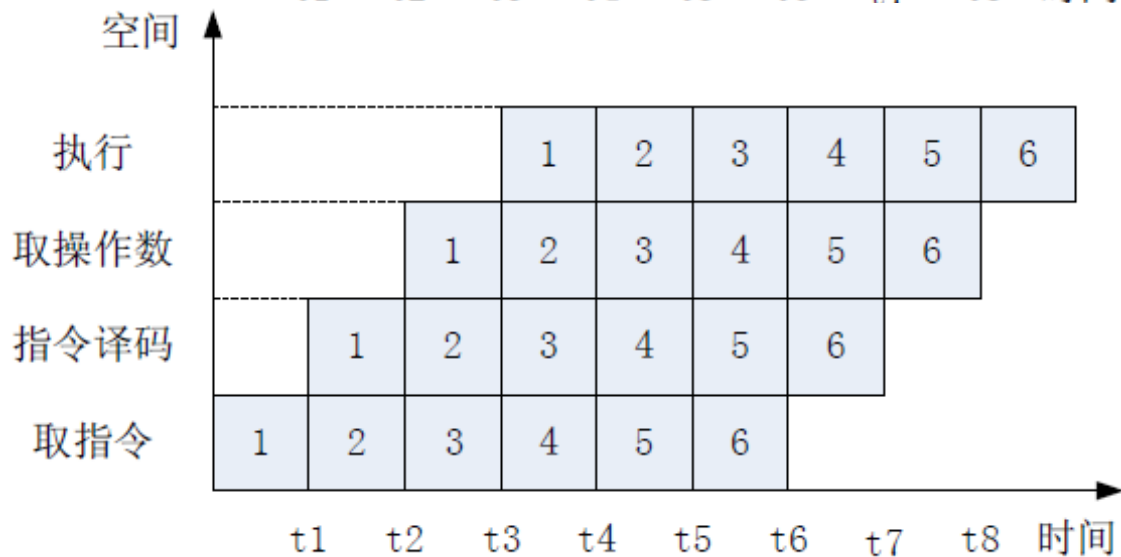
- 把指令的执行过程细分为取指令、指令译码、取操作数和执行4个子过程，并改进运算器的结构以加快其执行子过程，就可以实现流水处理



流水线技术



顺序执行



流水线作业

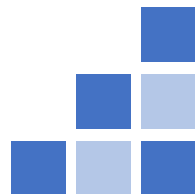
流水线技术

- 指令流水线的思想
 - 将一条指令分解成一连串执行的子过程
 - 在CPU中把一条指令的串行执行子过程，变为若干条指令的子过程的重叠执行

- 指令流水线的效率分析：

假设一条指令原来的执行时间为 T ，如果能做到每条指令均分解为 m 个子过程，且每个子过程的执行时间都一样，则利用此条流水线指令的执行时间：

$$T' = T/m$$



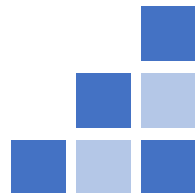
- 微处理器体系结构

- 存储器结构

- 指令集结构

- 流水线技术

- 数据存储格式



数据存储格式

• 06/07/09 表示日期，具体是什么？

中国

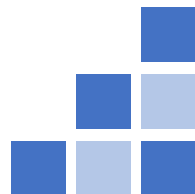
- 2006年7月9日

美国

- 2009年6月7日

世界大部分地区

- 2009年7月6日



数据存储格式

- 内存中的数据

| | |
|--------|----|
| 0x8003 | 78 |
| 0x8002 | 56 |
| 0x8001 | 34 |
| 0x8000 | 12 |

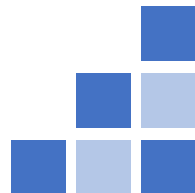
78563412

?

12345678

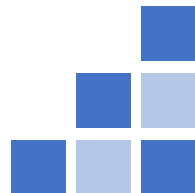
数据存储格式

- 信息存储的字节顺序
 - （微观上）：内存地址
- 数据格式的字节顺序
 - （宏观上）：日期



信息存储的字节顺序

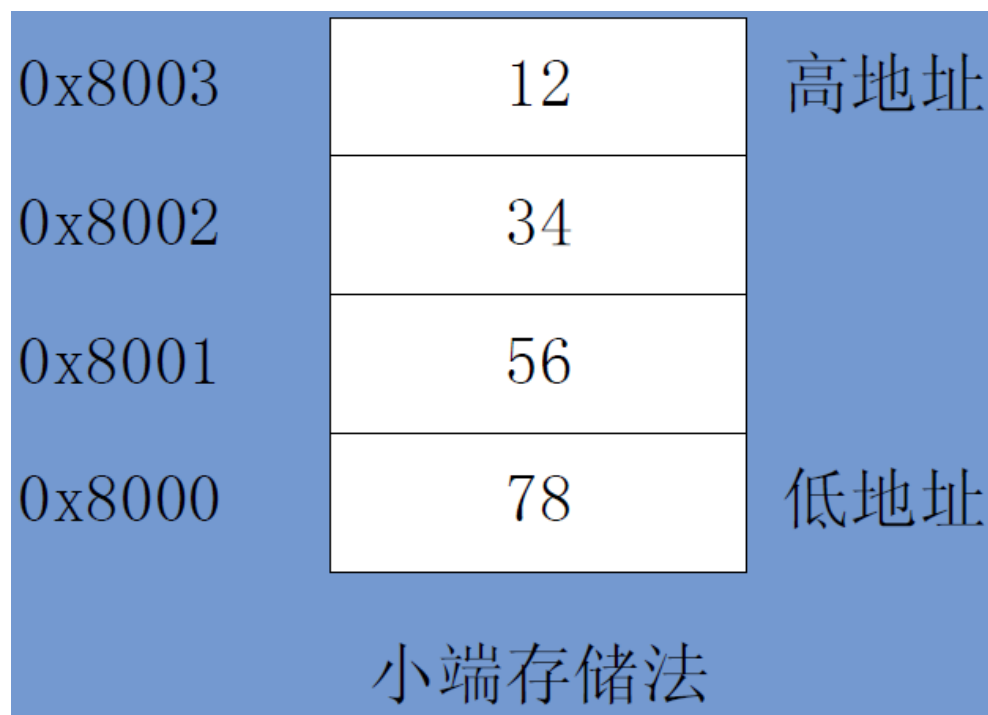
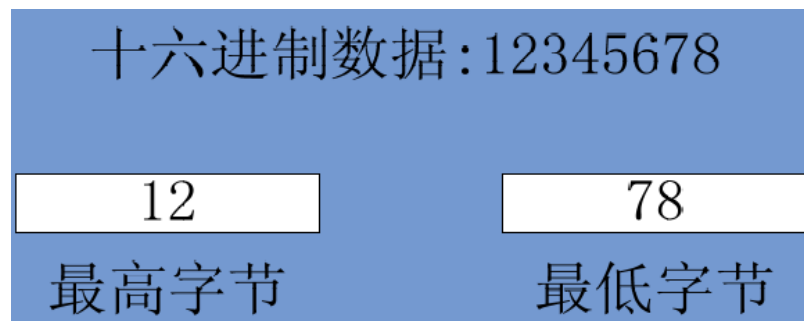
- 多字节类型的数据，在存储器中有两种存放方法/模式：
 - 小端 (little endian) 模式
 - 大端 (big endian) 模式
- 《格列夫游记》中的小人国



信息存储的字节顺序

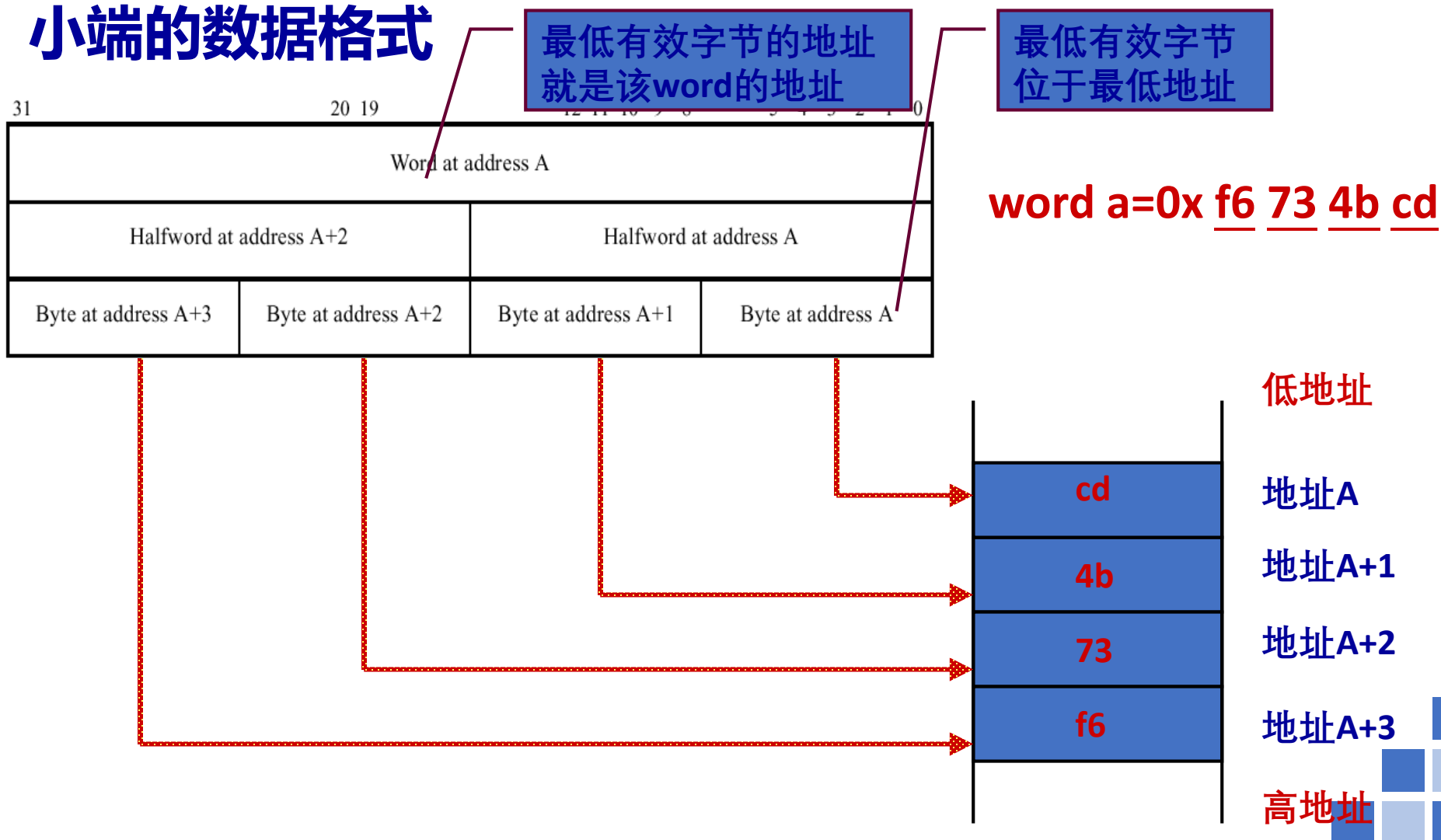
- 小端模式

- 低字节数据存放在内存低地址处（低—低）
- 高字节数据存放在内存高地址处（高—高）



信息存储的字节顺序

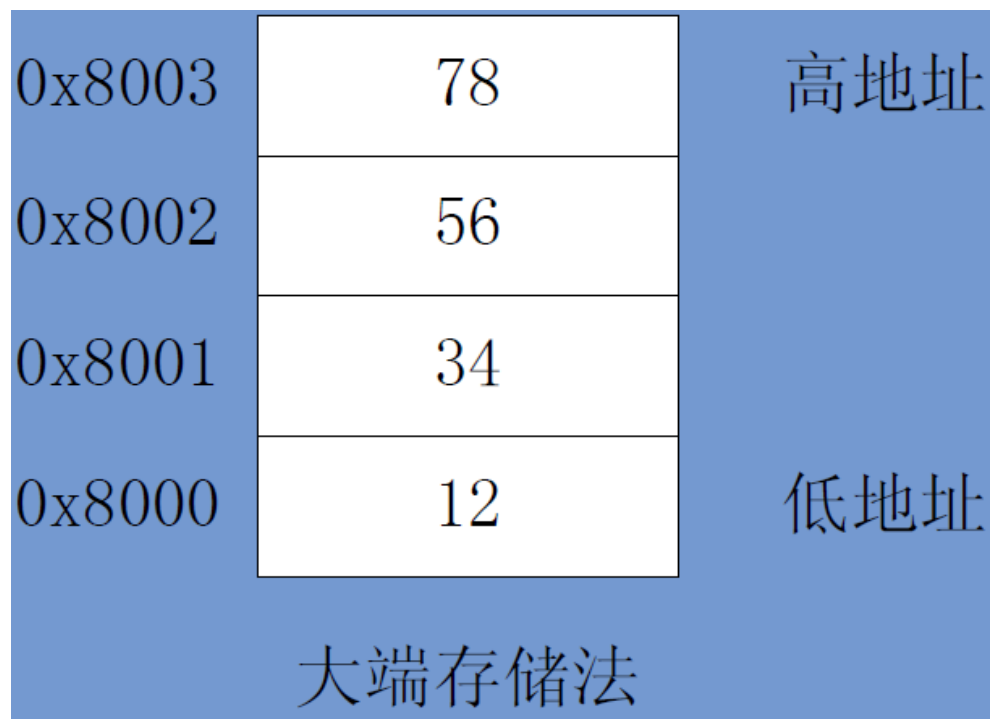
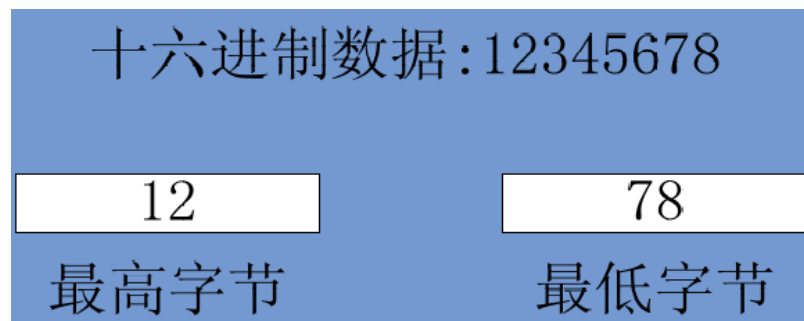
小端的数据格式



信息存储的字节顺序

- 大端模式

- 高字节数据存放在内存低地址处（高一低）
- 低字节数据存放在内存高地址处（低一高）



信息存储的字节顺序

大端的数据存放格式

word a=0x f6 73 4b cd

低地址

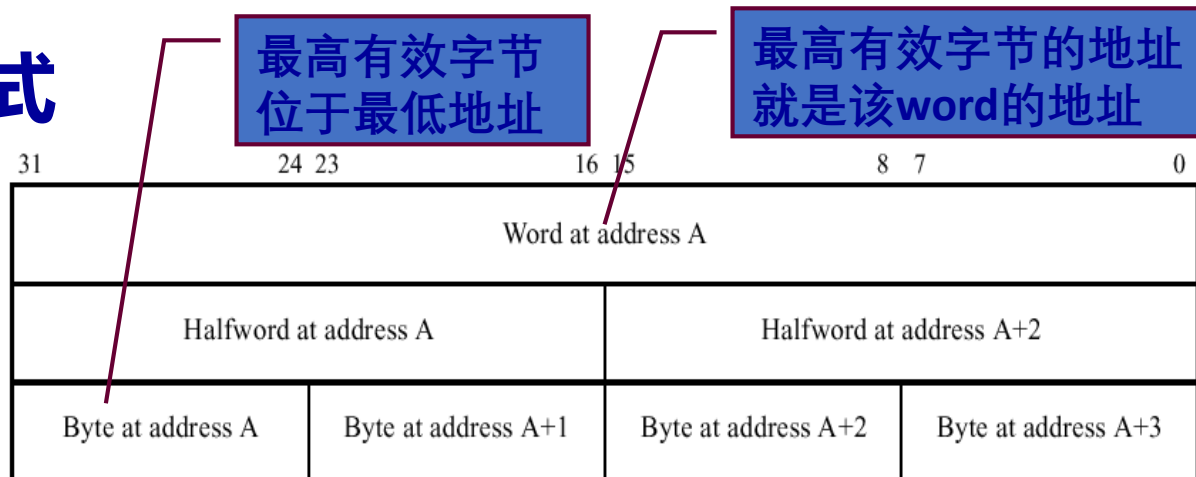
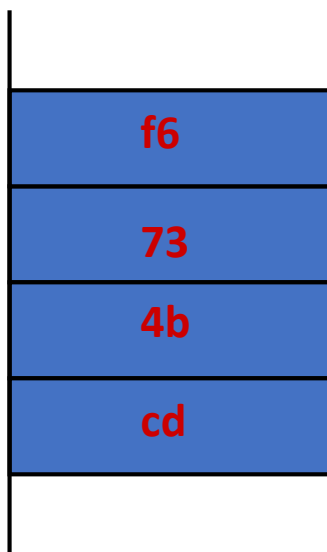
地址A

地址A+1

地址A+2

地址A+3

高地址

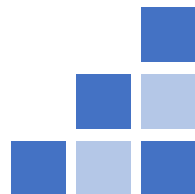


最高有效字节
位于最低地址

最高有效字节的地址
就是该word的地址

信息存储的字节顺序

- 大端/小端：只是立场和习惯
- Intel公司X86平台的微处理器都采用小端存储法
- IBM、Motorola和Sun Microsystems公司的大多数微处理器采用大端存储法
- 此外，还有一些微处理器，如ARM、MIPS和Motorola的PowerPC等，可以通过芯片上电启动时确定的字节顺序规则，来选择存储模式
- 在C语言中，默认是小端（但一些单片机实现却是大端，比如Keil C51）
- Java是平台无关的，默认是大端
- 在网络上传输数据普遍采用的都是大端



数据格式的字节顺序

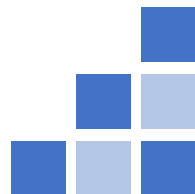
典型例子：日期表示

2008年10月14日

| 国家/地区 | 日期格式 | 表示形式 | 表示类型 |
|-------------------------------------|-------|-------------------|-------|
| 中国、日本和 ISO 8601标准 | 年-月-日 | 2008-10-14 | 大端表示法 |
| 世界大部分国家，包 括除瑞典、拉脱维亚 和匈牙利之外的欧洲 | 日-月-年 | 14-10-2008 | 小端表示法 |
| 美国和其他一些国家 | 月-日-年 | 10-14-2008 | 中间表示法 |

主要内容

- 微处理器体系结构
- 嵌入式微处理器的发展
- 嵌入式微处理器的特点
- 主流嵌入式处理器介绍

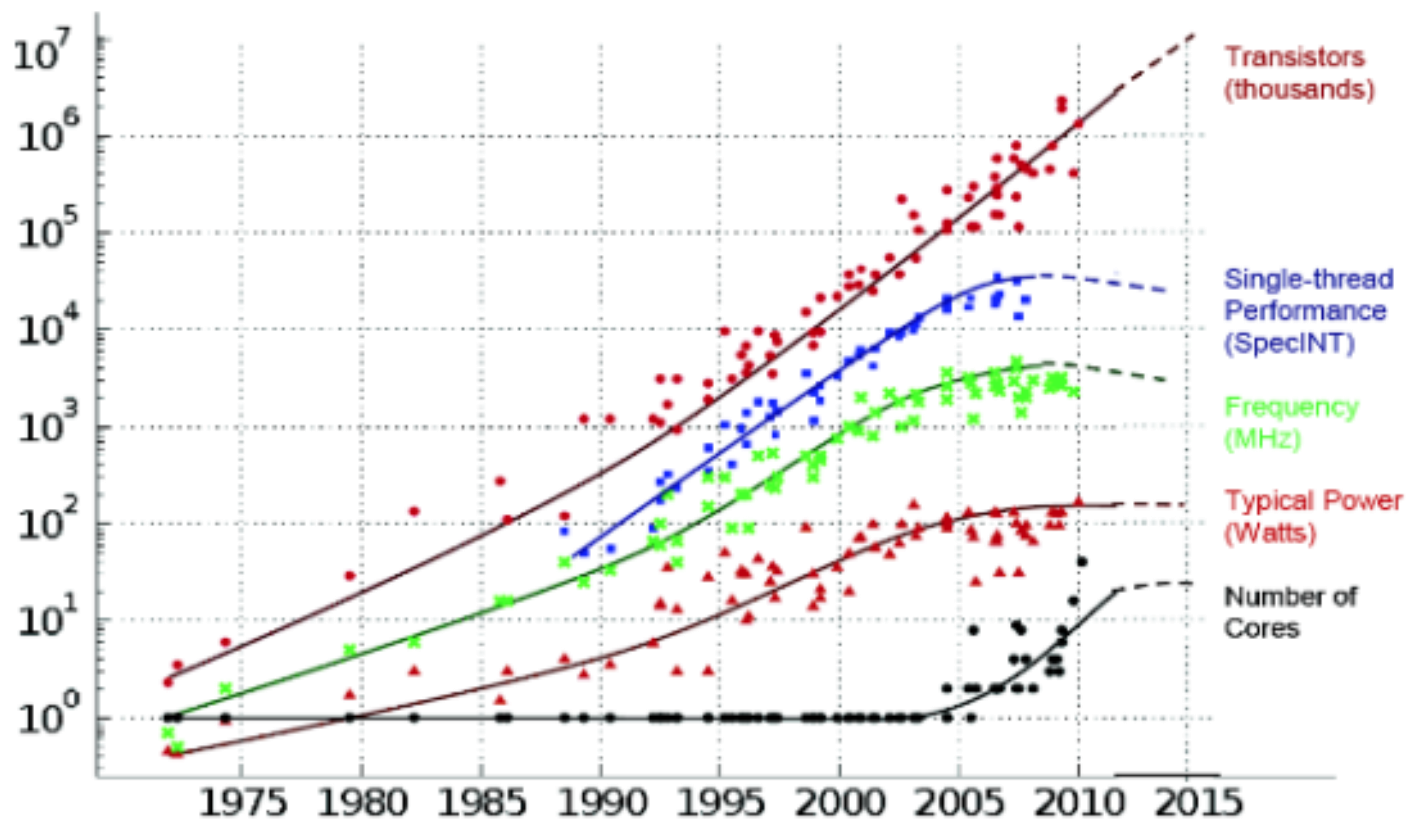


嵌入式微处理器的发展

| | 20世纪80年代 中后期 | 20世纪90年代 初期 | 20世纪90年代 中后期 | 21世纪 初期 |
|-------|-----------------------|-------------------------|--------------------------|---------------------------|
| 制作工艺 | 1 - 0.8 μm | 0.8 - 0.5 μm | 0.5 - 0.35 μm | 0.25 - 0.13 μm |
| 主频 | < 33 MHz | <100 MHz | <200 MHz | < 600 MHz |
| 晶体管个数 | > 500K | >2M | >5M | >22M |
| 位数 | 8/16bit | 8/16/32bit | 8/16/32bit | 8/16/32/64bit |

嵌入式微处理器的发展

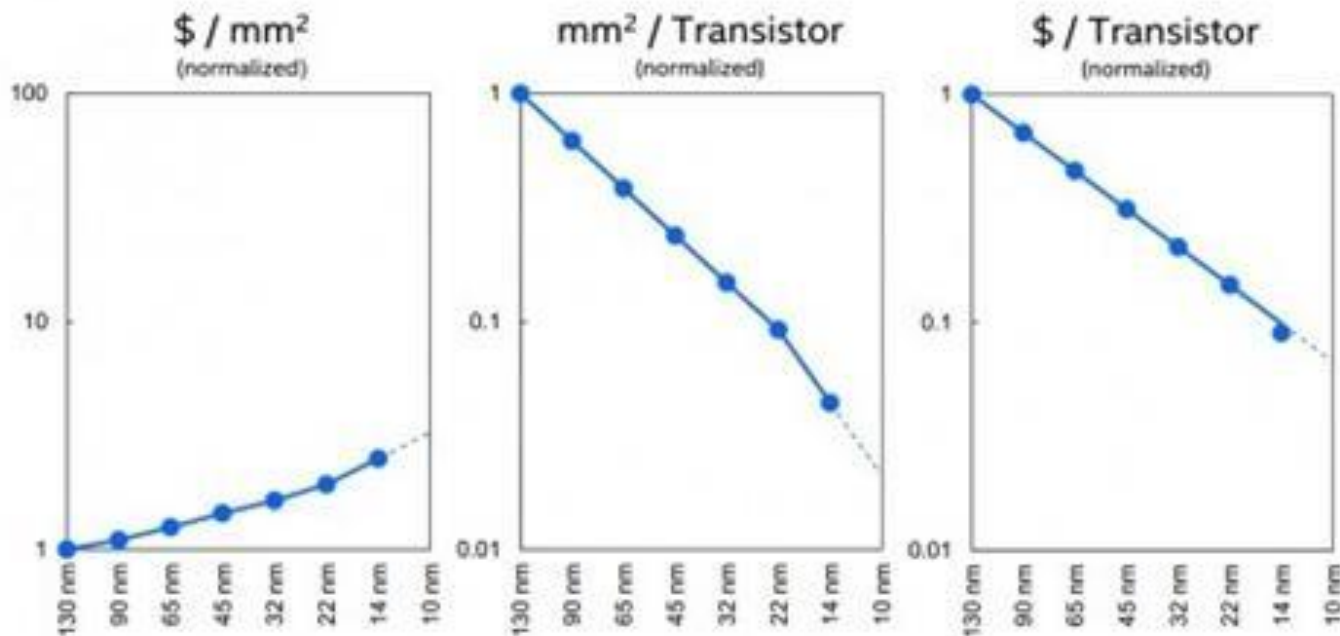
35 YEARS OF MICROPROCESSOR TREND DATA



Original data collected and plotted by M. Horowitz, F. Labonte, O. Shacham, K. Olukotun, L. Hammond and C. Batten
Dotted line extrapolations by C. Moore

嵌入式微处理器的发展

(EP1) Moore's Law Challenges Below 10nm: Technology, Design and Economic Implications



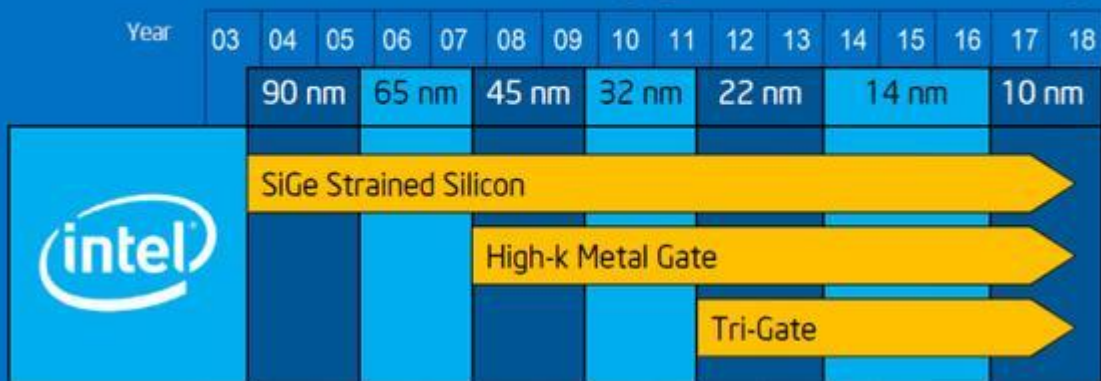
Scaling continues to provide lower cost per transistor
Cost reduction is needed to justify new technology generations



嵌入式微处理器的发展

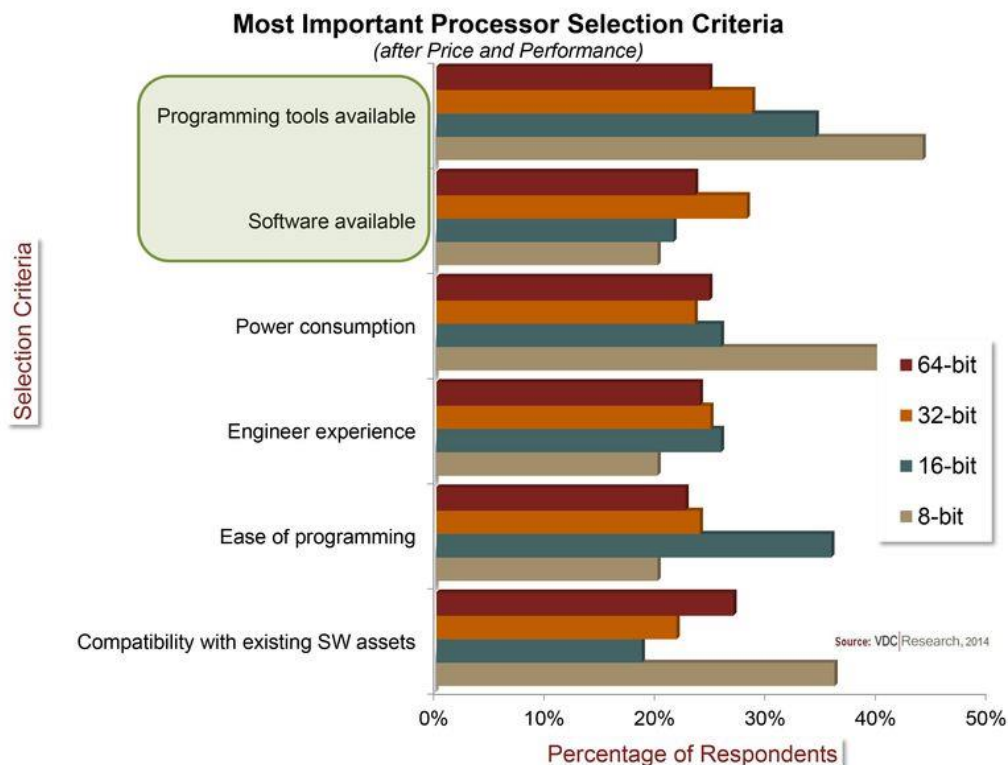
| | 高通 骁龙820 | 联发科 Helio X25 | 海思 麒麟955 | 三星 Exynos 8890 | 苹果 A9 |
|--------|--------------|------------------|-------------------|-----------------------|-------------------|
| 制造工艺 | 14nm | 20nm | 16nm | 14nm | 14nm/16nm |
| CPU核心数 | 4核心 | 10核心 (2+4+4) | 8核心 (4+4) | 8核心 (4+4) | 2核心 |
| CPU | 自主架构 Kryo | ARM公版 A72+A53 | ARM公版 A72+A53 | 自主+公版 Mongoose+A53 | 自主架构 Twister |
| GPU | Adreno 530 | Mali-T880 MP4 | Mali-T880 MP4 | Mali-T880 MP12 | PowerVR GT7600 |
| RAM | LPDDR4 | LPDDR3 | LPDDR3和 LPDDR4 | LPDDR4 | LPDDR4 |
| LTE | Cat12/13 | Cat6 | Cat6 | Cat12/13 | Cat6(外挂) |

Intel Technology Leadership



嵌入式微处理器的分类

- 嵌入式微处理器种类繁多，按位数可分为4位、8位、16位、32位和64位

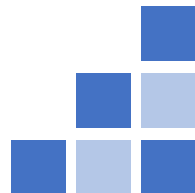


嵌入式微处理器的分类

- 按用途来分，嵌入式微处理器可分为嵌入式DSP和通用的嵌入式微处理器两种：
 - 嵌入式DSP：专用于数字信号处理，采用哈佛结构，程序和数据分开存储，采用一系列措施保证数字信号的处理速度，如对FFT（快速傅立叶变换）的专门优化
 - 通用的嵌入式微处理器：一般是集成了通用微处理器的核、总线、外围接口和设备的SOC芯片，有些还将DSP作为协处理器集成

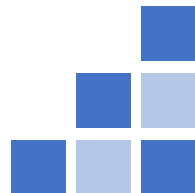
主要内容

- 嵌入式微处理器体系结构
- 嵌入式微处理器的发展
- 嵌入式微处理器的特点
- 主流嵌入式处理器介绍



嵌入式微处理器的特点

- 基础是通用微处理器
- 与通用微处理器相比的区别：
 - 体积小、重量轻、成本低、可靠性高
 - 功耗低
 - 工作温度、抗电磁干扰、可靠性等方面增强



嵌入式微处理器的特点

集成度

体系结构

指令集

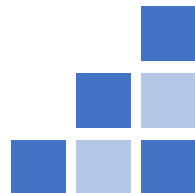
性能

功耗和管理

成本

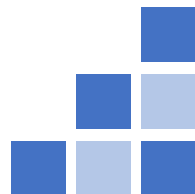
嵌入式微处理器的集成度

- 用于桌面和服务器的微处理器的芯片内部通常只包括CPU核心、Cache、MMU、总线接口等部分，其他附加的功能如外部接口、系统总线、外部总线和外部设备独立在其他芯片和电路内。
- 嵌入式微处理器除了集成CPU核心、Cache、MMU、总线等部分外，还集成了各种外部接口和设备，如中断控制器、DMA、定时器、UART等。符合嵌入式系统的低成本和低功耗需求，一块单一的集成了大多数需要的功能块的芯片价格更低，功耗更少



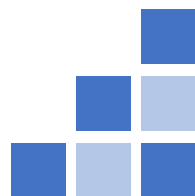
嵌入式微处理器的集成度

- 嵌入式微处理器是面向应用的，其片内所包含的组件的数目和种类是由它的市场定位决定的
- 在最普通的情况下，嵌入式微处理器包括：
 - 片内存储器：部分嵌入式微处理器
 - 外部存储器的控制器，外设接口(串口，并口)
 - LCD控制器：面向终端类应用的嵌入式微处理器
 - 中断控制器，DMA控制器，协处理器
 - 定时器，A/D、D/A转换器
 - 多媒体加速器：当高级图形功能需要时
 - 总线
 - 其他标准接口或外设



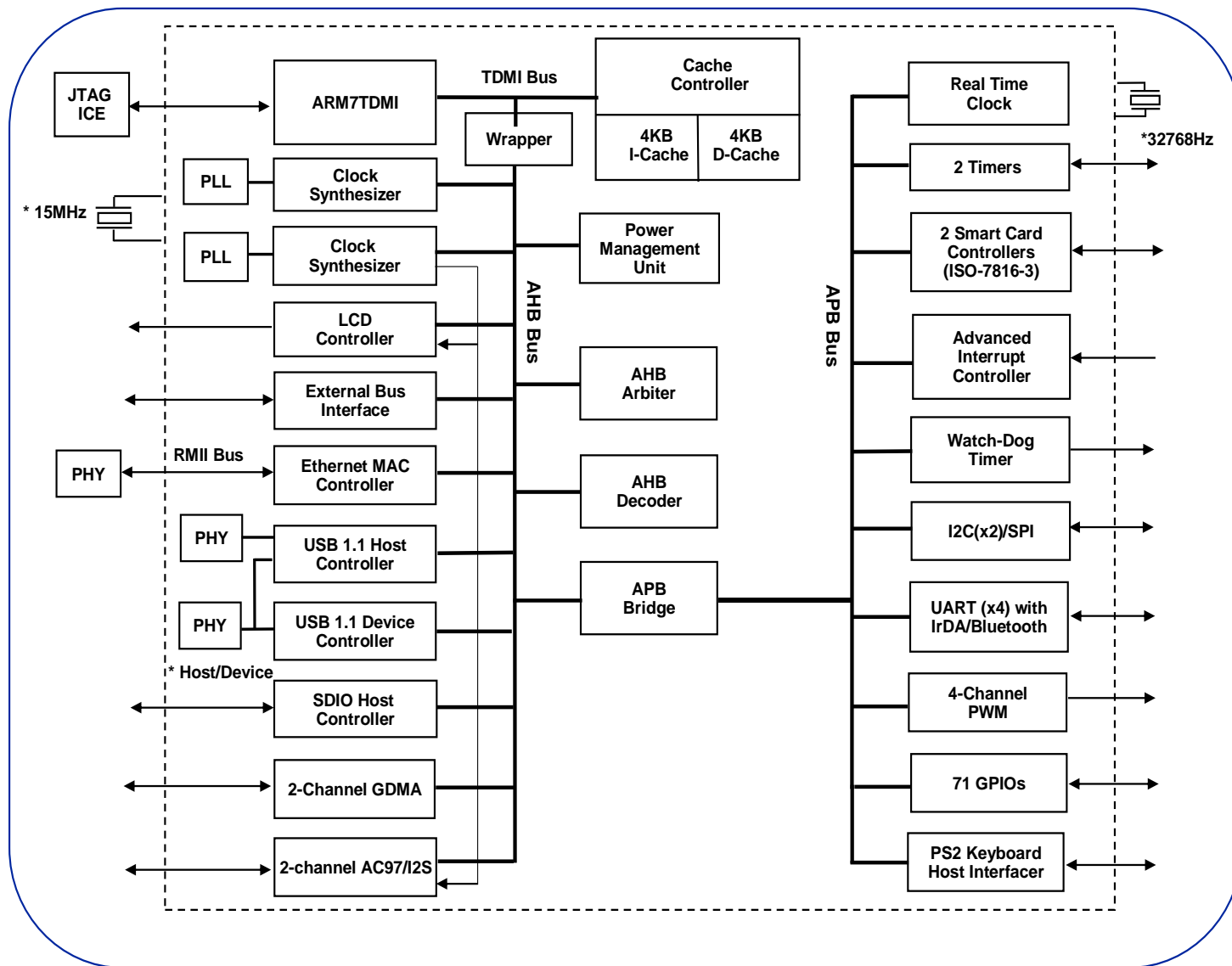
嵌入式微处理器的集成度

- 单芯片方式 (Single Chip)
- 芯片组方式 (Chip Set) : 由微处理器主芯片和一些从芯片组成



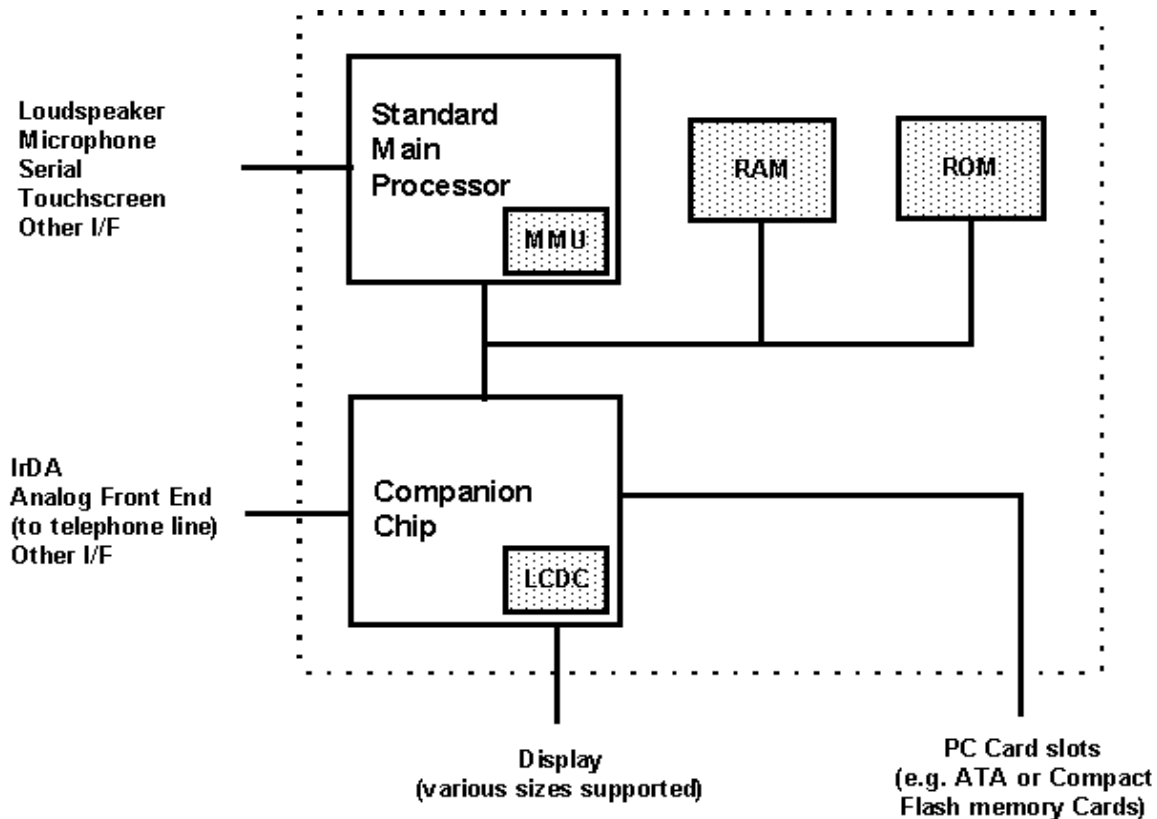
嵌入式微处理器的集成度

单芯片方式： 华邦 W90P710 芯片的内部结构



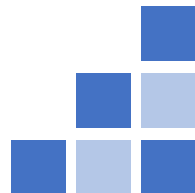
嵌入式微处理器的集成度

芯片组方式： 两芯片组的手 持PC方案



嵌入式微处理器的体系结构

- 算术格式 (Arithmetic Format)
 - 由于低成本和低功耗的限制，大多数的嵌入式微处理器使用定点运算 (fixed-point arithmetic)，即数值被表示为整数或在 - 1.0和 + 1.0之间的分数，比数值表示为尾数和指数的浮点版本的芯片便宜。
 - 当嵌入式系统中需要使用浮点运算时，可采用软件模拟的方式实现浮点运算，只不过这样要占用更多的处理器时间
- 功能单元 (Functional Units)
 - 通常包括不止一个的功能单元，典型的是包含一个ALU、移位器和MAC，处理器通常用一条指令完成乘法操作
- 流水线 (Pipeline)
 - 通常采用单周期执行指令，可能导致比较长的流水线



嵌入式微处理器的指令集

- 为满足应用领域的需要，嵌入式微处理器的指令集一般要针对特定领域的应用进行**剪裁和扩充**
- 目前很多应用系统需要类似于DSP的数字处理功能。这些指令主要有：
 - 乘加(MAC)操作：它在一个周期中执行了一次乘法运算和一次加法运算。
 - SIMD类操作：允许使用一条指令进行多个并行数据流的计算。
 - 零开销的循环指令：采用硬件方式减少了循环的开销。仅使用两条指令实现一个循环，一条是循环的开始并提供循环次数，另一条是循环体。
 - 多媒体加速指令：像素处理、多边形、3D操作等指令。

嵌入式微处理器的性能

- 低端（低价，低性能）
 - 一般低端嵌入式微处理器的性能最多达到50MIPS，应用在对性能要求不高但对价格和功耗有严格要求的应用系统中
- 中档，低功耗
 - 中档的嵌入式微处理器可达到较好的性能（如150MIPS以上），采用增加时钟频率、加深流水深度、增加Cache及一些额外的功能块来提高性能，并保持低功耗
- 高端

嵌入式微处理器的性能

- 高端嵌入式微处理器用于高强度计算的应用，使用不同的方法来达到更高的并行度
 - 单指令执行乘法操作：通过加入额外的功能单元和扩展指令集，使许多操作能在一个单一的周期内并行执行。
 - 每个周期执行多条指令：桌面和服务器的超标量处理器都支持单周期多条指令执行，在嵌入式领域通常使用VLIW(very large instruction word)来实现，这样只需较少的硬件，总体价格会更低些。例如TI的TMS320C6201芯片，通过使用VLIW方法，能在每个周期同时执行8条独立的32位指令
 - 使用多处理器：采用多处理器的方式满足应用系统的更高要求。一些嵌入式微处理器采用特殊的硬件支持多处理器。如TI的OMAP730包括了三个处理器核ARM9、ARM7、DSP

嵌入式微处理器的功耗管理

- 大多数嵌入式系统有功耗的限制（特别是电池供电的系统），它们不支持使用风扇和其他冷却设备。
 - 降低工作电压：1.8v、1.2v甚至更低，而且这个数值一直在下降
 - 提供不同的时钟频率：通过软件设置不同的时钟分频
 - 关闭暂时不使用的功能块：如果某功能块在一个周期内不使用，就可以被完全关闭，以节约能量

嵌入式微处理器的功耗管理

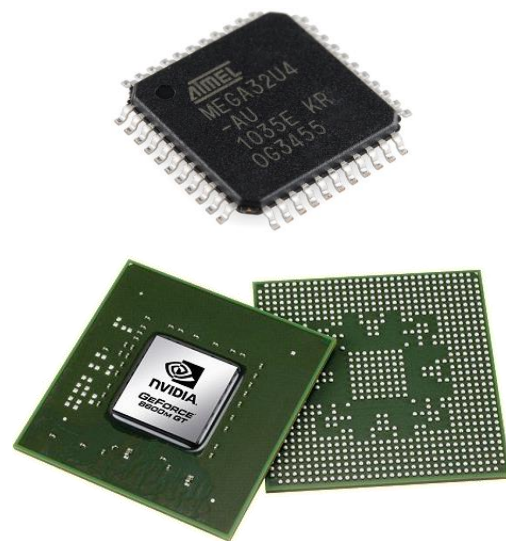
- 提供功耗管理机制

- 运行模式（Running Mode）：处理器处于全速运行状态下。
- 待命模式（Standby Mode）：处理器不执行指令，所有存储的信息是可用的，处理器能在几个周期内返回运行模式。
- 时钟关闭模式（clock-off mode）：时钟完全停止，要退出这个模式系统需要重新启动。

- 影响功耗的其他因素还有总线（特别是总线转换器，可以采用特殊的技术使它的功耗最小）和存储器的大小（如果使用DRAM，它需要不断的刷新）。为了使功耗最小，总线和存储器要保持在应用系统可接受的最小规模

嵌入式微处理器的成本

- 为降低价格，需要在嵌入式微处理器的设计中考考虑不同的折衷方案。
- 处理器的价格受如下因素影响：
 - 处理器的特点：功能块的数目、总线类型等
 - 片上存储器的大小
 - 芯片的引脚数和封装形式：如PQFP(Plastic Quad Flat Package)通常比BGA(Ball Grid Array Package)便宜
 - 芯片大小（die size）：取决于制造的工艺水平

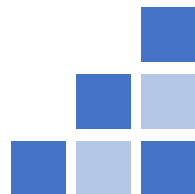


嵌入式微处理器的成本

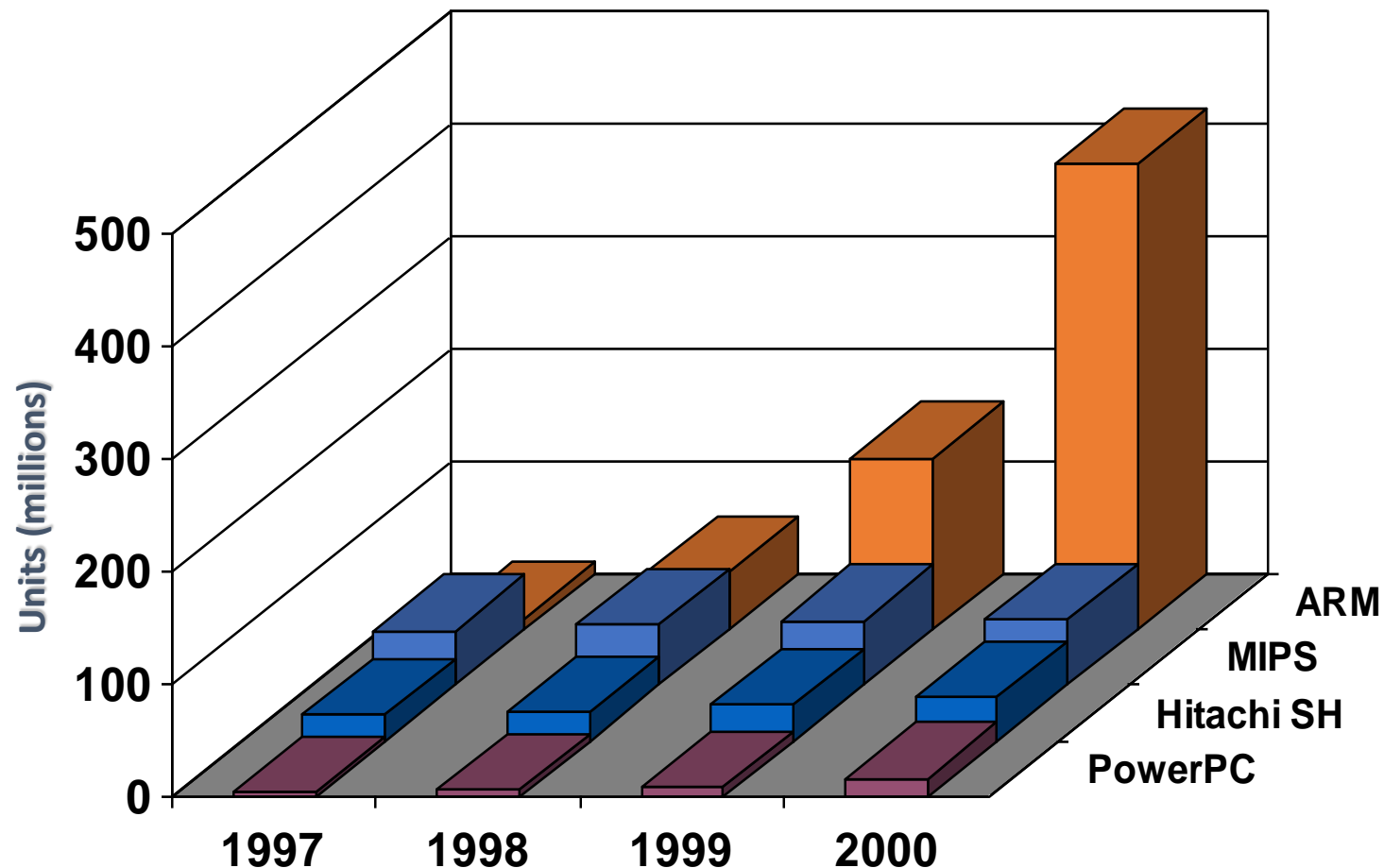
- 代码密度（code density）：代码存储器的大小将影响价格，不同种类的处理器有不同的代码密度
 - CISC芯片代码密度高，但结构复杂，其额外的控制逻辑单元使价格变得很高
 - RISC芯片拥有简单的结构，代码密度低，因为其指令集简单
 - VLIW代码密度最低，因为它的指令字倾向于采用多字节

主流的嵌入式微处理器

- 目前主流的嵌入式微处理器系列主要有ARM系列、MIPS系列、PowerPC系列、Super H系列和X86系列等
- 属于这些系列的嵌入式微处理器产品很多，有上千种以上



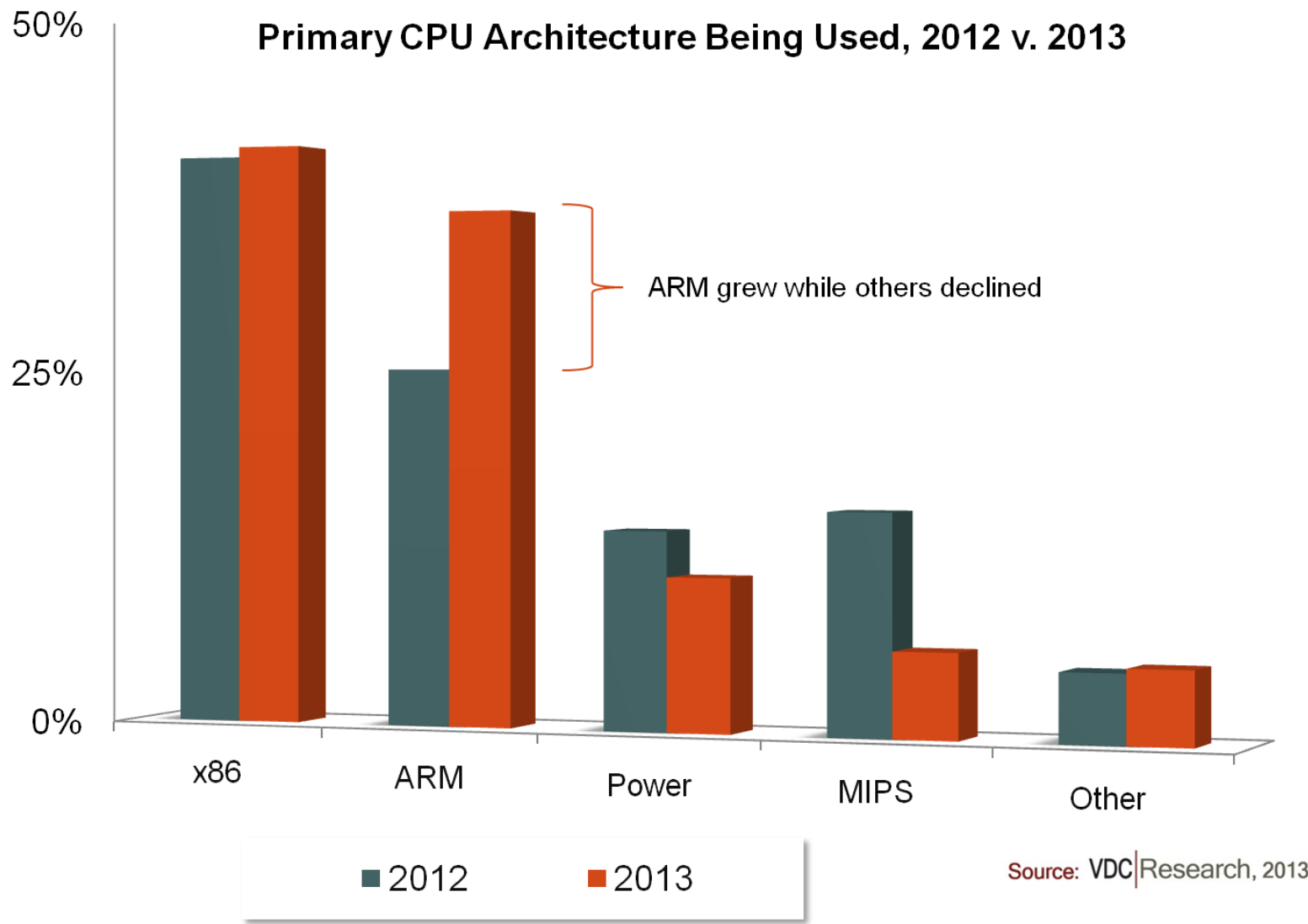
主流的嵌入式微处理器



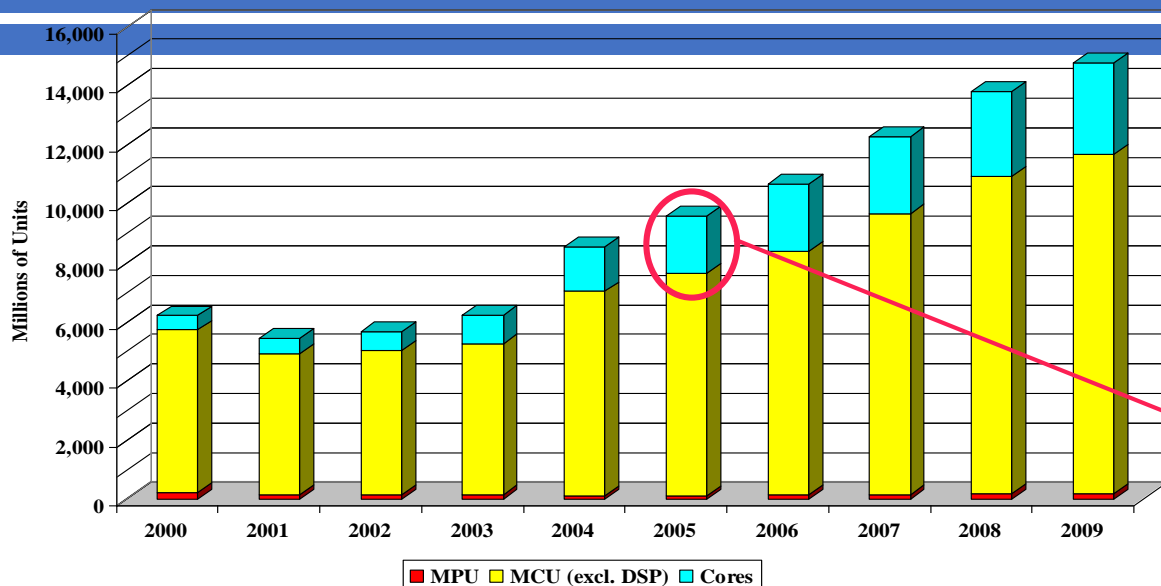
Source: Andrew Allison, Inside The New Computer Industry, January 2001

Embedded RISC Processor Shipments

主流的嵌入式微处理器



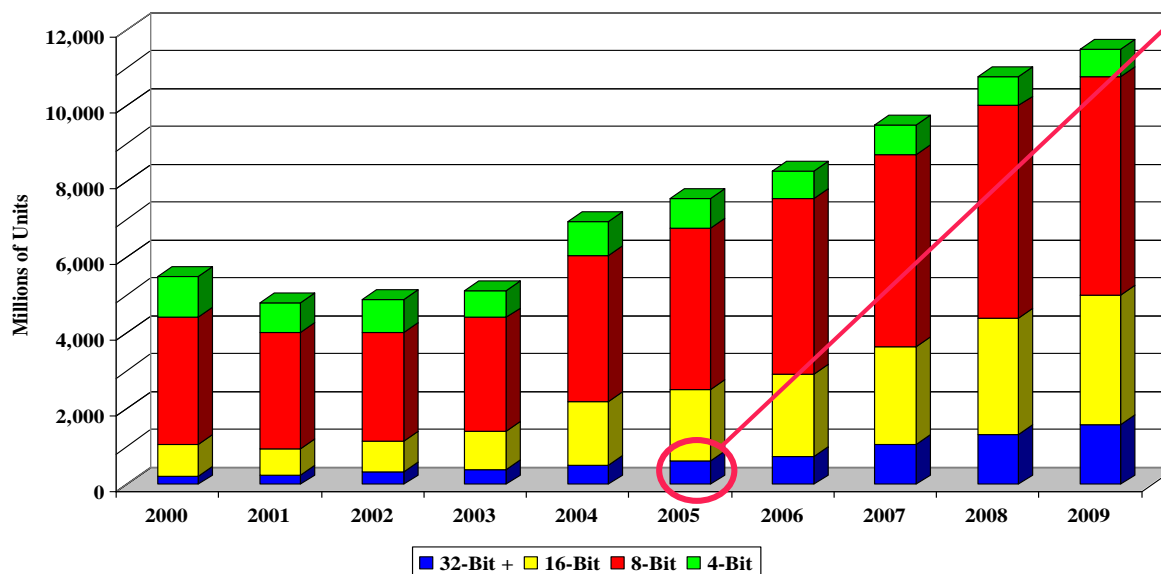
32位浪潮的到来



Total Embedded Control Market Shipments by Type

总共约26亿个32位处理器付运，占总数96亿的27%

2005年ARM为17亿个，约占32位总量的70%左右

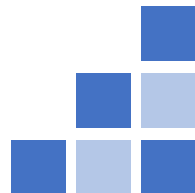


Total MCU, by Sub-Category (excl. DSP)

Source: Semico Research Corp. and SIA/WSTS

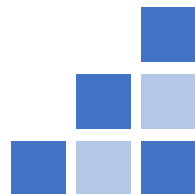
主要内容

- 嵌入式微处理器体系结构
- 嵌入式微处理器的发展
- 嵌入式微处理器的特点
- 主流嵌入式处理器介绍



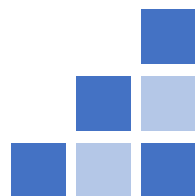
• 主流嵌入式处理器介绍

- X86
- PowerPC
- MIPS
- ARM
- TI DSP
- 龙芯



X86系列

- 主要由AMD , Intel , NS , ST等公司提供 ,
如 : Am186/88、 Elan520、 嵌入式K6 ,
386EX、 STPC等
- 主要应用在工业控制、 通信等领域
- 国内由于对X86体系比较熟悉 , 得到广泛应用 , 特别是嵌入式PC的应用非常广泛



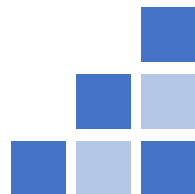
PowerPC系列

- 1991年，Apple公司、Motorola公司和IBM公司的研发人员在一起，以之前的Power架构作为出发点，定义一个新的架构——PowerPC
- Motorola推出的MPC系列，如MPC8XX
- IBM推出PPC系列，如PPC4XX
- 主要应用在通信、消费电子及工业控制、军用装备等领域



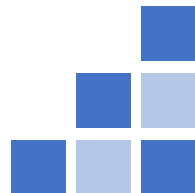
PowerPC系列

- PowerPC的特点：
 - 属于精简指令集计算机系统(RISC)
 - 64位架构，允许地址空间和定点数计算扩充到64位，而且支持64位模式和32位模式之间的动态切换
 - 在32位模式下，64位PowerPC CPU可以执行为32位PowerPC CPU编译的二进制应用代码
 - 指令集是32位固定长度，提供一套通用寄存器用于定点数的计算和内存地址计算
 - 提供单独一套浮点寄存器用于浮点数据的运算
 - 将程序控制、定点数计算、浮点数计算分开，这样多个功能单元可以并行独立执行不同的指令



PowerPC系列

- Motorola PowerPC产品主要有MPC系列：
- 低端的MPC5xx系列：主频从40MHz到MPC5200 SOC的最高400MHz；
- 嵌入式CPU 系列：MPC7XXX、MPC7XX和MPC6XX：主频是从MPC603E的200Mhz到MPC7447的1.3GHz。
- 集成处理器MPC8XXX：主频从MPC824l的166MHz到MPC8245的466MHz；
- 专用于通信领域的SOC：MPC85XX、MPC82XX和MPC8XX系列等，主频是从MPC860的50MHz到MPC8280的300MHz。
- 高度综合的SOC设备，它结合了PPC微处理器核心的功能、通信处理器和单硅成分内的显示控制器。这个设备可以在大量的电子应用中使用，特别是在低能源、便携式、图象捕捉和个人通信设备



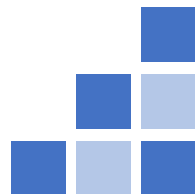
PowerPC系列

- IBM主要的PowerPC产品
 - **4xx**单系统芯片系列：133MHz-800MHz；
 - **7xx**系列高性能嵌入式**CPU**：300MHz-1.1GHz；
 - **9xx**系列超高速**CPU**：970CPU的主频最高达到2GHz
- 集成10/100Mbps以太网控制器、串行和并行端口、内存控制器以及其它外设的高性能嵌入式处理器
- 曾广泛用于Apple的桌上型电脑（2006年Apple转投Intel CPU）



MIPS系列

- MIPS是世界上很流行的一种RISC处理器
- MIPS的意思是“无互锁流水级的微处理器” (Microprocessor without interlocked piped stages)
- 其机制是尽量利用软件办法避免流水线中的数据相关问题
- MIPS处理器是由斯坦福 (Stanford) 大学John Hennery教授领导的研究小组研制出来的
 - President of Stanford University, USA
 - Computer architecture book use MIPS as foundation

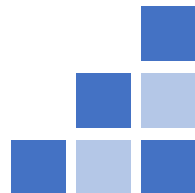


MIPS系列

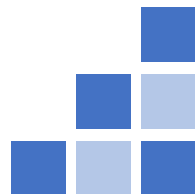
- 1984年MIPS计算机公司成立。
- 1986年推出R2000处理器。
- 1988年推出R3000处理器。
- 1989年 IPO as MIPS Computer Systems, 专注于 workstations
- 1991年推出第一款64位商用微处理器R4000。
- 1992年，SGI收购了MIPS计算机公司之后，该公司又陆续推出R8000（于1994年）、R10000（于1996年）和R12000（于1997年）等型号的处理器
- 1998年，MIPS脱离SGI成为MIPS Technologies之后IPO，其战略发生变化，把重点放在了嵌入式系统上

MIPS系列

- 1999年，MIPS公司发布MIPS 32和MIPS 64架构标准，为未来MIPS处理器的开发奠定了基础。新的架构集成了所有原来的MIPS指令集，并且增加了许多更强大的功能
- MIPS公司早期既开发MIPS处理器结构、进行授权，同时还自己生产基于MIPS的32位 / 64位芯片；后期变位纯授权模式



- MIPS的系统结构及设计理念比较先进，强调软 / 硬件协同提供性能，同时简化硬件设计
- 此外，为了使用户更加方便地应用MIPS处理器，MIPS公司推出了一套集成开发工具——MIPS IDF(MIPS Integrated Development Framework)，特别适用于嵌入式系统的开发



MIPS系列

MIPS Technologies Market Leadership MIPS 科技的市场领先地位

- 住宅网关 (Residential Gateways) 50%
- 因特网骨干网 (Internet Backbone) 40%
- 游戏机 (Game Consoles) 76%
- 有线调制解调器 (Cable Modem) 97%
- 交换机 (Switches) 33%
- 路由器 (Routers) 55%
- 数字机顶盒 (Digital STB) 54%
- DSL CPD 52%
- DVD 刻录机 (DVD Recorders) 63%
- (办公自动化) Office Automation 48%
- 彩色激光打印 (Color Laser Printer) 62%
- 商用彩色复印机 (Commercial Color Copiers) 73%



资料来源: Dataquest, IDC, Semico, MIPS.
数值为全球付运量的百分比

(1999年以前, MIPS是世界上使用最多的处理器)

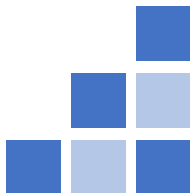
MIPS系列

- 错过了智能手机时代
- 2013年在向ARM、IBM、Intel等公司组成的财团出售了489项专利之后，MIPS已经被另一家英国公司Imagination Tech.收购，收购价仅仅6000万美金
- 2017年Imagination分拆出售给Tallwood Venure Capita
- CPU+GPU所向无敌？
- Apple 收购 MIPS？



Sparc系列

- SPARC (可扩展处理器架构, Scalable Processor ARChitecture)
- 1987年, SUN和TI公司合作开发了RISC微处理器——SPARC
- SPARC微处理器最突出的特点就是它的可扩展性, 这是业界出现的第一款有可扩展性功能的微处理



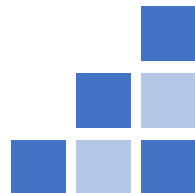
Sparc系列

- SPARC 处理器在Sun 的各类产品中扮演着重要的角色，成为推动Sun 工作站、服务器发展的原动力。
- Ultra SPARC 处理器的诞生奠定了 Sun 在64位高端微处理器市场的领导地位。
- 与其他产品相比，Ultra SPARC 在时钟速度、可扩展性、宽带、二进制兼容性方面具有无与伦比的优势



Sparc系列

- 与传统的处理器体系结构不同，SPARC是开放标准的、可通过SPARC International Inc.的许可免费获取的。任何获得许可的公司都可以制造和出售符合SPARC标准的处理器
- 由于SPARC架构对外完全开放，因此也出现了完全开放源码的LEON 处理器
- 目前可以实际使用的开放源代码处理器有LEON系列与OPENRISC系列两种

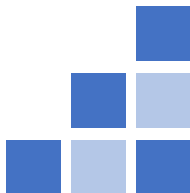


Sparc系列

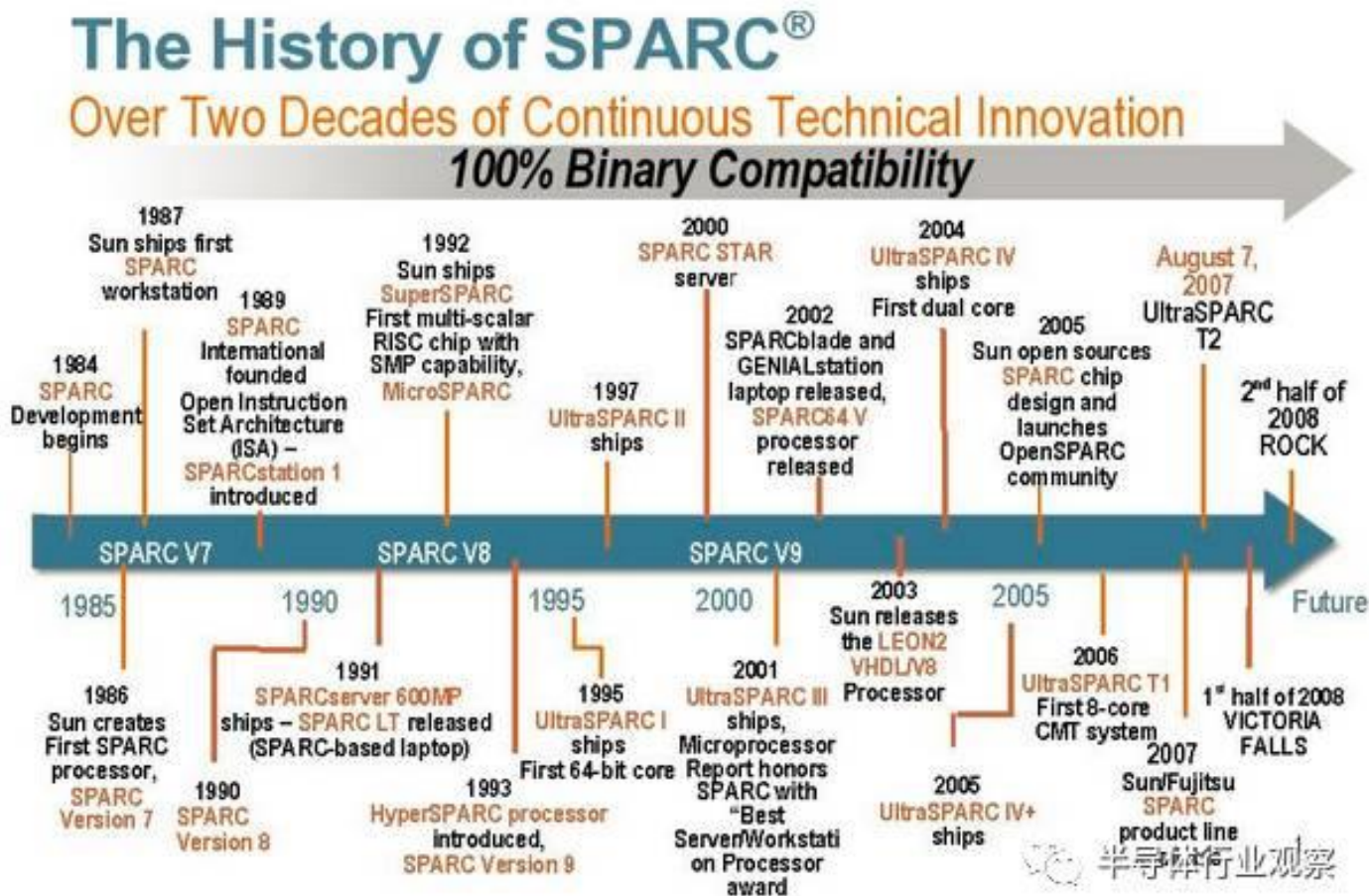
- LEON处理器系列是欧洲航天局的下属的研究所开发的32 位微处理器，应用在航天局的各种ASIC芯片内。
- LEON处理器使用SPARC V8指令集的32位的RISC处理器
- LEON处理器是一个公开源代码，遵循GNU LGPL协议。任何人都可以其网站上免费下载其硬件代码和各种开发软件 工具与相关文档。并且在自己ASIC项目中使用

Sparc系列

- 2005年12月Sun首次宣布将对其芯片进行开源，承诺将公布其新推出的UltraSPARCT1多核心处理器的技术细节
- 2006年3月，Sun正式宣布OpenSPARC的创新举措，开源化其多核心UltraSparcT1 CPU的处理器设计，采用的是GNU通用公共许可证(GNU GPL license)。
- GPL：GNU通用公共许可证，GNU General Public License



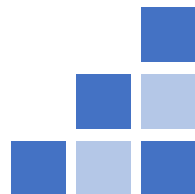
Sparc系列



- 2009年Oracle收购Sun(7.4B USD)
- 2017年Oracle正式放弃硬件业务，当中包括收购自Sun Microsystems的SPARC处理器

- ARM公司

- 成立于1990年11月，是一家提供RISC架构嵌入式微处理器的设计公司，是知识产权(IP)供应商，
- 主要开发和设计16位和32位的嵌入式系统微处理器，本身不生产芯片，将他们所开发的技术授权给其他的半导体制造公司进行ARM微处理器的制造



ARM系列

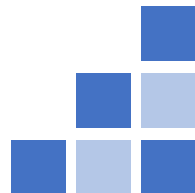
- 由于ARM RISC架构微处理器有着**低消耗功率、高运算效能及高度整合性**等特性，使许多芯片设计公司和芯片制造公司竞相向ARM公司购买ARM RISC架构微处理器的核心，作为自己公司研发的微处理器芯片中的运算核心
- 世界各大半导体生产商从ARM公司购买其设计的ARM微处理器核，根据各自不同的应用领域，加入适当的外围电路，从而形成自己的ARM微处理器芯片进入市场

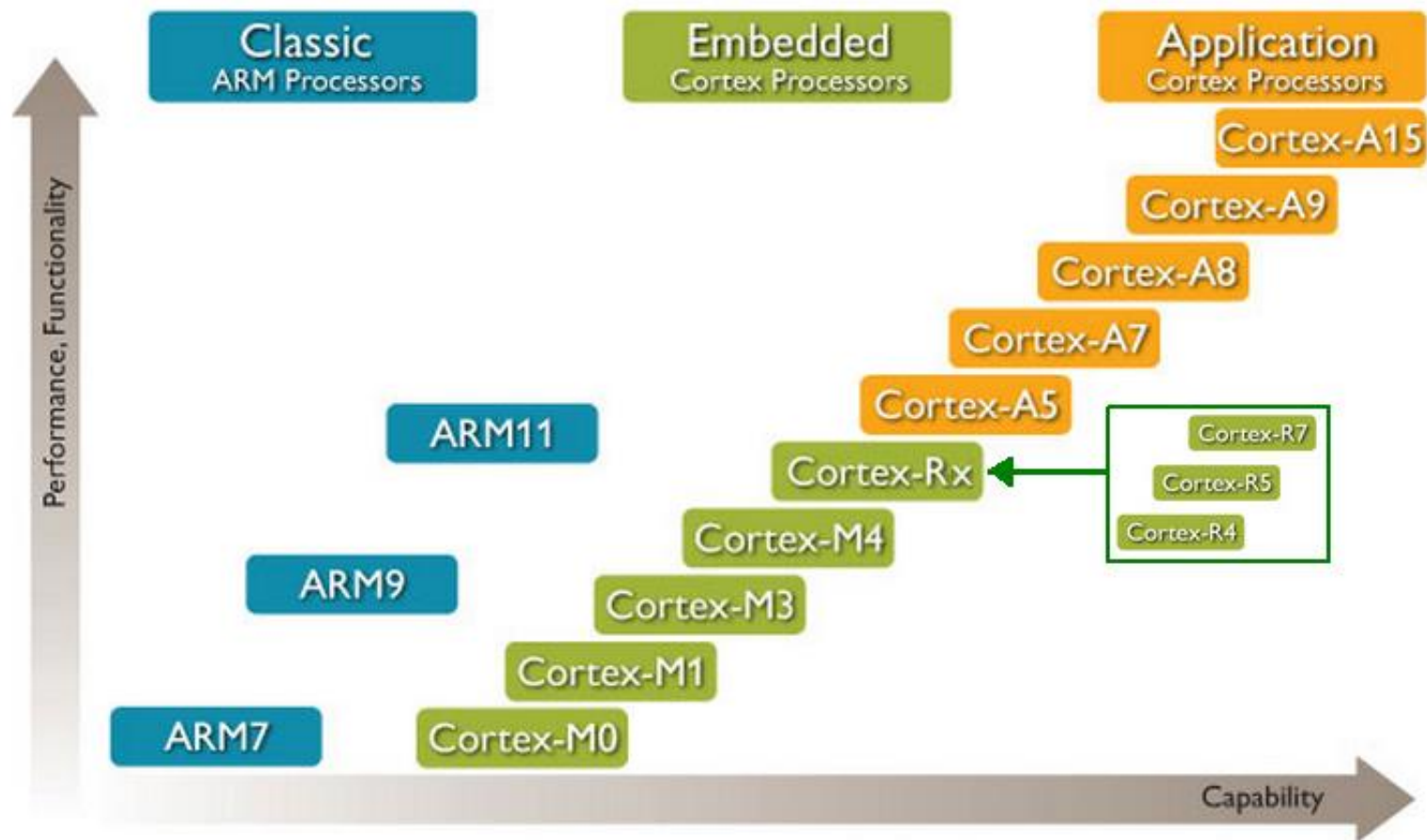
ARM系列

- 20世纪90年代以来，ARM 32位嵌入式RISC处理器的应用扩展到世界范围，占据了低功耗、低成本和高性能的嵌入式系统应用领域的领先地位，形成了32位RISC微处理器的实际标准。
- 2002年7月ARM在上海成立一家公司，开始进入中国。几年以来，已经与中兴、华为、东南大学、上海集成电路设计中心、中芯国际以及大唐电信签订了芯片核心技术授权协议

ARM系列

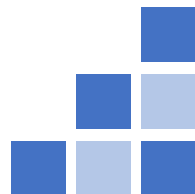
- ARM 微处理器目前包括下面几个系列：
 - ARM7 系列
 - ARM9 系列
 - ARM9E系列
 - ARM10E系列
 - ARM11系列
 - Cortex系列
 - SecurCore系列
 - OptimoDE 数据引擎系列
 - Intel StrongARM/Xscale





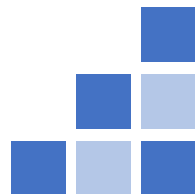
Roadmap of ARM

- ARM芯片作为32位RISC微处理器具有RISC体系的一般特点
 - 具有大量的寄存器，大多数数据操作都在寄存器中完成
 - 寻址方式灵活简单，执行效率高
 - 通过载入和存储指令访问存储器
 - 采用固定长度的指令格式



ARM系列

- 此外，ARM体系也采用了一些别的技术，在保证高性能的同时尽量减小芯片体积，降低芯片功耗
 - 所有的指令都可以条件执行，以提高指令执行的效率
 - 同一条数据处理指令中包含算术逻辑单元处理和移位处理
 - 使用地址自动增加(减少)来优化程序中的循环处理
 - 载入和存储指令可以批量传输数据，从而提高数据传输效率

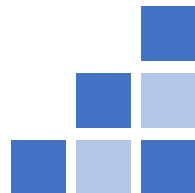


ARM系列

- ARM处理器一般都具有体积小、功耗少、成本低、性能高的优点，具有16位 / 32位双指令集及全球众多的合作伙伴的保证供应，从而，在嵌入式系统领域得到了广泛应用
- Apple自产A系列SoC基于ARM架构，用于iPhone, iPad ...
- 2016年，日本软银320亿美金收购ARM公司

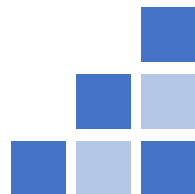
TI DSP系列

- DSP芯片的优越性:
- DSP芯片采用**改进的哈佛结构**(Harvard structure)。可以同时~~对数据~~对数据和程序进行寻址，提高了数据处理能力，非常适合于实时的数字信号处理
- DSP指令系统是**流水线操作**。在相同主频下DSP的数据处理能力远远高于CPU的数据处理能力
- 采用**专用的硬件乘法器**，使乘法运算可以在一个指令周期内完成



TI DSP系列

- TI公司分别针对不同的应用领域，主推3大DSP平台：
- TMS320 C2000系列适于控制应用
- TMS320 C5000系列适于低功耗应用
- TMS320 C6000系列则适于高性能运算的应用



龙芯系列



龙芯一号



龙芯2C



龙芯2E



龙芯2F



龙芯3

龙芯系列

- 2002年9月28日，“龙芯1号” CPU在北京正式发布
- 龙芯1号处理器是一款既兼顾通用又有嵌入式CPU特点的新一代32位处理器



龙芯系列

- 龙芯1号处理器具有良好的低功耗特性，平均功耗0.4瓦特，最大功耗不超过1瓦特
- 龙芯1号CPU可以在大量的嵌入式应用领域中使用



龙芯系列

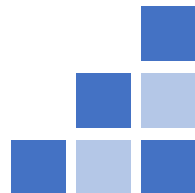
- 2003年：龙芯2 B
- 2004年：龙芯2 C
- 2005年：龙芯2 E Pentium III
- 2007年7月：龙芯2F Pentium IV
 - 功耗只有3-5瓦，相当于P4的十分之一



龙芯2F

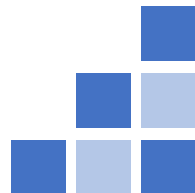
600MHz~1GHz
64位高性能处理器

- 龙芯定位：
 - 龙芯1号CPU及其IP面向嵌入式应用
 - 龙芯2号CPU及其IP面向高端嵌入式和桌面应用
 - 龙芯3号多核CPU面向服务器和高性能机应用

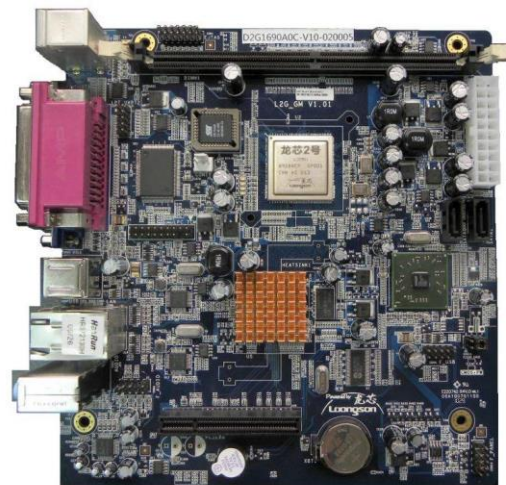


龙芯系列

- 龙芯应用：超龙计划2008.1.国产万亿次高性能计算机 “KD-50-I” 集成了330余颗 “龙芯2F” 处理器
- 2010.4.17：“龙芯3A” 万亿次高性能计算机 “KD-60” 研制成功
- 2010年千万亿次超级计算机 “曙光6000”
- 自研卫星采用龙芯

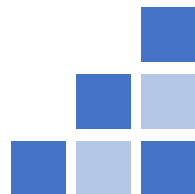


龙芯系列





Thank you



MIPS：指令体系

- MIPS指令集体系ISA (MIPS Instruction Set Architecture)
 - 从最早的MIPS I ISA开始发展，到MIPS V ISA，再到现在的MIPS32和MIPS64结构，其所有版本都是与前一个版本兼容的。
 - 在MIPS III的ISA中，增加了64位整数和64位地址。
 - 在MIPS IV和MIPS V的ISA中增加了浮点数的操作等。

MIPS : 指令体系

- MIPS I → MIPS V → MIPS32和MIPS64结构，其所有版本都是与前一个版本兼容的
- MIPS32和MIPS64体系是为满足高性能、成本敏感的需求而设计的
- MIPS32体系是基于MIPS II的, 并从MIPS III、MIPS IV和MIPS V中选择一些指令以增强数据和代码的有效操作
- MIPS64体系是基于MIPS V并与MIPS32体系兼容的

MIPS Core Products

All MIPS32 cores are synthesizable

