

# Universidad Autónoma de Madrid

## Escuela Politécnica Superior



Doble Grado en Ingeniería Informática y Matemáticas

## Trabajo de Fin de Grado

Interfaz web para la gestión de sondas de red de altas prestaciones

Juan Sidrach de Cardona Mora  
[juan.sidrach@gmail.com](mailto:juan.sidrach@gmail.com)

Junio 2014



# **Interfaz web para la gestión de sondas de red de altas prestaciones**

**Autor:** Juan Sidrach de Cardona Mora

**Tutor:** Dr. Sergio López-Buedo

High Performance Computing and Networking Research Group

Dpto. de Tecnología Electrónica y de las Comunicaciones

Escuela Politécnica Superior

Universidad Autónoma de Madrid

Junio 2014



# Agradecimientos

TODO: Agradecimientos.

Lorem ipsum dolor sit amet, consectetur adipiscing elit. Phasellus laoreet dolor at sodales porta. Morbi facilisis hendrerit lacus vel sollicitudin. Aenean eleifend urna metus, eget vestibulum libero dictum tincidunt. Curabitur quis ultrices lorem. Duis ultricies, eros eget condimentum pharetra, tellus eros lobortis nulla, vel mattis nibh dui et felis. Interdum et malesuada fames ac ante ipsum primis in faucibus. Nam non lorem et ligula condimentum molestie. Fusce quis dolor non metus suscipit commodo. Praesent vel pulvinar lectus. Nullam ac dui eget magna accumsan volutpat. Aliquam sed purus quis lorem dictum rutrum auctor eu enim. Pellentesque a urna ac ligula cursus lacinia. Aenean sodales justo massa, vel imperdiet justo imperdiet ut. Nulla euismod pulvinar arcu eu convallis. Vivamus a tempus nunc, et vulputate nulla.

Sed dapibus aliquam imperdiet. Vivamus est quam, fermentum vitae augue id, ultricies tincidunt massa. Praesent tincidunt ex sem, ut aliquet nulla imperdiet eu. Duis ac ultricies lorem. Aenean consequat ipsum nec arcu aliquam, sit amet interdum quam tempus. In justo odio, bibendum vel nulla nec, aliquet tristique justo. In vel metus ut libero suscipit ultricies.

Class aptent taciti sociosqu ad litora torquent per conubia nostra, per inceptos himenaeos. Proin urna elit, iaculis id quam at, pretium laoreet ipsum. Phasellus ultricies faucibus ex et eleifend. Quisque facilisis erat dolor, ac rhoncus erat convallis et. Aliquam semper eleifend imperdiet. Sed eros ipsum, sagittis in pellentesque vel, vestibulum a augue. Duis sapien mauris, fringilla a tortor ut, sollicitudin volutpat nunc. Pellentesque vestibulum vel arcu in molestie. Nullam fermentum dolor luctus metus efficitur pulvinar. Pellentesque risus enim, tempus id ullamcorper in, maximus id nisl. Cras rhoncus consequat augue eu gravida. Ut efficitur mauris vitae orci dignissim sagittis. Suspendisse vitae massa eget nunc bibendum interdum.

Vestibulum quis turpis sed diam facilisis convallis. Class aptent taciti sociosqu ad litora torquent per conubia nostra, per inceptos himenaeos. Vivamus congue tellus nec lobortis feugiat. Nam hendrerit ullamcorper tempus. Proin maximus, lacus at tempor pellentesque, sem nisi facilisis lorem, sagittis tristique mauris dui at est. Class aptent taciti sociosqu ad litora torquent per conubia nostra, per inceptos himenaeos. Mauris pellentesque lobortis leo, ac dictum urna tempus id. Curabitur sed ante leo. Proin laoreet nisi nec dictum auctor. Mauris lacinia erat ut massa viverra, nec tempus metus elementum. Cras ut blandit justo, in pretium massa. In hac habitasse platea dictumst. Donec malesuada viverra quam, in ultricies libero. Phasellus finibus velit in sem tempus mattis at tristique ligula.

*“TODO: Cita relevante”* TODO: Autor de la cita



# Abstract

**Abstract** — TODO: Resumen en inglés, 250-500 palabras.

Lorem ipsum dolor sit amet, consectetur adipiscing elit. Aliquam malesuada libero auctor sapien volutpat, sed fringilla enim tristique. Aliquam varius lorem in risus tempus egestas. Aenean accumsan elementum diam vel commodo. Nulla lectus sapien, finibus ac mauris non, efficitur venenatis felis. Donec at rutrum dolor, a lobortis arcu. In fermentum hendrerit bibendum. Phasellus eget arcu quam. Maecenas vulputate sapien eu dictum pulvinar. Suspendisse sit amet neque a turpis efficitur dapibus ut et turpis.

Vestibulum commodo faucibus tellus vitae consequat. Donec purus enim, hendrerit vitae feugiat sed, sagittis in tortor. Duis sed ex non ligula cursus dapibus. Etiam pellentesque suscipit dolor, vel facilisis est ornare sed. Nullam eleifend tellus non elementum efficitur. Donec semper felis ac porttitor ultricies. Vestibulum sodales justo nisl, in egestas lacus egestas nec. Fusce faucibus felis lacus, sit amet placerat justo porta vitae. Nullam volutpat viverra lorem quis euismod. Duis felis erat, dictum et sem vitae, fringilla ultrices dui. Morbi mattis arcu at orci accumsan facilisis. Aenean tortor velit, hendrerit id vulputate ac, sagittis nec libero. Donec elementum dolor orci, a mattis augue lobortis nec. Suspendisse vulputate, diam vel accumsan pellentesque, ex purus volutpat ipsum, vel luctus urna sem non turpis. Donec vitae molestie odio.

Donec lobortis, eros non sodales dapibus, ex eros sollicitudin tortor, ut vulputate massa nibh sit amet ipsum. Sed a lectus eu diam pretium vestibulum. Pellentesque finibus, felis ac finibus vulputate, libero mauris placerat nulla, ut vestibulum ante metus ut neque. Aliquam tempus tortor ac mauris pulvinar iaculis. Vivamus pretium id libero sed tempus. Donec tincidunt turpis tempor vehicula egestas. Vestibulum elementum, urna non tincidunt tempus, risus ipsum posuere felis, ac suscipit diam nunc et neque. Vestibulum faucibus leo vel nibh tempor tincidunt. Nullam nunc augue, aliquet in congue nec, gravida at risus. Proin semper iaculis nisi vitae imperdiet. Suspendisse sed risus feugiat, dapibus sapien quis, pulvinar turpis.

Maecenas convallis aliquet euismod. Donec sollicitudin ligula nec lorem dignissim, sit amet finibus felis mollis. Fusce eget sapien eu sapien blandit congue quis a odio. Fusce accumsan condimentum dapibus. Aliquam eu ante porttitor nulla pellentesque feugiat pharetra nec mauris. Ut tincidunt urna vitae ligula mattis malesuada. Interdum et malesuada fames ac ante ipsum primis in faucibus. Integer pretium tincidunt nisi, in pulvinar velit dapibus et.

**Key words** — TODO: Palabras clave en inglés, separadas por coma.





# Resumen

**Resumen** — TODO: Resumen en español, 250-500 palabras.

Lorem ipsum dolor sit amet, consectetur adipiscing elit. Aliquam malesuada libero auctor sapien volutpat, sed fringilla enim tristique. Aliquam varius lorem in risus tempus egestas. Aenean accumsan elementum diam vel commodo. Nulla lectus sapien, finibus ac mauris non, efficitur venenatis felis. Donec at rutrum dolor, a lobortis arcu. In fermentum hendrerit bibendum. Phasellus eget arcu quam. Maecenas vulputate sapien eu dictum pulvinar. Suspendisse sit amet neque a turpis efficitur dapibus ut et turpis.

Vestibulum commodo faucibus tellus vitae consequat. Donec purus enim, hendrerit vitae feugiat sed, sagittis in tortor. Duis sed ex non ligula cursus dapibus. Etiam pellentesque suscipit dolor, vel facilisis est ornare sed. Nullam eleifend tellus non elementum efficitur. Donec semper felis ac porttitor ultricies. Vestibulum sodales justo nisl, in egestas lacus egestas nec. Fusce faucibus felis lacus, sit amet placerat justo porta vitae. Nullam volutpat viverra lorem quis euismod. Duis felis erat, dictum et sem vitae, fringilla ultrices dui. Morbi mattis arcu at orci accumsan facilisis. Aenean tortor velit, hendrerit id vulputate ac, sagittis nec libero. Donec elementum dolor orci, a mattis augue lobortis nec. Suspendisse vulputate, diam vel accumsan pellentesque, ex purus volutpat ipsum, vel luctus urna sem non turpis. Donec vitae molestie odio.

Donec lobortis, eros non sodales dapibus, ex eros sollicitudin tortor, ut vulputate massa nibh sit amet ipsum. Sed a lectus eu diam pretium vestibulum. Pellentesque finibus, felis ac finibus vulputate, libero mauris placerat nulla, ut vestibulum ante metus ut neque. Aliquam tempus tortor ac mauris pulvinar iaculis. Vivamus pretium id libero sed tempus. Donec tincidunt turpis tempor vehicula egestas. Vestibulum elementum, urna non tincidunt tempus, risus ipsum posuere felis, ac suscipit diam nunc et neque. Vestibulum faucibus leo vel nibh tempor tincidunt. Nullam nunc augue, aliquet in congue nec, gravida at risus. Proin semper iaculis nisi vitae imperdiet. Suspendisse sed risus feugiat, dapibus sapien quis, pulvinar turpis.

Maecenas convallis aliquet euismod. Donec sollicitudin ligula nec lorem dignissim, sit amet finibus felis mollis. Fusce eget sapien eu sapien blandit congue quis a odio. Fusce accumsan condimentum dapibus. Aliquam eu ante porttitor nulla pellentesque feugiat pharetra nec mauris. Ut tincidunt urna vitae ligula mattis malesuada. Interdum et malesuada fames ac ante ipsum primis in faucibus. Integer pretium tincidunt nisi, in pulvinar velit dapibus et.

**Palabras clave** — TODO: Palabras clave en español, separadas por coma.



# Glosario

**bitstream** En este contexto se refiere al binario que configura el Hardware de la FPGA.  
27

**pcap** TODO: pcap. 8

**simple** TODO: simple. 7, 8

**traza** TODO: traza. 3, 7, 8



# Acrónimos

**FPGA** Field-Programmable Gate Array. 3, 7–9, 27

**IFG** InterFrame Gap (TODO). 8

**RAID** RAID (TODO). 8



# Índice general

<b>1. Introducción</b>	<b>1</b>
1.1. Ámbito . . . . .	1
1.2. Motivación . . . . .	1
1.3. Objetivos . . . . .	1
1.4. Estructura del documento . . . . .	1
<b>2. Estado del arte</b>	<b>3</b>
2.1. Sistemas de captura y/o reproducción de tráfico web . . . . .	3
2.2. FPGA HPCN . . . . .	3
2.3. Sistemas de gestión y monitorización . . . . .	4
2.4. Conclusiones . . . . .	4
<b>3. Definición del proyecto</b>	<b>5</b>
3.1. Objetivos . . . . .	5
3.2. Alcance . . . . .	5
3.3. Metodología . . . . .	5
3.4. Herramientas . . . . .	5
<b>4. Requisitos</b>	<b>7</b>
4.1. Requisitos Funcionales . . . . .	7
4.2. Requisitos No Funcionales . . . . .	9
<b>5. Diseño</b>	<b>11</b>
5.1. Arquitectura . . . . .	11
5.2. Módulos . . . . .	11
5.2.1. Gestión . . . . .	11
5.2.2. Capturas . . . . .	11
5.2.3. Estado/Estadísticas . . . . .	12
5.3. Servicio Web FPGA . . . . .	12
5.4. Interfaz Gráfica . . . . .	12
<b>6. Implementación</b>	<b>13</b>
6.1. Back-End . . . . .	13
6.2. Front-End . . . . .	13
6.2.1. Localización . . . . .	13
6.2.2. Temas . . . . .	13

<b>7. Pruebas</b>	<b>15</b>
7.1. Pruebas de verificación . . . . .	15
7.2. Pruebas de validación . . . . .	15
<b>8. Mantenimiento</b>	<b>17</b>
<b>9. Uso de la aplicación</b>	<b>19</b>
9.1. Instalación . . . . .	19
9.2. Configuración . . . . .	19
9.3. Casos de uso . . . . .	19
<b>10. Conclusiones</b>	<b>21</b>
<b>11. Líneas de trabajo futuras</b>	<b>23</b>
<b>Bibliografía</b>	<b>25</b>
<b>Apéndices</b>	<b>27</b>
<b>A. Ejemplos de bloques y comandos útiles en LaTeX</b>	<b>29</b>
A.1. Ejemplo de sección . . . . .	29
<b>B. Manual de Usuario</b>	<b>31</b>
<b>C. Framework MVC propio</b>	<b>33</b>
C.1. Modelo Vista Controlador . . . . .	33
C.2. Manejo de dependencias . . . . .	33
C.3. Config . . . . .	33
C.4. Router . . . . .	33
C.5. Logger . . . . .	34
C.6. Conclusiones . . . . .	34
<b>D. Programación asíncrona</b>	<b>35</b>
<b>E. API Servicio Web FPGA</b>	<b>37</b>



# Índice de tablas



# Índice de figuras

A.1. Logo de la Universidad Autónoma de madrid. . . . .	29
---	----



# 1

## Introducción

TODO: Introducción del trabajo

### 1.1. **Ámbito**

TODO: Ámbito del trabajo

### 1.2. **Motivación**

TODO: Motivación del trabajo

### 1.3. **Objetivos**

TODO: Objetivos del trabajo

### 1.4. **Estructura del documento**

TODO: Descripción de la estructura del documento



# 2

## Estado del arte

TODO: [Introducción]

### 2.1. Sistemas de captura y/o reproducción de tráfico web

TODO: Sistemas de captura y/o reproducción de tráfico web

### 2.2. FPGA HPCN

TODO: Cambiar organización Los posibles estados de la Field-Programmable Gate Array (FPGA) son:

- No programada
- Programada para reproducir
- Programada para capturar
- Montada para reproducir
- Montada para capturar
- Reproduciendo una traza
- Capturando tráfico

## **2.3. Sistemas de gestión y monitorización**

TODO: Sistemas de gestión y monitorización

## **2.4. Conclusiones**

TODO: Conclusiones



# 3

## Definición del proyecto

TODO: [Introducción]

### 3.1. Objetivos

TODO: Objetivos del proyecto

### 3.2. Alcance

TODO: Alcance del proyecto

### 3.3. Metodología

TODO: Metodología del proyecto Sprints

### 3.4. Herramientas

TODO: Metodología del proyecto. Dividir en Back-End y Front-End Lista de herramientas, una subsección por cada una



# 4

## Requisitos

A continuación se enumeran los requisitos que la aplicación deberá cumplir. Para la elaboración de esta lista de requisitos se ha realizado un análisis sobre el problema planteado: diseñar un servicio que permita gestionar y monitorizar una FPGA que captura y reproduce tráfico de red. Este análisis se ha realizado principalmente mediante la consulta directa con los potenciales usuarios de la aplicación y la evaluación del estado del arte.

Se han agrupado los requisitos en dos clases: funcionales y no funcionales. Los primeros describen el comportamiento que tendrá la aplicación, y los segundos los atributos de calidad y restricciones de la misma.

### 4.1. Requisitos Funcionales

- RF. 1** *Se podrá conocer el estado actual de la FPGA entre los posibles estados descritos en 2.2.*
- RF. 2** *Se podrá configurar la FPGA para captura de tráfico web.*
- RF. 3** *Una vez configurada la FPGA para ello, se podrá ordenar a la FPGA que capture tráfico web desde un puerto específico de la FPGA. Este tráfico se irá guardando en una traza en formato simple, hasta llegar a un tamaño decidido por el usuario.*
- RF. 4** *Si existe una captura en curso, el se podrá parar dicha captura, borrándose la traza asociada a la captura.*

- RF. 5** *Si existe una captura en curso, el se podrán conocer los parámetros con los que se inició dicha captura, así como el tiempo que ha transcurrido desde el inicio y cuánto se ha capturado hasta el momento.*
- RF. 6** *Se podrá configurar la FPGA para la reproducción de una traza.*
- RF. 7** *Una vez configurada la FPGA para ello, se podrá ordenar a la FPGA que reproduzca una traza concreta en formato simple. La reproducción se realizará con una serie de parámetros dados por el usuario: máscara de puertos a los que dirigir la reproducción, InterFrame Gap (TODO) (IFG) asociado y reproducir en bucle o solo una vez.*
- RF. 8** *Si existe una reproducción de traza en curso, se podrá parar dicha reproducción.*
- RF. 9** *Si existe una reproducción de traza en curso, se podrán conocer los parámetros con los que se inició dicha reproducción, así como el tiempo que ha transcurrido desde el inicio y cuántos paquetes se han enviado hasta el momento.*
- RF. 10** *Se podrá configurar y consultar en qué directorio se almacenan las trazas.*
- RF. 11** *Se podrá conocer la lista de trazas existentes, así como su tamaño, fecha y tipo (simple o pcap).*
- RF. 12** *Una traza en formato simple podrá ser convertida formato pcap.*
- RF. 13** *Una traza en formato pcap podrá ser convertida a formato simple.*
- RF. 14** *Una traza podrá ser renombrada.*
- RF. 15** *Una traza podrá ser borrada.*
- RF. 16** *Se podrá conocer el espacio total y el espacio ocupado del sistema de archivos que contiene las trazas.*
- RF. 17** *Si el sistema de archivos que contiene las trazas es un RAID (TODO) (RAID), se podrá conocer la velocidad de escritura global del RAID, así como la de cada disco que lo compone.*

## 4.2. Requisitos No Funcionales

- RNF. 1** La funcionalidad descrita en 4.1 será accesible al usuario mediante una interfaz gráfica.
- RNF. 2** Se podrán seleccionar dos idiomas para la interfaz gráfica: inglés y español.
- RNF. 3** Se podrán seleccionar distintos temas (aspectos visuales) para la interfaz gráfica.
- RNF. 4** La interfaz gráfica será una web adaptativa, de forma que se pueda visualizar en distintas resoluciones de pantalla, como las de ordenadores y móviles.
- RNF. 5** La interfaz gráfica estará disponible aun cuando haya algún fallo en el servidor que aloja la FPGA, e informará del fallo.



# 5

## Diseño

TODO: [Introducción]

### 5.1. Arquitectura

TODO: Arquitectura Front-End/Back-End

### 5.2. Módulos

TODO: [Introducción]

#### 5.2.1. Gestión

TODO: Gestión Capturador,Reproductor

#### 5.2.2. Capturas

TODO: Capturas Detección,Conversión,Renombrado,Borrado

### **5.2.3. Estado/Estadísticas**

TODO: Estado/Estadísticas Velocidad,Estado,RAID

## **5.3. Servicio Web FPGA**

TODO: Servicio Web FPGA REST-like,asíncrono

## **5.4. Interfaz Gráfica**

TODO: Interfaz Gráfica Diseño adaptativo,localización Maquetas



# 6

## Implementación

TODO: [Introducción]

### 6.1. Back-End

TODO: Back-End [Introducción] io.js,express,supervisor,apiDoc,npm API REST,mensajes json Servicio

### 6.2. Front-End

TODO: Front-End [Introducción] - MVC propio,Bootstrap,jQuery,gettext,phpDocumentor,comp

#### 6.2.1. Localización

TODO: Localización

#### 6.2.2. Temas

TODO: Temas



# 7

## Pruebas

TODO: [Introducción]

### 7.1. Pruebas de verificación

TODO: Pruebas de verificación

### 7.2. Pruebas de validación

TODO: Pruebas de validación



# 8

## Mantenimiento

TODO: [Introducción] Open Source/GitHub Issues/Pull Requests



# 9

## Uso de la aplicación

TODO: [Introducción]

### 9.1. Instalación

TODO: Instalación

### 9.2. Configuración

TODO: Configuración

### 9.3. Casos de uso

TODO: Casos de uso Apéndice Manual de Usuario





# 10

## Conclusiones

TODO: Conclusiones sobre el trabajo realizado



# 11

## Líneas de trabajo futuras

TODO: Líneas de trabajo futuras - Estandarización, futuras fpgas con características parecidas - Más idiomas - Más estadísticas - Módulo de seguridad



# Bibliografía

- [1] *Internet Protocol*, Departament of Defense Std., 1981. [Online]. Available: <http://tools.ietf.org/html/rfc791>



# Apéndices







# Ejemplos de bloques y comandos útiles en LaTeX

## A.1. Ejemplo de sección

La DARPA creo el protocolo de Internet [1].  
Citamos el acrónimo FPGA.  
Bitstream es una secuencia de bits.



Figura A.1: Logo de la Universidad Autónoma de madrid.

La figura A.1 se utiliza en la portada.

Código A.1: Algoritmo de ordenación Quicksort

```
#include <stdio.h>

void quick_sort (int *a, int n) {
    int i, j, p, t;
    if (n < 2)
        return;
    p = a[n / 2];
    for (i = 0, j = n - 1;; i++, j--) {
        while (a[i] < p)
            i++;
        while (p < a[j])
            j--;
        if (i >= j)
            break;
        t = a[i];
        a[i] = a[j];
        a[j] = t;
    }
    quick_sort(a, i);
    quick_sort(a + i, n - i);
}
```

La ecuación de Euler ( $e^{\pm i\theta} = \cos \theta \pm i \sin \theta$ ) es citada frecuentemente como un ejemplo de belleza matemática.

$$a^2 + b^2 = c^2 \tag{A.1}$$



# Manual de Usuario

TODO: [Introducción] Descripción detallada





## Framework MVC propio

TODO: [Introducción] Visión global

### **C.1. Modelo Vista Controlador**

TODO: Modelo Vista Controlador

### **C.2. Manejo de dependencias**

TODO: Manejo de dependencias

### **C.3. Config**

TODO: Config

### **C.4. Router**

TODO: Router

## C.5. Logger

TODO: Logger

## C.6. Conclusiones

TODO: Conclusiones



## Programación asíncrona

TODO: Programación asíncrona







## API Servicio Web FPGA

TODO: API Servicio Web FPGA  
captures,manager,statistics