

REPOSITORIO ACADÉMICO UPC

Respuestas a las preguntas del capítulo 2 [Todo Sobre Sistemas Embebidos]

Item Type	info:eu-repo/semantics/bookPart
Authors	Sergio Salas Arriarán
Publisher	Universidad Peruana de Ciencias Aplicadas (UPC)
Rights	info:eu-repo/semantics/openAccess
Download date	05/06/2020 02:52:49
Link to Item	http://hdl.handle.net/10757/576959



Respuestas a las preguntas del capítulo 2

1. El computador es un sistema basado en un procesador, elementos de memoria y unidades de entrada y salida.
2. Las principales diferencias se dan en el bus de comunicación a las memorias de datos y programa. En la arquitectura Von Neumann el bus es compartido, mientras que en la arquitectura Harvard el bus es independiente. Por otro lado, el diseño de la arquitectura Von Neumann es menos costoso.
3. La unidad central de proceso se compone de registros del procesador, ALU y unidad de control.
4. 0.2 μ s.
5. Porque la memoria *flash* es de 16 bits y el microprocesador es de 8 bits. Cada instrucción base del microprocesador ocupa 16 bits que corresponde a dos direcciones (par e impar) accesibles por el microprocesador. Por eso cada dirección de la memoria flash para efectos de una instrucción se incrementa de a dos.
6. La pila es una memoria que permite almacenar los valores de 21 bits del PC a fin de poder retornar de una instrucción de salto como el *call* o *rcall* o de un evento de instrucción.
7. El mayor resultado de un proceso de multiplicación puede ser teóricamente 65535, aunque los operandos más elevados de la multiplicación solo pueden ser hasta 255, con lo cual el máximo resultado práctico será 65025.
8. Se puede inferir que se acaba de producir una operación aritmética o lógica cuyo resultado dio 0 como respuesta.
9. Seleccionar el Banco 7 a través del registro BSR y luego acceder a la dirección 0xAE relativa a dicho banco.
10. Para que los accesos a las direcciones de memoria se puedan realizar en un solo ciclo de instrucción.
11. El modo de direccionamiento indirecto permite acceder a las direcciones de memoria de la SR AM independientemente del banco. Los registros involucrados son el FSR0, FSR1, FSR2, INDF0, INDF1 e INDF2.
12. El registro PCLATU es el registro *latch* del PCU. El contenido del PCU solo se actualizará con el de PCLATU si se realiza un acceso a escritura del PCL. Lo opuesto ocurrirá si se realiza el proceso de lectura del PCL.
13. El registro TBLPTR permite apuntar a cualquier dirección de 21 bits de la memoria *flash*. El registro TABLAT contiene el valor de la dirección apuntada por TBLPTR.
14. Apunta a la dirección de la pila en donde se almacenará el siguiente valor del PC luego de una instrucción de salto tipo *call*, *rcall* o interrupción.
15. La memoria EEPROM tiene un tiempo de escritura lento que supera los 4ms mientras que la memoria *flash* posee un acceso a escritura mucho más veloz. La memoria EEPROM se puede escribir y leer por cada dirección, mientras que la memoria *flash* se lee y escribe por bloques de direcciones.
16. El mnemónico es la instrucción en sí, pero determinado por un nombre en texto. Por ejemplo, *addwf*, *subwf*, *mulwf*, *negf*, entre otros. El *Opcode* en cambio es el la representación binaria del mnemónico incluido el argumento de la instrucción.
17. 0xF0.
18. Es una situación física que puede causar que el programa de la memoria flash se reinicie empezando desde el vector de reset. Los eventos pueden ser un pulso '0' lógico sobre el pin reset, un nivel de voltaje bajo, desbordamiento de la pila, el evento del *Watch Dog Timer*, entre otros.

19. Su función es la de elevar la frecuencia del reloj externo a un valor programable. La ventaja radica en que esto permite definir una frecuencia deseada a partir de un cristal de menor frecuencia, controlando el consumo y también generando un reloj más estable con mayor inmunidad a la interferencia electromagnética del medio.
20. Tres.
21. Permite generar un evento de reset al desbordarse un contador en caso el procesador entre en un estado indeterminado.