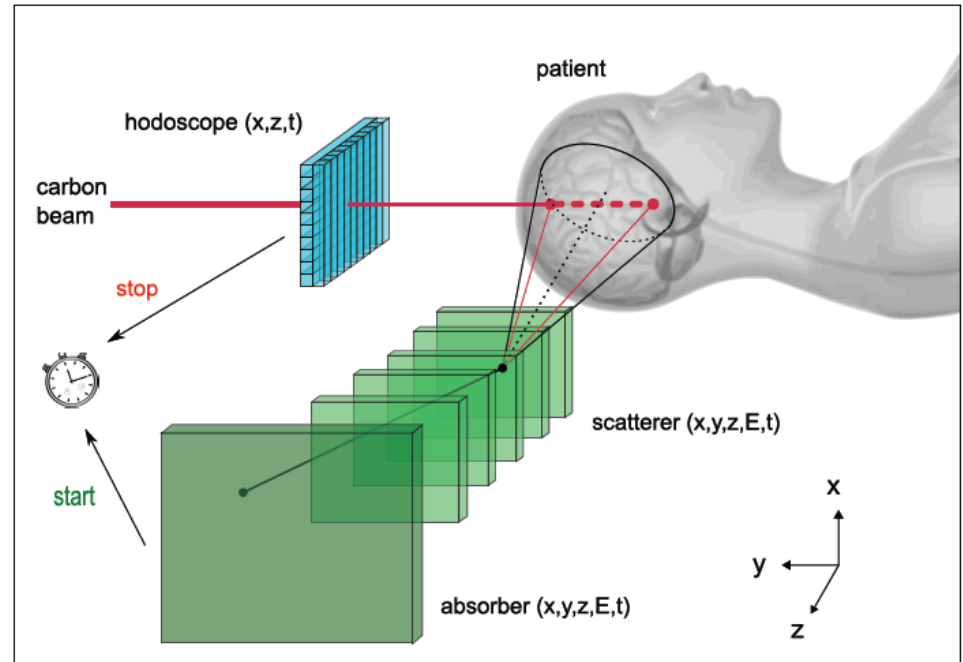
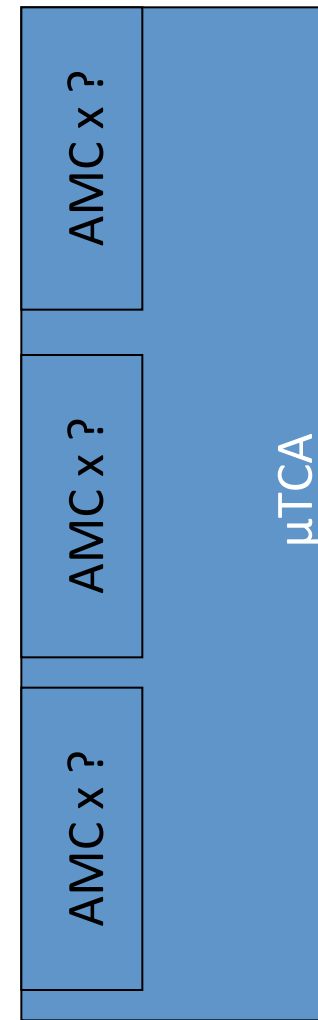
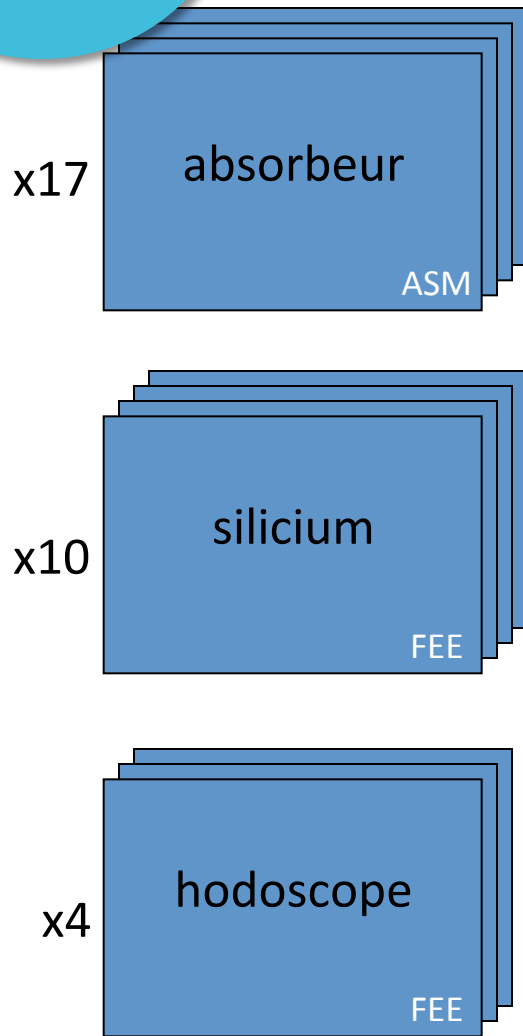


DAQ meeting

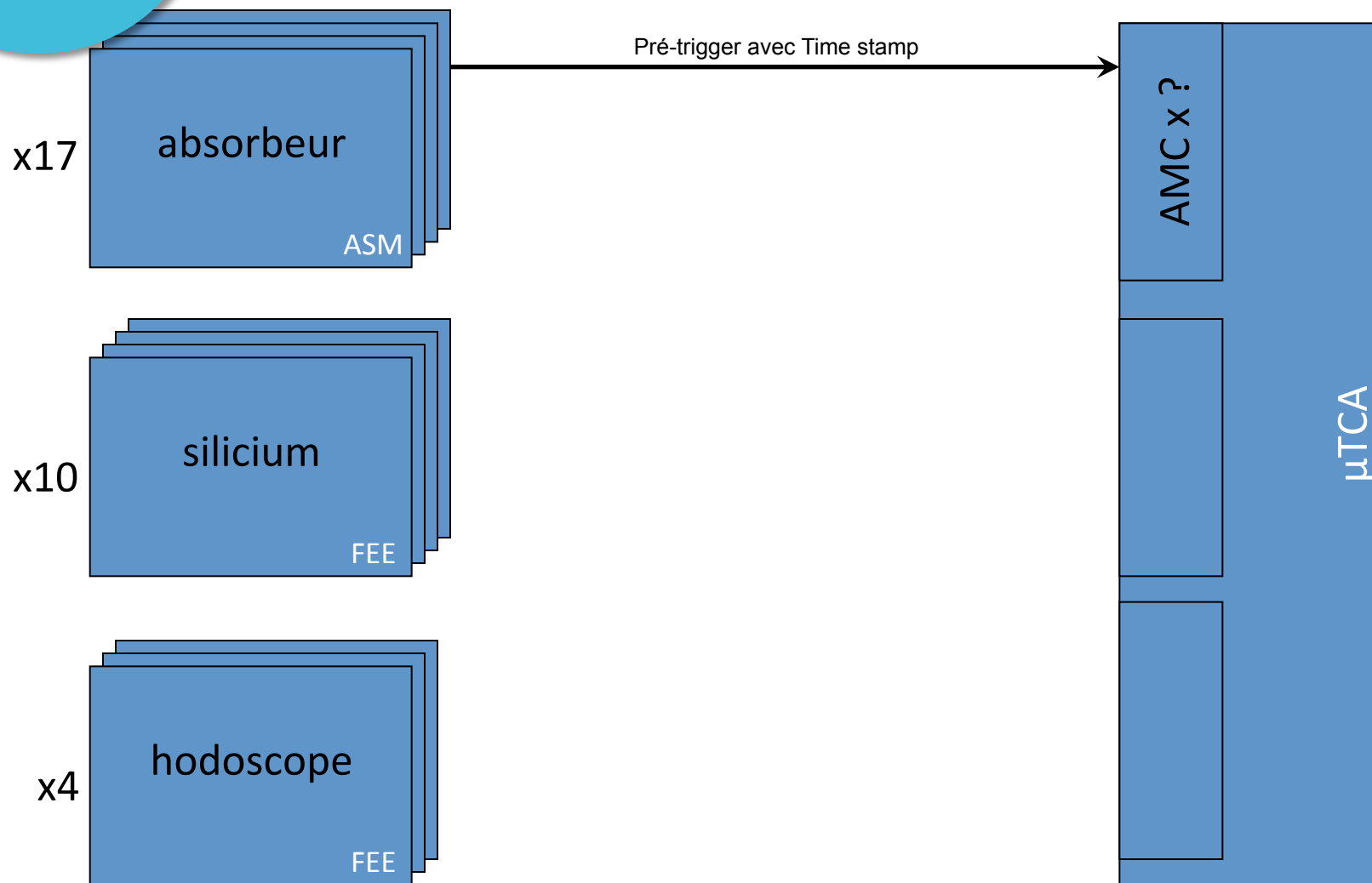
Carbone: 10^8 ions/s
 Protons: faisceau pulsé $4 \times 10^7 - 10^8$ Hz
 (10-100 protons/pulse)



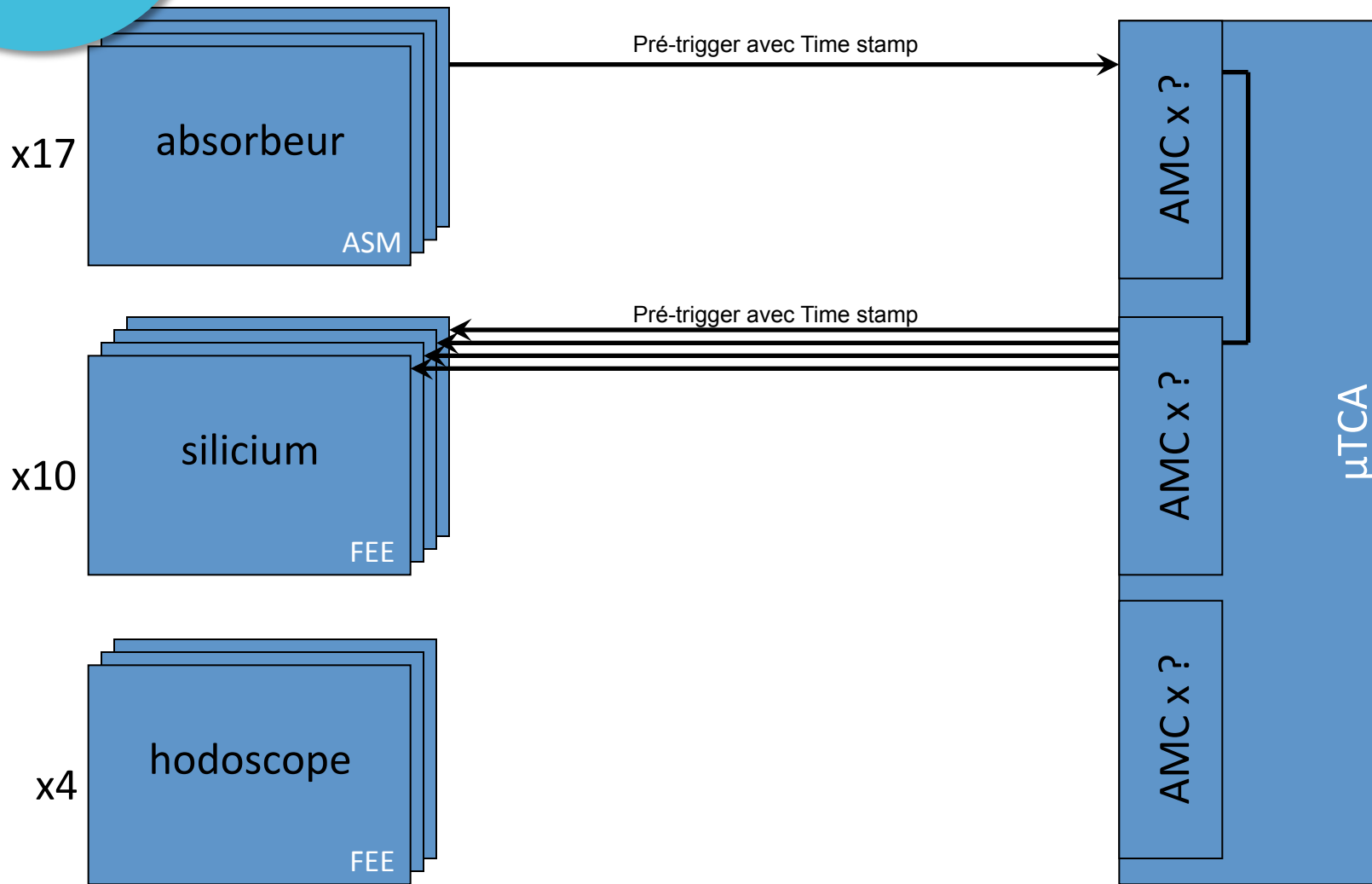
Taux de comptage ($\sim 0,3$ g/ion en carbone, $0,05$ g/ion en proton):
 Silicium : $2-3 \times 10^5$ Hz par détecteur à 20cm en carbone (10^6 en protons)
 $2-3 \times 10^3$ Hz par strip en carbone (10^4 en protons)
 Absorbeur: 30×30 cm à 1m: taux de comptage de 10^7 Hz
 → trigger avec absorbeur + silicium pour faire descendre le taux de trigger à $\sim 10^5$ Hz.



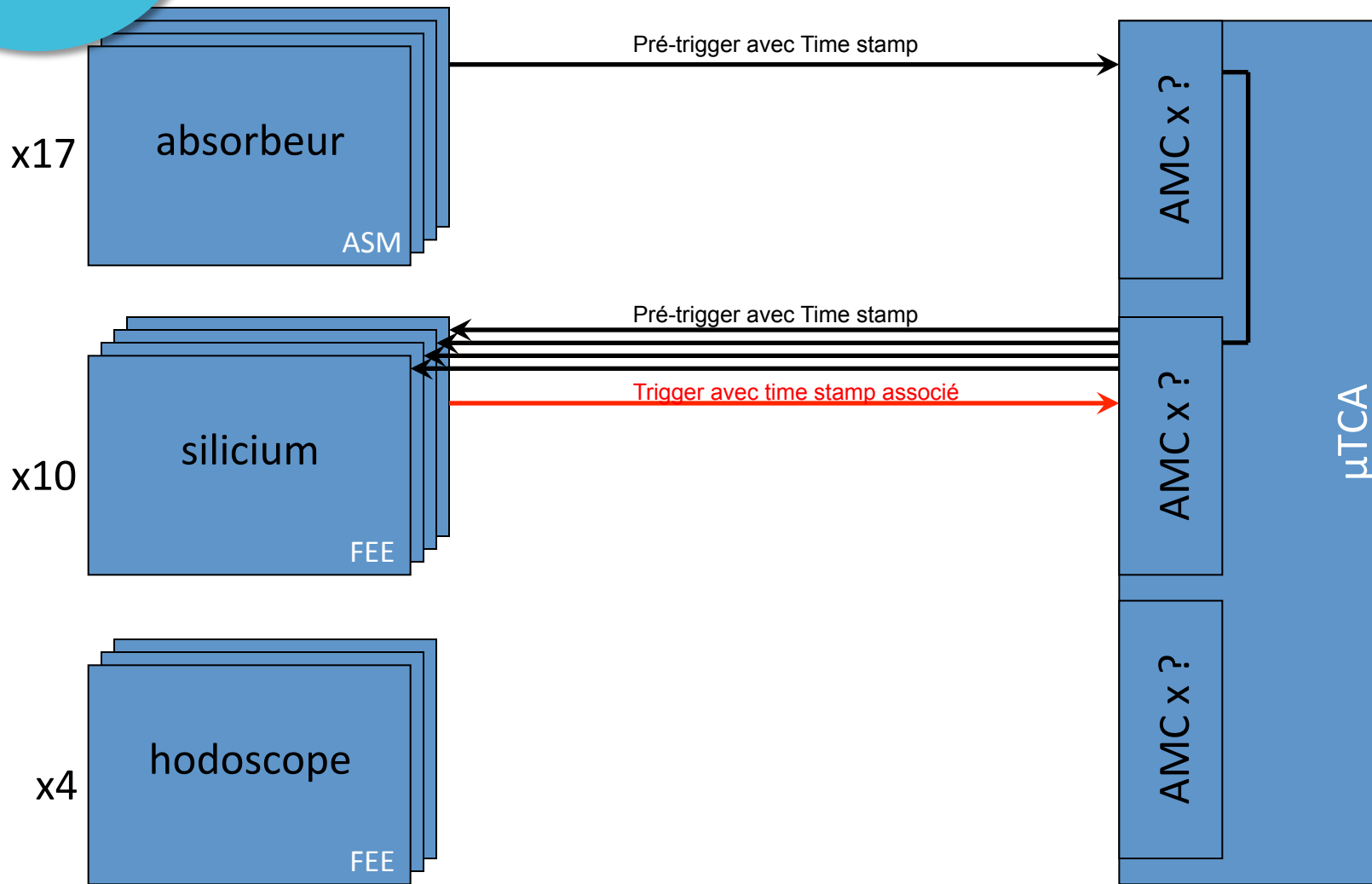
System DAQ et trigger



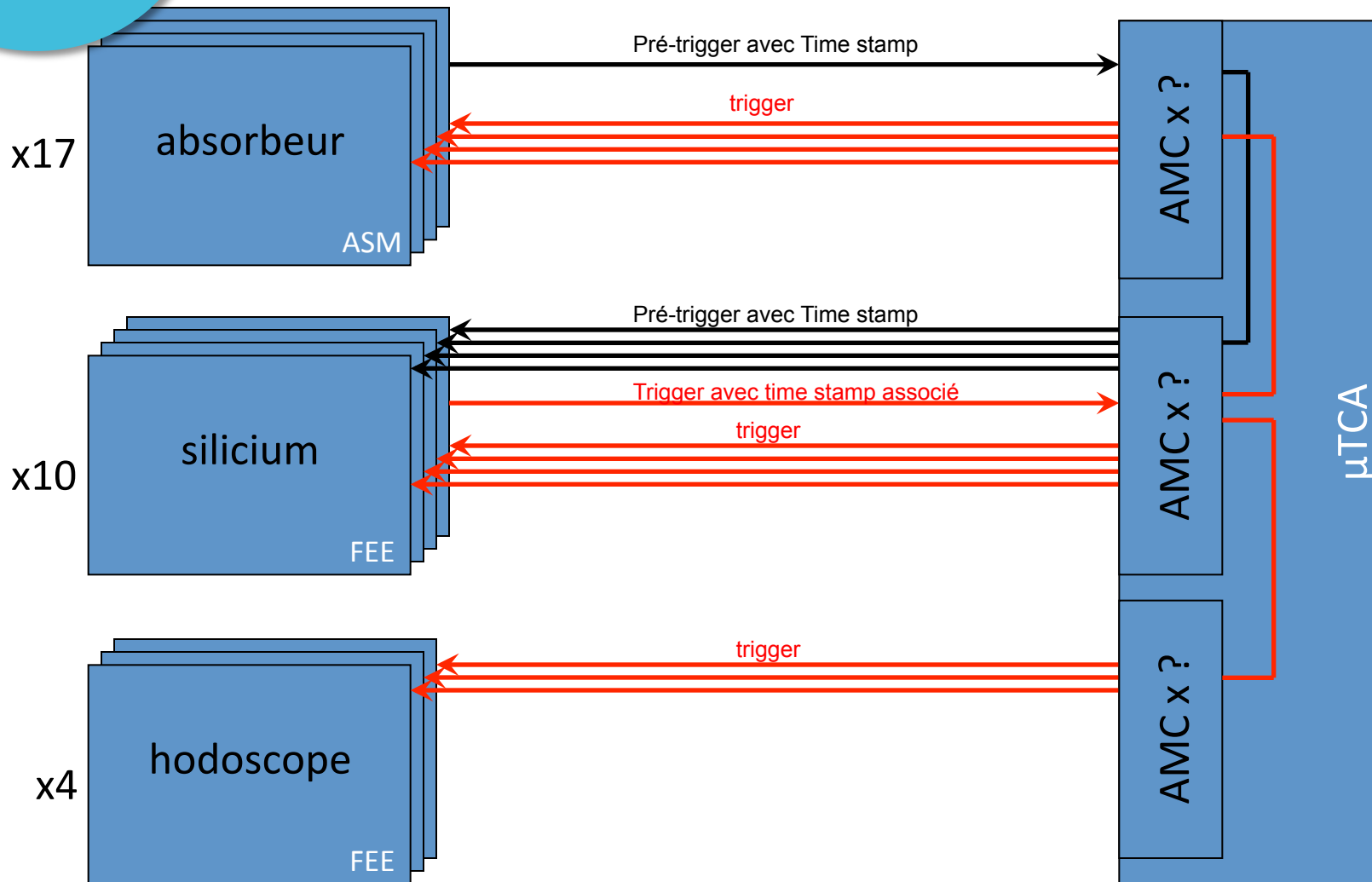
System DAQ et trigger



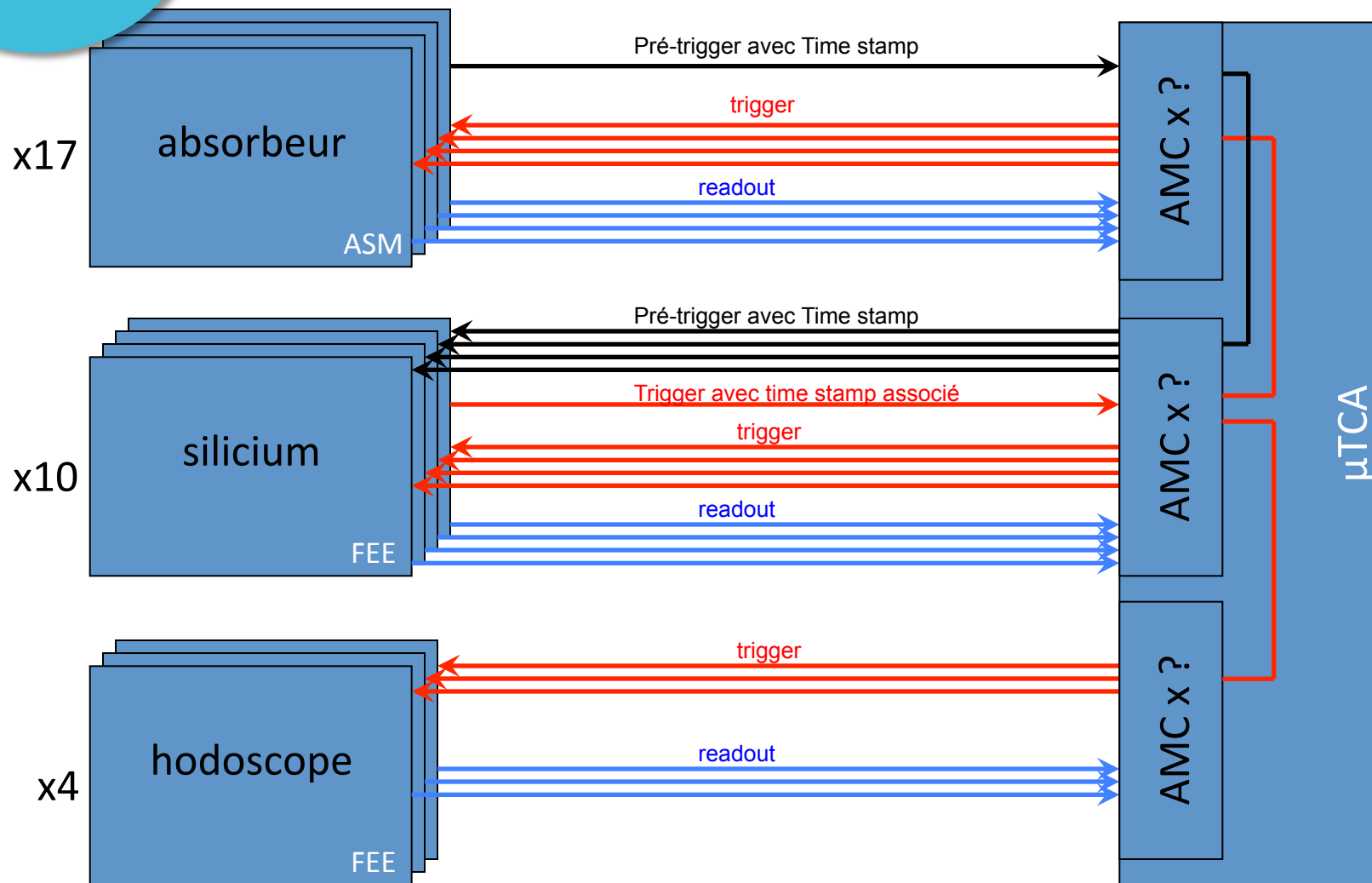
System DAQ et trigger



System DAQ et trigger



System DAQ et trigger



Le lien utilisé entre les FE et le crate μ TCA doit être bidirectionnel, et faire passer les données suivantes :

- l'horloge (tous les FE doivent être synchronisés),
- signaux de control : start, reset ...
- pré-trigger,
- trigger,
- readout.

Le GBT du CERN peut-être un bon candidat. Le débit utile est de 3.2Gb/s dans les 2 sens.

Une IP du GBT pour FPGA xilinx est disponible au CERN :

<https://espace.cern.ch/GBT-Project/GBT-FPGA/default.aspx>

Une IP pour FPGA ALTERA est en cours de développement à l'IPNL (cf Chen Xiushan).

La latence du trigger est imposée par :

- | | |
|---|------------------|
| 1) la détection d'un signal dans l'absorbeur : $t = ?$ | 25 ns |
| 2) Le calcul du time stamp à envoyer comme pré-trigger : $t = ?$ | 50 ns |
| 3) le transfert du pré-trigger aux détecteurs silicium sur le lien haut débit : $t = ?$ | 4×25 ns |
| 4) la recherche de coïncidence dans une fenêtre de 10 ns : $t = ?$ | 50 ns |
| 5) le transfert du trigger vers tous les détecteurs : $t = ?$ | 4×25 ns |

Les différents détecteurs doivent donc être capables de récupérer les données correspondant à un trigger ayant une latence de : 325 ns (TBC)

Taux de comptage dans l'absorbeur : 10^7 Hz.

→ Taux de comptage pour chaque carte ASM : $10^7/17 \sim 6 \cdot 10^5$

→ débit de données en sortie carte ASM pour le pré-trigger : $6 \cdot 10^6 \cdot \text{time stamp}$.

proposition de codage pour un time stamp simple :

- si la latence du pré-trigger est fixe.

- si la résolution temporelle du time stamp associé au pré-trigger est de 2 ns (TBC)

- si l'horloge utilisée dans les FE est d'une fréquence $f=40\text{MHz}$ ($T=25\text{ns}$)

- si l'envoi du pré-trigger est synchrone de ce 40 MHz

→ un encodage du time stamp sur 4 bits est suffisant (quantum de $25\text{ns}/16=1.56\text{ns}$):

→ débit de données : 2.4 Mbits/s

Ce pré-trigger est ensuite utilisé par les détecteurs silicium pour déterminer si au moins un plan à vue une trace en corrélation avec le signal absorbeur. La résolution temporelle du silicium étant très médiocre (10ns), un pré-trigger d'une résolution de 1.56ns est donc suffisant.

Taux de comptage dans l'absorbeur : 10^7 Hz.

Taux de comptage du détecteur silicium : 10^6 Hz

→ Taux de comptage des coïncidences absorbeur-silicium $\sim 1.5 \cdot 10^5$ en protons, $2 \cdot 10^4$ en carbone

→ bande passante associée au trigger : $10^5 \cdot \text{time stamp}$.

proposition de codage du trigger :

- le temps de propagation du signal provenant du détecteur silicium est fluctuant,
 - si malgré cela, la latence du trigger est allongée pour être constante,
 - si l'horloge utilisée dans les FE est d'une fréquence $f=40\text{MHz}$
 - si l'envoi du pré-trigger est synchrone de ce 40 MHz

→ l'encodage du pré-trigger est suffisant et peut-être réutilisé -> 4 bits :

→ débit de données : $4 \cdot 10^5$ bits/s

- Absorbeur :

- Les informations (x,y),t,Q sont nécessaires
- Les cartes ASM réalisent un échantillonnage par mémoire analogiques avec un ADC 30 MHz 12 bits (chaque carte ASM possède 24 voies de lecture).
- chaque carte ASM doit transmettre :
 - si les voies sont touchées ou non → 16 bis pour 16 voies (TBC)
 - la moitié des échantillons (512 @ 0.5 GHz TBC) pour la/les voies touchées :
en moyenne 4 voies touchées -> : $4 * (12 * 512 + 4) = 24.592$ Kbits
 - le time stamp « absolu » doit être également transmis : 32 bits

→ soit au total :

$$(16 + 24592 + 32) * 10^5 = 2.5 \text{ Gbits/s}$$

- Si le calcul de la charge est réalisé dans la carte ASM le débit de données peut facilement être réduit. Le groupe de du LPC doit vérifier :
 - la possibilité d'implémenter l'algorithme permettant de récupérer les infos charge et temps à partir des échantillons dans le FPGA.
 - l'implémentation d'une « clock recovery » à partir du lien haut débit, d'une liaison GBT, 8b/10b ou autre et d'un TDC (résolution 2ns) dans le FPGA actuellement utilisé sur la carte ASM.
- Le temps mort de l'absorbeur est lié au temps de lecture des mémoires analogiques (ici ~ 25µs). Pour réduire l'effet du temps mort, les cartes ASM qui n'ont pas de données à transmettre resteront en acquisition.

- Hodoscope 512 voies:
 - Les informations (x,y),t sont nécessaires
 - Le taux de comptage étant très élevé dans l'absorbeur (10^8), plusieurs traces peuvent être transmises dans le readout avec le time stamp associé.
 - Si le nombre de traces à transmettre est de 2 avec 4 voies touchées pour chaque trace :
pour l'ensemble de l'Hodoscope et pour chaque trace, il faut :
 - un time stamp « absolu » sur 32 bits
 - le nombre de voies touchées sur 6 bits
 - et pour chaque voie sa position sur 9 bits
- soit dans cet exemple :
- $$\{2 * (32 + 4 * 9)\} * 10^5 = 14 \text{ Mbits/s}$$

- silicium pour chaque plan:
 - Les informations (x,y),t , Q, et Z(TBC) sont nécessaires
 - Plusieurs possibilités sont envisagées pour le FE du détecteur silicium :
 - soit QDC sur le slow shaper (40MHz) avec un TDC sur le fast shaper.
 - soit un QDC ou un TDC associé à un échantillonnage rapide (100MHz) pour pouvoir faire une analyse sur la formes des signaux.

La deuxième solution est évidemment la plus gourmande pour la BW.
 - Si le nombre de traces à transmettre est de $2x + 2y$:
 - un time stamp « absolu » sur 32 bits
 - le nombre de voies touchées sur 6 bits
 - et pour chaque voie sa charge 12 bits et la liste des échantillons :
40 échantillons (400 ns) * 12 bits.
- soit dans cette exemple :
- $$32 + 6 + 4 * \{12 + (40 * 12)\} * 10^5 = 200 \text{ Mbits/s}$$

- Pour le lien hodoscope :
 - dans le sens détecteur vers DAQ : readout : 14 Mbits/s
 - dans le sens DAQ vers détecteur : trigger : 400 Kbits/s
- Pour le lien d'un plan silicium :
 - dans le sens détecteur vers DAQ : readout + trigger : $200 + 0.4 = 200.6$ Mbits/s
 - dans le sens DAQ vers détecteur : pré-trigger + trigger : $6 \times 2.4 + 0.4 = 15$ Mbits/s
- Pour le lien absorbeur :
 - dans le sens détecteur vers DAQ : pré-trigger + readout : $2.4 + 2500 = 2.5$ Gbits/s
 - dans le sens DAQ vers détecteur : trigger : 400 Kbits/s