

计组第八次作业 (201700130011 菁英班 刘建东)

9.7

题目：某 CPU 的主频为 10 MHz，若已知每个机器周期平均包含 4 个时钟周期，该机的平均指令执行速度为 1MIPS，试求该机的平均指令周期及每个指令周期含几个机器周期？若改用时钟周期为 0.4 us 的 CPU 芯片，则计算机的平均指令执行速度为多少 MIPS？若要得到平均每秒 80 万次的指令执行速度，则应采用主频为多少的 CPU 芯片？

CPU 主频为 10 MHz，因此我们可以得知 $\text{时钟周期} = \frac{1}{10 \text{ MHz}} = 0.1 \times 10^{-6} \text{ s} = 0.1 \mu\text{s}$ 。由于每个机器周期平均包含 4 个时钟周期，因此 $\text{机器周期} = 0.1 \mu\text{s} \times 4 = 0.4 \mu\text{s}$ 。

平均指令执行速度为 1MIPS，因此 $\text{平均指令周期} = \frac{1}{1 \text{ MIPS}} = 1 \mu\text{s}$ ，即每个指令周期包含 $\frac{1 \mu\text{s}}{0.4 \mu\text{s}} = 2.5$ 个机器周期。

若改用时钟周期为 0.4 us 的 CPU 芯片， 机器周期 将变为 $1.6 \mu\text{s}$ ， 平均指令周期 变为 $1.6 \mu\text{s} \times 2.5 = 4 \mu\text{s}$ ， 平均指令执行速度 为 $\frac{1 \text{ s}}{4 \mu\text{s}} = 0.25 \text{ MIPS}$ 。

若要得到 0.8 MIPS 的指令执行速度， 平均指令周期 需要变为 $\frac{1 \text{ s}}{0.8 \text{ MIPS}} = 1.25 \mu\text{s}$ ， 机器周期 会变为 $\frac{1.25 \mu\text{s}}{2.5} = 0.5 \mu\text{s}$ ， 时钟周期 将变为 $\frac{0.5 \mu\text{s}}{4} = 0.125 \mu\text{s}$ ， 主频 将变为 $\frac{1}{0.125 \mu\text{s}} = 8 \text{ MHz}$ ，即应采用主频为 8MHz 的芯片。

9.11

题目：设 CPU 内部结构如下图所示，此外还设有 B、C、D、E、H、L 6 个寄存器，它们各自的输入和输出端都与内部总线相通，并分别受控制信号控制（如 B_i 为寄存器 B 的输入控制； B_o 为寄存器 B 的输出控制）。要求从取指令开始，写出完成下列指令所需的全部微操作和控制信号。

- (1) ADD B, C ($(B) + (C) \rightarrow B$)
- (2) SUB A, H ($(AC) - (H) \rightarrow AC$)

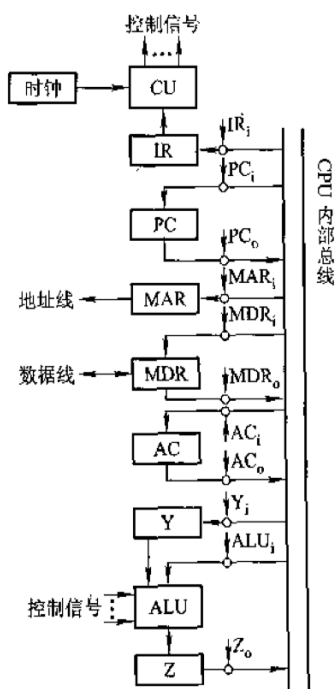


图 9.4 采用 CPU 内部总线方式的数据通路和控制信号

(1) ADD B, C ($(B) + (C) \rightarrow B$)

指令微操作	控制信号
【----- 取指周期 -----】	
$PC \rightarrow MAR$	PC_o, MAR_i
$1 \rightarrow R$	通过控制总线读主存
$M(MAR) \rightarrow MDR$	MAR_o, MDR_i
$MDR \rightarrow IR$	MDR_o, IR_i
$OP(IR) \rightarrow CU$	CU 译码
$(PC) + 1 \rightarrow PC$	+1
【----- 执行周期 -----】	
$B \rightarrow Y$	B_o, Y_i
$(Y) + (C) \rightarrow Z$	$C_o, ALU_i, +$
$Z \rightarrow B$	Z_o, B_i

(2) SUB A, H ($(AC) - (H) \rightarrow AC$)

指令微操作	控制信号
【----- 取指周期 -----】	
$PC \rightarrow MAR$	PC_o, MAR_i
$1 \rightarrow R$	通过控制总线读主存
$M(MAR) \rightarrow MDR$	MAR_o, MDR_i
$MDR \rightarrow IR$	MDR_o, IR_i
$OP(IR) \rightarrow CU$	CU 译码
$(PC) + 1 \rightarrow PC$	+1
【----- 执行周期 -----】	
$H \rightarrow Y$	H_o, Y_i
$(AC) - (H) \rightarrow Z$	$AC_o, ALU_i, -$
$Z \rightarrow AC$	Z_o, AC_i

9.12

题目：CPU结构同上题，写出完成下列指令所需的全部微操作和控制信号（包括取指令）。

(1) 寄存器间接寻址的无条件转移指令“JMP @ B”。

(2) 间接寻址的存数指令“STA @ X”。

(1) JMP @ B

指令微操作	控制信号
【----- 取指周期 -----】	
$PC \rightarrow MAR$	PC_o, MAR_i
$1 \rightarrow R$	通过控制总线读主存
$M(MAR) \rightarrow MDR$	MAR_o, MDR_i
$MDR \rightarrow IR$	MDR_o, IR_i
$OP(IR) \rightarrow CU$	CU 译码
$(PC) + 1 \rightarrow PC$	+1
【----- 间址周期 -----】	
$B \rightarrow MAR$	B_o, MAR_i
$1 \rightarrow R$	通过控制总线读主存
$M(MAR) \rightarrow MDR$	MAR_o, MDR_i
【----- 执行周期 -----】	
$MDR \rightarrow PC$	MDR_o, PC_i

(2) STA @ X

指令微操作	控制信号
【----- 取指周期 -----】	
$PC \rightarrow MAR$	PC_o, MAR_i
$1 \rightarrow R$	通过控制总线读主存
$M(MAR) \rightarrow MDR$	MAR_o, MDR_i
$MDR \rightarrow IR$	MDR_o, IR_i
$OP(IR) \rightarrow CU$	CU 译码
$(PC) + 1 \rightarrow PC$	+1
【----- 间址周期 -----】	
$Ad(IR) \rightarrow MAR$	IR_o, MAR_i
$1 \rightarrow R$	通过控制总线读主存
$M(MAR) \rightarrow MDR$	MAR_o, MDR_i
【----- 执行周期 -----】	
$AC \rightarrow MDR$	AC_o, MDR_i
$1 \rightarrow W$	通过控制总线写主存
$MDR \rightarrow M(MAR)$	MDR_o, MAR_o

(Ad(IR) 是形式地址)

9.13

题目：CPU内部结构同上题，此外还设有 $R_1 \sim R_4$ 4个寄存器，它们各自的输入和输出端都与内部总线相通，并分别受控制信号控制（如 R_{2i} 为寄存器 R_2 的输入控制； R_{2o} 为 R_2 的输出控制）。要求从取指令开始，写出完成下列指令所需的全部微操作和控制信号。

(1) ADD $R_2, @ R_4; ((R_2) + ((R_4)) \rightarrow R_2$, 寄存器间接寻址)

(2) SUB $R_1, @ mem; ((R_1) - ((mem)) \rightarrow R_1$, 存储器间接寻址)

(1) ADD $R_2, @ R_4; ((R_2) + ((R_4)) \rightarrow R_2$, 寄存器间接寻址)

指令微操作	控制信号
【----- 取指周期 -----】	
$PC \rightarrow MAR$	PC_o, MAR_i
$1 \rightarrow R$	通过控制总线读主存
$M(MAR) \rightarrow MDR$	MAR_o, MDR_i
$MDR \rightarrow IR$	MDR_o, IR_i
$OP(IR) \rightarrow CU$	CU 译码
$(PC) + 1 \rightarrow PC$	+1
【----- 间址周期 -----】	
$R_4 \rightarrow MAR$	R_{4o}, MAR_i
$1 \rightarrow R$	通过控制总线读主存
$M(MAR) \rightarrow MDR$	MAR_o, MDR_i
【----- 执行周期 -----】	
$R_2 \rightarrow Y$	R_{2o}, Y_i
$(Y) + (MDR) \rightarrow Z$	$MDR_o, ALU_i, +$
$Z \rightarrow R_2$	Z_o, R_{2i}

(2) SUB $R_1, @mcm; ((R_1) - (mem)) \rightarrow R_1$, 存储器间接寻址)

指令微操作	控制信号
【----- 取指周期 -----】	
$PC \rightarrow MAR$	PC_o, MAR_i
$1 \rightarrow R$	通过控制总线读主存
$M(MAR) \rightarrow MDR$	MAR_o, MDR_i
$MDR \rightarrow IR$	MDR_o, IR_i
$OP(IR) \rightarrow CU$	CU 译码
$(PC) + 1 \rightarrow PC$	+1
【----- 间址周期 -----】	
$Ad(IR) \rightarrow MAR$	IR_o, MAR_i
$1 \rightarrow R$	通过控制总线读主存
$M(MAR) \rightarrow MDR$	MAR_o, MDR_i
【----- 执行周期 -----】	
$R_1 \rightarrow Y$	R_{1o}, Y_i
$(Y) - (MDR) \rightarrow Z$	$MDR_o, ALU_i, -$
$Z \rightarrow R_1$	Z_o, R_{1i}

(Ad(IR) 是形式地址)