

4.5

题目：什么是存储器的带宽？若存储器的数据总线宽度为32位，存取周期为200ns，则存储器的带宽是多少？

存储器带宽，指单位时间内存储器所存取的信息量，即存储器在单位时间内读出/写入的位数或字节数。

存储器带宽：
$$\frac{32 * 1}{200 * 10^{-9}}b = 20MB/s$$

4.6

题目：某机字长为32位，其存储容量是64KB，按字编址其寻址范围是多少？若主存以字节编址，试画出主存字地址和字节地址的分配情况。

存储容量为 64KB，因此若按字节编址，寻址范围为 64K，若按字编址，寻址范围为 $\frac{64KB}{\frac{32}{8}B} = 16K$.

字地址	HB ————— 字节地址 ————— LB			
0	0	1	2	3
4	4	5	6	7
...
65532	65532	65533	65534	65535

4.13

题目：设有一个 64K * 8 位的RAM芯片，试问该芯片共有多少个基本单元电路（简称存储基元）？欲设计一种具有上述同样多存储基元的芯片，要求对芯片字长的选择应满足地址线 and 数据线的总和为最小，试确定这种芯片的地址线 and 数据线，并说明有几种解答。

存储基元总数： $64K * 8b = 512Kb = 2^{19}b$ ，即 2^{19} 位， 2^{19} 个存储基元。

假设有 a 根地址线， b 根数据线，则 $2^a * b = 2^{19}$ ，求 $min(a + b)$ 。

易知 $b = 2^{19-a}$ ，即求 $min(a + 2^{19-a})$ 。令 $S = a + 2^{19-a}(a \geq 1)$ ，幂次增长显然快于线性增长，因此 S 在 $a = 19$ 或 $a = 18$ 时取到最小值。

即两种分配方案，18 根地址线，2 根数据线；或者 19 根地址线，1 根数据线时满足地址线和数据线的总和最小。

4.14

题目：某 8 位微型计算机地址码为 18 位，若使用 4K * 4 位的 RAM 芯片组成模块板结构的存储器，试问：

(1) 该机所允许的最大主存空间是多少？

(2) 若每个模块板为 32K * 8 位，共需几个模块板？

(3) 每个模块板内共有几片 RAM 芯片？

(4) 共有多少片 RAM？

(5) CPU 如何选择各模块板？

- 1. 最大主存空间： $2^{18} * 8b = 2^{18}B = 256KB$
- 2. 模块板个数： $\frac{256KB}{32KB} = 8$ 个
- 3. RAM 芯片个数： $\frac{32 * 8Kb}{4 * 4Kb} = 16$ 片
- 4. 总片数： $16 * 8$ 片 = 128 片
- 5. 此处采用位扩展，将两个 RAM 芯片进行统一寻址。因此先通过最高的 3 位地址选择模板块，再通过之后的 3 位地址选择模块板内的 RAM 芯片，再通过之后的 12 位地址实现芯片内寻址（位扩展之后的芯片）。

模块号 (3位)	芯片号 (3位)	片内地址 (12位)
----------	----------	------------

4.18

题目：已知接收到的海明码为 1100100、1100111、1100000、1100001，检查上述代码是否出错？第几位出错？（偶校验）

- 1. 海明码：1100100，具体校验结果如下，出错位为 $110 = 6$ ，即第 6 位出错，原始数据为 0110。

二进制位	1	1	0	0	1	0	0		
校验位	P1	P2		P3					校验结果
1	1		0		1		0		0
2		1	0			0	0		1
4				0	1	0	0		1

- 2. 海明码：1100111，具体校验结果如下，出错位为 $111 = 7$ ，即第 7 位出错，原始数据为 0110。

二进制位	1	1	0	0	1	1	1		
校验位	P1	P2		P3					校验结果
1	1		0		1		1		1
2		1	0			1	1		1
4				0	1	1	1		1

3. 海明码：1100000，具体校验结果如下，出错位为 $011 = 3$ ，即第 3 位出错，原始数据为 1000。

二进制位	1	1	0	0	0	0	0		
校验位	P1	P2		P3					校验结果
1	1		0		0		0		1
2		1	0			0	0		1
4				0	0	0	0		0

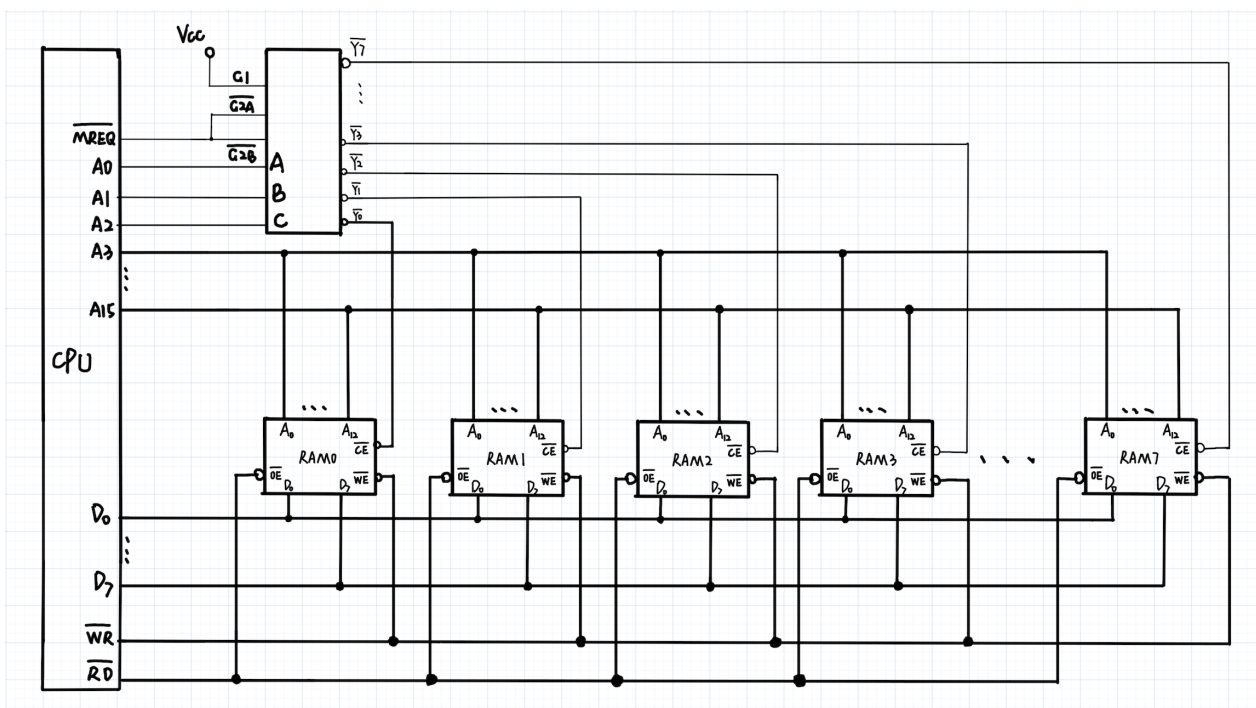
4. 海明码：1100001，具体校验结果如下，出错位为 $100 = 4$ ，即第 4 位出错，原始数据为 0001。

二进制位	1	1	0	0	0	0	1		
校验位	P1	P2		P3					校验结果
1	1		0		0		1		0
2		1	0			0	1		0
4				0	0	0	1		1

4.23

题目：设CPU共有16根地址线，8根数据线，并用 M/\overline{IO} 作为访问存储器或 I/O 的控制信号（高电平为访存，低电平为访 I/O）， \overline{WR} （低电平有效）为写命令， \overline{RD} （低电平有效）为读命令。设计一个容量为 64KB 的采用低位交叉编址的 8 体并行结构存储器。

画出CPU和存储芯片（芯片容量自定）的连接图，并写出图中每个存储芯片的地址范围（用十六进制数表示）。



8个RAM，每个RAM容量为8KB。由于采用低位交叉编址的8体并行结构存储器，各RAM地址范围如下所示：

RAM0: 0000H, 0008H,, FFF8H

RAM1: 0001H, 0009H,, FFF9H

RAM2: 0002H, 000AH,, FFFAH

RAM3: 0003H, 000BH,, FFFBH

RAM4: 0004H, 000CH,, FFFCH

RAM5: 0005H, 000DH,, FFFDH

RAM6: 0006H, 000EH,, FFFEh

RAM7: 0007H, 000FH,, FFFFH

4.24

题目：一个4体低位交叉的存储器，假设存取周期为 T ，CPU 每隔 $\frac{1}{4}$ 存取周期启动一个存储体，试问依次访问 64 个字需多少个存取周期？

4体低位交叉存储器，访问第一个字需要一个存取周期，从第二个字开始，每隔 $\frac{1}{4}$ 存取周期即可访问一个字，因此总存取周期个数为 $\frac{64-1}{4}T + T = 16.75T$ ，即 16.75 个存取周期。

题目：设主存容量为 256 K 字，Cache 容量为 2 K 字，块长为 4。

- (1) 设计 Cache 地址格式，Cache 中可装入多少块数据？
- (2) 在直接映射下，设计主存地址格式。
- (3) 在四路组相联映射方式下，设计主存地址格式。
- (4) 在全相联映射方式下，设计主存地址格式。
- (5) 若存储字长为 32 位，存储器按字节寻址，写出上述三种映射方式下主存的地址格式。

1. Cache 容量为 2K 字，块长为 4，因此 Cache 共有 $\frac{2K}{4} = 512$ 块，即 Cache 字地址 9 位，字块内地址 2 位。

Cache 字块地址 (9位)	块内地址 (2位)
-----------------	-----------

2. 主存容量为 $256K = 2^{18}$ 字，因此主存地址共 18 位，其中 Cache 共有 $512 = 2^9$ 行，即 Cache 字块地址共 9 位；块大小为 4，即块内地址为 2 位；因此主存标记地址共 $18 - 9 - 2 = 7$ 位。

主存标记地址 (7位)	Cache 字块地址 (9位)	块内地址 (2位)
-------------	-----------------	-----------

3. 四路组相联映射，一组中有 4 块，因此 Cache 中共有 128 组，主存中共有 $\frac{2^{18}}{2^2 * 2 * 7} = 2^9$ 组群；因此主存标记地址为 9 位，Cache 索引地址为 7 位，块内地址为 2 位。

主存标记地址 (9位)	Cache 索引地址 (7位)	块内地址 (2位)
-------------	-----------------	-----------

4. 在全相联映射方式下，每个主存块映射到 Cache 的任意一行，因此主存标记地址为 16 位，块内地址为 2 位。

主存标记地址 (16位)	块内地址 (2位)
--------------	-----------

5. 块长为 4，即 $\frac{4 * 32}{8} = 16$ 字节，块内地址为 4 位。主存空间共 $\frac{256 * 2^{10} * 32}{8} = 2^{20}$ 字节，主存地址共 20 位。因此只需将上述的地址划分中块内地址从 2 位改为 4 位即可。

◦ 直接映射

主存标记地址 (7位)	Cache 字块地址 (9位)	块内地址 (4位)
-------------	-----------------	-----------

◦ 四路组相联映射

主存标记地址 (9位)	Cache 索引地址 (7位)	块内地址 (4位)
-------------	-----------------	-----------

◦ 全相联映射

主存标记地址 (16位)	块内地址 (4位)
--------------	-----------

4.29

题目：假设 *CPU* 执行某段程序时共访问 *Cache* 命中 4800 次，访问主存 200 次，已知 *Cache* 的存取周期是 30 ns，主存的存取周期是 150 ns，求 *Cache* 的命中率以及 *Cache* — 主存系统的平均访问时间和效率，试问该系统的性能提高了多少？

$$\text{Cache 命中率: } \frac{4800}{4800 + 200} = 96\%$$

$$\text{平均访问时间: } 0.96 * 30 + (1 - 0.96) * (30 + 150) = 36ns$$

$$\text{访问效率: } \frac{30}{36} = 83.3\%$$

$$\text{性能提高: } \frac{150}{36} = 4.17 \text{ 倍}$$

4.32

题目：设某机主存容量为 4 MB，*Cache* 容量为 16 KB，每字块有 8 个字，每字 32 位，设计一个四路组相联映射（即 *Cache* 每组内共有 4 个字块）的 *Cache* 组织。

(1) 画出主存地址字段中各段的位数。

(2) 设 *Cache* 的初态为空，*CPU* 依次从主存第 0, 1, 2, ..., 89 号单元读出 90 个字（主存一次读出一个字），并重复按此次序读 8 次，问命中率是多少？

(3) 若 *Cache* 的速度是主存的 6 倍，试问有 *Cache* 和无 *Cache* 相比，速度约提高多少倍？

- 按字节寻址，因此主存地址为 22 位。每字块有 8 个字，每字 32 位，因此每字块共 32B。四路组相联映射，因此 *Cache* 中共有 $\frac{16 * 2^{10}}{32 * 4} = 2^7$ 组，主存中共有 $\frac{2^{22}}{2^7 * 32} = 2^{10}$ 个组群，即主存标记地址为 10 位，*Cache* 索引地址为 7 位，块内地址为 5 位。

主存标记地址 (10位)	Cache 索引地址 (7位)	块内地址 (5位)
--------------	-----------------	-----------

- 由于每块有 8 个字，因此读取 90 个字即读取了 12 个块，因此 90 * 8 次访问中只有 12 次未命中，即命中率为 $\frac{90 * 8 - 12}{90 * 8} = 98.33\%$ 。

- 设访问 *Cache* 时间为 t ，则访问主存时间为 $6t$ 。

$$\text{无 Cache: } 90 * 8 * 6t$$

$$\text{有 Cache: } 90 * 8 * t + 12 * 6t$$

$$\text{提高倍数: } \frac{90 * 8 * 6t}{90 * 8 * t + 12 * 6t} = 5.45 \text{ 倍}$$