

2018년 2학기 컴퓨터공학실험Ⅱ
CSE3016-05반 5주차 결과 보고서

학번: 20171665

이름: 이 선 호

2018. 10. 19

목 차

I | 1 Bit 비교기 Simulation 결과 및 과정

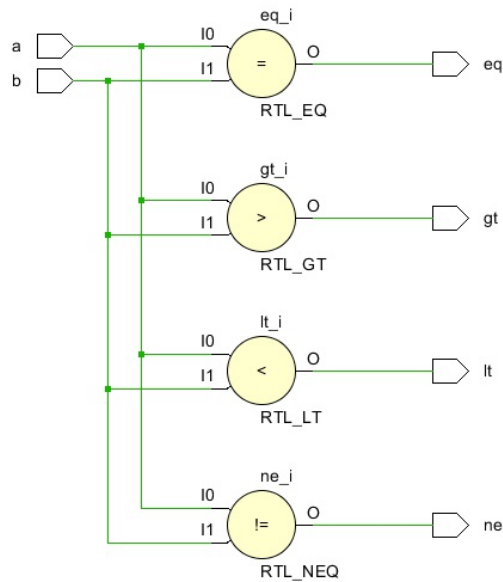
1. 1 Bit 비교기	3
--------------	-------	---

II | 논의

1. 결과 검토 및 논의사항	5
2. 추가 이론 조사 및 작성	6

I 1 Bit 비교기 Simulation 결과 및 과정

1. 1 Bit 비교기



1) Verilog 코딩

inv.v

```

`timescale 1ns / 1ps

module inv(
input a, b,
output eq,ne,gt,lt
);
    assign eq = (a == b);
    assign ne = (a != b);
    assign gt = (a > b);
    assign lt = (a < b);
endmodule

```

[표 II -(1)] Verilog Design Source 코드

```

inv_tb.v

timescale 1ns / 1ps

module inv_tb;
  reg ina, inb;
  wire outeq, outne, outgt, outlt;

  inv_u_inv(
    .a(ina),
    .b(inb),
    .eq(1),
    .ne(outne),
    .gt(outgt),
    .lt(outlt)
  );

  initial begin
    ina = 1'b0;
    inb = 1'b0;
  end

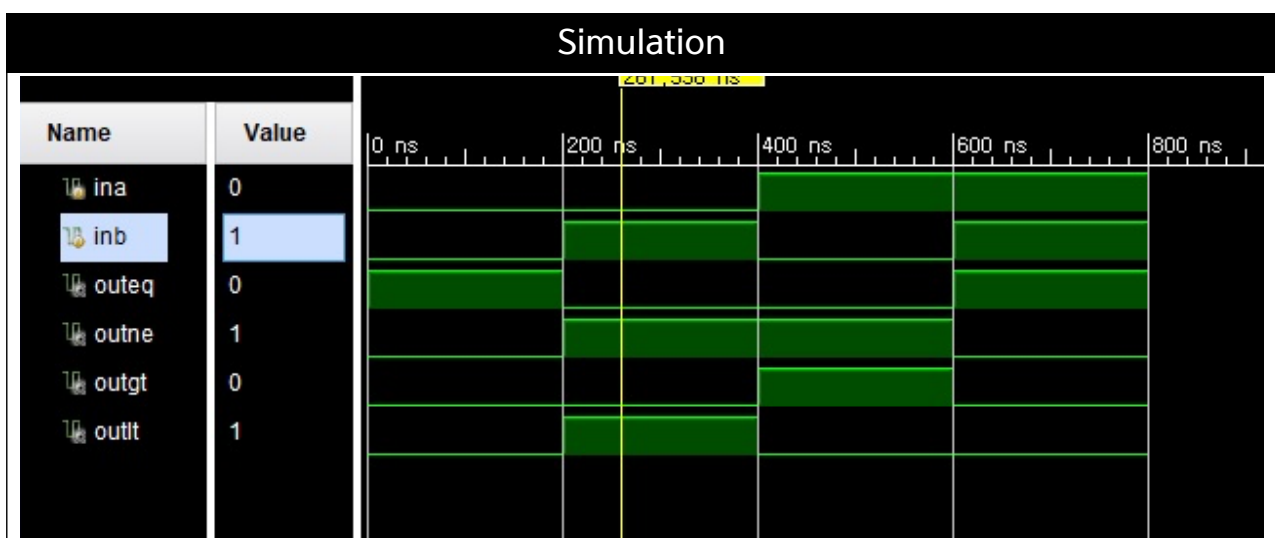
  always ina = #400 ~ina;
  always inb = #200 ~inb;

  initial begin
    #800
    $finish;
  end
endmodule

```

[표 II-(2)] Verilog Simulation 코드

3) Simulation 결과



[표 II-(3)] Simulation 결과

4) 진리표

Truth Table					
A	B	A=B	A≠B	A>B	A<B
0	0	1	0	0	0
0	1	0	1	0	1
1	0	0	1	1	0
1	1	1	0	0	0

[표 II-(4)] 1 Bit 비교기 진리표

5) 설명

A와 B의 값을 서로 네 가지의 다른 비교 연산을 시행하여 그 결과값을 출력한다. A와 B가 서로 같을 때는 A와 B의 값이 모두 0이거나 1일 때이며, 이 경우에 eq output에서 1을 출력한다. 반면에 A와 B의 값이 서로 다를 때는 ne output에서 1을 출력한다. A가 1이고 B가 0이면 A가 B보다 크므로 gt output이 1로 출력되며, 반대로 A가 0이고 B가 1이면 B가 A보다 크므로 lt output이 1로 출력된다.

III 논의

1. 결과 검토 및 논의사항

실습시간에는 Verilog에서 제공하는 비교 연산자('==', '!=', '<', '>')들을 이용하여 A와 B의 1비트의 비교 결과 값을 출력했다. 만일 이와 같은 비교 연산자를 쓰지 않고 AND, OR 게이트만을 이용하여 출력 결과를 도출하고자 하면 아래와 같이 표현할 수 있다.

먼저 A가 B보다 큰 경우에는 A가 1이고 B가 0일 때이며, 이 때 gt 게이트를 1로 출력해야 한다. 따라서 A와 B의 보수를 AND 연산을 시행해야 하며, A가 1이고 B가 0일 때 1을 결과로 출력하게 된다. A가 B보다 작은 경우에는 A가 0이고 B가 1일 때이며, 이 때 lt 게이트를 1로 출력해야 한다. A의 보수와 B를 AND 연산을 시행해야 하며, A가 0이고 B가 1일 때 1을 결과로 출력하게 된다.

A와 B가 다를 때에는 A가 0이고 B가 1인 경우, 그리고 A가 1이고 B가 0인 경우이며, 이 때 ne 게이트를 1로 출력해야 한다. 따라서 A와 B의 보수, 그리고 A의 보수와 B를 각각 AND 연산한 결과를 서로 OR 연산하면 된다. A와 B가 같을 때에는 A와 B 모두 1이거나 0인 경우이며, 이 때 eq 게이트를 1로 출력해야 한다. 따라서 A의 보수와 B의 보수, 그리고 A와 B를 각각 AND 연산한 결과를 서로 OR 연산하면 된다. 위의 논리 연산을 논리식으로 정리하면 아래와 같다.

$$\begin{aligned}
 &AB' \text{ (gt)} \\
 &A'B \text{ (lt)} \\
 &AB' + A'B \text{ (ne)} \\
 &A'B' + AB \text{ (eq)}
 \end{aligned}$$

여기서 드 모르 간의 법칙을 엿볼 수 있는데, A와 B가 서로 같을 때와 서로 다를 EO는 서로 보수 관계라는 것을 알 수 있다. 따라서 드 모르간 법칙을 사용하여 ne에서 eq를 도출하면 다음과 같다.

$$\begin{aligned}
 (AB' + A'B)' &= (AB')'(A'B)' \\
 &= (A' + B)(A + B') = A'A + A'B' + AB + BB' \\
 &= A'B' + AB
 \end{aligned}$$

2. 추가 이론 조사 및 작성

A와 B가 서로 다를 때 출력 값이 1이 되고 나머지 경우에는 0으로 출력되는 논리 연산은 XOR 연산으로 대체할 수 있다.

드 모르간 법칙 외에도 여러 가지 Switching Algebra가 존재하는데, 분배 법칙, Adjacency, Simplification, Absorption, Consensus 등이 있다. 이를 정리하면 아래와 같다.

$$\begin{aligned}
 a + bc &= (a + b)(a + c) \cdots \text{Distributive} \\
 (a + b)(a + b') &= a \cdots \text{Adjacency} \\
 a(a' + b) &= ab \cdots \text{Simplification} \\
 a(a + b) &= a \cdots \text{Absorption} \\
 ab + a'c &= (a + c)(a' + b) \cdots \text{Consensus}
 \end{aligned}$$