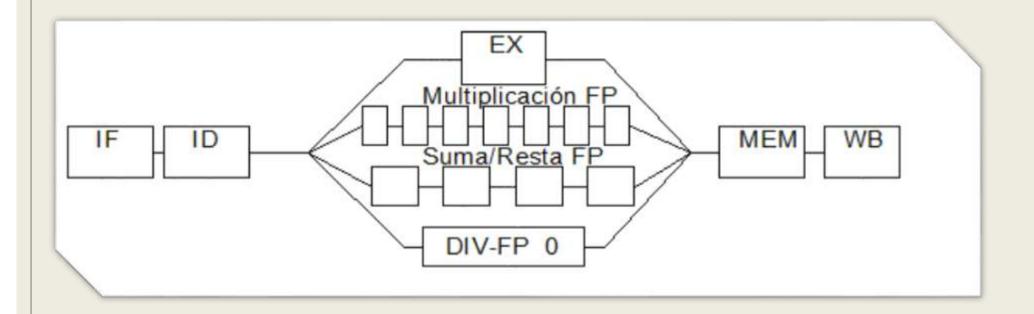


#### Ejercicio 2

Para i = 0 hasta i = 9, con i = i + 1A[i] = B \* A[i], siendo B = 2



#### Código ensamblador DLX (word)

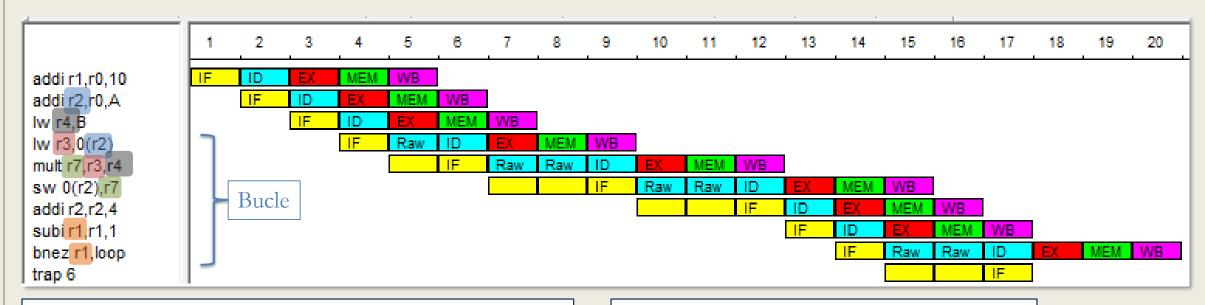
```
.data
                        .word 10, 9, 8, 7, 6, 5, 4, 3, 2, 1
      A:
      В:
                        .word 2
                        .text
                        addi rl,r0,10
      main:
                        addi r2,r0,A
 8
 9
                        lw r4,B
10
11
      loop:
                        lw r3,0(r2)
                       mult r7, r3, r4
13
                        sw 0(r2),r7
14
15
                        addi r2, r2, 4
       cont:
16
                        subi rl, rl, l
                        bnez rl, loop
17
18
19
                        trap 6
```

#### Memoria tras la ejecución

0x00001000	20	0	0	0
0x00001004	18	0	0	0
0x00001008	16	0	0	0
0x0000100c	14	0	0	0
0x00001010	12	0	0	0
0x00001014	10	0	0	0
0x00001018	8	0	0	0
0x0000101c	6	0	0	0
0x00001020	4	0	0	0
0x00001024	2	0	0	0
0x00001028	2	0	0	0

#### Diagrama de ciclos de reloj (Sin bypass)

word



**Bloqueo 1:** Riesgo por dependencia de datos RAW – R2

**Bloqueo 2:** Riesgo por dependencia de datos RAW – R4

**Bloqueo 3:** Riesgo por dependencia de datos RAW – R3

**Bloqueo 4:** Riesgo por dependencia de datos RAW – R7

Número de ciclos: 138

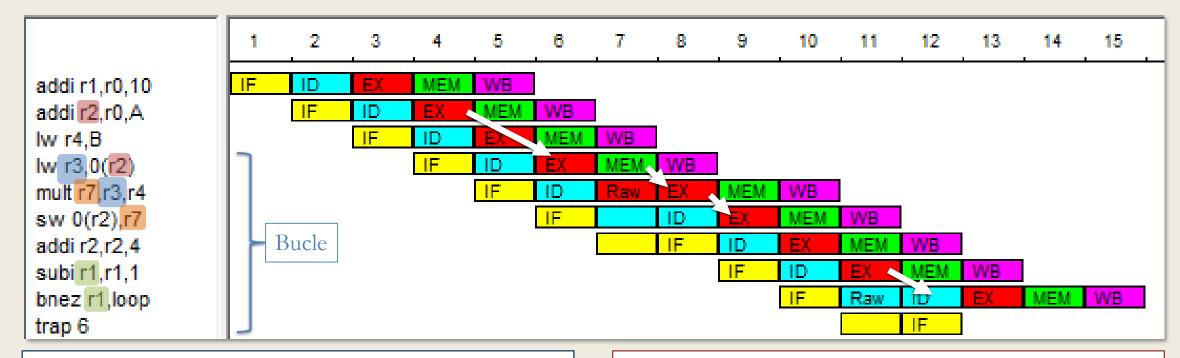
Número de instrucciones: 64

Número de detenciones: 61 RAW

Bloqueo 5: Riesgo por dependencia de datos RAW – R1

## Diagrama de ciclos de reloj (Con bypass)

word



**Bloqueo 1:** Riesgo por dependencia de datos RAW – R3

Bloqueo 2: Riesgo por dependencia de datos RAW – R1

Número de ciclos: 97

Número de instrucciones: 64

Número de detenciones: 20 RAW

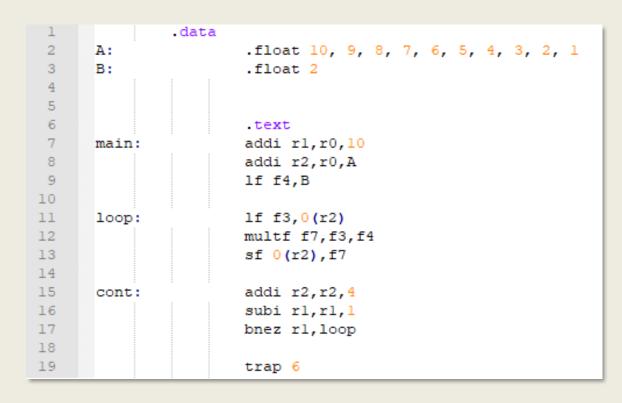
Adelantamiento 1: ALU – ALU (R2)

Adelantamiento 2: MEM - ALU (R3)

Adelantamiento 3: ALU - ALU (R7)

Adelantamiento 4: ALU – BANCO DE REGISTROS (R1)

### Código ensamblador DLX (FLOAT)

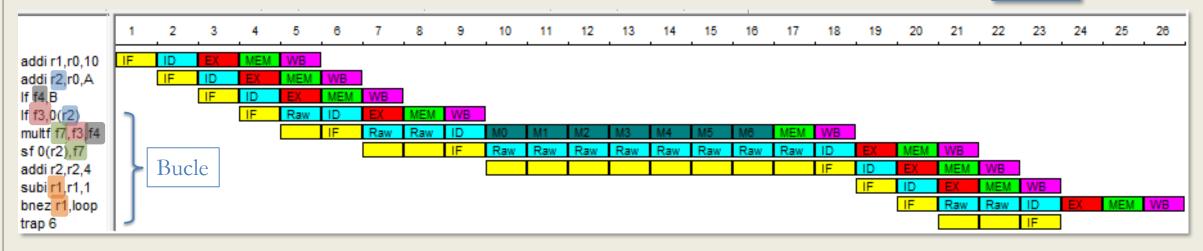


#### Memoria tras la ejecución

0x00001000	20.000000	18.000000	16.000000	14.000000
0x00001010	12.000000	10.000000	8.000000	6.000000
0x00001020	4.000000	2.000000	2.000000	0.000000
0x00001030	0.000000	0.000000	0.000000	0.000000
0x00001040	0.000000	0.000000	0.000000	0.000000
0x00001050	0.000000	0.000000	0.000000	0.000000
0x00001060	0.000000	0.000000	0.000000	0.000000
0x00001070	0.000000	0.000000	0.000000	0.000000
0x00001080	0.000000	0.000000	0.000000	0.000000
0x00001090	0.000000	0.000000	0.000000	0.000000

### Diagrama de ciclos de reloj (Sin bypass)

float



**Bloqueo 1:** Riesgo por dependencia de datos RAW – R2

**Bloqueo 3:** Riesgo por dependencia de datos RAW – F3

**Bloqueo 4:** Riesgo por dependencia de datos RAW – F7

**Bloqueo 5:** Riesgo por dependencia de datos RAW – F1

Número de ciclos: 198

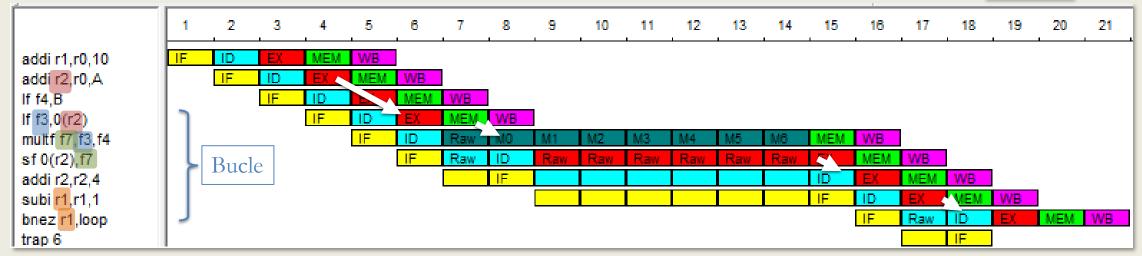
Número de instrucciones: 64

Número de detenciones: 121 RAW

**Bloqueo 2:** Riesgo por dependencia de datos RAW – F4

# Diagrama de ciclos de reloj (Con bypass)

float



**Bloqueo 1:** Riesgo por dependencia de datos RAW – F3

Adelantamiento 1: ALU – ALU (R2)

**Bloqueo 2:** Riesgo por dependencia de datos RAW – F7

Adelantamiento 2: MEM - ALU (F3)

Bloqueo 3: Riesgo por dependencia de datos RAW – R1

Adelantamiento 3: ALU - ALU (F7)

Número de ciclos: 157

Número de instrucciones: 64

Número de detenciones: 90 RAW

Adelantamiento 4: ALU – BANCO DE REGISTROS (R1)

#### Desenrollado de bucle

```
1
               .data
                       .word 10, 9, 8, 7, 6, 5, 4, 3, 2, 1
                       .word 2
5
                       .text
                       ;addi r1,r0,10
      main:
8
                       addi r2,r0,A
9
                       lw r4,B
10
11
12
                       ;***** 0 -> A[0] ******
13
                       lw r3,0(r2)
14
                       mult r7, r3, r4
15
                       sw 0 (r2), r7
16
17
                       ;***** 1 -> A[4]******
18
                       addi r2,r2,4
19
                       lw r3,0(r2)
20
                       mult r7, r3, r4
21
                       sw 0 (r2), r7
22
23
                       ;***** 2 -> A[8] *****
24
                       addi r2,r2,4
25
                       lw r3,0(r2)
26
                       mult r7,r3,r4
27
                       sw 0 (r2), r7
28
29
30
31
32
```

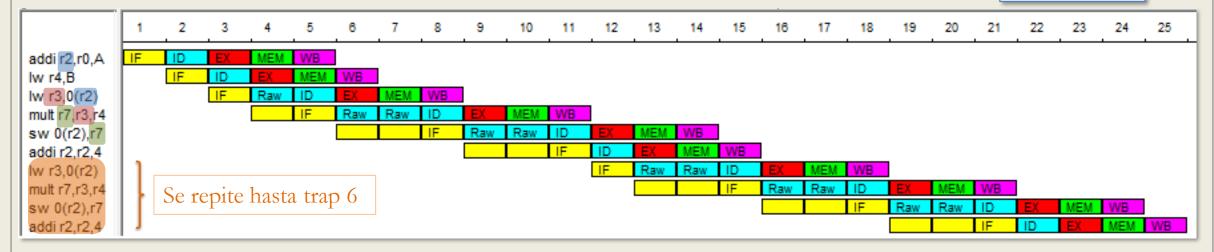
```
42
45
46
47
                       ;***** 6 -> A[24] *****
48
                       addi r2, r2, 4
49
                       lw r3,0(r2)
50
                       mult r7, r3, r4
51
                       sw 0 (r2), r7
52
53
                       ;***** 7 -> A[28] *****
                       addi r2,r2,4
55
                       lw r3,0(r2)
56
                       mult r7, r3, r4
57
                       sw 0 (r2), r7
                       ;***** 8 -> A[32] ******
59
60
                       addi r2,r2,4
61
                       lw r3,0(r2)
62
                       mult r7, r3, r4
63
                       sw 0 (r2), r7
64
                       ;***** 9 -> A[36] *****
66
                       addi r2, r2, 4
67
                       lw r3,0(r2)
68
                       mult r7, r3, r4
69
                       sw 0 (r2), r7
70
71
72
73
                                          ;Fin del programa
                       trap 6
74
```

#### Memoria tras la ejecución

0x00001000	20
0x00001004	18
0x00001008	16
0x0000100c	14
0x00001010	12
0x00001014	10
0x00001018	8
0x0000101c	6
0x00001020	4
0x00001024	2
0x00001028	2

### Diagrama de ciclos de reloj (Sin bypass)

Sin bucle



**Bloqueo 1:** Riesgo por dependencia de datos RAW – R2

**Bloqueo 2:** Riesgo por dependencia de datos RAW – R3

**Bloqueo 3:** Riesgo por dependencia de datos RAW – R7

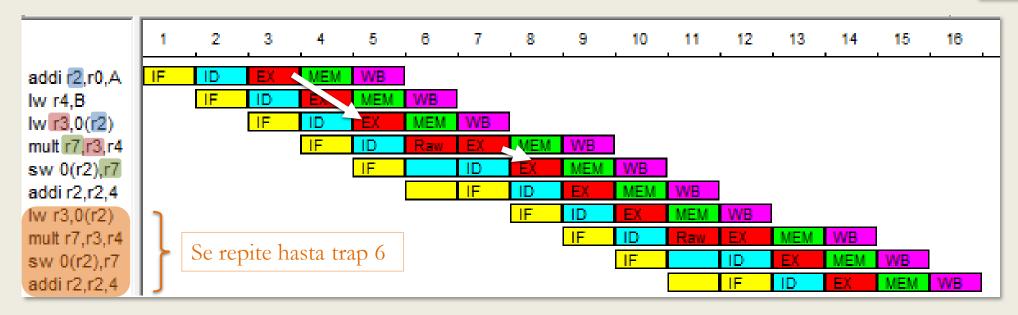
Número de ciclos: 105

Número de instrucciones: 42

Número de detenciones: 59 RAW

### Diagrama de ciclos de reloj (Con bypass)

Sin bucle



**Bloqueo 1:** Riesgo por dependencia de datos RAW – R3

Número de ciclos: 54

Número de instrucciones: 42

Número de detenciones: 10 RAW

Adelantamiento 1: ALU – ALU (R2)

Adelantamiento 2: ALU - ALU (R7)