

EBF-533 数字音视频实验开发系统

用户手册



北京亿旗创新科技发展有限公司

概述

本手册描述了由北京亿旗创新科技发展有限公司研制的 **EBF-533** 数字音视频实验开发系统的具体功能和硬件参考资料，包括地址译码信息、主要芯片介绍、接口、接插件及 **CPLD** 的详细定义等。开发板采用的 **ADI** 公司 **BF533 CPU** 的详细资料请查阅 **ADI** 公司相关网站。

EBF-533 数字音视频实验开发系统是北京亿旗创新科技发展有限公司最新推出的，基于业界领先的 **ADI Blackfin** 嵌入式处理器和 **DSP** 体系架构，集成丰富的音视频接口和主流外设，并结合网络音视频流媒体等技术和实验教学特点研制的实验开发平台。

ADSP-BF533 是业界领先的嵌入式多媒体处理器，拥有运算速度高达 **750MHz** 的 **DSP** 内核，采用 **ADI** 与 **Intel** 共同开发的 **MSA** 体系结构（同 **Intel XSCALE** 嵌入式处理器），两套乘法器和 **ALU**，专门的视频处理硬件单元和视频处理指令，丰富的 **DMA** 通道，内嵌大容量高速 **SRAM**，支持动态电源管理。本系统提供完备的音频视频采集、处理和播放功能，丰富的存储介质和传输接口，超强的系统设计灵活性，是各种音视频编解码算法和系统的理想实现平台。系统提供详尽的实验例程，电路原理图和实验指导书，包含众多循序渐进的实验，可以使学生逐步掌握系统的编程调试方法，深入理解嵌入式处理器和 **DSP** 硬件和软件构成。同时，**EBF-533** 数字音视频实验开发系统也为各种音视频处理系统提供了完备的研发平台，大大降低用户的软硬件开发工作量，加速产品的开发周期。

一. BLACKFIN 处理器特点:

BLACKFIN 系列嵌入式处理器是 Analog Devices 与 Intel 联合开发的先进的嵌入式处理器。BLACKFIN 系列嵌入式处理器具有强大的数据处理能力，并在片内集成了业界领先的系统接口与高速片内存储器。RISC-Like 的寄存器和指令集使编程更加简便。BLACKFIN 系列嵌入式处理器还提供了业界领先的电源管理功能，体现出优异的低功耗特性，这将大大延长手持设备的电池寿命。丰富的外部接口与强大的数据处理能力相结合，使用户在无须增加昂贵的外部器件的情况下开发出高效的解决方案，应用更加灵活。同时，BLACKFIN 系列嵌入式处理器提供了丰富的指令集和友好的开发环境，使用户更加快速高效的完成代码编写的工作。大量专门的视频处理指令，提高了视频数据处理的效率。

- I 高达 750MHz 的运算速度
- I 每一个 BLACKFIN 内核中带有两个 16-bit 的乘法器，两个 40-bit 的累加器，两个 40-bit 的逻辑运算单元，4 个 8-bit 的视频运算单元和一个 40-bit 的移位器。在一个指令周期内可完成 2 个 16-bit 数的乘法，2 个 40-bit 数的算术逻辑运算，4 个 8-bit 的视频数据算术逻辑运算，1 个 40-bit 的移位运算
- I 大容量的片内高速 SRAM
- I 多通道的 DMA 控制器
- I 具有内存保护功能的内存管理单元（MMU）
- I 外部存储器控制器支持与 SDRAM，SRAM，FLASH 和 ROM 的无缝连接
- I 并行外部接口（PPI），提供高速的并行数据传输，支持 ITU656 视频数据标准
- I 2 个双通道全双工的 同步串口（SPORTS），
- I SPI 控制器
- I 支持 IrDA 的异步串口（UART）
- I 实时时钟
- I 看门狗定时器
- I 用于调试的 JTAG 接口
- I 片内 PLL 单元完成从外部时钟到内核时钟的倍频
- I 0.8V—1.2V 的内核电压，降低了功耗，片内集成调压器

BLACKFIN 系列嵌入式处理器为下一代需要 RISC-Like 编程的模式，多媒体处理，高端信号处理的应用提供了完整的解决方案。

二.硬件配置

CPU:

ADSPBF533

主频: 600MHz

16 位嵌入式处理器

带有动态电源管理, 可根据功耗需要动态的改变内核的供电电压

存储器:

FLASH : 1片AMD29LV320BT 4M—Byte

SDRAM : 1片SAMSUNG K4S5616320 32M—Byte

NAND FLASH : 1片SAMSUNG K9F5608U0A 32512M—Byte

可扩展到1片SAMSUNG K9K4G08, 512M—Byte

LCD显示屏:

128*64 点阵BW LCD

320*240 TFT 真彩LCD 带触摸屏及带触摸屏控制器TSC2200

视频:

视频解码: ADV7181B 通过I2C总线实现简便的控制

支持ITU656 数字视频标准

可进行PAL制和NTSC制电视信号的解码

同时能输出行、场同步信号

视频编码: ADV7171 通过I2C总线实现简便的控制

支持ITU656 数字视频标准

同时能接收行、场同步信号进行同步

CMOS SENSOR:

可连接OmniVision生产的OV6650 CMOS SENSOR摄像头进行视频采集

通过I2C总线进行控制, 可输出符合ITU656 标准的数字视频信号

音频:

TLV320AIC23B音频CODEC

支持立体声录音、放音, 采样率高达96kHz, 可同时对输入/输出信号的增益做

动态的调整

音频输入：LINE_IN, MIC

音频输出：LINE_OUT, HEADPHONE

USB CLIENT:

PHILIP ISP1582 USB控制器

符合USB2.0 标准

USB HOST:

PHILIP ISP1161 USB 控制器

符合USB1.1 标准

提供了2个USB 1.1HOST设备

以太网控制器:

CYPRESS CS8900 10 BASE—T 以太网控制器

CAN总线控制器:

提供了符合工业标准的MCP2515 CAN 总线控制器

串行接口:

一个RS232 串行接口

MMC接口:

可外接MMC存储卡

IDE接口:

可外界高速IDE 硬盘，实现海量存储

外部扩展接口:

12-PIN 外部扩展接口，包括一个SPORT，1 个TIMER，SPI总线

其他:

6个可编程LED指示灯

1个可编程7段显示LED

4个可编程的多功能按键

1个RTC

JTAG调试接口:

同过仿真器与PC机相连，实现JTAG 硬件调试功能、

系统配置表

Item	Description
Processor	ADI® BLACKFIN BF533 600MHz
SDRAM	SAMSUNG® K4S5616320 (32Mbytes)
Flash	AMD® 29LV320BT 4MBytes
Display	点阵单色 LCD (128 * 64) TFT 真彩 LCD (320*240)
Ethernet	CIRRUS LOGIC® CS8900A 10BaseT
Audio	TI® TLV320AIC23B Stereo audio And Support Record, Stereo Speaker
VIDEO DECODER	ADI® ADV7181B
VIDEO ENCODER	ADI® ADV7171
CMOS SENSOR	OVT® OV6650
USB CLIENT	PHILIP® ISP1582
USB HOST	PHILIP® ISP1161
MMC	1 Slot
IDE INTERFACE	1 Slot
Touch Screen Controller	TI® TSC2200
RS—232	ICOM

三. 使用 EBF-533 音视频开发系统

使用 SDRAM

为了正常使用系统提供的 32MB 的 SDRAM 存储器，有三个 ADSP-BF533 的内部寄存器必须进行配置。下表给出了在系统频率在 128.8MHz 的情况下使用片内寄存器的配置。

寄存器	数值	功能
EBIU_SDRRC	0x00000817	RDIV = 1866 时钟周期
EBIU_SDBCTL	0x00000013	使能 SDRAM Bank0 SDRAM Bank0 的容量为 32MB SDRAM Bank0 列地址宽度为 9 bits
EBIU_SDGCTL	0x0091998D	16-bit 带宽 tWR = 2 SCLK cycles tRCD = 3 SCLK cycles tRP = 3 SCLK cycles tRAS = 6 SCLK cycles pre-fetch disabled CAS latency = 3 SCLK cycles SCLK1 disabled

使用 CPLD 提供的逻辑扩展

CPLD 为访问和控制外部总线接口上的各种设备提供了寄存器和逻辑的扩展。CPLD 将 FLASH 映射到 0x2000,0000—0x203B,FFFF 3.75MB 的地址上，将其他设备的扩展寄存器映射到 0x203C,0000—0x2040,0000 0.25M 的地址上，所有扩展寄存器都是只写的，对扩展寄存器进行读操作无效。地址映射和扩展寄存器的详细说明见本手册的第四部分。

使用 LED

LED 和 7 段 LED 通过 CPLD 的逻辑扩展进行控制。具体说明见本手册的第四部分。

使用按键

在使用按键时，请将拨码开关 SW3 拨到 OFF 的位置。KEY1—KEY4 分别连接到 BF533 的 PF8—PF11，这些 GPIO 与其他设备公用，在使用 MMC，MCP2515 和 NAND FLASH 时，请将 SW3 拨到 ON 的位置，此时按键不能使用。**注意，在 SW3 拨到 ON 的位置时请不要按下按键，否则将会使对设备的操作产生异常。**

使用音频设备

EBF-533 音视频开发系统提供了 TLV320AIC23B CODEC 作为音频输入输出设备。

TLV320AIC23B 提供了 LINE_IN 和 MIC_IN 的音频输入端口和 LINE_OUT

Head_Phone_OUT 的音频输出端口，最大采样率为 96kHz。TLV320AIC23B 的数字音频输入输出端口与 ADSP-BF533 的 SPORT0 连接，TLV320AIC23B 的内部控制寄存器通过 SPI 总线进行配置。**注意,音频接口不支持热插拔。**

使用视频设备

EBF-533 音视频开发系统提供了两个视频输入设备和两个视频输出设备。视频输入设备包括 ADV7181B 视频解码芯片和 COMS Sensor, 视频输出设备包括 ADV7171 和分辨率为 320*240 的 TFT LCD。所有的视频设备都连接在 ADSP-BF533 的 PPI 端口上。CPLD 中的扩展寄存器提供了这些设备的复位功能，在使用某个设备时，确保其他设备处于复位状态。除 TFT LCD 外，其他视频设备都通过 I2C 总线进行配置，使用 ADSP-BF533 的 PF2 (I2C_DATA) 和 PF4 (I2C_CLK) 实现 I2C 时序。设备配置的参数以及 TFT LCD 的时序要求请参考该设备的手册。**注意,视频接口不支持热插拔。**

使用黑白 LCD

黑白 LCD 连接在 ADSP-BF533 外部的异步总线上, 通过 CPLD 中的扩展寄存器和逻辑进行控制。黑白 LCD 的分辨率为 128*64。黑白 LCD 的地址以及操作方法请参照第四章的具体说明以及 LCD 的手册。

使用 NAND FLASH

NAND FLASH 连接在 ADSP-BF533 外部的异步总线上，通过 CPLD 中的扩展寄存器和逻辑进行控制，最大支持 512MB 的 NAND FLASH。NAND FLASH 的控制寄存器地址以及操作方法请参照第四章的具体说明以及 NAND FLASH 的手册。

使用 ETHERNET 控制器

ETHERNET 控制器 CS8900A 连接在 ADSP-BF533 外部的异步总线上，CS8900A 的地址以及操作方法请参照第四章的具体说明以及 CS8900A 的手册。

使用 USB 设备

EBF-533 音视频开发系统提供了一个 USB 2.0 CLIENT 设备 ISP1582 和一个可支持两个 USB 1.1 HOST 设备 ISP1161。ISP1582 和 ISP1161 连接在 ADSP-BF533 外部的异步总线上，USB 设备的地址以及操作方法请参照第四章的具体说明以及 ISP1582 和 ISP1161 的手册。

使用 IDE 硬盘

EBF-533 音视频开发系统提供了一个标准的 3.5 寸的 ATA 硬盘接口。ATA 硬盘连接在 ADSP-BF533 外部的异步总线上。ATA 硬盘的地址请参照第四章的具体说明，ATA 协议请参考相关技术手册。

使用 CAN 总线控制器

BF-533 音视频开发系统提供了一个支持 CAN 2.0 标准的 CAN 控制器 MCP2515。MCP2515 连接在 ADSP-BF533 的 SPI 总线上，作为 SPI 的从设备使用。BF-533 音视频开发系统中的所有 SPI 设备都使用 PF5 作为片选信号，通过 CPLD 中的逻辑确定当前选中哪个设备。关于 SPI 片选的复用请参考第四章中的具体说明。关于 MCP2515 的操作方式和 CAN 总线协议请参考相关手册。

使用 MMC/SD 卡

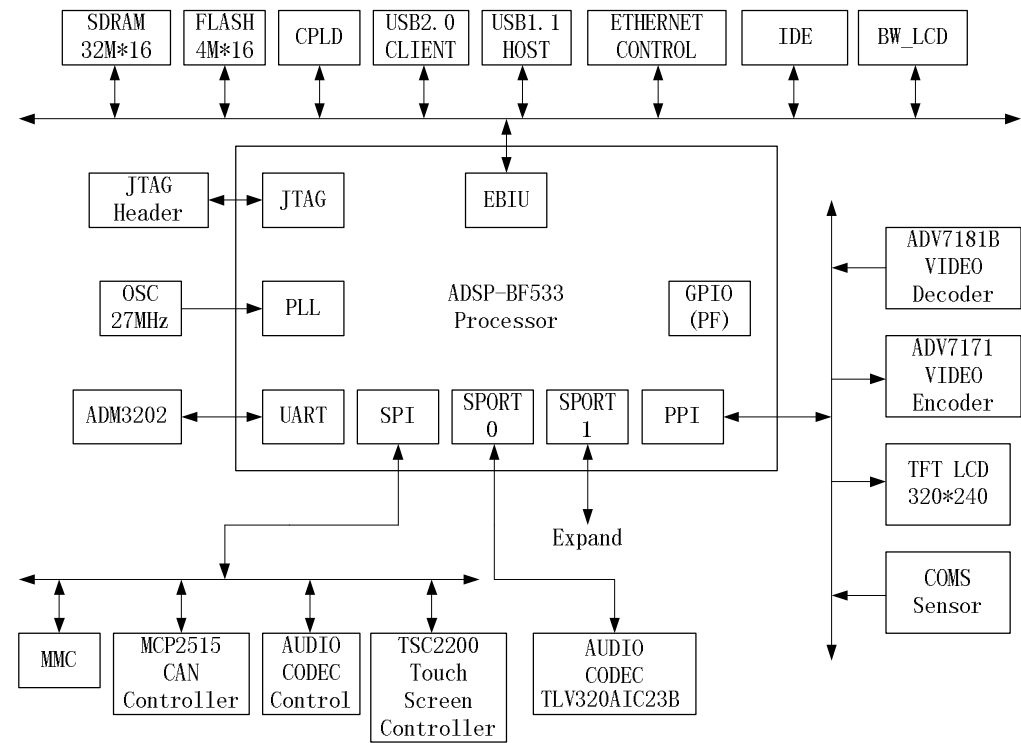
MMC/SD 卡连接在 ADSP-BF533 的 SPI 总线上，作为 SPI 的从设备。BF-533 音视频开发系统中的所有 SPI 设备都使用 PF5 作为片选信号，通过 CPLD 中的逻辑确定当前选中哪个设备。关于 SPI 片选的复用请参考第四章中的具体说明。关于 MMC/SD 卡的操作方法请参考相关手册。

使用触摸屏控制器

触摸屏控制器 TSC2200 连接在 ADSP-BF533 的 SPI 总线上，作为 SPI 的从设备。BF-533 音视频开发系统中的所有 SPI 设备都使用 PF5 作为片选信号，通过 CPLD 中的逻辑确定当前选中哪个设备。关于 SPI 片选的复用请参考第四章中的具体说明。TSC2200 的操作方法请参考 TSC2200 的手册。

四. EBF-533 音视频开发系统硬件参考

4. 1 系统结构



系统结构框图 (System Architecture)

外部总线接口设备

外部总线接口 (EBIU) 为 ADSP-BF533 与外部存储器和通过总线寻址的外部设备提供了连接通道。外部总线接口包括 16-Bit 的数据线和地址线，支持 16-Bit 和 8-Bit 的寻址方式。在 EBF-533 音视频开发系统中，通过 EBIU 连接了以下设备：

- 1 CPLD 作为 ADSP-533 寄存器和逻辑的扩展,为其他外部设备提供地址译码和复位逻辑。
- 1 32Mbytes (16*16) 的 SDRAM (K4S5616320) , ADSP-BF533 的 SMS0#作为 SDRAM 的片选信号
- 1 1片 4Mbytes 的 NOR FLASH(29LV320BT),通过 CPLD 中的逻辑扩展,占据 ADSP-BF533 异步存储区 0——3.75Mbytes 地址空间。
- 1 USB CLIENT2.0 (ISP1582), 在 ADSP-BF533 异步存储区, 通过 CPLD 进行地址译码和复位, 物理地址为 0x203D0000。
- 1 USB HOST1.1 (ISP1161), 在 ADSP-BF533 异步存储区, 通过 CPLD 进行地址译码和复位, 物理地址为 0x203D8000。

- I 10-BASE-T ETHERNET 控制器 (CS8900A), 在 ADSP-BF533 异步存储区, 通过 CPLD 进行地址译码和复位, 物理地址为 0x203D8000。
- I ATA 硬盘接口, 在 ADSP-BF533 异步存储区, 通过 CPLD 进行地址译码, 物理地址为 0x203E0000 (IDE CS0) 和 0x203E4000 (IDE CS1)。
- I 单色点阵 LCD (128*64), 在 ADSP-BF533 异步存储区, 通过 CPLD 进行地址译码, 物理地址为 0x203DC000。

SPORT0 音频设备接口

通过ADSP-BF533的同步串口 (SPORT0) 连接音频CODEC TLV320AIC23B。SPORT0工作在I2S模式, 通过发送和接收的主端口 (Primary) 完成音频数据的接收和发送。

PPI视频设备接口

EBF-533音视频开发系统提供了2个视频输入设备和2个视频输出设备连接在ADSP-BF533的PPI接口上。只能同时使用PPI端口上连接的一个设备, 在使用某一设备是, 确保其他设备处于复位状态。

视频输入

(1) VIDEO DECODER ADV7181B

PPI端口配置为输入并与ADV7181B连接。ADV7181B通过AIN6接收CVBS的模拟视频信号, 转换为数字信号后, 通过像素输出端口P15-8驱动PPI (PPI0-PPI3, PF15-12), ADV7181B的27Mhz像素时钟 (PCLK) 作为PPI的驱动时钟。ADV7181B可输出ITU656标准数字视频信号, 不需要连接ADV7181B的同步信号。

在使用ADV7181B时, 需要向CPLD中的控制寄存器2 (CtrlReg2) 写入0x02, 使用ADV7181B的PCLK驱动PPI总线。

(2) COMS SENSOR OV6650

OV6650为10万像素、CIF或QCIF的彩色COMS SENSOR, 通过像素输出端口P15-8驱动PPI (PPI0-PPI3, PF15-12), OV6650的像素时钟作为PPI的驱动时钟。OV6650可输出ITU656标准数字视频信号, 在接收YCbCr信号时, 不需要连接OV6650的同步信号; 在接收RGB信号时, 需要使用PPI 的GP模式接收OV6650的水平同步和垂直同步信号。

在使用OV6650时, 需要向CPLD中的控制寄存器2 (CtrlReg2) 写入0x01, 使用OV6650的PCLK

驱动PPI总线。

视频输出

(1) VIDEO ENCODER ADV7171

PPI端口配置为输出并与ADV7171连接。可通过PPI端口（PPI0-PPI3，PF15-12）使用ITU656模式驱动ADV7171；也可以使用PPI的GP模式，使用Timer0和Timer1发送水平同步和垂直同步信号，PPI端口发送视频数据的方式驱动ADV7171。

在使用ADV7171时，需要向CPLD中的控制寄存器2（CtrlReg2）写入0x00，使用27Mhz的晶振驱动PPI总线。

(2) TFT LCD

PPI端口配置为输出并连接TFT LCD（320*240）。使用PPI的GP模式，使用Timer0和Timer1发送水平同步和垂直同步信号，PPI端口（PPI0-PPI3，PF15-12）发送视频数据的方式驱动TFT LCD。

在使用TFT LCD时，需要向CPLD中的控制寄存器2（CtrlReg2）写入0x03，使用20Mhz的晶振驱动PPI总线。

注：针对BF533在0.5版本的PPI输出的问题修正。

当PPI采用GP模式两个同步信号（PPI_FS1、PPI_FS2）控制输出时，需要将同步信号3

（PPI_FS3）拉低才能保证PPI输出工作正常。

在EBF-533系统中，外部中断2（CPLD_INT2）与 PPI_FS3复用同一管脚PF3，

- I 用户可以通过控制寄存器2（CtrlReg2）的清位寄存器（0x203FC000）的D4位置1实现PPI_FS3拉低，此时外部中断2（CPLD_INT2）信号无效。
- I 用户可以通过控制寄存器2（CtrlReg2）的置位寄存器（0x203CC000）的D4位置1实现PF3外部中断2（CPLD_INT2）信号有效。

SPI总线

ADSP-BF533通过PF5作为所有SPI设备的片选信号，通过CPLD中的逻辑确定选中哪个设备。

EBF-533通过SPI总线连接了以下设备：

- I MMC卡，使用MOSI和MISO端口进行数据交互。在使用MMC时，首先向SPI控制寄存器（0x203F0000）写入0x01，使用PF5作为MMC的片选。
- I CAN总线控制器MCP2515，使用MOSI和MISO端口进行数据交互。在使用MCP2515时，首先向SPI控制寄存器（0x203F0000）写入0x00，使用PF5作为MCP2515的片选。
- I TLV320AIC23B Audio CODEC的控制器通过SPI的MOSI端口写入。在对TLV320AIC23B进行配置时，首先向SPI控制寄存器（0x203F0000）写入0x02，使用PF5

作为TLV320AIC23B的片选。

- I TSC2200触摸屏/键盘控制器通过MOSI和MISO端口进行数据交互。在使用TSC2200时，首先向SPI控制寄存器（0x203F0000）写入0x04，使用PF5作为TSC2200的片选。

UART

ADSP-533的UART端口与ADM3202 RS-232驱动器连接。RS-232通过一个DB9的公头与PC或其他串行通讯设备连接。

扩展端口

扩展端口包含了SPORT1和SPI端口，方便与其他处理器进行通讯或外接其他设备。

引导模式的选择

使用一个拨码开关SW2来完成引导模式选择的工作。

S1	S0	引导模式
0	0	从片外 FLASH 直接执行指令（不使用片内 Boot ROM）
0	1	使用片内 Boot ROM 从片外 16-Bit FLASH 引导
1	0	保留
1	1	保留

LED和7段LED

通过CPLD对LED和7段LED进行控制。LED的地址为0x203C0000，7段LED的地址为0x203C4000。向某地址相应的位写1，熄灭LED；向某地址相应的位写0，点亮LED。

按键

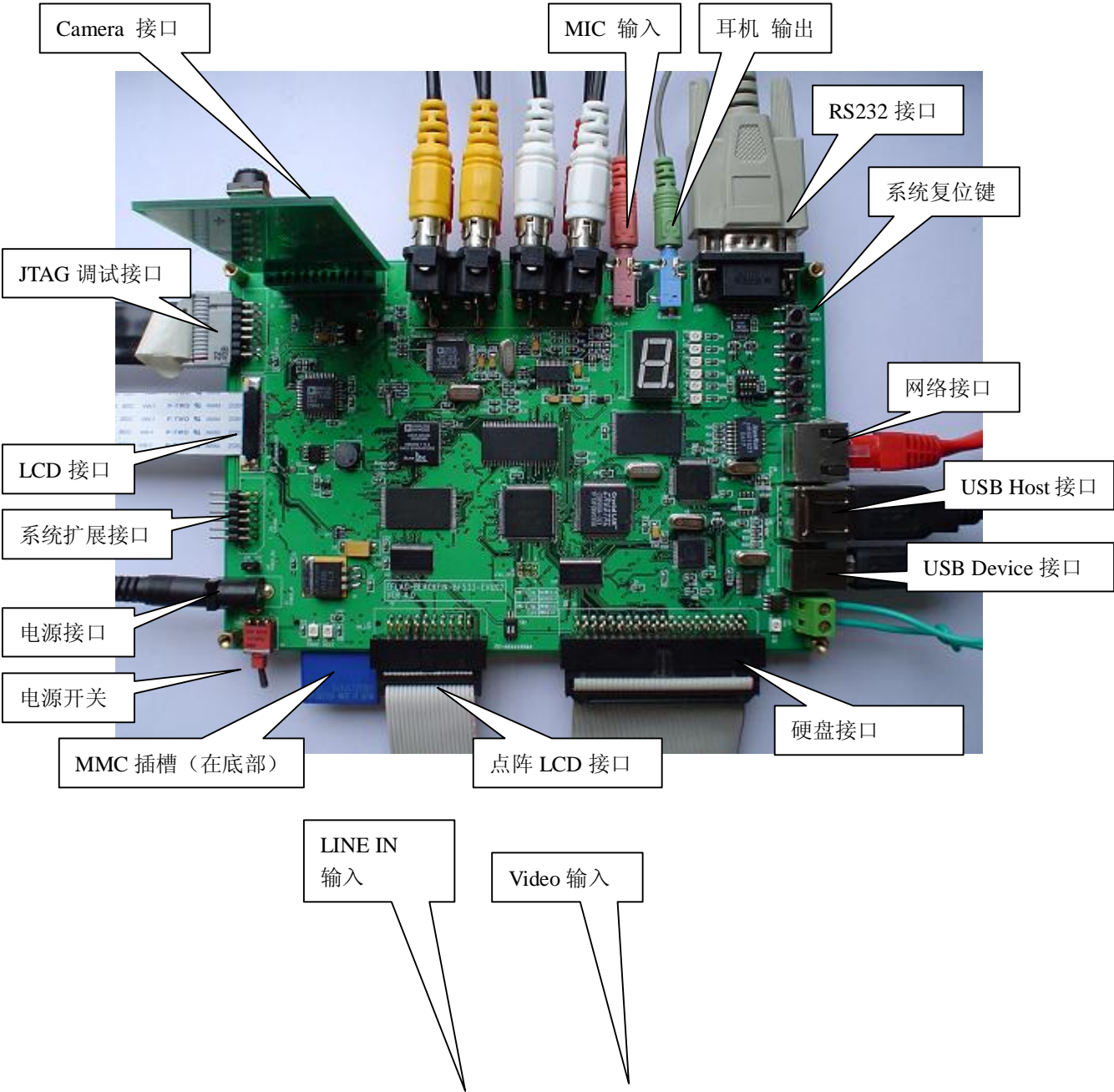
系统中提供的按键连接在ADSP-BF533的PF上，这些PF是与其他外部设备共用的，

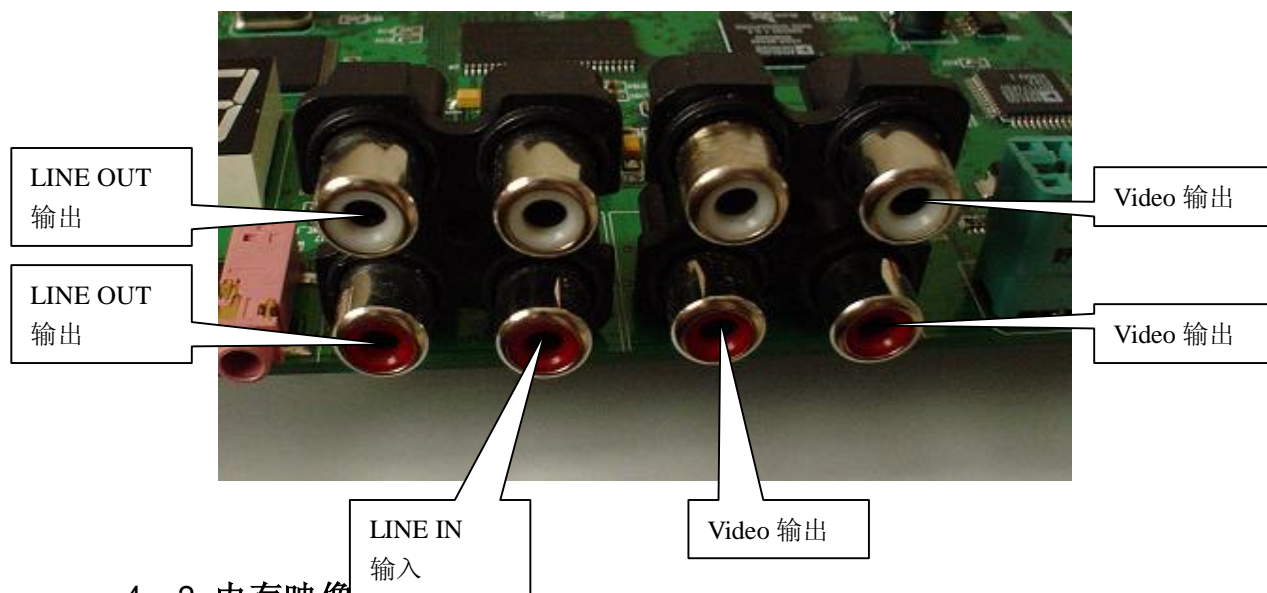
KEY	复用功能
1	MCP2515 的中断信号

2	NAND FLASH 的 Ready/Busy 信号
3	MMC 写保护监测
4	MMC 插入检测

在拨码开关SW3拨到OFF的位置时，按键可以使用；在SW3的某位拨到ON的位置时，对应的PF实现其复用的功能，此时请不要再按下该按键，以保证设备的正常工作。

外部接口





4. 2 内存映像表

物理的地址	功能性描述
0x0000,0000 – 0x07FF,FFFF	SDRAM MEMORY (16M BYTE----128M Byte)
0x0800,0000 – 0x1FFF,FFFF	RESERVED
0x2000,0000 – 0x200F,FFFF	ASYNCRAM MEMORY BANK0(1M Byte)
0x2010,0000 – 0x201F,FFFF	ASYNCRAM MEMORY BANK1(1M Byte)
0x2020,0000 – 0x202F,FFFF	ASYNCRAM MEMORY BANK2(1M Byte)
0x2030,0000 – 0x204F,FFFF	ASYNCRAM MEMORY BANK3(1M Byte)
0x2040,0000 – 0xFF7F,FFFF	RESERVED
0xFF80,0000 – 0xFF80,3FFF	DATA BANK A SRAM
0xFF80,4000 – 0xFF80,7FFF	DATA BANK A SRAM/CACHE
0xFF80,0000 – 0xFF8F,FFFF	RESERVED
0xFF90,0000 - 0xFF90,3FFF	DATA BANK B SRAM
0xFF90,4000 - 0xFF90,7FFF	DATA BANK B SRAM/CACHE
0xFF90,8000 - 0xFF9F,FFFF	RESERVED
0xFFA0,0000 - 0xFFA0,7FFF	INSTRUCTION ROM
0xFFA0,8000 - 0xFFA0,BFFF	INSTRUCTION RAM
0xFFA0,C000 - 0xFFA0,FFFF	INSTRUCTION RAM
0xFFA1,0000 - 0xFFA1,3FFF	INSTRUCTION RAM/CACHE

0xFFA1,4000 - 0xFFAF,FFFF	RESERVED
0xFFB0,0000 - 0xFFB0,0FFF	SCRATCHPAD SRAM
0xFFB0,1000 - 0xFFBF,FFFF	RESERVED
0xFFC0,0000 - 0xFFDF,FFFF	SYSTEM MMR
0xFFE0,0000 - 0xFFFF,FFFF	CORE MMR

4. 3 外设资源分配

BF533 Chip Select	Chip Select Width	Address Start	Address End	Description
AMS0	16	0x2000,0000	0x200F,FFFF	AMD29LV320BT FLASH
AMS1	16	0x2010,0000	0x201F,FFFF	AMD29LV320BT FLASH
AMS2	16	0x2020,0000	0x202F,FFFF	AMD29LV320BT FLASH
AMS3	16	0x2030,0000	0x203B,FFFF	AMD29LV320BT FLASH
AMS3	16	0x203C,0000	0x203F,FFFF	外设（CPLD）
SMS	16	0x0000,0000	0x07FF,FFFF	K4S5616320 SDRAM

4. 4 系统资源分配

外设及其控制寄存器映射到 BF533 的 ASYNC Bank3 高 0.25M—Byte 的地址上。

名称	物理地址	说明
pLED	0x203C0000	LED 的地址，向该地址写入数据驱动 LED D0—D5 分别对应 LED1—LED6
p7Section	0x203C4000	7 段 LED 的地址，各段与数据线的对应关系与原来一样
pCtrlReg1	0x203C8000	CPLD 中控制寄存器 1 置 1 的地址，各个位

		的定义见 pCtrlReg1 位定义表
pCtrlReg2	0x203CC000	CPLD 中控制寄存器 2 置 1 的地址，各个位的定义见 pCtrlReg2 位定义表
p1582BaseAddr	0x203D0000	ISP1582 的基地址
pNetBaseAddr	0x203D4000	CS8900 的基地址
p1161BaseAddr	0x203D8000	ISP1161 的基地址
pLcdBaseAddr	0x203DC000	点阵液晶的基地址
pIDECS0BaseAddr	0x203E0000	IDE CS0
pIDECS1BaseAddr	0x203E4000	IDE CS1
pNAND_CtrlBaseaAddr	0x203E8000	NAND FLASH 控制寄存器地址 产生 ALE CLE 等控制信号
pNAND_BaseaAddr	0x203EC000	NAND FLASH 命令/数据地址
pSPI_CtrlBaseaAddr	0x203F0000	所有 SPI 设备共用一个 PF5，用逻辑分别选择不同的设备
pCtrlReg1	0x203F8000	CPLD 中控制寄存器 1 清 0 的地址，各个位的定义见 pCtrlReg1 位定义表
pCtrlReg2	0x203FC000	CPLD 中控制寄存器 2 清 0 的地址，各个位的定义见 pCtrlReg2 位定义表

4. 5 外设控制寄存器说明

(1) LED

D0	D1	D2	D3	D4	D5	D6	D7
LED1	LED2	LED3	LED4	LED5	LED6	保留	保留

(2) 控制寄存器 1 (CtrlReg1)

CtrlReg1	D0	D1	D2	D3	D4	D5	D6	D7
----------	----	----	----	----	----	----	----	----

0x203C8000	ADV7181	nPF_OE	ADV7171	ISP1582	OV6650	OV6650 的	CS8900	ISP1161
0x203F8000	Reset,低有效	与 PPI 公用 的 PF 的选 通, 只在驱 动 16 位 TFTLCD 时置 1	的复位, 低有效	的复位, 低有效	数据输 出允许, 高有效	复位, 低有效	的复位, 低有效	的复位, 低有效

注: 对地址 0x203C8000 某位写 1, 将该位置 1, 写 0 不起作用。

对地址 0x203F8000 某位写 1, 将该位清 0, 写 0 不起作用。

(3) 控制寄存器 2 (CtrlReg2)

CtrlReg2	D0	D1	D2	D3	D4	D5	D6	D7
0x203CC000	S0	S1	保留	保留	保留	保留	保留	保留
0x203FC000								

S1	S0	PPI_CLK_DRIVER
0	0	27MHz_CLK 使用 ADV7171 时
0	1	COMS_PCLK 使用 CMOS SENSOR 时
1	0	ADV7181_PCLK 使用 ADV7181 时
1	1	TFT_CLK 使用 TFT_LCD 时

注: 对地址 0x203CC000 某位写 1, 将该位置 1, 写 0 不起作用。

对地址 0x203FC000 某位写 1, 将该位清 0, 写 0 不起作用。

注: 针对BF533在0.5版本的PPI输出的问题修正。

当PPI采用GP模式两个同步信号 (PPI_FS1、PPI_FS2) 控制输出时, 需要将同步信号3 (PPI_FS3) 拉低才能保证PPI输出工作正常。

在EBF-533系统中, 外部中断2 (CPLD_INT2) 与 PPI_FS3复用同一管脚PF3,

- I 用户可以通过控制寄存器2 (CtrlReg2) 的清位寄存器 (0x203FC000) 的D4位置1实现PPI_FS3拉低, 此时外部中断2 (CPLD_INT2) 信号无效。
- I 用户可以通过控制寄存器2 (CtrlReg2) 的置位寄存器 (0x203CC000) 的D4位置1实现PF3外部中断2 (CPLD_INT2) 信号有效。

(4) NAND FLASH 控制寄存器

NANDCtrl	D0	D1	D2	D3	D4	D5	D6	D7
0x203E8000	NAND_CLE	NAND_ALE	NAND_CE	保留	保留	保留	保留	保留

(5) SPI 片选控制寄存器

系统中有 4 个 SPI 设备：MCP2515 MMC TLV320AIC23B TSC2200

用 PF5 作为这四个设备的 SPI 片选信号,通过 SPI 片选控制器选择通过 PF5 选中哪个设备。

NANDCtrl	D0	D1	D2	D3	D4	D5	D6	D7
0x203F0000	SPI_CS0	SPI_CS1	SPI_CS2	保留	保留	保留	保留	保留

SPI_CS0	SPI_CS1	SPI_CS2	PPI_CLK_DRIVER
0	0	0	使用 PF5 作为 MCP2515 的片选
0	0	1	使用 PF5 作为 MMC 的片选
0	1	0	使用 PF5 作 TLV320AIC23B 的片选
0	1	1	使用 PF5 作 TSC2200 的片选
1	1	1	不选中任何设备

4. 6 PF(Programmable flags)连接说明

BF533 支持 16 个双向的 GPIO 端口，每一个 PF 都可以独立的配置成输入或输出。

信号	功能
PF0	ISP1582 USB DEVICE 控制器中断输入
PF1	CS8900 以太网控制器中断输入
PF2	I2C BUS DATA
PF3	硬盘中断信号输入
PF4	I2C BUS CLK/PPI D15
PF5	SPI 设备片选输出/PPID14
PF6	ISP1161 USB HOST 控制器中断输入/PPI D13
PF7	TSC2200 中断输入/PPI D12

PF8	按键输入/MCP2515 中断输入/PPI D11
PF9	按键输入/NAND FLASH R/B#信号输入 /PPI D10
PF10	按键输入/MMC 写保护信号输入/PPI D9
PF11	按键输入/ MMC 插入检测/PPI D8
PF12	PPI D7
PF13	PPI D6
PF14	PPI D5
PF15	PPI D4