

# 实验报告

2020 级

19 组

朱云沁 PB20061372

赵明宇 PB19061383

日期 2021-12-17

## 实验题目：

门电路测试与应用

## 实验目的：

1. 熟悉数字逻辑电路实验箱的结构和用法；
2. 掌握数字逻辑电路测试方法与测试的原理；
3. 测试与门、或门、非门、与非门和异或门的逻辑功能；
4. 学习用基本逻辑门电路设计组合逻辑电路。

## 实验原理：

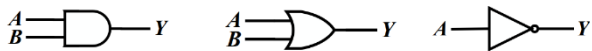
### 1. 集成逻辑门电路

集成逻辑门电路是小规模集成电路，也是最基本的数字集成单元。其能够实现基本和常用的逻辑运算，其中应用最广泛的是 TTL 和 CMOS 这两类集成门电路。

### 2. 逻辑运算

(1) 三种基本逻辑运算：

与运算( $Y = A \cdot B$ )、或运算( $Y = A + B$ )、非运算( $Y = A'$ )



(2) 两种复合逻辑运算：

与非运算  $Y = (A \cdot B)'$ 、异或运算  $Y = A \oplus B$



### 3. 组合逻辑电路的设计

逻辑问题→逻辑真值表→逻辑表达式 or 卡诺图→简化和变换逻辑表达式→逻辑电路图

### 4. TTL 集成电路使用规则

- (1) 电源电压：电源极性正确接入。
- (2) 闲置输入端处理方法：悬空、等价于接高电平 但易受外界干扰，对于接有长线的输入端，使用集成电路较多的复杂电路，必须按逻辑要求接入电路，不允许悬空。
- (3) 输出端不允许直接接+5V 或接地，输出不允许并联使用，集电极开路门和三态输出门除外。
- (4) 在装接电路，改变电路连接或插、拔电路时，均应切断电源，严禁带电操作。

### 5. CMOS 集成电路使用规则

- (1) 电源电压：电源极性正确接入。
- (2) 闲置输入端处理方法：所有多余的输入端不能悬空，应按照逻辑要求直接接 VDD 或接地。
- (3) 输出端不允许直接接 VDD 或接地。除漏极开路输出门及三态门外，不允许两个器件的输出端连接使用，否则将导致器件损坏。
- (4) 在装接电路，改变电路连接或插、拔电路时，均应切断电源，严禁带电操作。

### 6. 逻辑门电路功能与性能测试

- (1) 静态测试法：给门电路输入端加固定的高(H)、低(L)电平，用示波器、万用表或发光二极管(LED)测出门电路的输出响应。
- (2) 动态测试法：给门电路输入端加一串脉冲信号，用示波器观测输入波形与输出波形的同步关系。

### 7. 故障的排除

数字电路中，故障基本分为三种：元器件故障、接线问题和设计错误。

- (1) 元器件故障：测试器件的功能，判断其是否失效。
- (2) 接线问题：检查导线通断，排查错误的接线，用逻辑笔查找虚连的导线。
- (3) 设计错误：认真分析问题所在，掌握原理，重新设计。

# 实验报告

2020 级

19 组

朱云沁 PB20061372

赵明宇 PB19061383

日期 2021-12-17

## 实验内容:

### 1. 静态测试验证逻辑门功能

以与非门 74LS00 为例, 连线如下图 1 所示, 输入端输入高低电平, 输出端使用逻辑笔显示其逻辑功能, 并记录真值表。类似的, 利用同样的方法测试 74LS08、74LS32、74LS04、74LS86、74LS20 的功能。

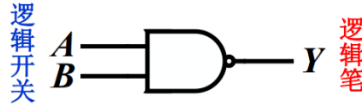


图 1 静态测试电路连线

#### • 实验数据

$A$	$B$	$Y_1$	$Y_2$	$Y_3$	$Y_4$
0	0	1	1	1	1
0	1	1	1	1	1
1	0	1	1	1	1
1	1	0	0	0	0

表 1.1 74LS00 静态测试真值表

$A$	$B$	$Y_1$	$Y_2$	$Y_3$	$Y_4$
0	0	0	0	0	0
0	1	0	0	0	0
1	0	0	0	0	0
1	1	1	1	1	1

表 1.2 74LS08 静态测试真值表

$A$	$B$	$Y_1$	$Y_2$	$Y_3$	$Y_4$
0	0	0	0	0	0
0	1	1	1	1	1
1	0	1	1	1	1
1	1	1	1	1	1

表 1.3 74LS32 静态测试真值表

$A$	$Y_1$	$Y_2$	$Y_3$	$Y_4$	$Y_5$	$Y_6$
0	1	1	1	1	1	1
1	0	0	0	0	0	0

表 1.4 74LS04 静态测试真值表

$A$	$B$	$Y_1$	$Y_2$	$Y_3$	$Y_4$
0	0	0	0	0	0
0	1	1	1	1	1
1	0	1	1	1	1
1	1	0	0	0	0

表 1.5 74LS86 静态测试真值表

$A$	$B$	$C$	$D$	$Y_1$	$Y_2$
0	0	0	0	1	1
0	0	0	1	1	1
0	0	1	0	1	1
0	0	1	1	1	1
0	1	0	0	1	1
0	1	0	1	1	1

# 实验报告

2020 级

19 组

朱云沁 PB20061372

赵明宇 PB19061383

日期 2021-12-17

A	B	C	D	$Y_1$	$Y_2$
0	1	1	0	1	1
0	1	1	1	1	1
1	0	0	0	1	1
1	0	0	1	1	1
1	0	1	0	1	1
1	0	1	1	1	1
1	1	0	0	1	1
1	1	0	1	1	1
1	1	1	0	1	1
1	1	1	1	0	0

表 1.6 74LS20 静态测试真值表 (接上页)

## • 数据分析

由上述表中测得实验数据可知，本实验中各逻辑门元器件均正常工作。

其中，74LS00 实现了二输入与非门的逻辑功能，74LS08 实现了二输入与门的逻辑功能，74LS32 实现了二输入或门的逻辑功能，74LS04 实现了非门的逻辑功能，74LS86 实现了二输入异或门的逻辑功能，74LS20 实现了四输入与非门的逻辑功能。

## 2. 动态测试

以与非门为例，连线如下图 2.1.1 所示，将一个输入端接连续高频(20KHz)脉冲源，S 接任一逻辑电平开关，用示波器观察并记录 S 分别输入高电平 1 和低电平 0 时的输入、输出波形。类似的，利用同样的方法对与门、或门、异或门进行动态测试。

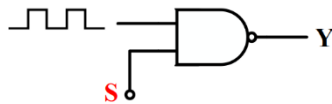


图 2.1.1 动态测试电路连线示意

## • 实验数据

### (1) 输入信号

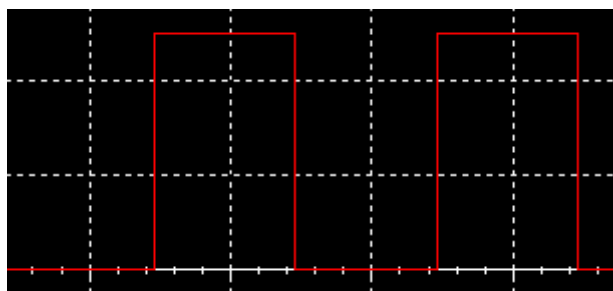


图 2.1.2 动态测试输入方波信号

### (2) 与非门(74LS00)

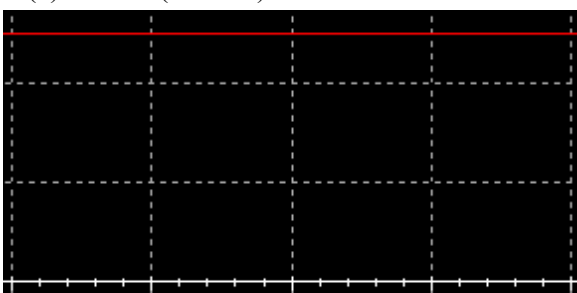


图 2.2.1 与非门输出波形( $S = 0$ )

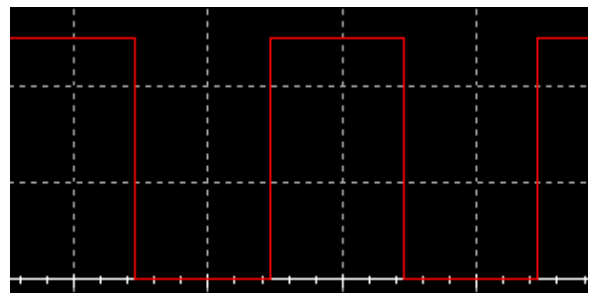


图 2.2.2 与非门输出波形( $S = 1$ )

# 实验报告

2020 级

19 组

朱云沁 PB20061372

赵明宇 PB19061383

日期 2021-12-17

## (3) 与门(74LS08)

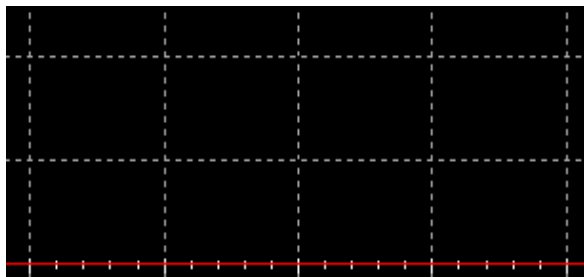


图 2.3.1 与门输出波形( $S = 0$ )

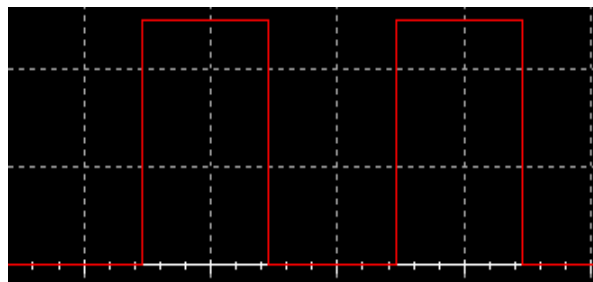


图 2.3.2 与门输出波形( $S = 1$ )

## (4) 或门(74LS32)

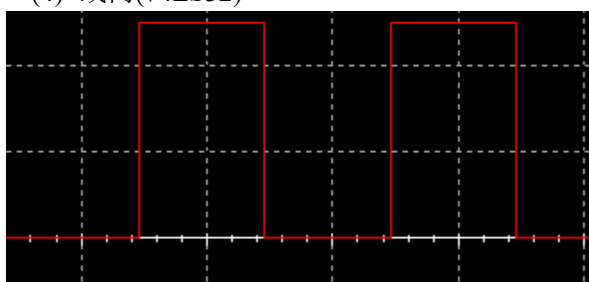


图 2.4.1 或门输出波形( $S = 0$ )

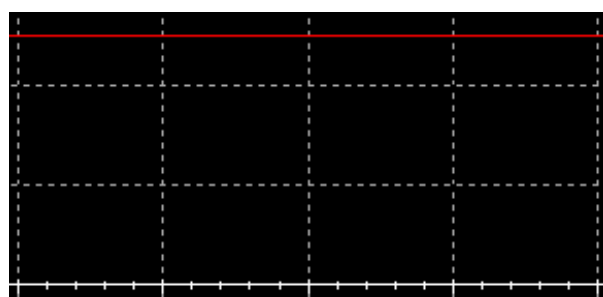


图 2.4.2 或门输出波形( $S = 0$ )

## (5) 异或门(74LS32)

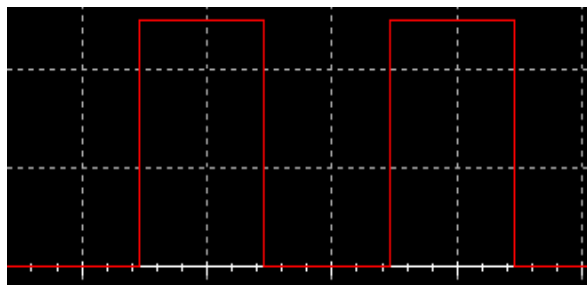


图 2.4.1 异或门输出波形( $S = 0$ )

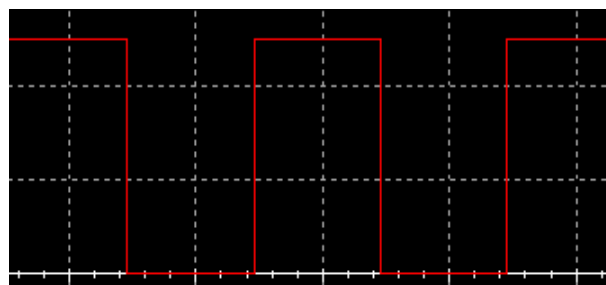


图 2.4.1 异或门输出波形( $S = 1$ )

### • 数据分析

由以上波形图可知，本实验中各逻辑门元器件在高频脉冲源下，其输出波形与静态测试时得出的真值表相符，实现了正确的逻辑功能，即在动态条件下能够正常工作。

### 3. 门电路设计实验I

设计一个用 $A$ 、 $B$ 、 $C$ 、 $D$ 四个开关控制灯 $L$ 的电路，要求改变任何一个开关状态都能使 $L$ 的亮灭状态发生改变。

#### • 设计思路

考虑 $n$ 个逻辑变量作半加（即异或）运算的结果：当输入有奇数个为1时，和为奇数，输出为1；当输入有偶数个为1时，和为偶数，输出为0。当任一输入变量改变时，其和的奇偶性发生改变，故逻辑函数的值发生改变。因此，可用 $A$ 、 $B$ 、 $C$ 、 $D$ 作异或运算的结果作为 $L$ 的状态，即

$$L = A \oplus B \oplus C \oplus D$$

考虑到异或运算的结合性，为减小总传输延迟时间，将逻辑函数改写为

$$L = (A \oplus B) \oplus (C \oplus D)$$

# 实验报告

2020 级

19 组

朱云沁 PB20061372

赵明宇 PB19061383

日期 2021-12-17

电路图如图 3.1 所示，其中异或门使用 74LS86。

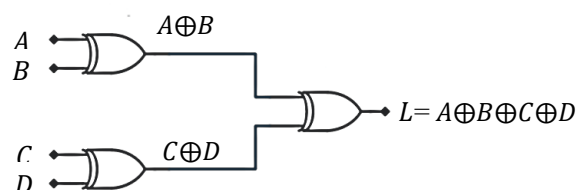


图 3.1 逻辑电路图

## • 实验数据

根据图 3.1，搭建实验电路，测得真值表如下表所示。

输入				输出
A	B	C	D	L
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0

表 3.1 真值表

## • 数据分析

由表 3.1 可知，改变任何一个开关状态都能使L的亮灭状态发生改变，与理论吻合，符合实验要求。

## 4. 门电路设计实验II

设计一个保险箱用的 4 位代码数字锁，4 位代码A、B、C、D四个输入端和一个开锁用的钥匙孔输入端 E，当开锁时，即 $E = 1$ 时，如果输入的代码与设定的密码 1011 相同，则保险箱打开，即输出 $Y = 1$ ，否则电路发出报警信号，即输出 $Z = 1$ ；若不开锁时，即 $E = 0$ 时，不管输入什么代码，保险箱均不打开，电路也不报警，即 $Y = 0$ ， $Z = 0$ 。

## • 设计思路

依据题目要求，A、B、C、D、E共五个输入，Y、Z共两个输出。考虑到实验提供的 74LS20 可用作四输入与非门，较为便捷，因此对A、B'、C、D进行与非运算。记与非的结果为 $X = (AB'CD)'$ ，当且仅当输入代码为 1011 时， $X = 0$ 。显然有

$$Y = X'E, \quad Z = XE$$

即

$$Y = ((AB'CD)')'E, \quad Z = (AB'CD)'E$$

# 实验报告

2020 级

19 组

朱云沁 PB20061372

赵明宇 PB19061383

日期 2021-12-17

电路图如图 4.1 所示，其中非门使用 74LS04，与非门使用 74LS20，与门使用 74LS08。

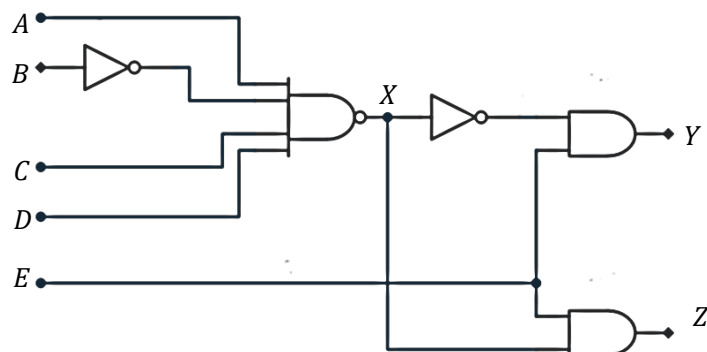


图 4.1 逻辑电路图

## 实验数据

根据图 4.1，搭建实验电路，测得真值表如下表所示。

输入					输出	
A	B	C	D	E	Y	Z
X	X	X	X	0	0	0
0	0	0	0	1	0	1
0	0	0	1	1	0	1
0	0	1	0	1	0	1
0	0	1	1	1	0	1
0	1	0	0	1	0	1
0	1	0	1	1	0	1
0	1	1	0	1	0	1
0	1	1	1	1	0	1
1	0	0	0	1	0	1
1	0	0	1	1	0	1
1	0	1	0	1	0	1
1	0	1	1	1	1	0
1	1	0	0	1	0	1
1	1	0	1	1	0	1
1	1	1	0	1	0	1
1	1	1	1	1	0	1

表 4.1 真值表

## 数据分析

由原始数据中Y、Z的输出值可以看出，当开锁时，即 $E = 1$ 时，如果输入的代码与设定的密码 1011 相同，则保险箱打开，即输出 $Y = 1, Z = 0$ ；否则电路发出报警信号，即输出 $Z = 1, Y = 0$ 。若不开锁时，即 $E = 0$ 时，不管输入什么代码，保险箱均不打开，电路也不报警，即 $Y = 0, Z = 0$ 。实验结果与理论分析吻合，符合实验要求。

## 5. 门电路设计实验III

某工厂有三个车间A、B、C和一个自备发电站，站内有两台发电机M、N，发电机N的发电能力是M的两倍。如果一个车间开工，启动M就可以满足要求；如果两个车间开工，启动N就可以满足要求；如果三个车间均开工，同时启动M和N才能满足要求。(要求用异或门和与非门实现)

### 设计思路

依据题目要求，A、B、C共三个输入，M、N共两个输出。根据“发电机N的发电能力是M的两倍”知，本题逻辑可视为全加器，将1位二进制数A、B、C相加，则M恰为相加的和，N为向高位的进位。全加器的逻辑表达式为

$$M = A \oplus B \oplus C$$
$$N = AB + (A \oplus B)C$$

# 实验报告

2020 级

19 组

朱云沁 PB20061372

赵明宇 PB19061383

日期 2021-12-17

由题意，只允许使用异或、与非逻辑，故利用摩根律，将 $N$ 的逻辑函数式化为

$$N = ((AB)'((A \oplus B)C))'$$

实验电路如图 5.1 所示，其中与非门使用 74LS00，异或门使用 74LS86。

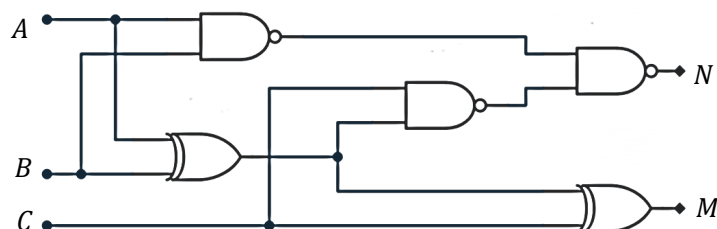


图 5.1 逻辑电路图

## 实验数据

根据图 5.1，搭建实验电路，测得真值表如下表所示。

输入			输出	
A	B	C	M	N
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

表 5.1 真值表

## 数据分析

由表 5.1 可以看出，如果一个车间开工，即只有一个输入端输入为 1 时， $M$  输出为 1；如果两个车间开工，即有两个输入端输入为 1 时， $N$  输出为 1；如果三个输入端输入均为 1 时， $M$  和  $N$  输出均为 1。实验结果与理论分析吻合，符合实验要求。

## 6. 门电路设计实验IV

用 $X$ 、 $Y$ 两台水泵给水箱供水，水箱内从高到低设有 $A$ 、 $B$ 、 $C$ 三个水位检测元件。要求水位在 $C$ 点以下， $X$ 、 $Y$ 同时工作；水位在 $B$ 、 $C$ 之间， $X$ 工作；在 $A$ 、 $B$ 之间 $Y$ 工作；高于 $A$ 点，两台水泵停止工作。

### 设计思路

用输入变量 $A$ 、 $B$ 、 $C$ 代表水位是否高于对应元件，输出变量 $X$ 、 $Y$ 代表对应水泵是否工作。显然， $A$ 、 $B$ 、 $C$ 满足如下约束关系

$$AB' + AC' + BC' = 0$$

为化简 $X$ 、 $Y$ 的逻辑函数式，画出含无关项的卡诺图，如表 6.1、6.2 所示。

C \ AB	C	
	0	1
00	1	1
01	X	0
11	X	0
10	X	X

表 6.1  $X$  的卡诺图

# 实验报告

2020 级

19 组

朱云沁 PB20061372

赵明宇 PB19061383

日期 2021-12-17

C \ AB	0	1
	0	1
00	1	0
01	X	1
11	X	0
10	X	X

表 6.2 Y 的卡诺图

求得其化简后的逻辑表达式如下

$$X = B'$$

$$Y = A'B + C' = ((A'B)'C)'$$

电路图如图 6.1 所示，其中与非门使用 74LS00，非门则由与非门其中一输入端接 1 实现。

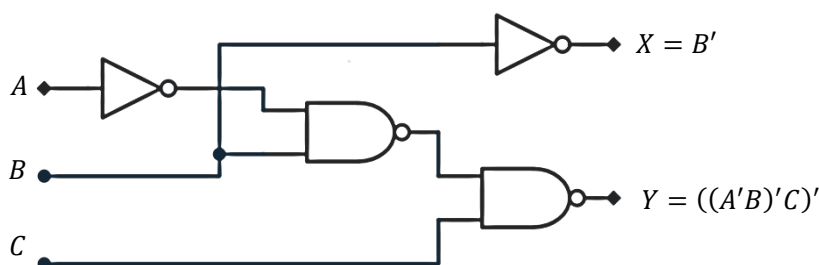


图 6.1 逻辑电路图

## 实验数据

根据图 6.1，搭建实验电路，测得真值表如下表所示。

输入			输出	
A	B	C	X	Y
0	0	0	1	1
0	0	1	1	0
0	1	1	0	1
1	1	1	0	0

表 6.3 真值表

## 数据分析

由实验数据可以看出，水位在C点以下时，即A、B、C输入均为 0 时，X、Y输出均为 1；水位在B、C之间，即A、B输入均为0，C输入为1时，X输出为1，Y输出为0；在A、B之间工作，即A输入为0，B、C输入均为1时，X输出为0，Y输出为1；高于A点，即A、B、C输入均为1时，X、Y输出均为0。故符合实验要求。

## 思考题：

1. 为了判断 74LS20 逻辑功能是否正常，至少要测量几组输入？

答：74LS20 用作四输入与非门，有 4 个输入端，共 16 个最小项，但在实际测试时，只需要测量至少 5 组输入：1111, 0111, 1011, 1101, 1110。如果检测输出结果依次为 1, 0, 0, 0, 0，则逻辑功能正常。反之，则逻辑功能不正常。

2. 用与非门和异或门设计一个可逆的 4 位码制变换器。设计要求：

- (1) 在控制信号  $C = 1$  时，它将 8421 码转换为格雷码； $C = 0$  时，它将格雷码转换为 8421 码；
- (2) 写出设计步骤，列出码变换真值表并画出逻辑图。



# 实验报告

2020 级

19 组

朱云沁 PB20061372

赵明宇 PB19061383

日期 2021-12-17

答：设计步骤为：

- ① 列出码对应表。
- ② 依据码对应表列出码变换真值表
- ③ 利用码对应表与码变换真值表，通过观察法、逻辑表达式化简、画卡诺图等方法求出最简表达式，再将化简后的逻辑表达式变换为只含异或和与非关系的逻辑表达式。
- ④ 依据变换后的逻辑表达式，连接逻辑电路，检验正确性。

码对应表如下表 7.1 所示。

编码顺序	8421 码				格雷码			
十进制	A	B	C	D	X	Y	Z	W
00	0	0	0	0	0	0	0	0
01	0	0	0	1	0	0	0	1
02	0	0	1	0	0	0	1	1
03	0	0	1	1	0	0	1	0
04	0	1	0	0	0	1	1	0
05	0	1	0	1	0	1	1	1
06	0	1	1	0	0	1	0	1
07	0	1	1	1	0	1	0	0
08	1	0	0	0	1	1	0	0
09	1	0	0	1	1	1	0	1
10	1	0	1	0	1	1	1	1
11	1	0	1	1	1	1	1	0
12	1	1	0	0	1	0	1	0
13	1	1	0	1	1	0	1	1
14	1	1	1	0	1	0	0	1
15	1	1	1	1	1	0	0	0

表 7.1

根据码对应表写出逻辑函数变换式并化简可得

$$X = A, \quad Y = A \oplus B, \quad Z = B \oplus C, \quad W = C \oplus D$$

$$A = X, \quad B = X \oplus Y, \quad C = X \oplus Y \oplus Z, \quad D = X \oplus Y \oplus Z \oplus W$$

码变换真值表如下表 7.2 所示。

输入编码				输出编码 ( $C = 0$ 时)				输出编码 ( $C = 1$ 时)			
$X_1$	$X_2$	$X_3$	$X_4$	$Y_1$	$Y_2$	$Y_3$	$Y_4$	$Y_1$	$Y_2$	$Y_3$	$Y_4$
0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	1	0	0	1	1
0	0	1	1	0	0	1	0	0	0	1	0
0	1	0	0	0	1	1	1	0	1	1	0
0	1	0	1	0	1	1	0	0	1	1	1
0	1	1	0	0	1	0	0	0	1	0	1
0	1	1	1	0	1	0	1	0	1	0	0
1	0	0	0	1	1	1	1	1	1	0	0
1	0	0	1	1	1	1	0	1	1	0	1
1	0	1	0	1	1	0	0	1	1	1	1
1	0	1	1	1	1	0	1	1	1	1	0
1	1	0	0	1	0	0	0	1	0	1	0
1	1	0	1	1	0	0	1	1	0	1	1
1	1	1	0	1	0	1	1	1	0	0	1
1	1	1	1	1	0	1	0	1	0	0	0

表 7.2

# 实验报告

2020 级

19 组

朱云沁 PB20061372

赵明宇 PB19061383

日期 2021-12-17

根据码对应表写出逻辑函数变换式并化简可得

$$Y_1 = X_1$$

$$Y_2 = X_1 \oplus X_2$$

$$Y_3 = (C' \cdot X_1) \oplus X_2 \oplus X_3 = (C \cdot X_1)' \oplus (1 \cdot X_1)' \oplus X_2 \oplus X_3$$

$$Y_4 = (C' \cdot (X_1 \oplus X_2)) \oplus X_3 \oplus X_4 = (C \cdot (X_1 \oplus X_2))' \oplus (1 \cdot (X_1 \oplus X_2))' \oplus X_3 \oplus X_4$$

使用 multisim 模拟本实验的逻辑电路图，如下图 7.1 所示。(图中 $Y_1$ 、 $Y_2$ 、 $Y_3$ 、 $Y_4$ 处输出直接接入示波器，其中示波器 XSC1 接 $Y_1$ 输出，示波器 XSC2 接 $Y_2$ 输出，示波器 XSC3 接 $Y_3$ 输出，示波器 XSC4 接 $Y_4$ 输出)。

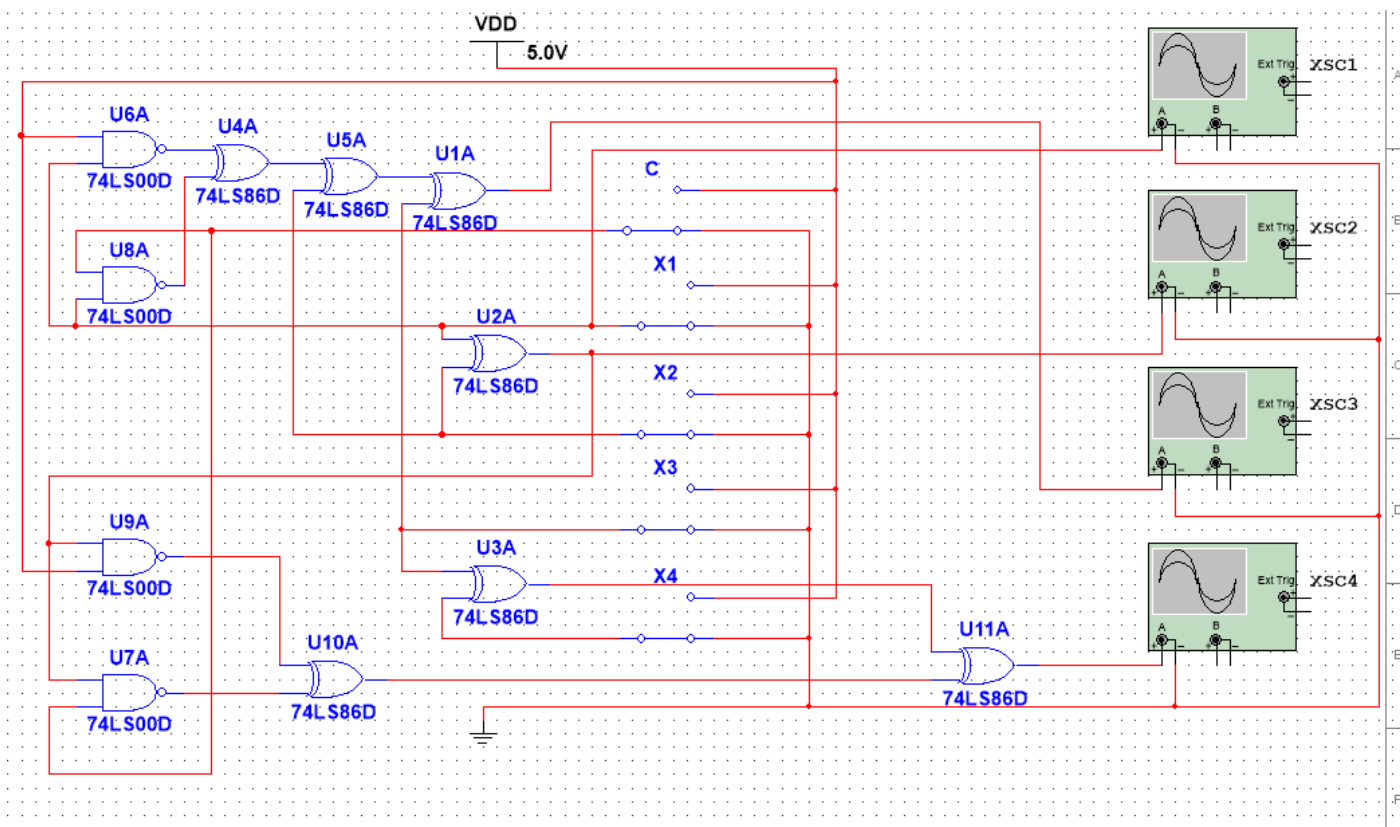


图 7.1 multisim 模拟电路

模拟结果与表 7.2 完全相符。

## 实验总结:

本实验验证了基本门电路的功能，并且学习了芯片引脚接法等实际操作方法。本实验同时也进行了简单逻辑电路的设计与实现，有助于我们更好地掌握逻辑电路的设计的基本方法。