

TRAFFIC



Henrique Coutinho Layber e Renan Moreira Gomes

IMPLEMENTAÇÃO DE UMA UNIDADE LÓGICA E ARITMÉTICA COM PORTAS LÓGICAS BÁSICAS

Sumário

- i. [Conceitos](#);
- ii. [Explicando a ALU](#);
- iii. [Código de Operações](#);
- iv. [Cada circuito explicado](#);
 - a. [OR bit-a-bit](#);
 - b. [AND bit-a-bit](#);
 - c. [XOR bit-a-bit](#);
 - 1. [XOR 1 bit](#);
 - 2. [XOR 8 bits](#);
 - d. [Somadores](#);
 - 1. [1 bit](#);
 - 2. [8 bits](#);
 - e. [Subtrator](#);
 - f. [Shift Left](#);
 - g. [Shift Right](#);
 - h. [Multiplexadores](#);
 - 1. [2:1 1 bit](#);
 - 2. [2:1 8 bits](#);
 - 3. [8:1 8 bits](#);
- v. [Igual a 0 \(saída Z\)](#);
- vi. [Displays hexadecimais](#);
- vii. [Montando a ALU](#);
- viii. [Unindo as ALUs](#);
- ix. [Anexo 1](#);

Conceituando a ALU

Unidade Lógica Aritmética (*Arithmetic Logic Unit – ALU*) é uma unidade lógica aritmética é um elemento central em uma CPU (Unidade de Processamento Central). Ela executa operações lógicas e aritméticas básicas diversas em dados de entrada, mas podemos juntá-las e usar das básicas para formar ALUs mais complexas. Iremos explicar passo a passo como projetar uma ALU que opere sobre dados de 8 bits, e como usar a mesma para montar uma ALU de 16 bits, como uma calculadora básica.

Especificação

Nossa ALU final irá conter as seguintes operações em cima das entradas A e B de 16 bits:

- ADD soma ($A + B$);
- SUB subtração ($A - B$);
- XOR bit-a-bit ($A \text{ XOR } B$);
- OR bit-a-bit ($A \text{ OR } B$);
- AND bit-a-bit ($A \text{ AND } B$);
- SHL Shift left ($A \ll 1$ desloca os bits de A para a esquerda);
- SHR Shift right ($A \gg 1$ desloca os bits de A para a direita).

Além dos operandos A e B de 8 bits, nossa ALU irá conter uma entrada OP de 3 bits que indica a operação a ser realizada com os operandos. A ALU irá seguir a seguinte tabela para a operação OP:

A ALU inicial também terá um carry de entrada (Cin), que permitirá depois concatenar duas ALUs de 8 bits para formar uma ALU de 16 bits, e as saídas de ambas deverão funcionar da seguinte forma:

Valor de OP	Saída
000	ADD Soma (A + B)
001	SUB subtração (A - B)
010	XOR bit-a-bit (A XOR B)
011	OR bit-a-bit (A OR B)
100	AND bit-a-bit (A AND B)
101	SHL Shift left (A << 1)
110	SHR Shift right (A >> 1)
111	Não usada

Tabela a: Valor de OP e respectivas operações

- Uma saída C indicando carry (1 em C indica que houve carry) (no caso de subtração, indica borrow, no caso da operação SHL, o carry recebe o bit mais significativo sendo deslocado; no caso de SHR, recebe o bit menos significativo, em soma, indica Overflow);
- Uma saída Z que indica se todos os bits da saída são iguais a 0 (1 em Z indica que todos os bits da saída S são 0);
- Uma saída S de 8 bits com o resultado numérico da operação, e dois dígitos de display de 7 segmentos para mostrar o resultado.¹

¹ Não será feito display hexadecimal para a ALU de 16 bits, pois a sua implementação é mais complexa.

Henrique Coutinho Layber e Renan Moreira Gomes

Universidade Federal do Espírito Santo

Vitória 2018

Observe na imagem abaixo, todas as entradas e saídas que serão utilizadas como base para a definição da ALU:

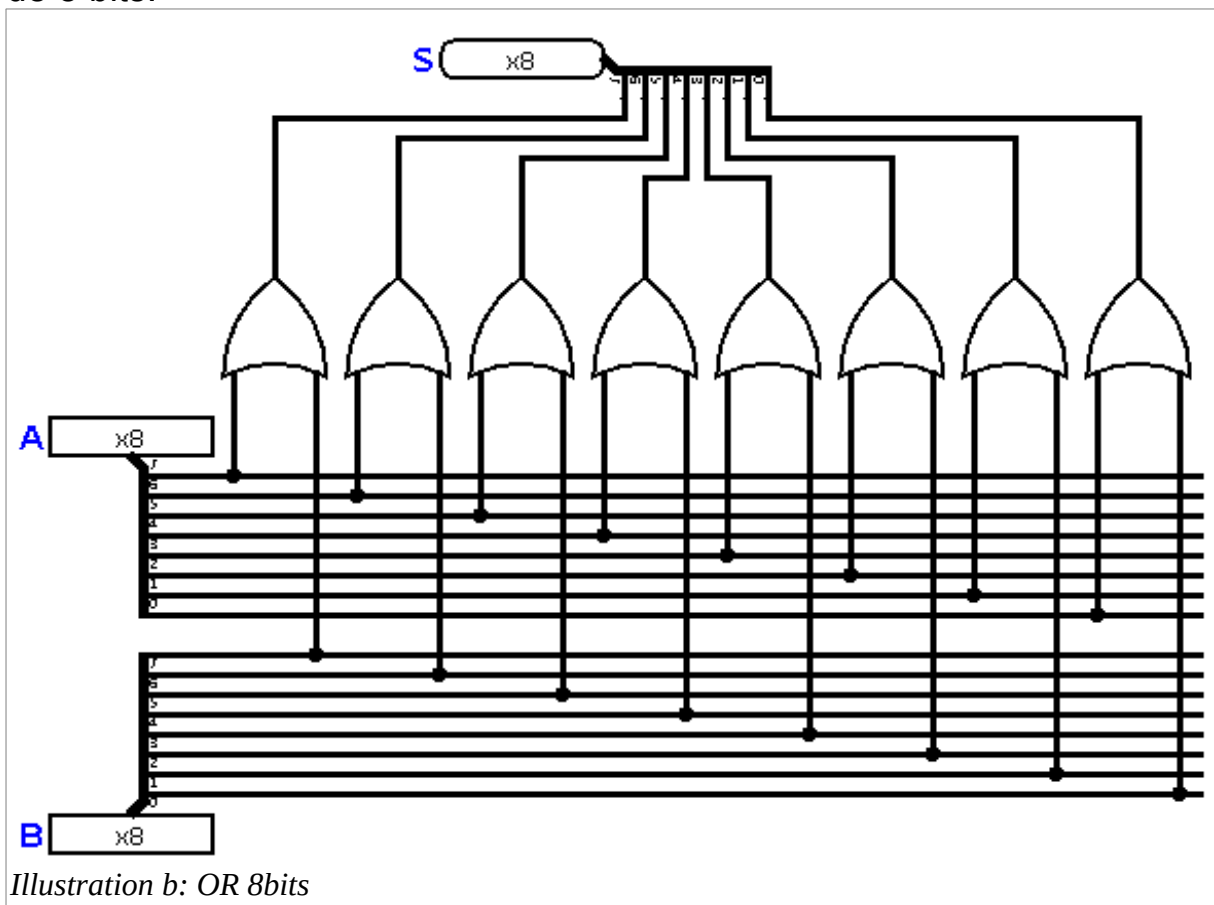


Cada circuito da ALU

É muito mais simples construir um circuito para 8 bits do que 12 deles de uma só vez. É por isso que buscamos modularizar o máximo possível – e para a resolução de problemas (bugs). Somente alguém insano faria tudo de uma só vez. É claro que poderíamos poupar algumas comparações (e consequentemente performance ou dinheiro) por fazer sem a modularização, mas como o objetivo da nossa ULA é fazer apenas uma das operações de cada vez, não haverá tanto impacto.

Comparação OR bit-a-bit (A OR B):

A comparação OR é um circuito de relativamente simples implementação, principalmente por ele ser uma operação bit-a-bit. Então é um simples caso de aplicar a operação a cada bit separadamente para expandir ele para uma operação de 8 bits e então juntar em uma saída de 8 bits:



Comparação AND bit-a-bit (A AND B)

Tal como a comparação OR, a comparação AND também é aplicada bit-a-bit, então podemos aplicar o mesmo método para essa operação e o resultado deveria ser $A \text{ AND } B$ (8bits):

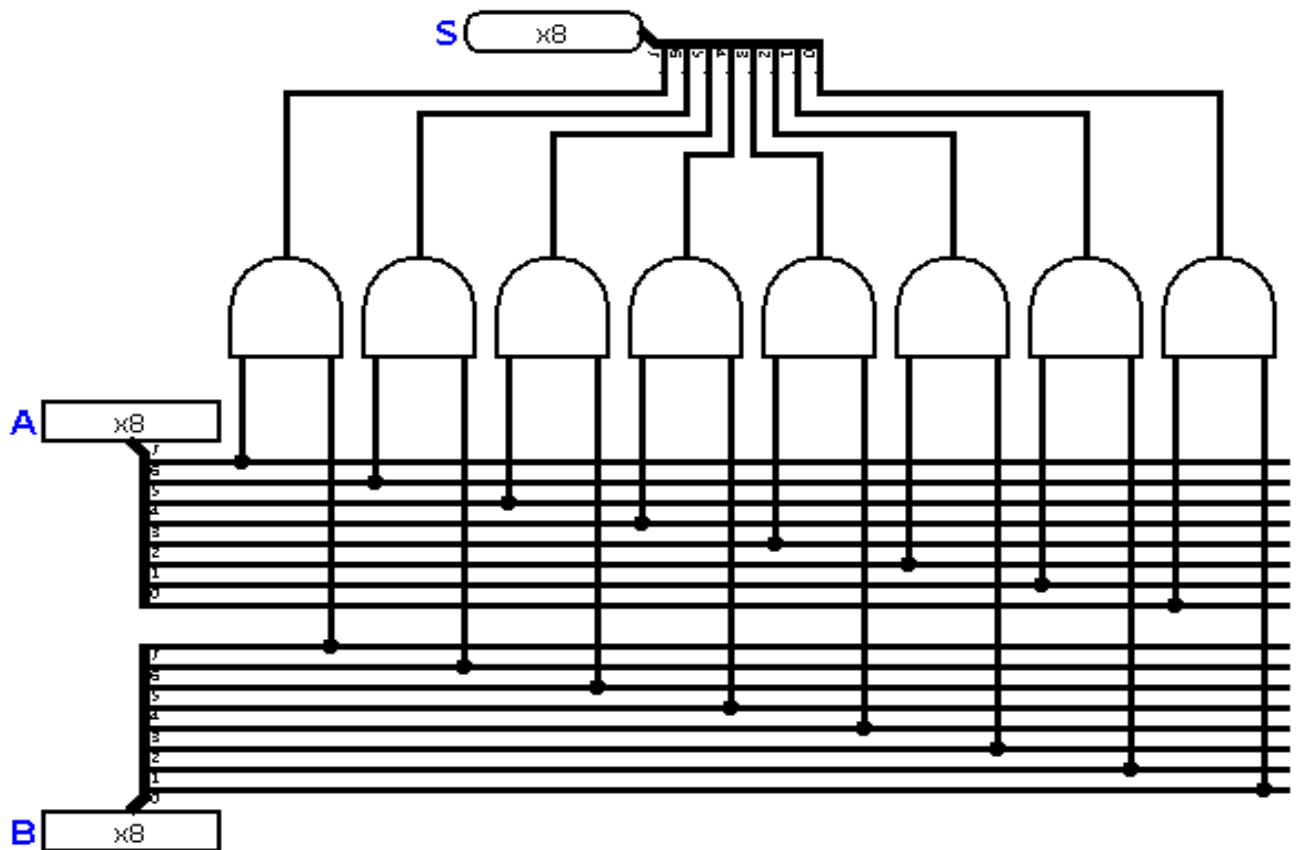
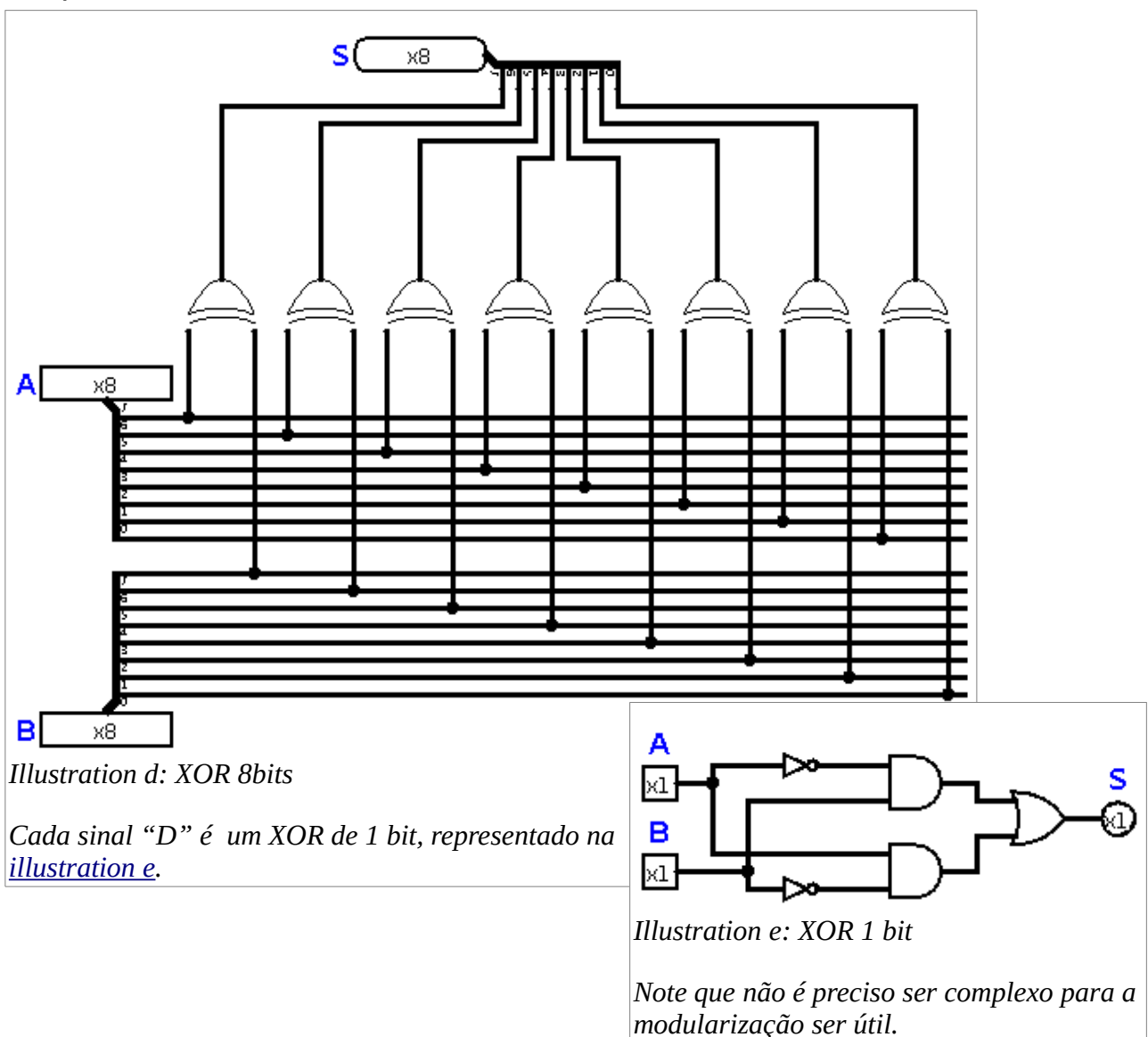


Illustration c: AND 8bits

Comparação XOR bit-a-bit ($A \oplus B$)

Como a comparação XOR (diferente de) não é uma porta básica (sendo elas a AND, OR e NOT) então é necessário defini-la e então modularizar e usar para fazer o XOR para 8 bits. Após fazer o XOR de 1 bit, pode-se considerar como uma porta básica e então ela também é aplicada bit-a-bit, levando a usar a mesma técnica:



ADD soma (A + B)

Para realizar a soma de 8 bits, devemos criar inicialmente um somador completo de 1 bit a partir da tabela 2, observe a imagem abaixo:

A	B	Cin	S	Cout
0	0	0	0	
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Table a: Tabela-Verdade do somador de 1 bit completo

Usando a tabela-verdade, fica fácil construir um somador completo (de 1 bit), e usamos a saída Cout (carry out) para levar uma entrada “sobe um” de uma soma. Note que os carries, dependendo da operação, podem carregar diferentes valores, com diferentes significados.

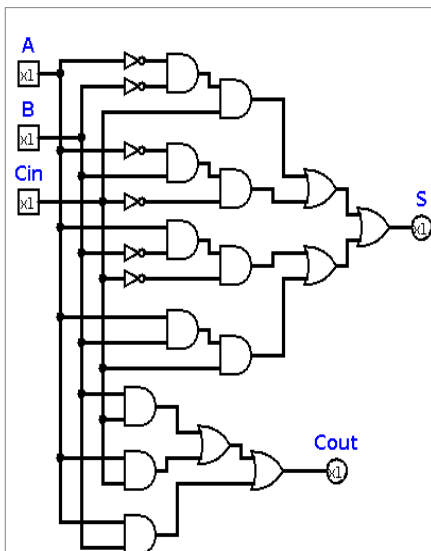


Illustration f: Somador de 1 bit completo

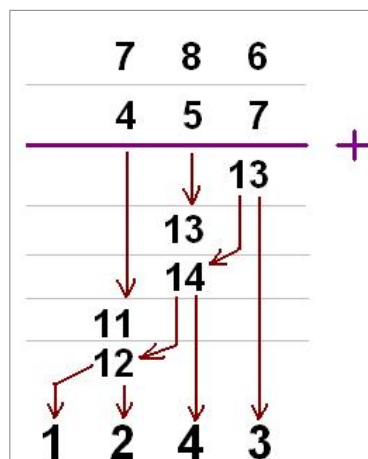
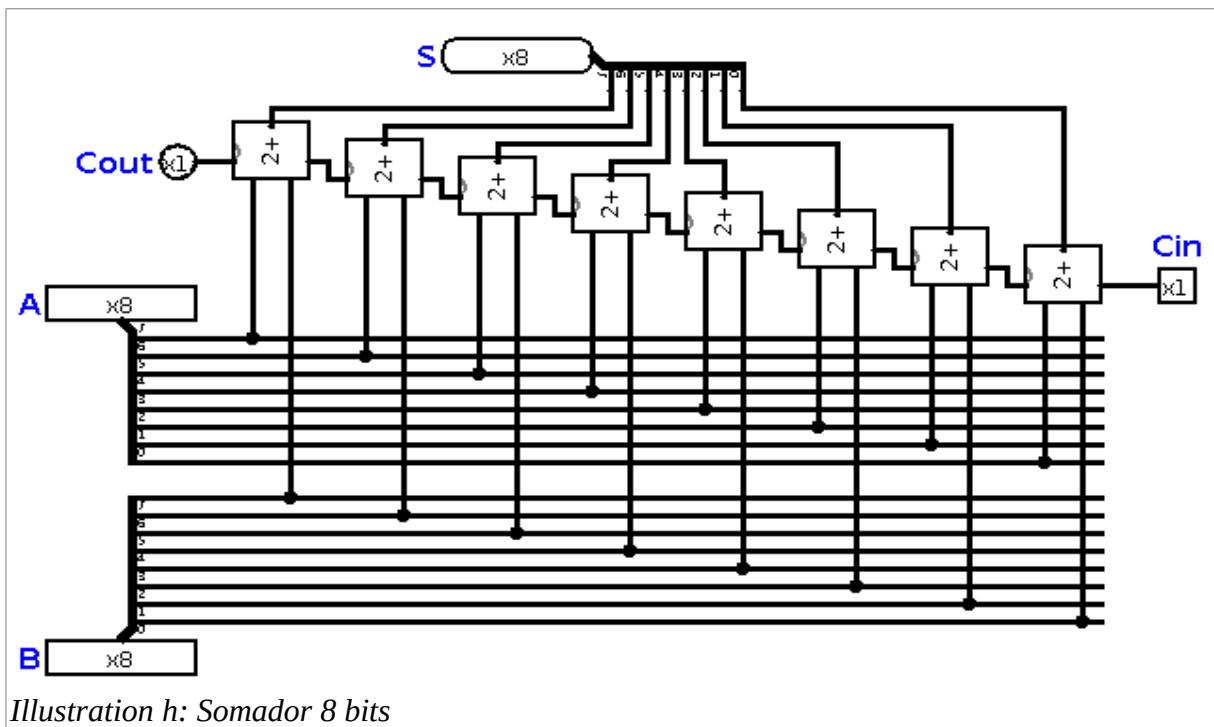


Illustration g: Carry de uma soma

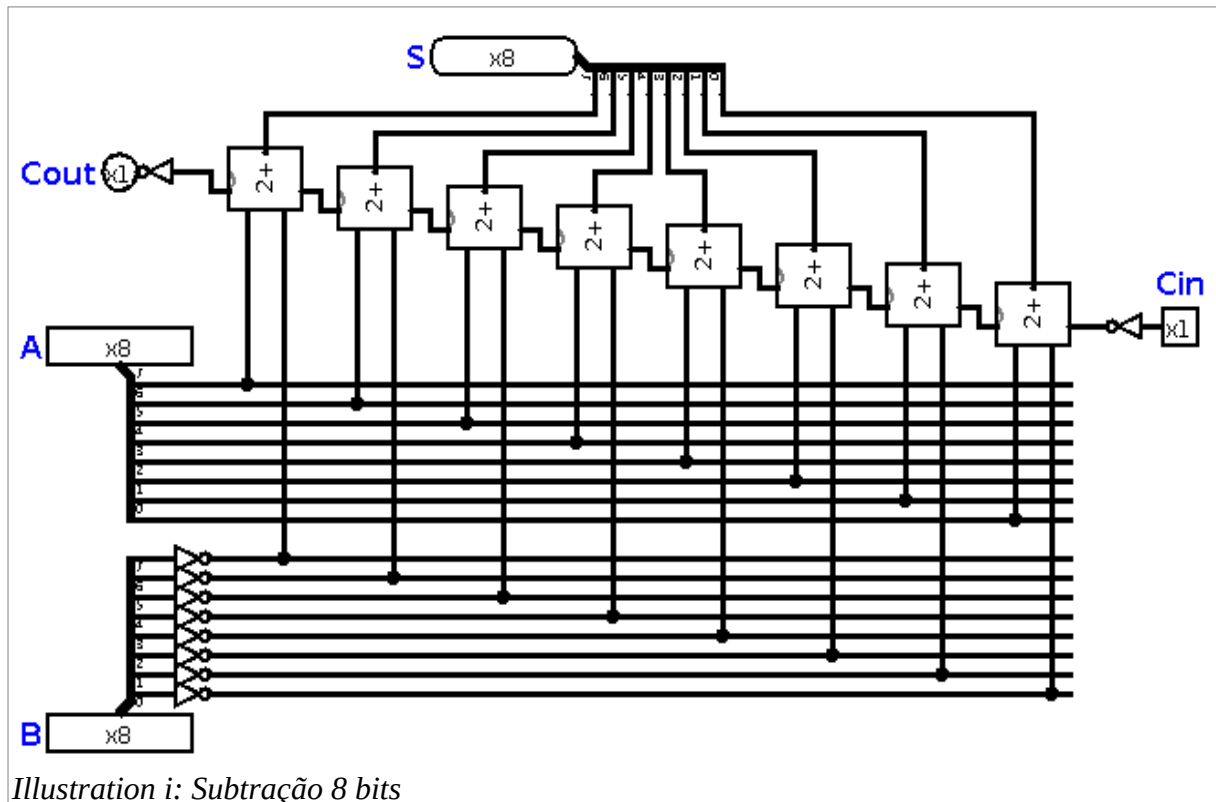
Com o somador de um bit completo, basta encadeá-lo 8 vezes usando os carry para formar o somador de 8 bits:



E, assim, toda a [illustration g](#) forma o módulo de soma da ALU.

Subtração (A - B)

Irônicamente, o circuito de soma será usada para definir o circuito de subtração. Por ser feito as operações em base binária, pode-se abusar de propriedades super úteis como a representação em complemento a dois², e A e B poderão então serem somados se representamos B de forma negativa no complemento a dois. Para fazer isso, só é preciso inverter B ($0 \rightarrow 1$ e $1 \rightarrow 0$) e somar um. Como isso seria complicado, outra estratégia é somar 1 à primeira soma, pois $(2 + (-1)) + 1 = (2 + (-1 + 1))$.

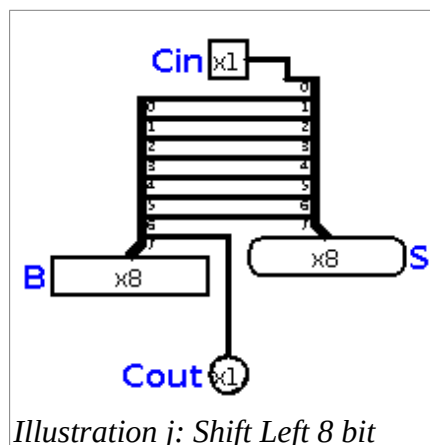


2 Complemento a dois é uma representação binária positiva e negativa, onde, diferentemente do complemento a um, não há a dupla representação do zero e nela, bem como na matemática convencional, $(5) + (-2) = 3$. Para isso ser válido, todos os números devem estar representados em complemento a dois (inclusive a saída).

Henrique Coutinho Layber e Renan Moreira Gomes

Shift Left (SHL)

A operação Shift Left leva cada bit ao dígito à esquerda (parecido com uma multiplicação por 2), à direita entra zeros, e o bit que “cai pra fora” do tamanho especificado deve ser carregado pelo Cout, pois ao encadearmos duas ALUs, ele será passado para a próxima sessão de 8 bits (mais no cap iv. Unindo as ALUs). Então, é só uma questão de reconexão dos bits de entrada na saída:

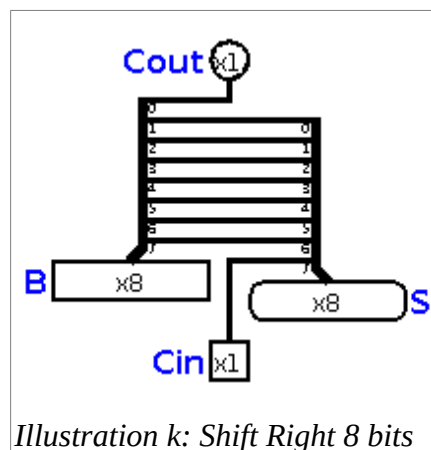


Note que o pino 0 da saída não está ligado a nenhum bit de entrada, mas está aterrado (é o mesmo que constante 0). Isso ocorre pois à medida que o valor se desloca a esquerda, zeros aparecem preenchendo à direita.

E também que o MSD (*Most Significant Digit* – Dígito Mais Significativo) da entrada leva à saída carry separada, Cout.

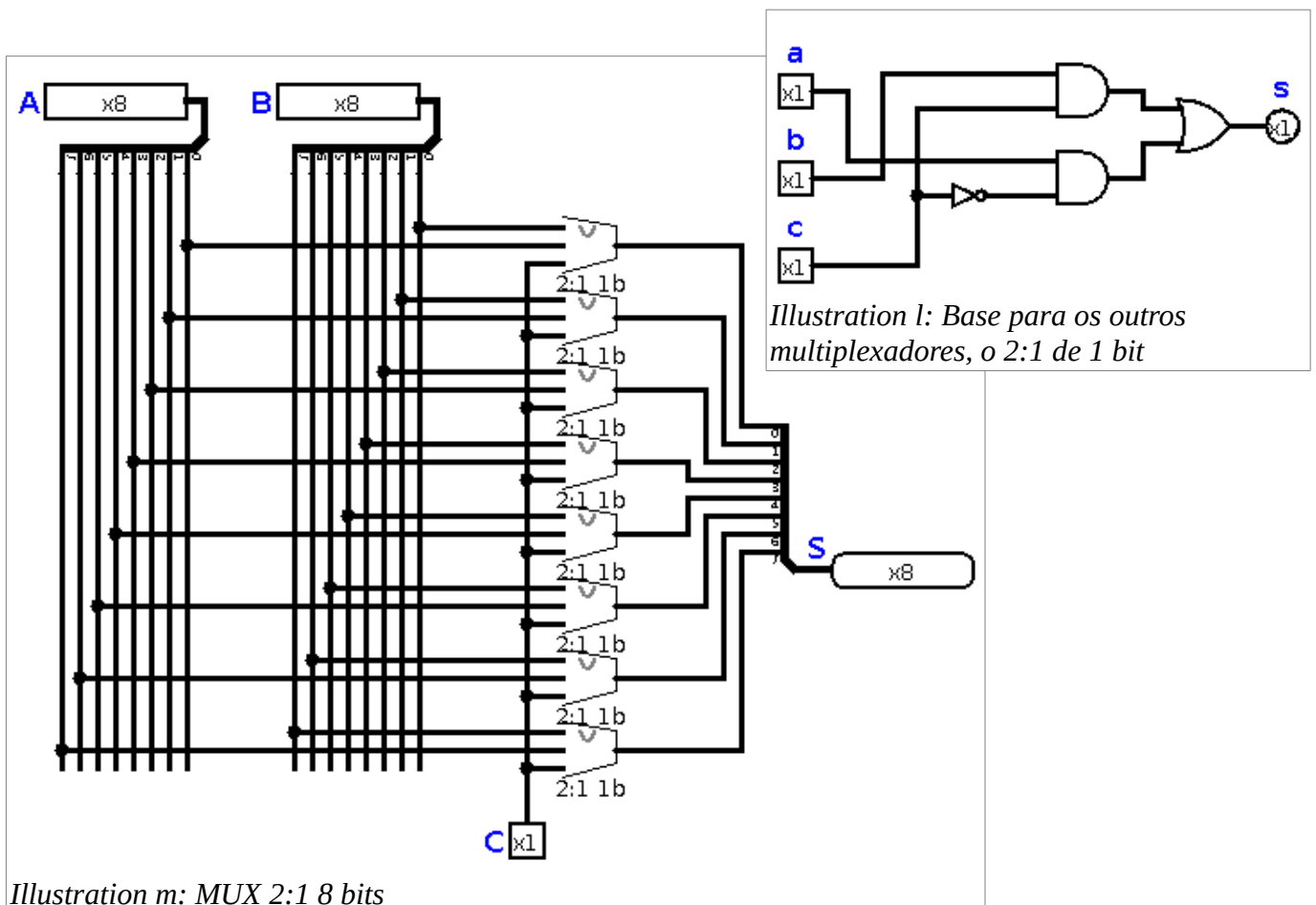
Shift Right (SHR)

Extendendo as possibilidades com os shifts, com o SHR apenas desloca todos os bits da entrada, levando o LSD (*Least Significant Digit* – Dígito Menos Siginificativo) para o Cout, e aparecendo zeros à esquerda, semelhante à um resultado de uma divisão por 2, isso pode ser facilmente e efetivamente feito for *rewiring* (relição) das entradas:



Multiplexadores

É preciso escolher qual das operações serão realizadas, e para isso é eficiente um circuito característico denominado *multiplexador*. Eles são característicos pois agem como se fossem chaves seletoras (muitas vezes chamados assim), permitindo que um código de operação controle qual das entradas ele repete na única saída (também há o inverso – em qual das saídas ele repete a única entrada – os demultiplexadores).



Henrique Coutinho Layber e Renan Moreira Gomes

Universidade Federal do Espírito Santo

Vitória 2018

Agora pode-se usar o MUX 2:1 de 8 bits para construir o MUX 8:1 de 8 bits, o que de fato selecionará a operação a ser realizada:

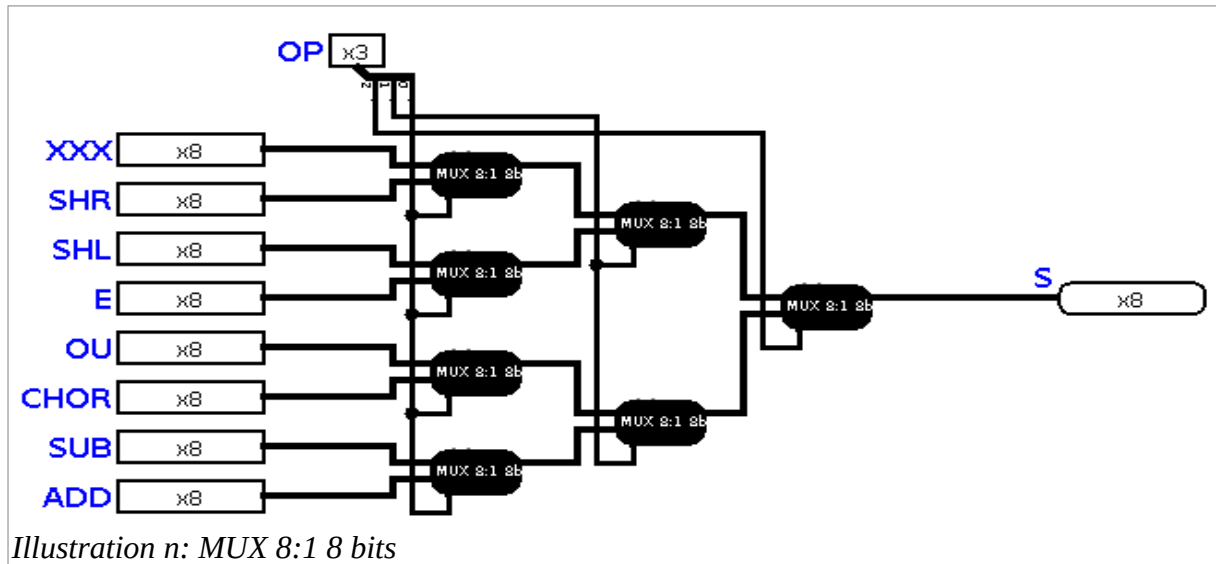
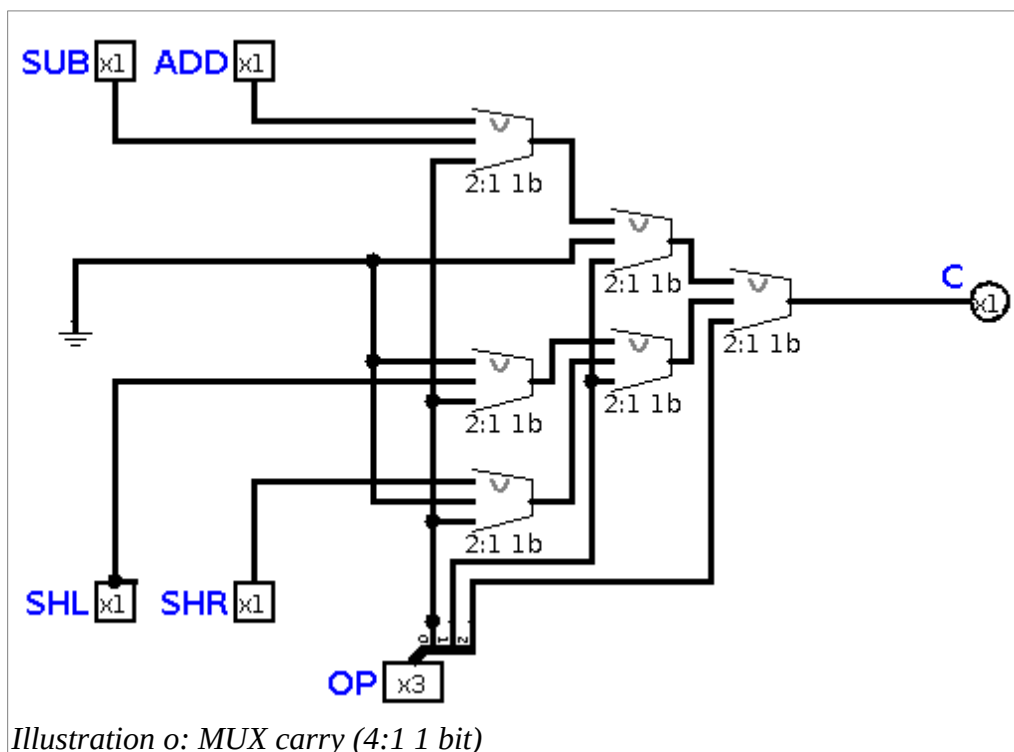
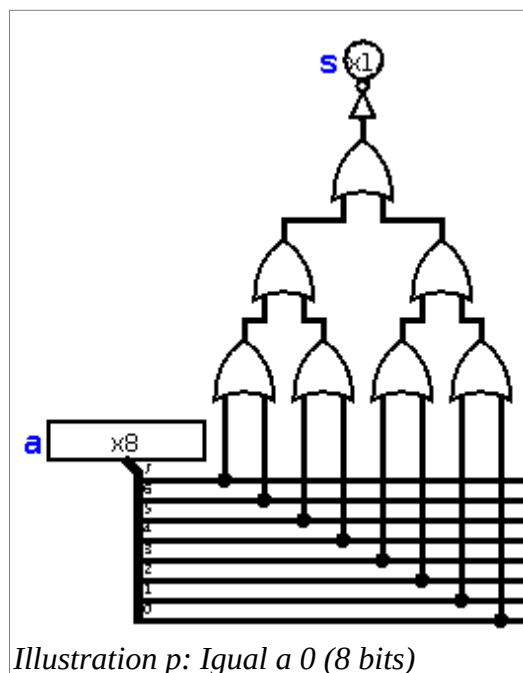


Illustration o: MUX carry (4:1 1 bit)



Igual a 0

Como o nome perfeitamente escolhido sugere, esse circuito verifica se a entrada (no caso, de 8 bits) é igual a 0. É um tanto simples uma vez que já foi feito o circuito AND bit-a-bit, e conhecendo a tabela-verdade de valores do AND, pode-se simplesmente inverter cada bit da entrada e passar por um AND com ele mesmo (assim todos devem ser iguais a 1 para sair resultado 1, porém eles foram invertidos e na realidade seriam todos iguais a 0):



Display Hexadecimal

Ao invés de construir um circuito pre-definido pro display, ao invés disso pode ser usado multiplexadores e usá-la como linhas da tabela-verdade (dessa forma o circuito continua grande, mas legível). Então define-se um multiplexador 16:1 de 1 bit, e ele foi usado como linhas da tabela-verdade para ligar o display 7-segmentos³:

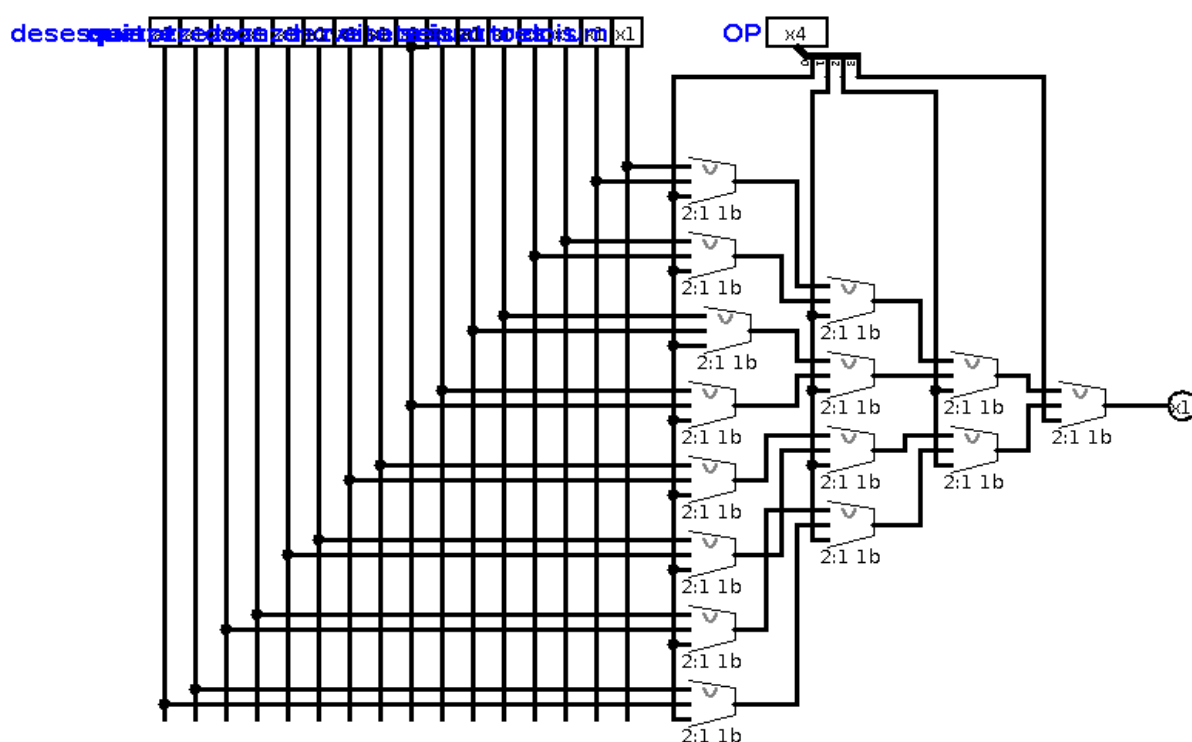


Illustration q: MUL 16:1 (1 bit)

³ O decodificador pode ser encontrado no [Anexo 1](#). Ele foi removido do capítulo original graças ao seu tamanho e em prol da extensão e legibilidade do relatório.

São 16 entradas para cada uma das 7 saídas... 112 entradas!

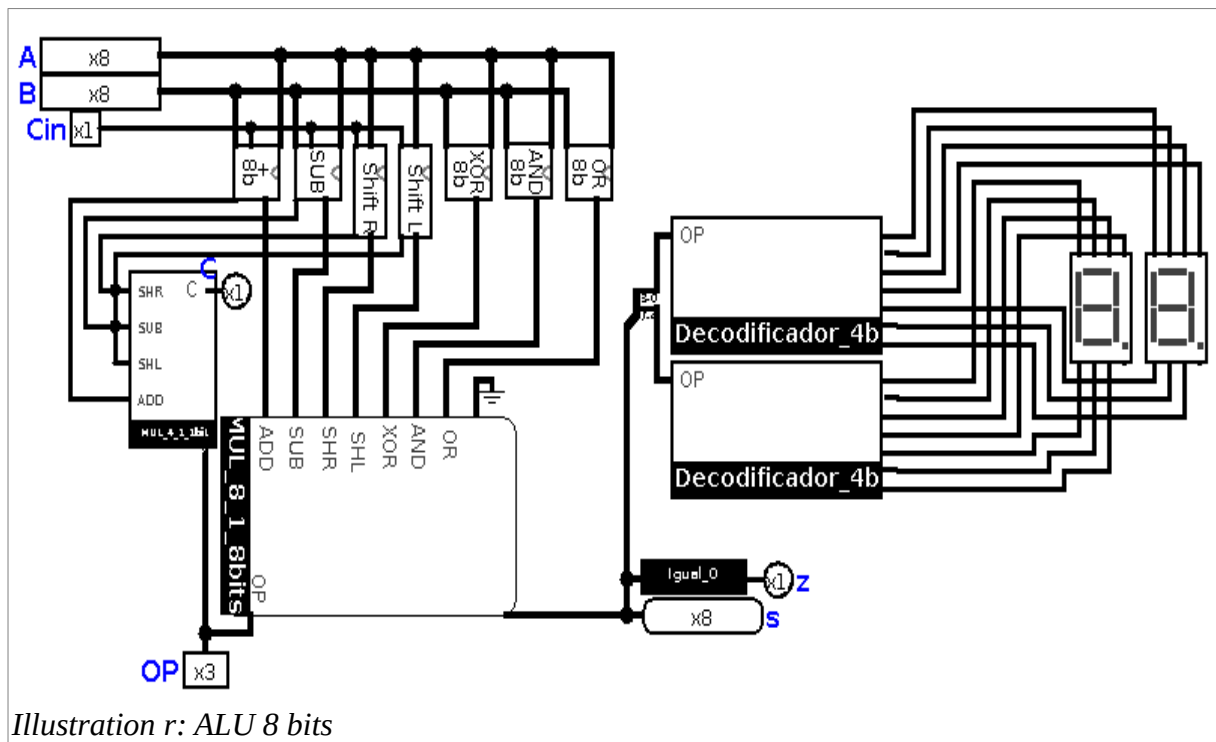
Henrique Coutinho Layber e Renan Moreira Gomes

Universidade Federal do Espírito Santo

Vitória 2018

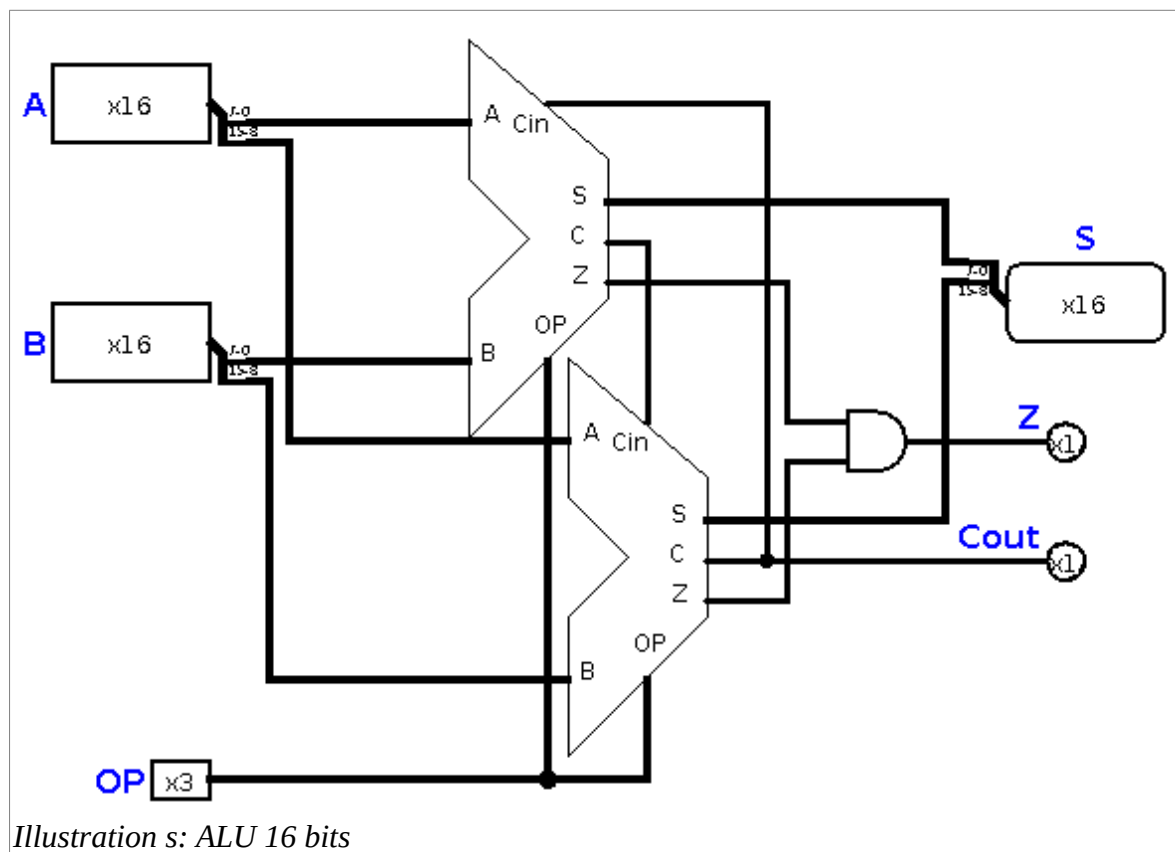
Montando a ALU

Agora que temos todas as operações prontas, basta montar usando as peças já feitas: das entradas A e B, que são distribuídas de acordo com cada operação, e coletadas em um multiplexador usando a entrada de operação (Op) como chave seletora. Essa chave seletora também seleciona a saída C (carry), e da saída, usamos o circuito Igual_a_0 para verificar se a saída esta igual a zero e esta é a saída Z. Basta montar o display, usando 4 bits de cada vez em um decodificador hexadecimal (um para cada dígito):



Unindo as ALUs

Agora, como tudo foi montado corretamente, simplesmente ligar metade de cada entrada de 16 bits em uma ALU, concatenar os resultados e ligar os carries, deve-se chegar ao resultado esperado:



ANEXO 1

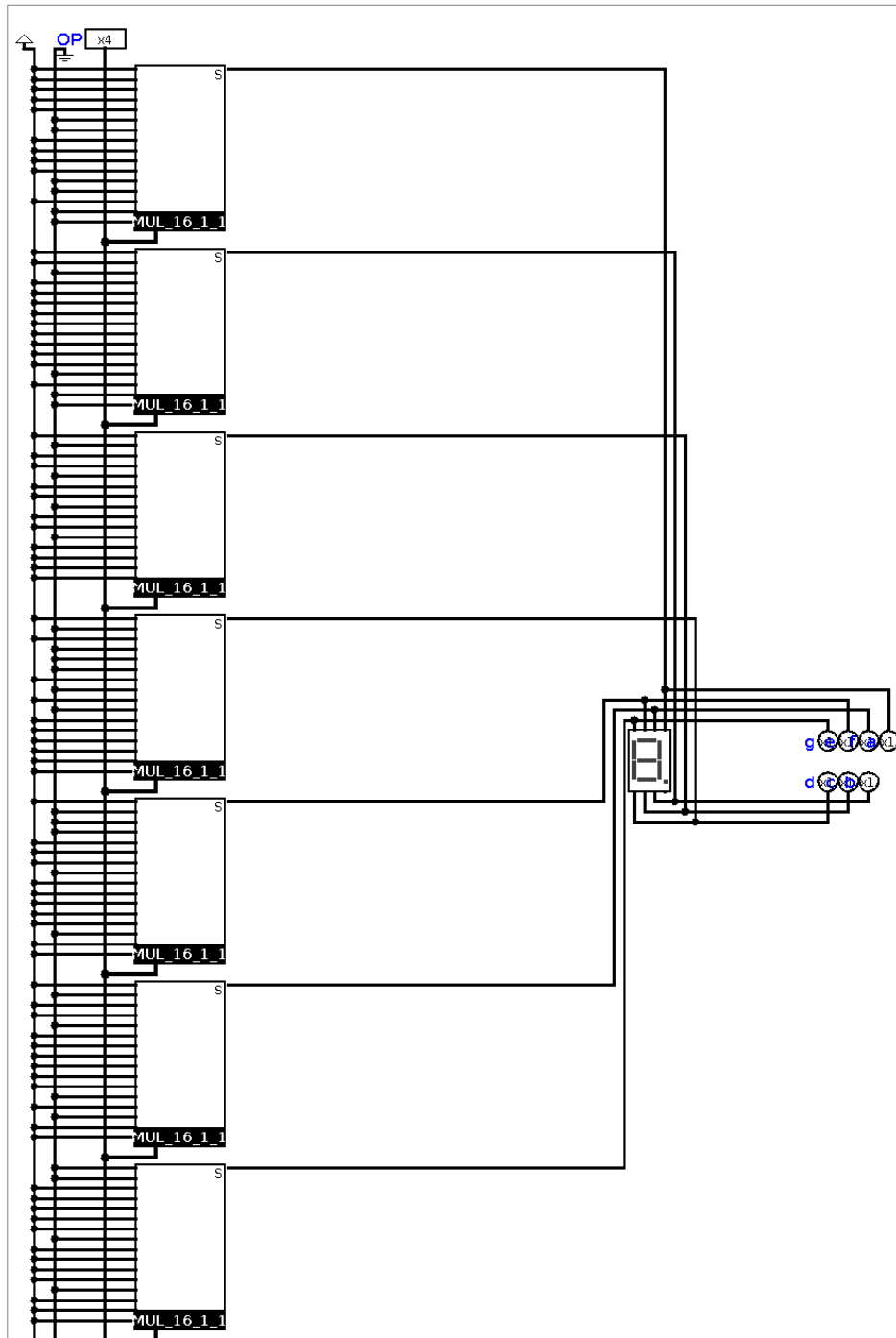


Illustration t: Decodificador display 7 segmentos