

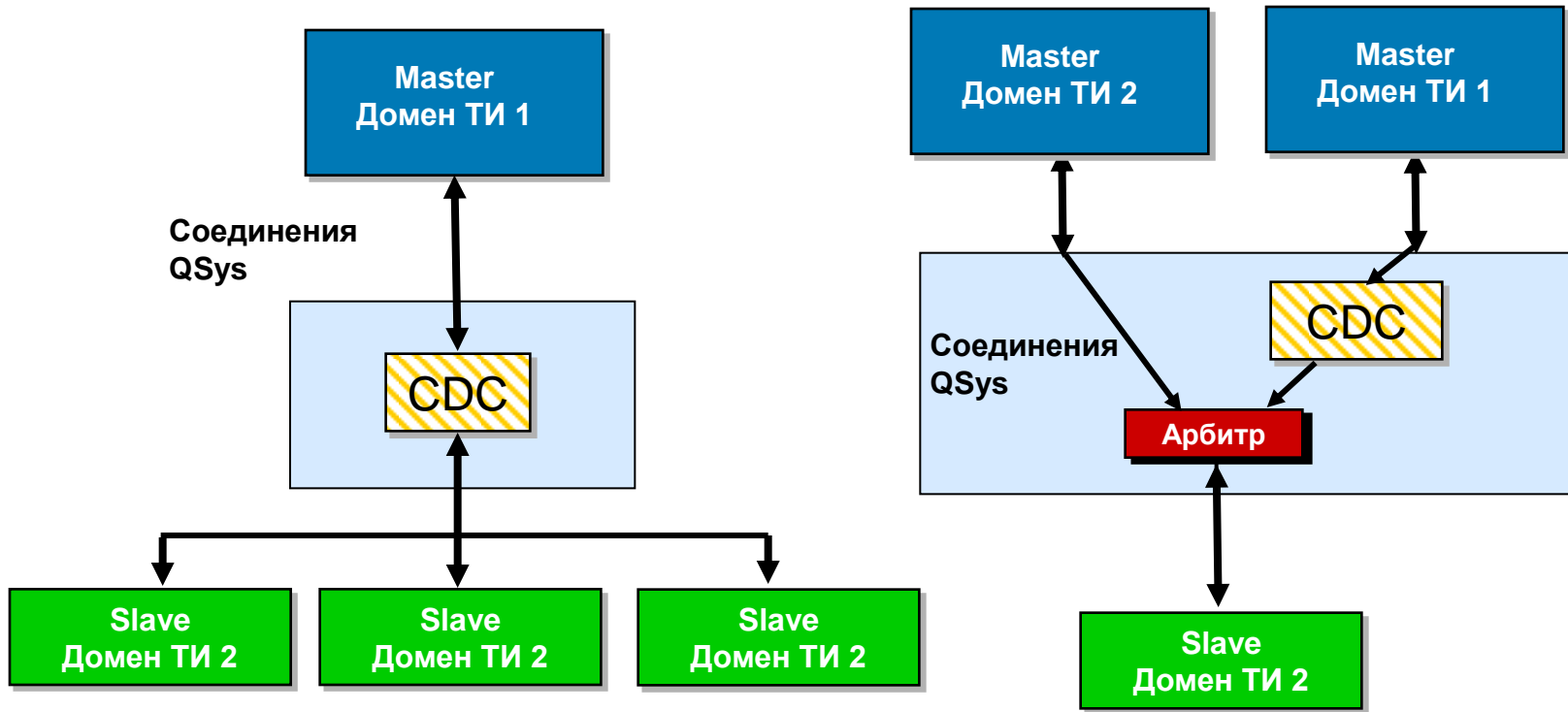
Межсоединения QSys

Программа курса

- Системы с несколькими доменами ТИ
- Повышение производительности межсоединений
- Реализация интерфейсов в периферийных модулях

Системы с несколькими доменами ТИ

Поддержка переходов между доменами ТИ



CDC = *Clock Domain Crossing Logic* (логика перехода между доменами)
Реализуется автоматически в SOPC Builder

Настройка ТИ в QSys

- Автоматическая реализация логики перехода между доменами
- Автоматическая реализация конвейеризации
- Неограниченное количество доменов ТИ
- Реализует пересинхронизацию сигналов управления

The screenshot displays the QSys configuration interface. The main window is titled 'System' and contains a 'Parameters' section with the following settings:

- Device family: Stratix
- Clock crossing adapter type: Handshake
- Limit interconnect pipeline stages to: 1
- Generation Id: 0

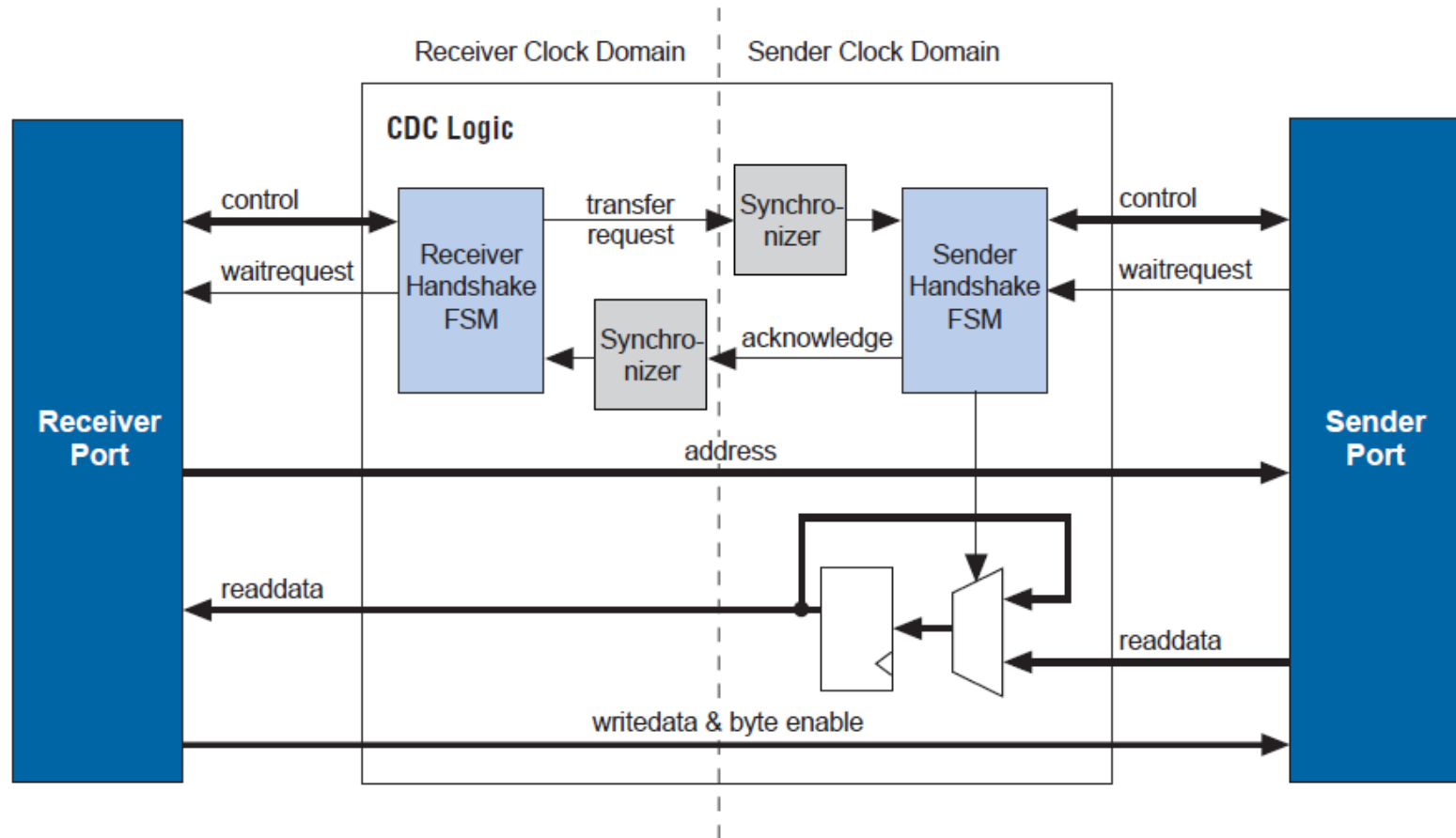
Below the parameters, the 'Clock Settings' section is visible, containing a table with the following data:

Name	Source	MHz
clk	External	50,0
clk_pci	External	66,0

Buttons for 'Add' and 'Remove' are located to the right of the table.

Логика перехода между доменами

■ Handshake

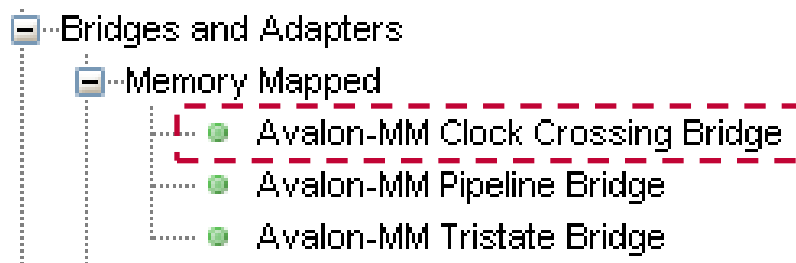


Логика перехода между доменами

- Реализует пересинхронизацию сигналов управления
- Используются конечные автоматы на стороне приемника и передатчика
- Для чтения вносимая задержка составляет по пять тактов с каждой стороны
 - 4 такта на логику синхронизатора
 - 1 так на подавление метастабильности
(для настройки **domain synchronizer length = 2**)
- Master ожидает завершения каждой передачи
 - Падение производительности для конвейеризованных передач
- Для повышения скорости обмена используйте настройку FIFO или мост Clock Crossing Bridge

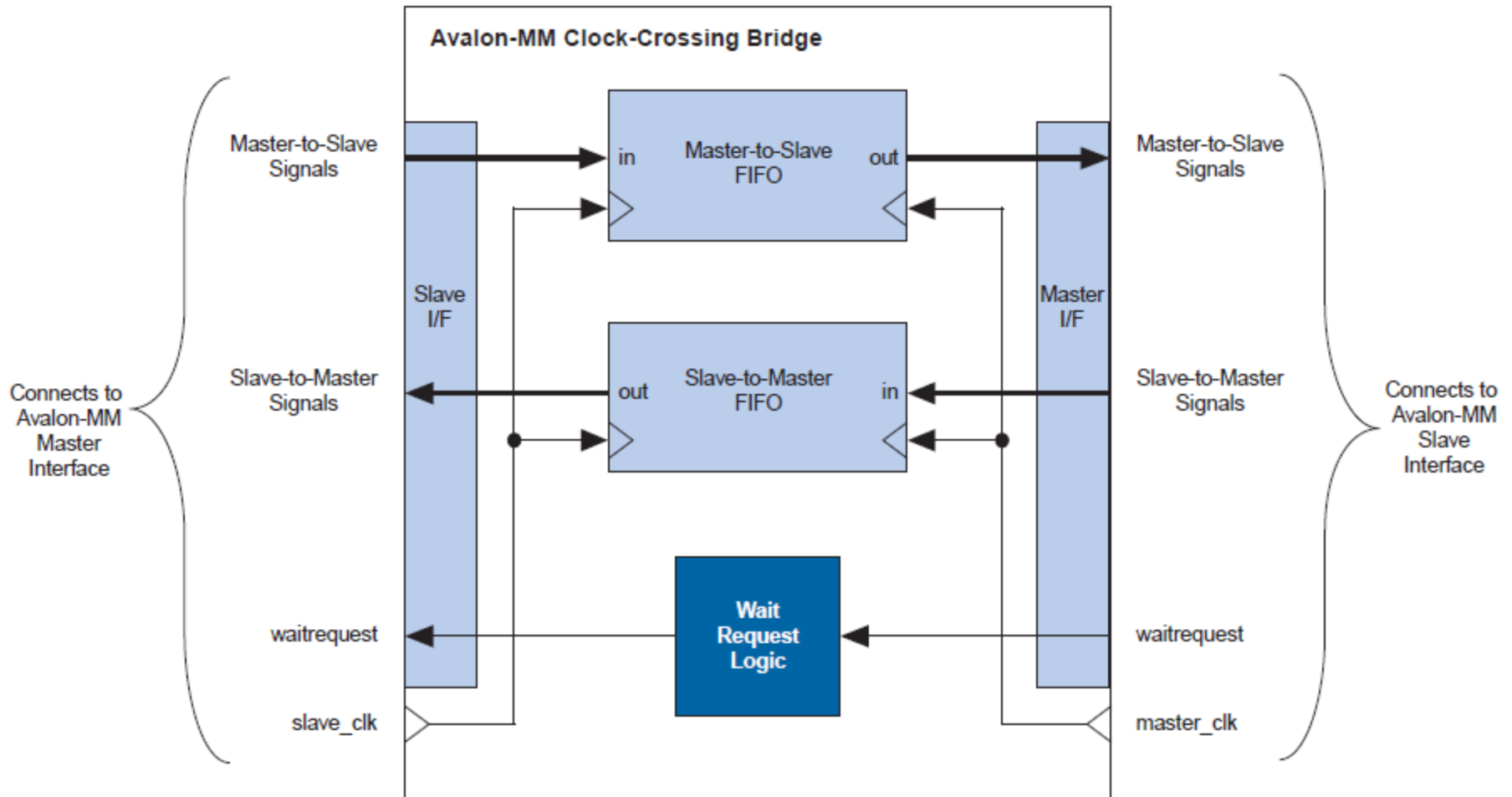
Мост Avalon-MM Clock Crossing Bridge

- Используется для повышения производительности передачи между доменами
 - Соединяет главные и подчиненные порты, находящиеся в разных доменах
 - Разрядность настраивается
 - Предоставляет возможность буферизации чтения и записи для конвейеризованных передач
 - Поддерживает пакетные передачи



Connections	Module Name	Description	Clock
	cpu	Nios II Processor	sys_clk
	instruction_master	Avalon Master	
	tightly_coupled_instruction	Avalon Master	
	data_master	Avalon Master	
	jtag_debug_module	Avalon Slave	
	clock_crossing_bridge	Avalon-MM Clock Crossing Bridge	
	s1	Avalon Slave	sys_clk
	m1	Avalon Master	test_clk
	my_pwm	avalon_pwm	
	avalon_slave_0	Avalon Slave	test_clk

Мост Avalon-MM Clock Crossing Bridge



- FIFO могут быть реализованы на триггерах и в модулях памяти

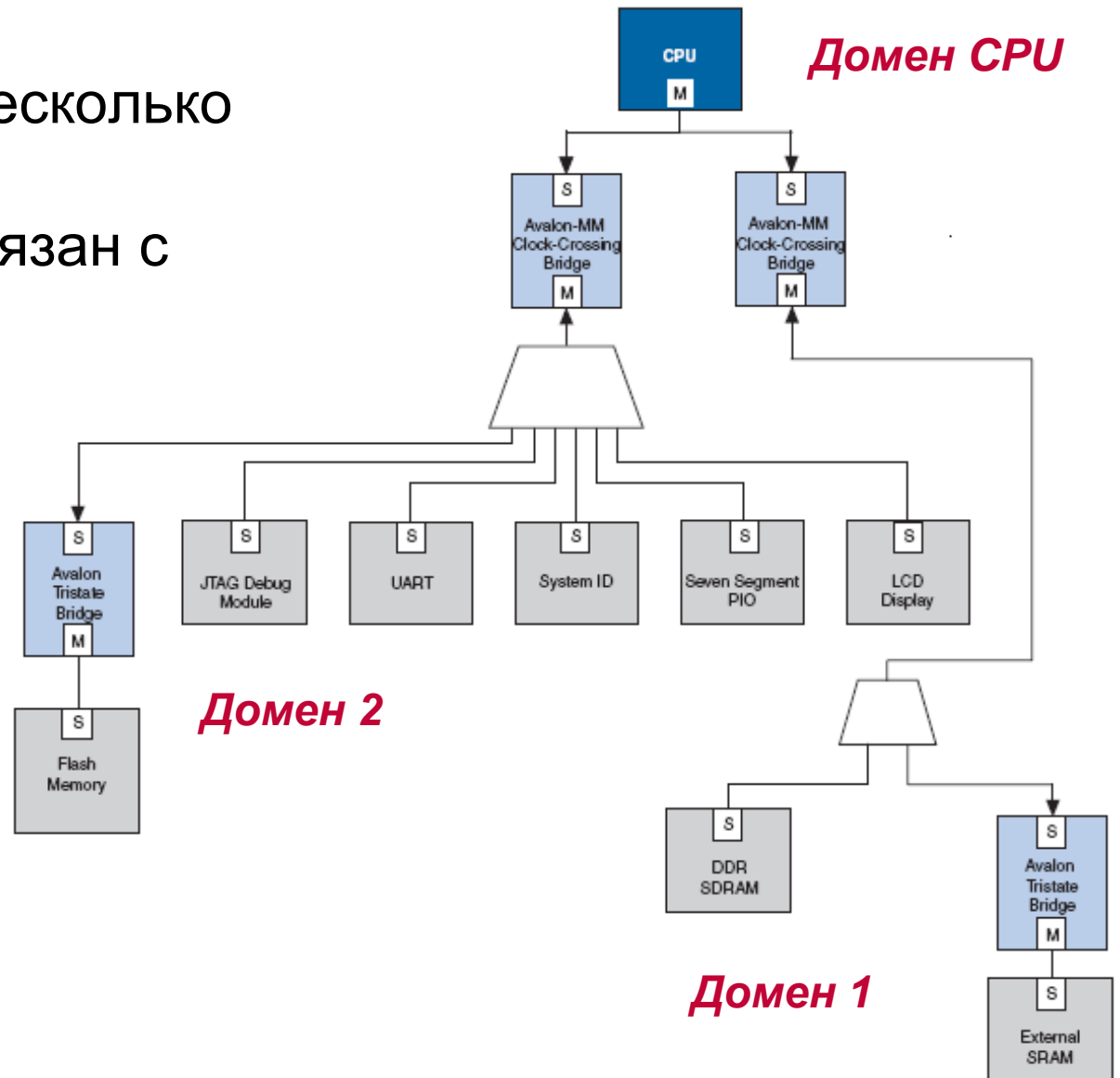
© 2010 Altera Corporation—**Confidential**

ALTERA, ARRIA, CYCLONE, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS & STRATIX are Reg. U.S. Pat. & Tm. Off.
and Altera marks in and outside the U.S.



Пример системы

- Используется несколько мостов
- Каждый мост связан с несколькими подчиненными портами



Повышение производительности системной шины

Мост Avalon-MM Pipeline Bridge

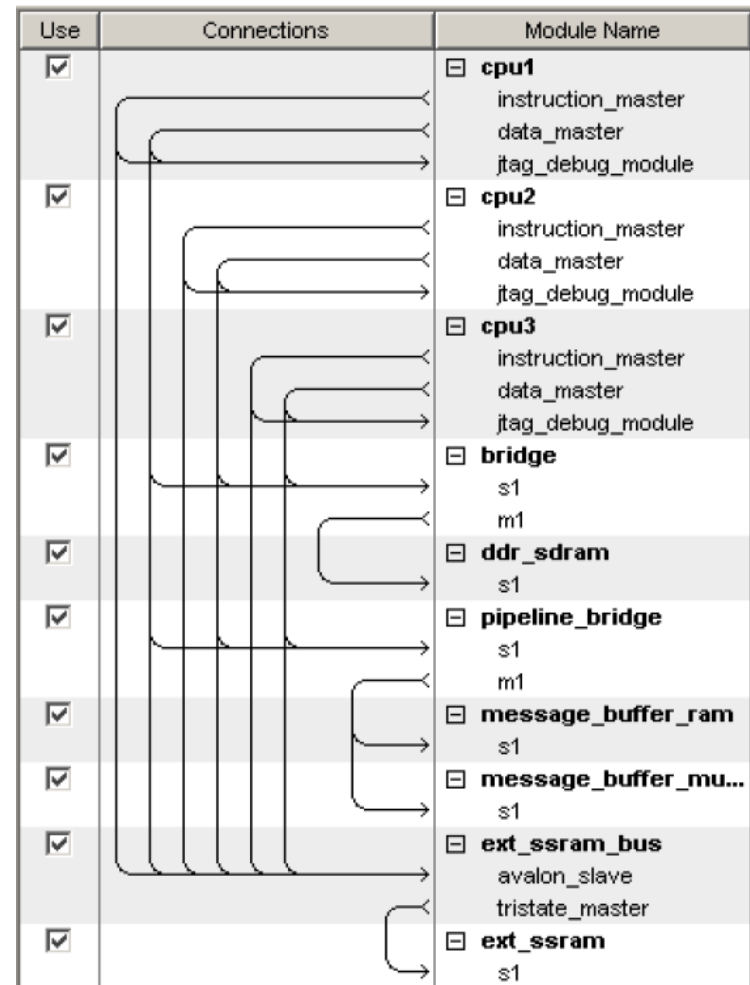
■ Предоставляет возможность конвейеризации данных в системной шине

- Повышение частоты системы
- Управление архитектурой

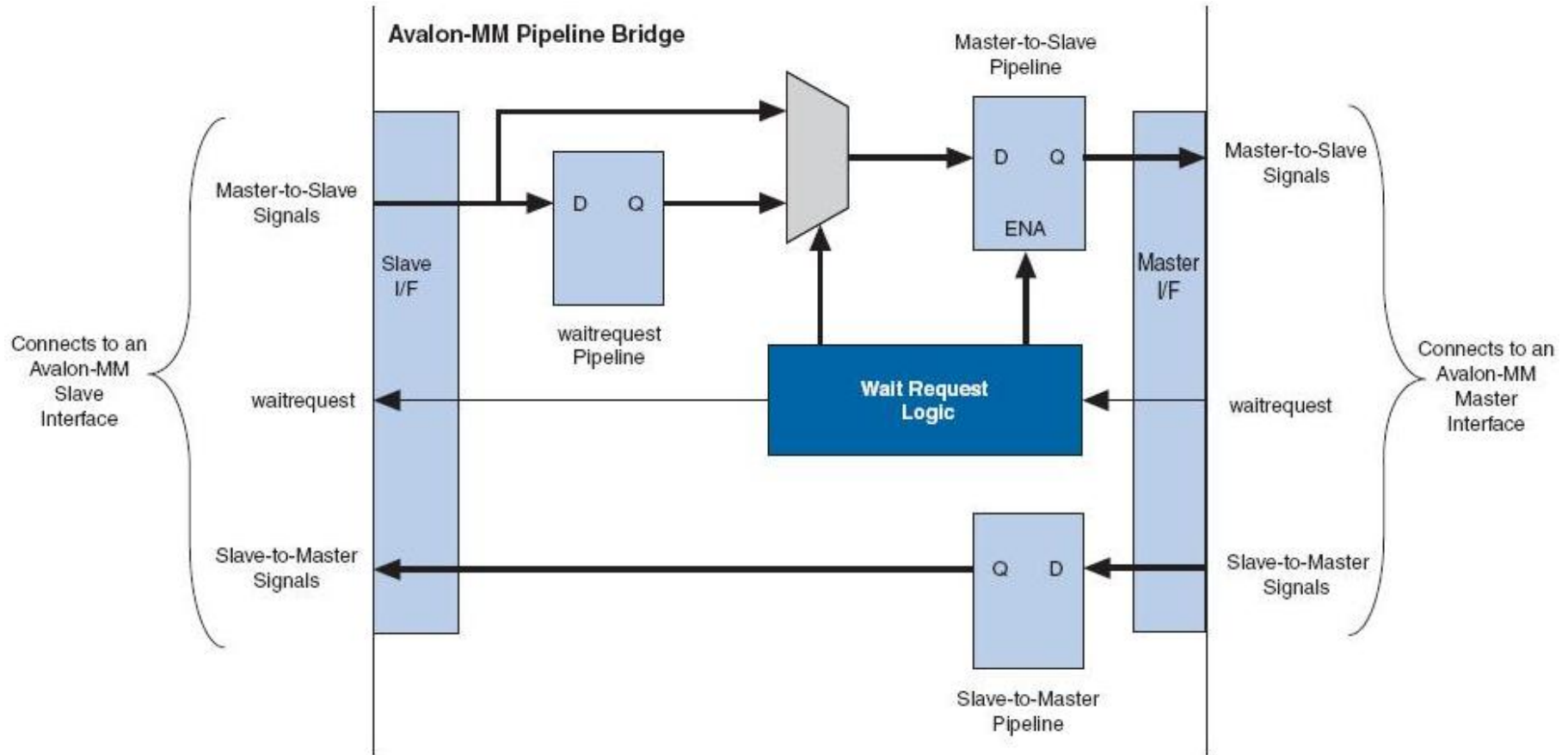
[-] Bridges and Adapters

[-] Memory Mapped

- Avalon-MM Clock Crossing Bridge
- **Avalon-MM Pipeline Bridge**
- Avalon-MM Tristate Bridge

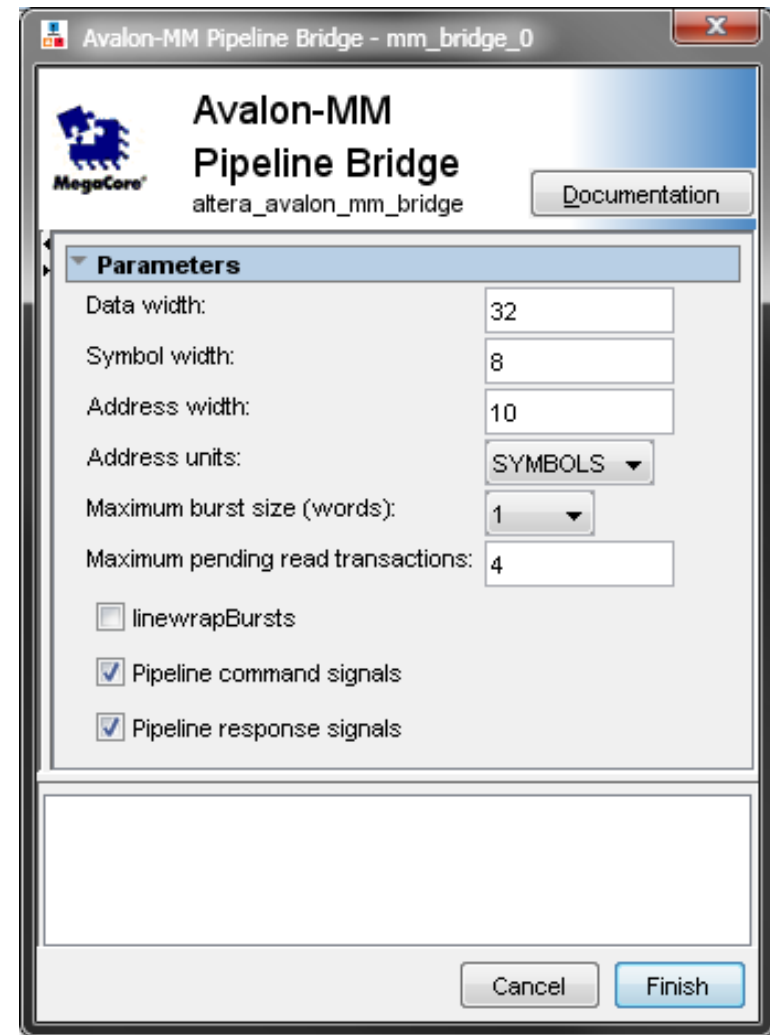


Moct Avalon-MM Pipeline Bridge

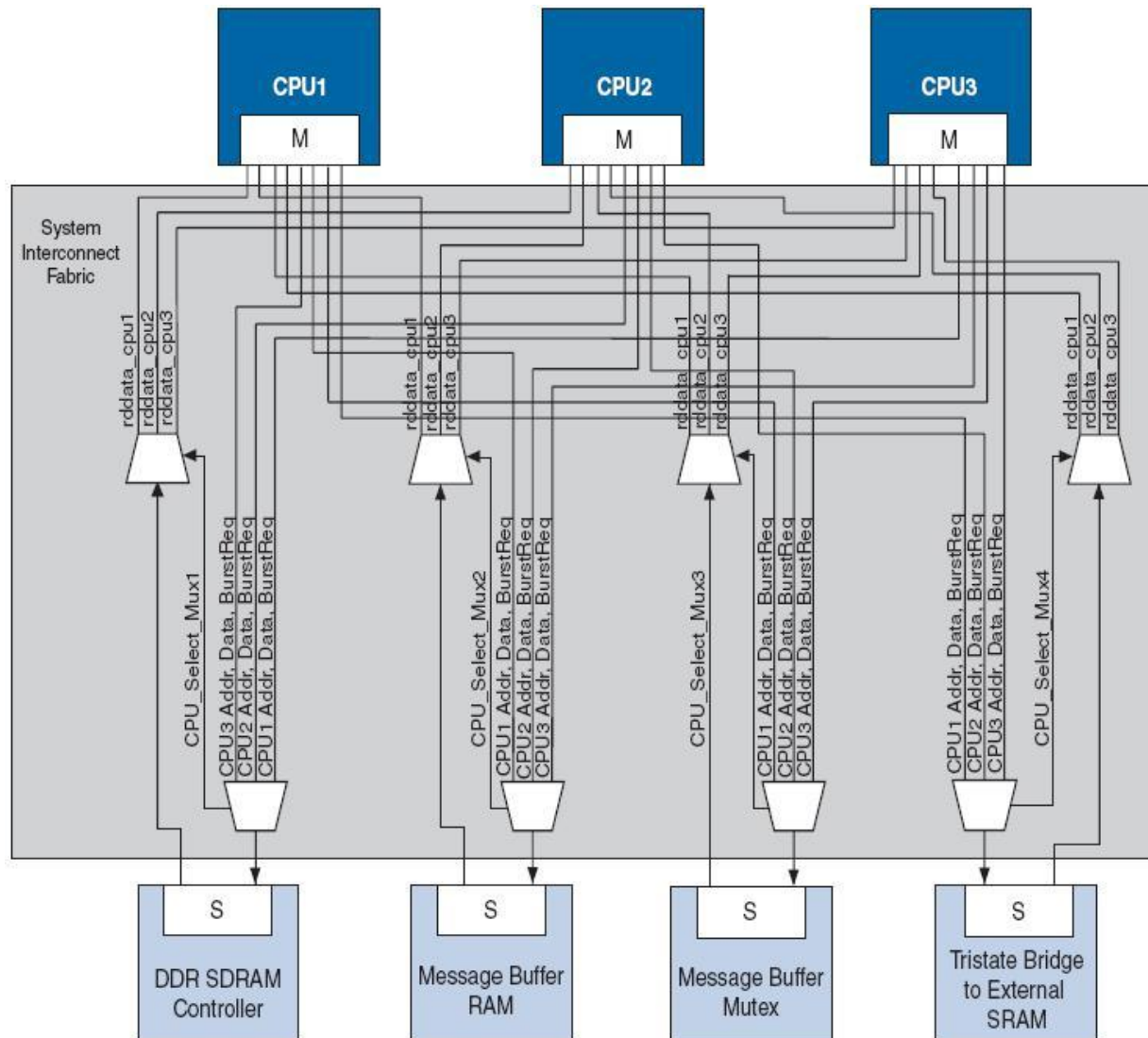


Настройки Avalon-MM Pipelined Bridge

- Поддерживает настройку разрядности
- Поддерживает пакетные передачи
- Имеется возможность отключать конвейеризацию для управления топологией



Система без применения мостов

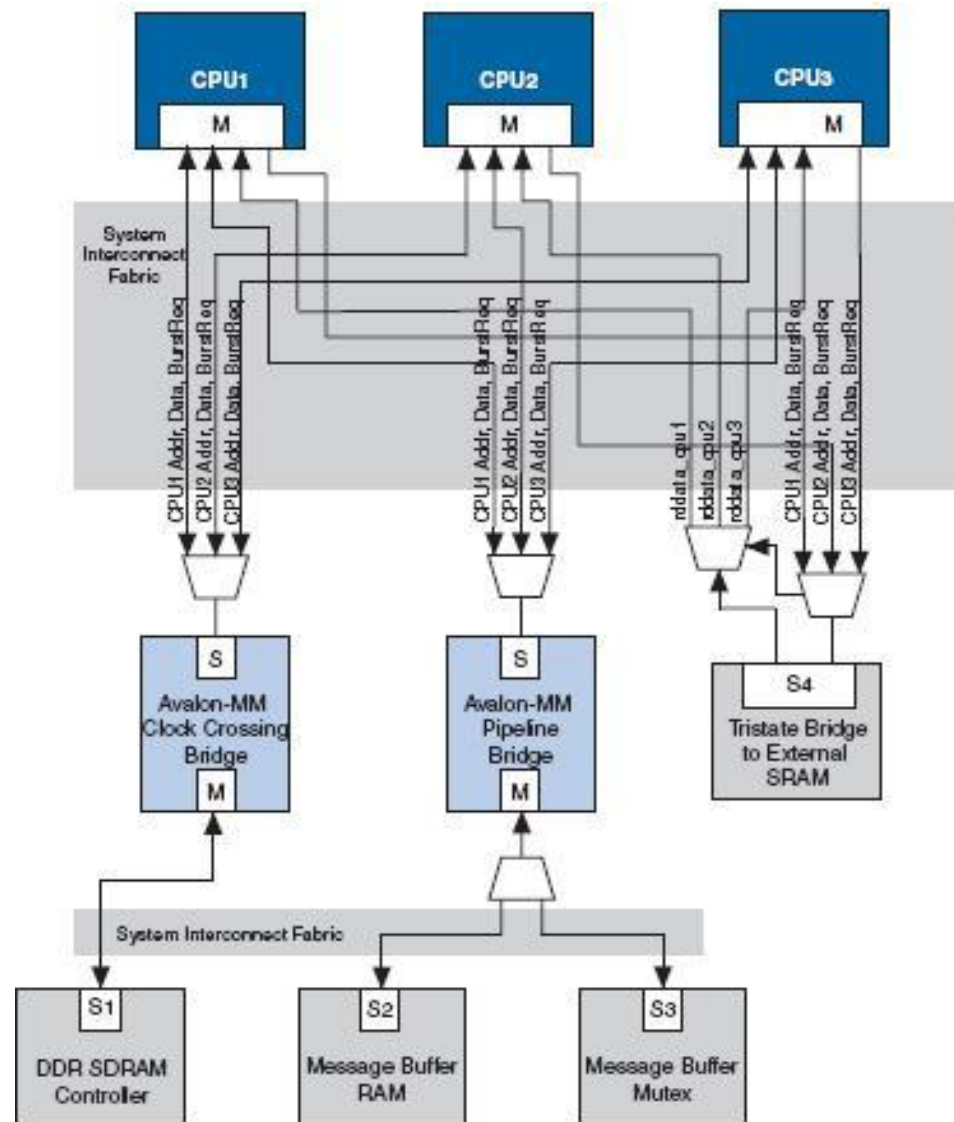


© 2010 Altera Corporation

ALTERA, ARRIA, CYCLONE, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS & STRATIX are Reg. U.S. Pat. & Tm. Off. and Altera marks in and outside the U.S.



Система с применением мостов



Система с применением мостов

Use	Connections	Module Name	Description	Clock	Base	End	IRQ
<input checked="" type="checkbox"/>		cpu	Nios II Processor	system_clk			
		instruction_master	Avalon Master				
		data_master	Avalon Master				
		jtag_debug_module	Avalon Slave		IRQ 0	IRQ 31	
<input checked="" type="checkbox"/>		tristate_bridge	Avalon-MM Tristate Bridge	system_clk	0x00000000	0x000007ff	
		avalon_slave	Avalon Slave				
		tristate_master	Avalon Tristate Master				
<input checked="" type="checkbox"/>		ssram	Cypress CY7C1380C SSRAM	system_clk	0x01000000	0x010fffff	
		s1	Avalon Tristate Slave				
<input checked="" type="checkbox"/>		flash	Flash Memory (CFI)	system_clk	0x00000000	0x00ffffff	
		s1	Avalon Tristate Slave				
<input checked="" type="checkbox"/>		ddr_sram_bridge	Avalon-MM Clock Crossing Bridge				
		s1	Avalon Slave	system_clk	0x04000000	0x05ffffff	
		m1	Avalon Master	ddr_sram...			
<input checked="" type="checkbox"/>		ddr_sram	DDR SDRAM High Performance Control...	ext_clk_one	0x00000000	0x01ffffff	
		s1	Avalon Slave				
<input checked="" type="checkbox"/>		pipeline_bridge	Avalon-MM Pipeline Bridge	system_clk	0x07000000	0x07000fff	
		s1	Avalon Slave				
		m1	Avalon Master				
<input checked="" type="checkbox"/>		jtag_uart	JTAG UART	system_clk	0x00000860	0x00000867	1
		avalon_jtag_slave	Avalon Slave				
<input checked="" type="checkbox"/>		push_buttons	PIO (Parallel I/O)	system_clk	0x00000840	0x0000084f	2
		s1	Avalon Slave				
<input checked="" type="checkbox"/>		system_tick	Interval Timer	system_clk	0x00000800	0x0000081f	3
		s1	Avalon Slave				
<input checked="" type="checkbox"/>		status_leds	PIO (Parallel I/O)	system_clk	0x00000850	0x0000085f	
		s1	Avalon Slave				
<input checked="" type="checkbox"/>		sysid	System ID Peripheral	system_clk	0x00000868	0x0000086f	
		control_slave	Avalon Slave				
<input checked="" type="checkbox"/>		sys_pll	PLL	ext_clk_one	0x00000820	0x0000083f	
		s1	Avalon Slave				

Интерфейс Avalon-MM Slave в периферийных модулях

Порты Avalon-MM Slave

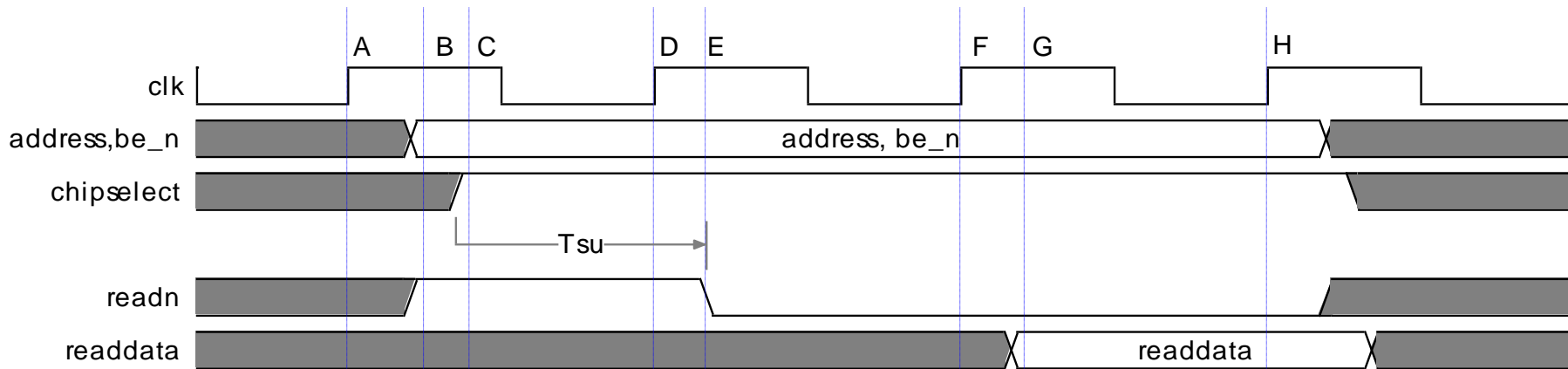
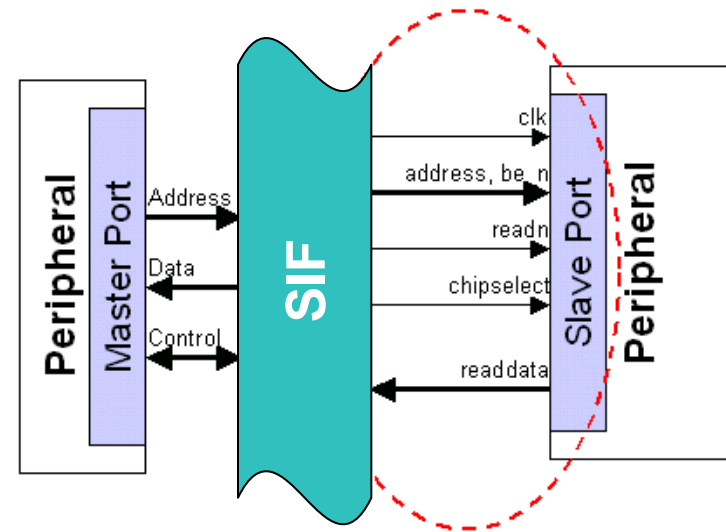
- Отвечают на запросы передач от системной шины
- Типы передач
 - Fundamental Read
 - Fundamental Write
- Характеристики передач
 - Циклы ожидания
 - Задержка
 - Пакетные передачи
 - Управление потоком передачи

Сигналы интерфейса Avalon-MM Slave

- Основные сигналы
 - clk, chipselect, address, read, readdata, write, writedata, byteenable, writebyteenable
- Запрос циклов ожидания
 - waitrequest
- Управление конвейеризацией
 - readdatavalid
- Сигналы пакетных передач
 - burstcount, beginbursttransfer
- Сигналы управления потоком
 - readyfordata, dataavailable, endofpacket
- Сигналы управления третьим состоянием
 - data, outputenable
- Прочие сигналы
 - irq, reset, resetrequest

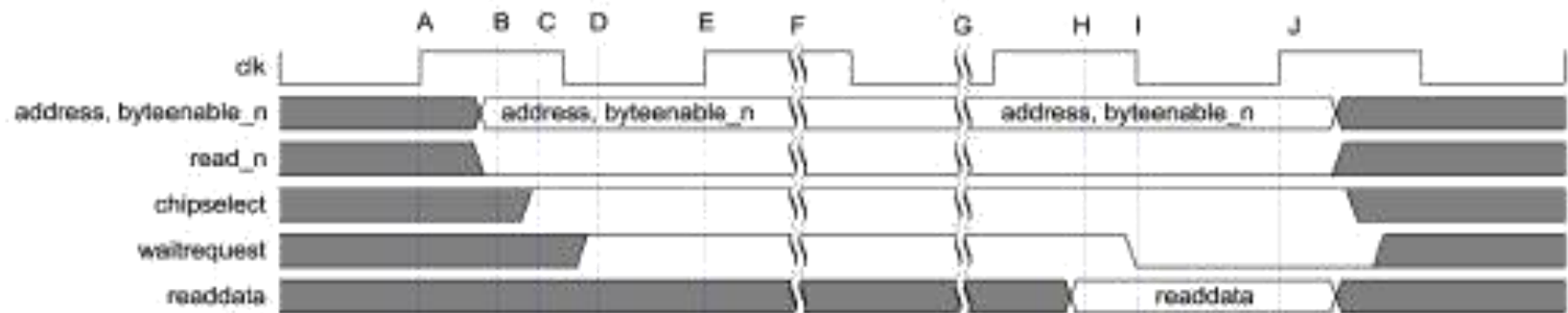
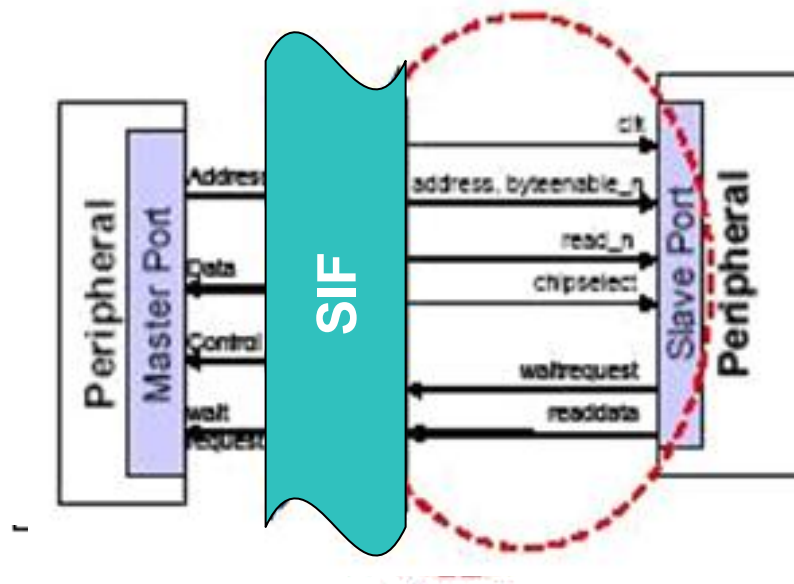
Чтение с фиксированным ожиданием (Fixes Wait States)

- 1 Setup Cycle
- 1 Wait Cycle



Чтение с управлением циклами ожидания (Variable Wait States)

Количество циклов ожидания определяется сигналом waitrequest, формируемым подчиненным портом

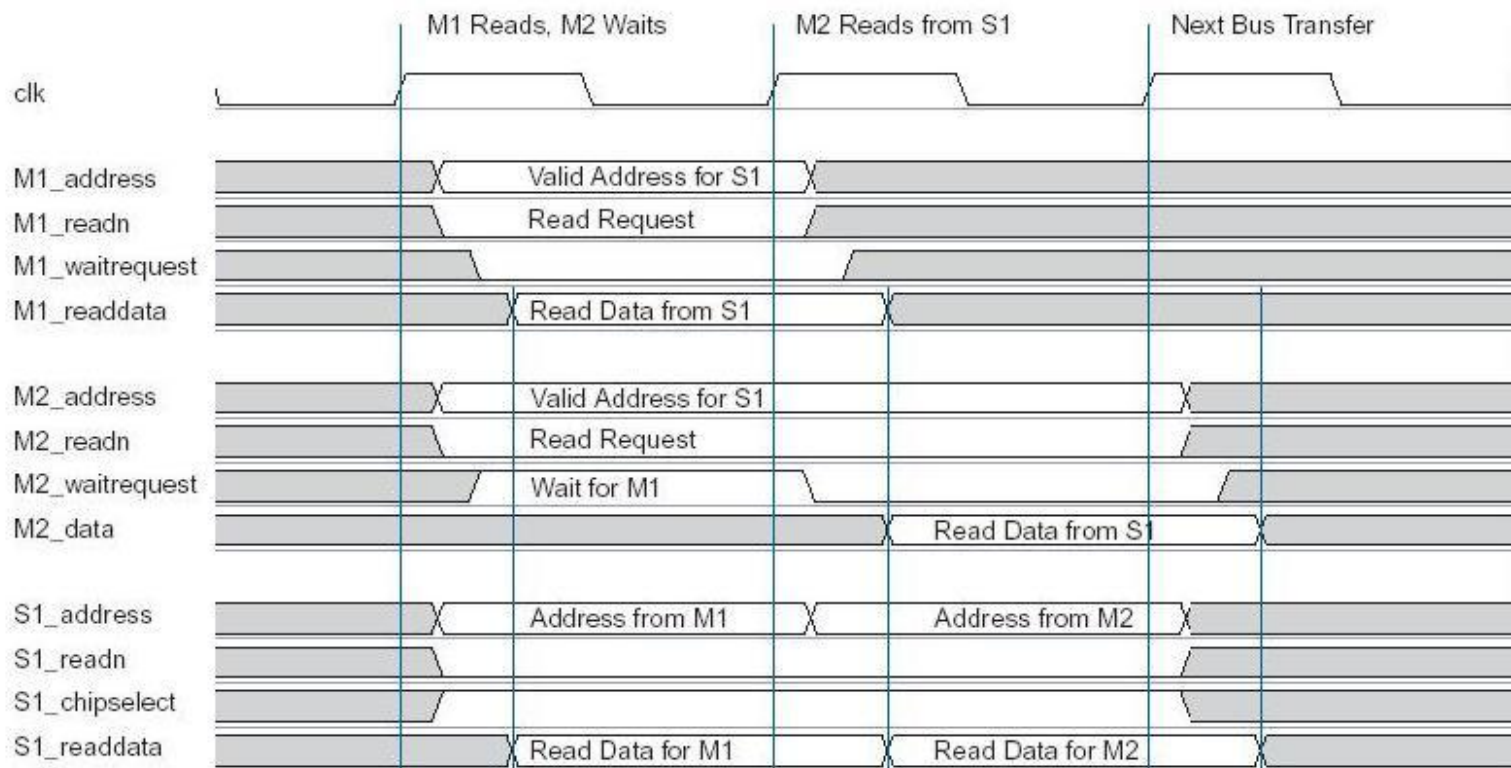


© 2010 Altera Corporation—**Confidential**

ALTERA, ARRIA, CYCLONE, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS & STRATIX are Reg. U.S. Pat. & Tm. Off. and Altera marks in and outside the U.S.



Последовательное чтение различных Master из одного Slave

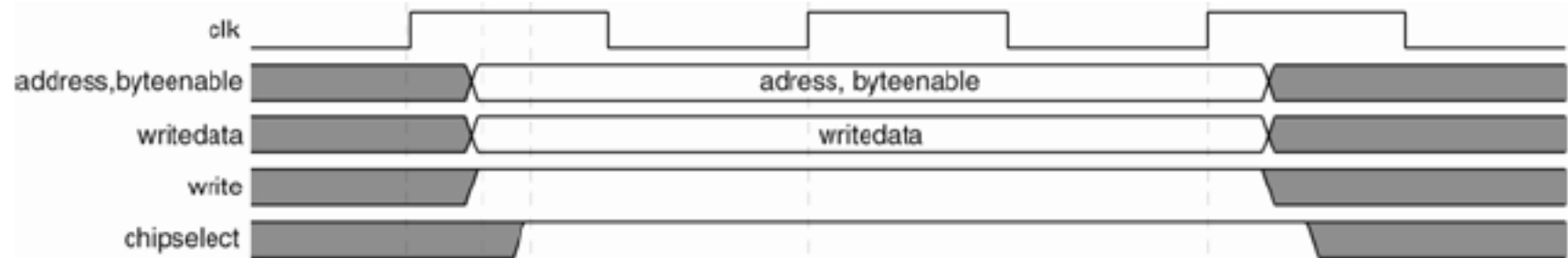


Запись в Avalon-MM Slave

■ Без циклов ожидания



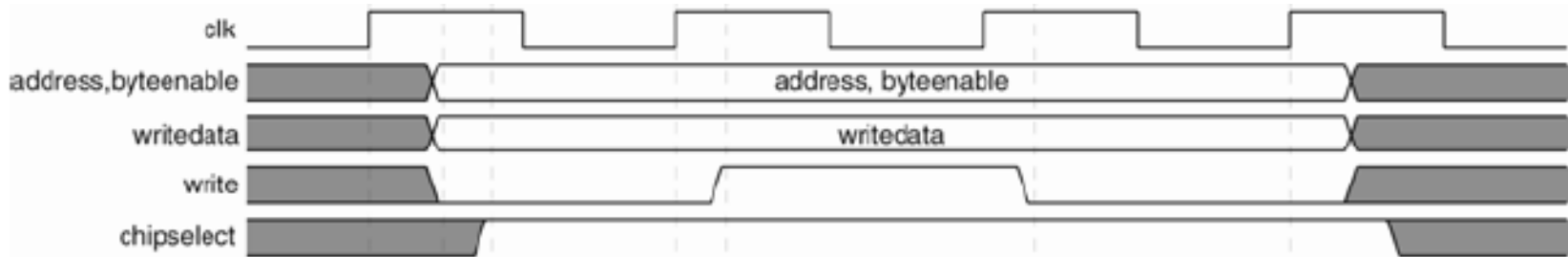
■ С одним циклом ожидания



Запись с ожиданием, предустановкой и удержанием

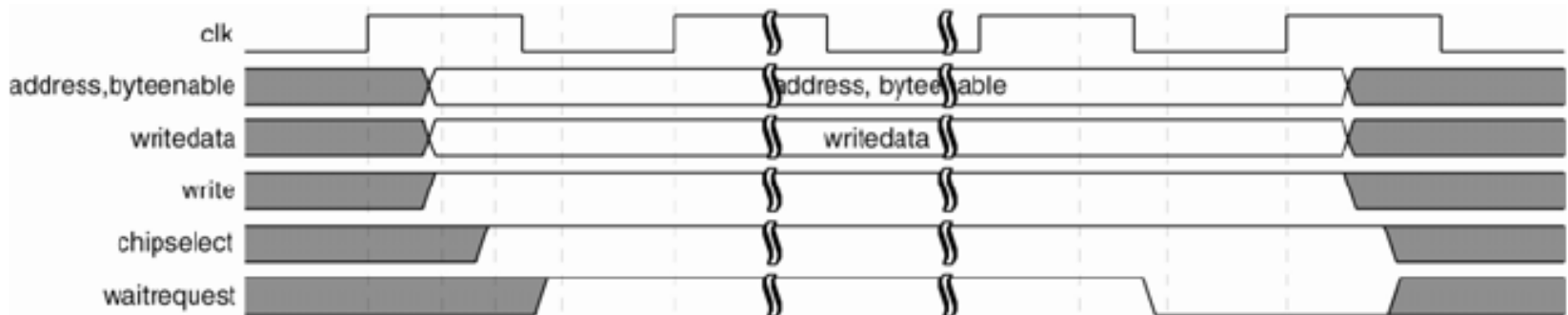
■ Установка и удержание

- Используются для медленных внешних устройств (вне ПЛИС)
- Поддерживаются и для чтения



■ Управление циклами ожидания

- Подчиненное устройство формирует сигнал **waitrequest**

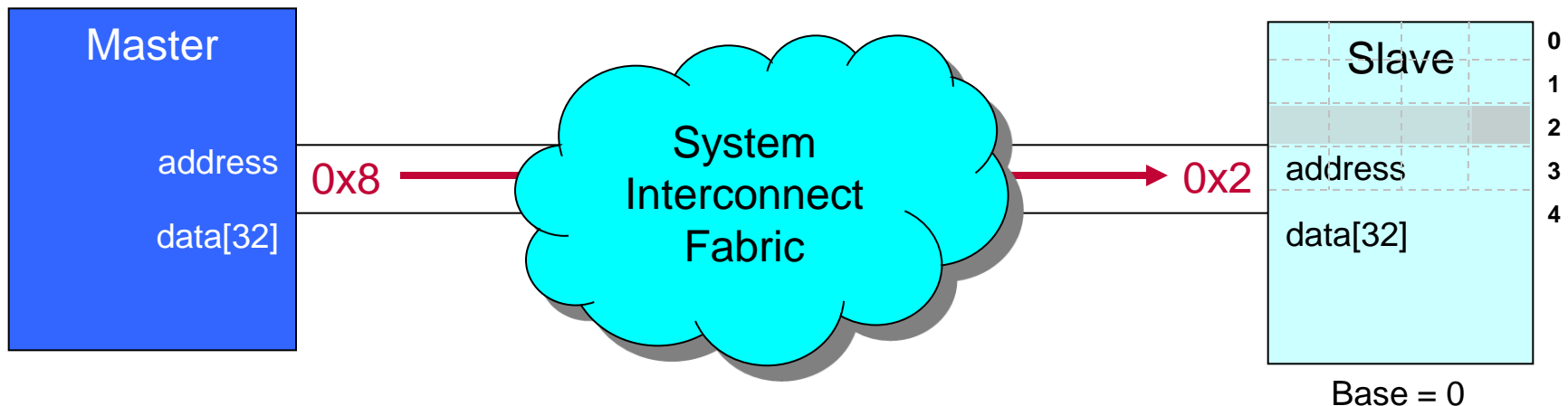


Минимальный набор сигналов Avalon-MM Slave

- **Для записи в порт**
 - write, writedata, clk
- **Для чтения из порта**
 - readdata, clk
- **Для формирования запроса прерывания**
 - IRQ

Управление разрядностью

- Главные порты выставляют адрес **байта**
- Подчиненным портам выставляется адрес **слова**
 - Например, при последовательном чтении из 32-х разрядного подчиненного порта адрес в главном устройстве должен инкрементироваться на 4, но при этом на вход адреса подчиненного порта будет подаваться адрес с инкрементом на 1.



Динамическое управление разрядностью

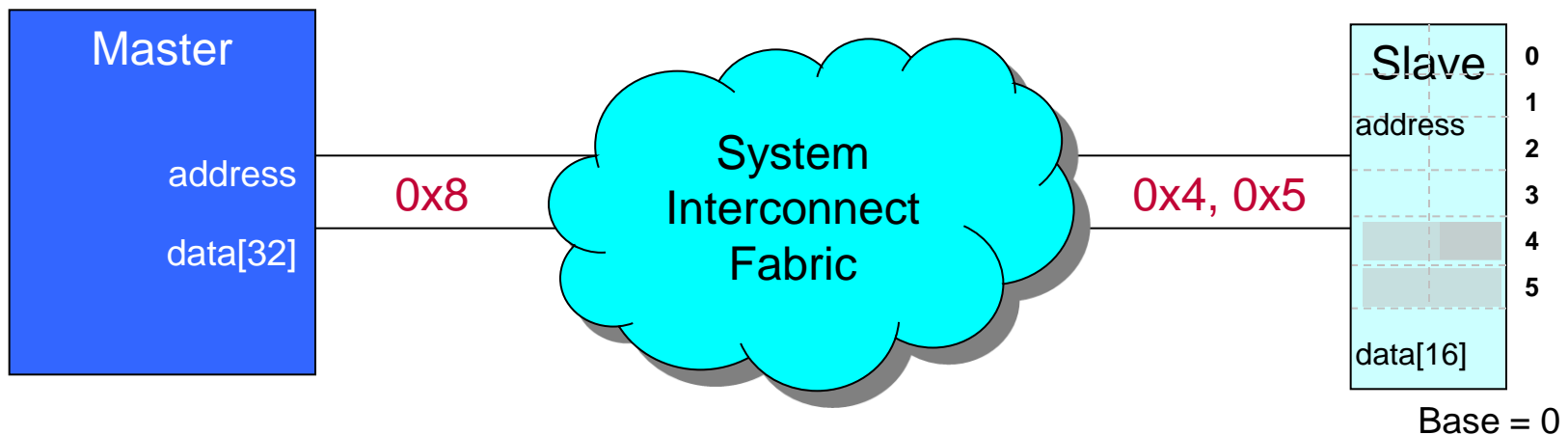
- Означает автоматическое управление разрядностью
- Передачи формируются таким образом, чтобы данные подчиненных устройств отображались в непрерывную последовательность в побайтной адресации главного устройства

Table 3.3. Dynamic Bus Sizing Master-to-Slave Address Mapping

Master Address	32-Bit Master Data	
	When Accessing a 16-Bit Slave Port	When Accessing a 64-Bit Slave Port
0x00	OFFSET [1] _{15..0} :OFFSET [0] _{15..0}	OFFSET [0] _{31..0}
0x04	OFFSET [3] _{15..0} :OFFSET [2] _{15..0}	OFFSET [0] _{63..32}
0x08	OFFSET [5] _{15..0} :OFFSET [4] _{15..0}	OFFSET [1] _{31..0}
0x0C	OFFSET [7] _{15..0} :OFFSET [6] _{15..0}	OFFSET [1] _{63..32}
...

Динамическое управление разрядностью

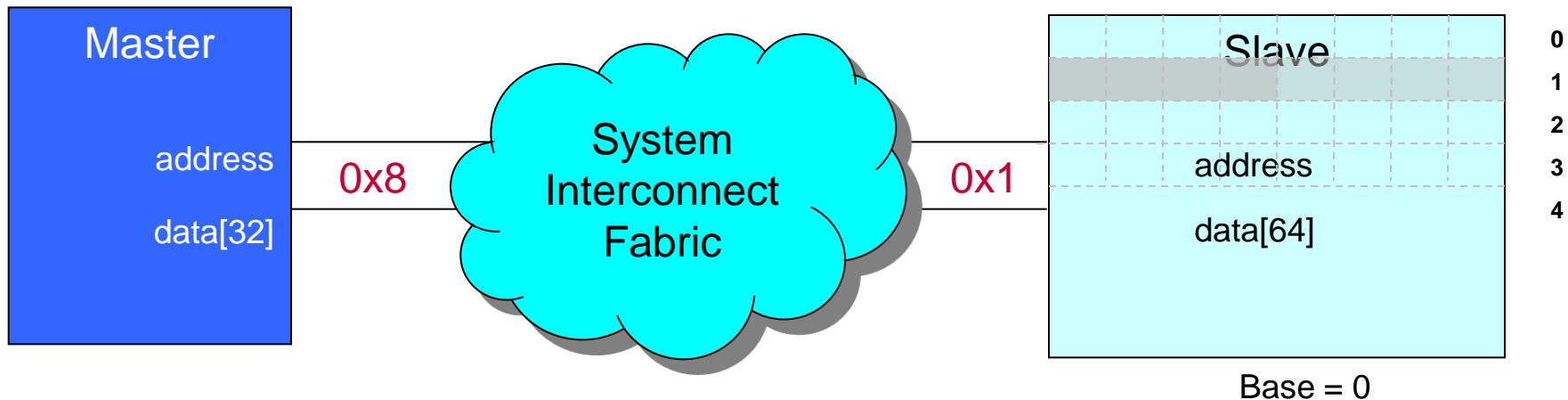
- Пример: разрядность главного порта больше
 - Главный порт разрядностью 32 выставляет адрес байта
 - Из 16-ти разрядного подчиненного порта системной шиной будет осуществлено два чтения по последовательным адресам в карте памяти подчиненного устройства (в пословной адресации)
 - Сформированное 32-х разрядное слово будет представлено на вход главного устройства



Динамическое управление разрядностью

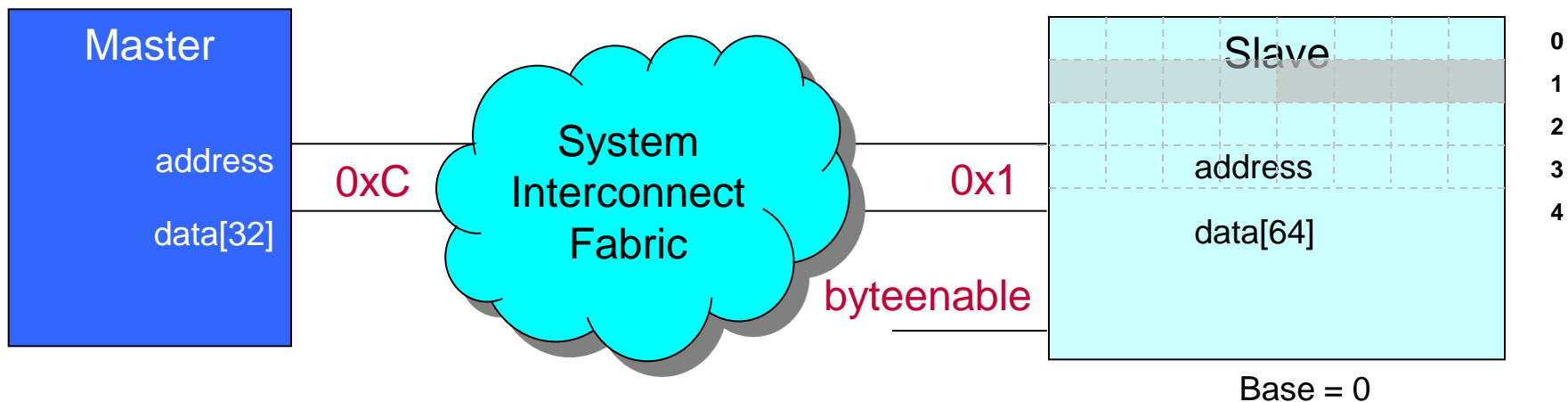
■ Пример: разрядность главного порта меньше

- При чтении главный порт разрядностью 32 выставляет адрес байта
- Из 64-х разрядного подчиненного порта системной шиной будет считано значение и выбраны нужные байты
- Сформированное 32-х разрядное слово будет представлено на вход главного устройства



Динамическое управление разрядностью

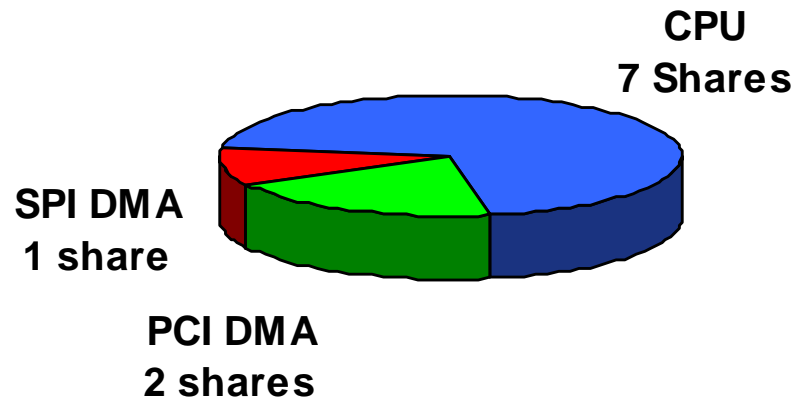
- Пример: разрядность главного порта меньше
 - При записи главный порт разрядностью 32 выставляет адрес байта
 - На входе 64-х разрядного подчиненного порта системной шиной будут выставлены сигналы `byteenable` для 4 байт, значение которых изменяется



Интерфейс Avalon-MM Master в периферийных модулях

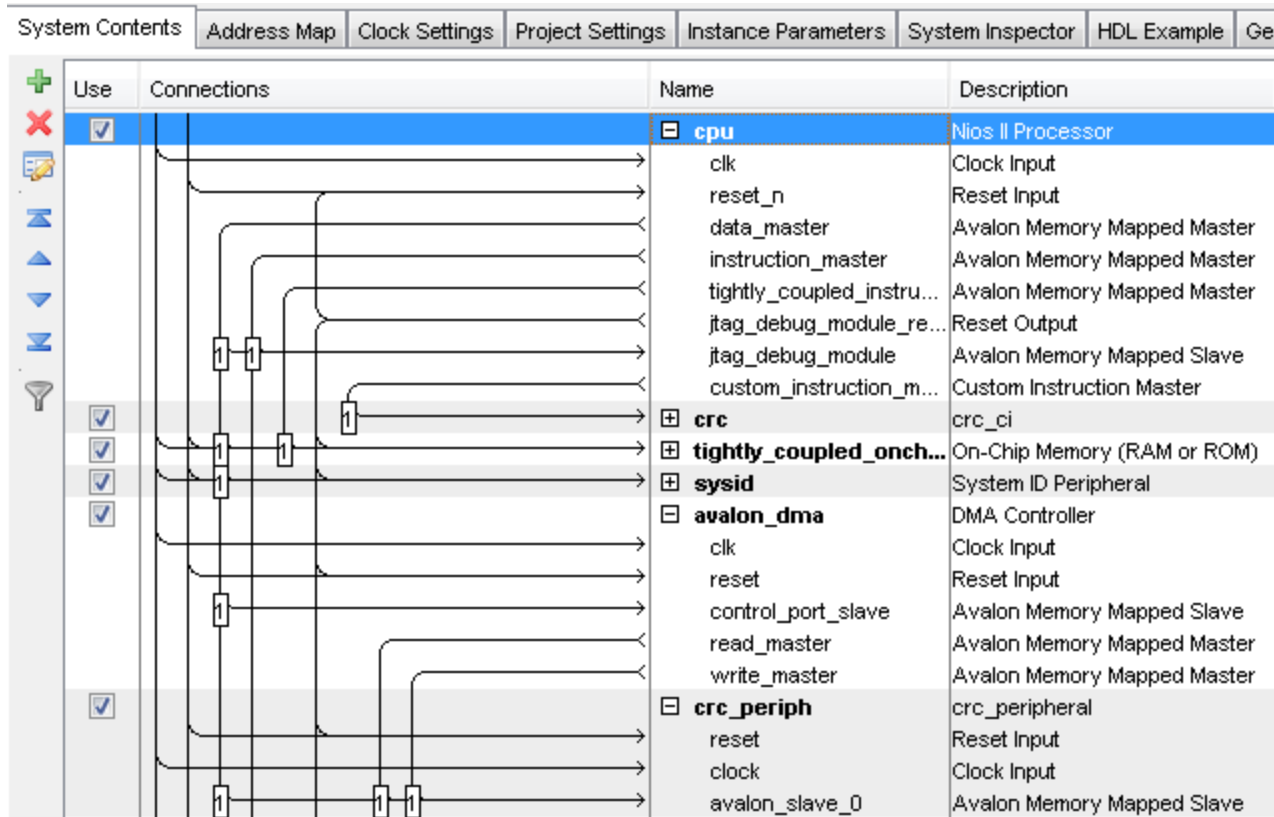
Схема арбитража для Avalon-MM Master

- В системах с несколькими главными портами используется “справедливая” схема арбитража
 - Каждой паре портов Master/Slave назначается доля (целое число)
 - При конфликте нескольких портов Master доступ к Slave получает Master с наибольшим количеством долей и использует их
 - Далее доступ получает Master с меньшим количеством долей
 - При условии формирования постоянных запросов все порты Master будут получать доступ в течение времени, пропорционального их доле в общей сумме долей

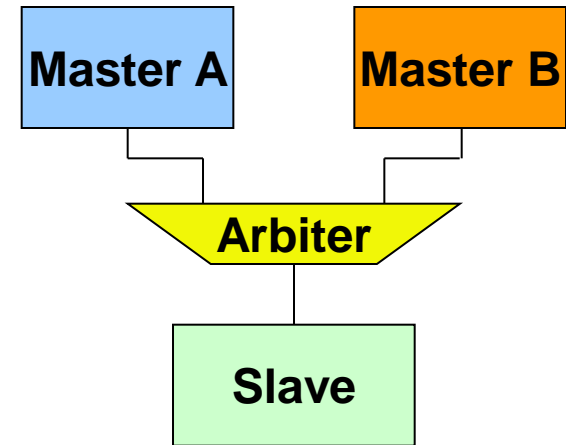
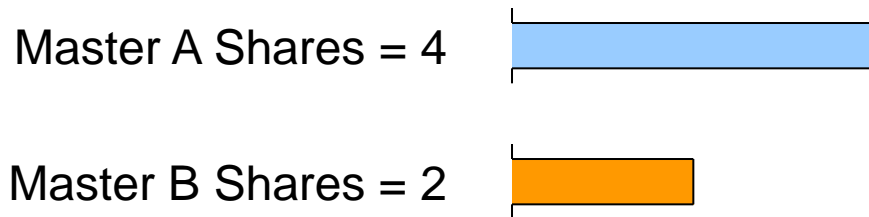


Настройка долей для арбитража

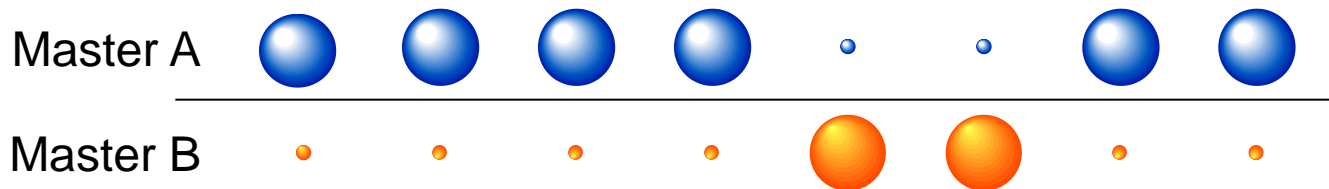
- Для отображения долей вызовите контекстное меню в панели Connections и выберите **Show Arbitration**
- Настраивается для каждого разделяемого подчиненного порта



Пример арбитража



Арбитраж при постоянном доступе



Конвейеризованные передачи

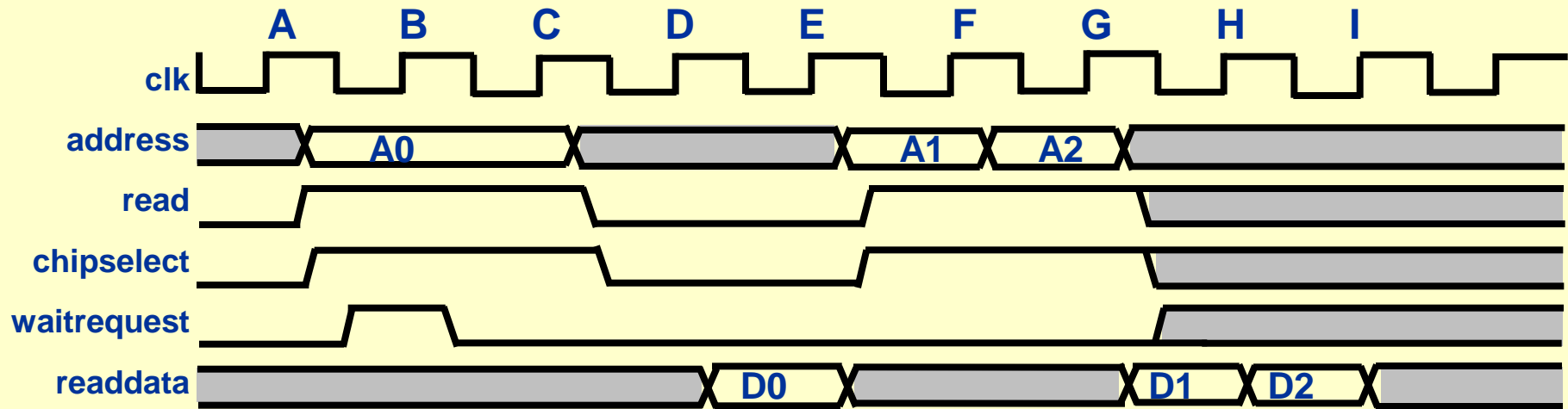
Конвейеризованные передачи

- Конвейеризованные передачи увеличивают пропускную способность для синхронных подчиненных портов, которые требуют несколько тактов на формирование результата после первого доступа, но далее могут формировать результаты каждый такт
- Конвейеризованные передачи поддерживаются только для чтения из подчиненных портов
- При использовании конвейеризованных передач главный порт может начать новую передачу до получения считанного значения предыдущих передач

Конвейеризованное чтение для Master

- Раздельные фазы адреса и данных
- Сигнал “**readdatavalid**” информирует Master о ГОТОВНОСТИ данных
 - Генерируется шиной или Slave (в зависимости от настройки задержки)

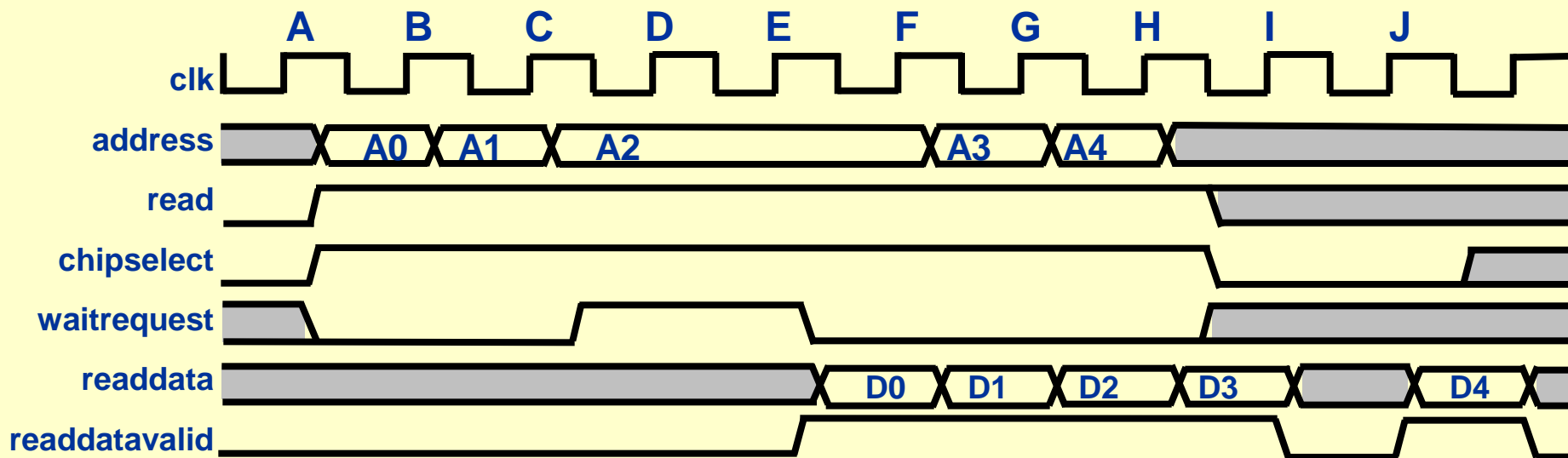
Slave Pipelined Read Transfer with Fixed Latency



Конвейеризованное чтение с переменной длительностью

- Slave формирует readdatavalid, если используется переменная длительность

Slave Pipelined Read Transfer with Variable Latency



Пакетные передачи (burst)

Поддержка Avalon-MM Burst

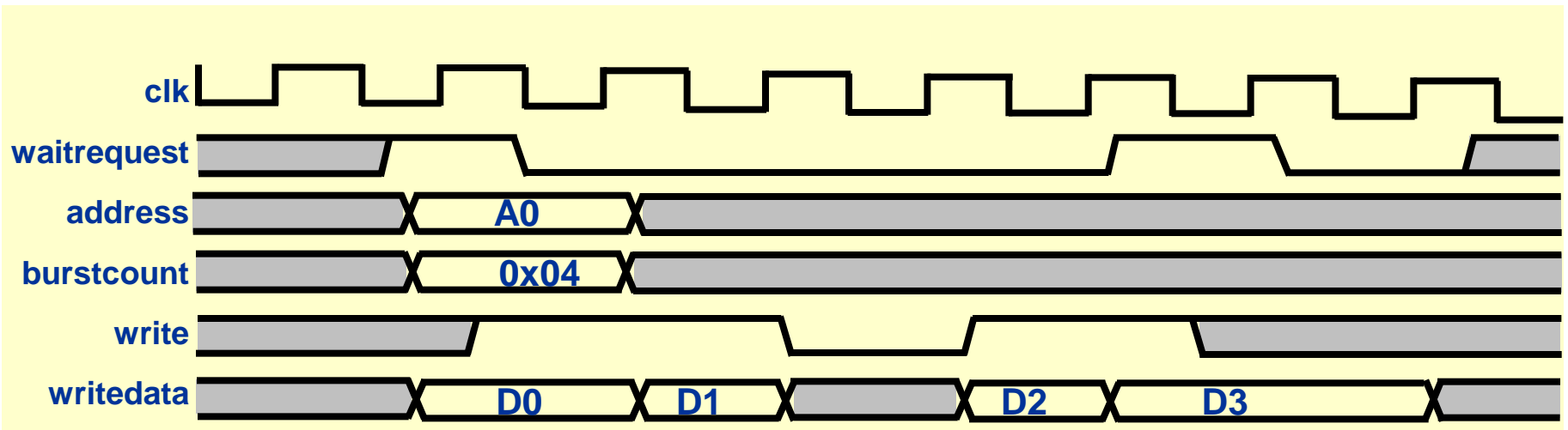
- Главному порту предоставляется непрерывный доступ к подчиненному порту для определенного количества передач
- Дополнительные сигналы для поддержки пакетных передач
 - `burstcount`, `beginbursttransfer`
- SOPC Builder автоматически реализует согласование:
 - Разрядности данных, размера пакета,
 - Перехода от пакетных к обычным передачам

Пакетные передачи

- Гарантирует последовательный доступ к определенному числу байт
- Реализует несколько передач в рамках одной
 - Подчиненному порту выставляется адрес и сигналы управления пакетной передачей
 - Подразумевается доступ по последовательным адресам
- Пакетные передачи должны поддерживаться как главным, так и подчиненным портом
 - Также требуется поддержка конвейеризованных передач с переменным числом циклов ожидания и задержкой для пакетного чтения из подчиненного порта
 - Т.е. требуется поддержка сигналов **waitrequest** и **readdatavalid**

Пакетные передачи

- Повышает производительность, так как в пересылке используется только одна фаза адреса
 - При пакетной передаче отключается арбитраж для обеспечения непрерывности



Примеры подчиненных портов с поддержкой пакетных передач

- DDR/DDR2
- PCI
- Burstable FIFO

Потоковые передачи

Интерфейс Avalon-ST

■ Характеристики

- Высокая пропускная способность
- Малая задержка
- Однонаправленный

■ Основные применения

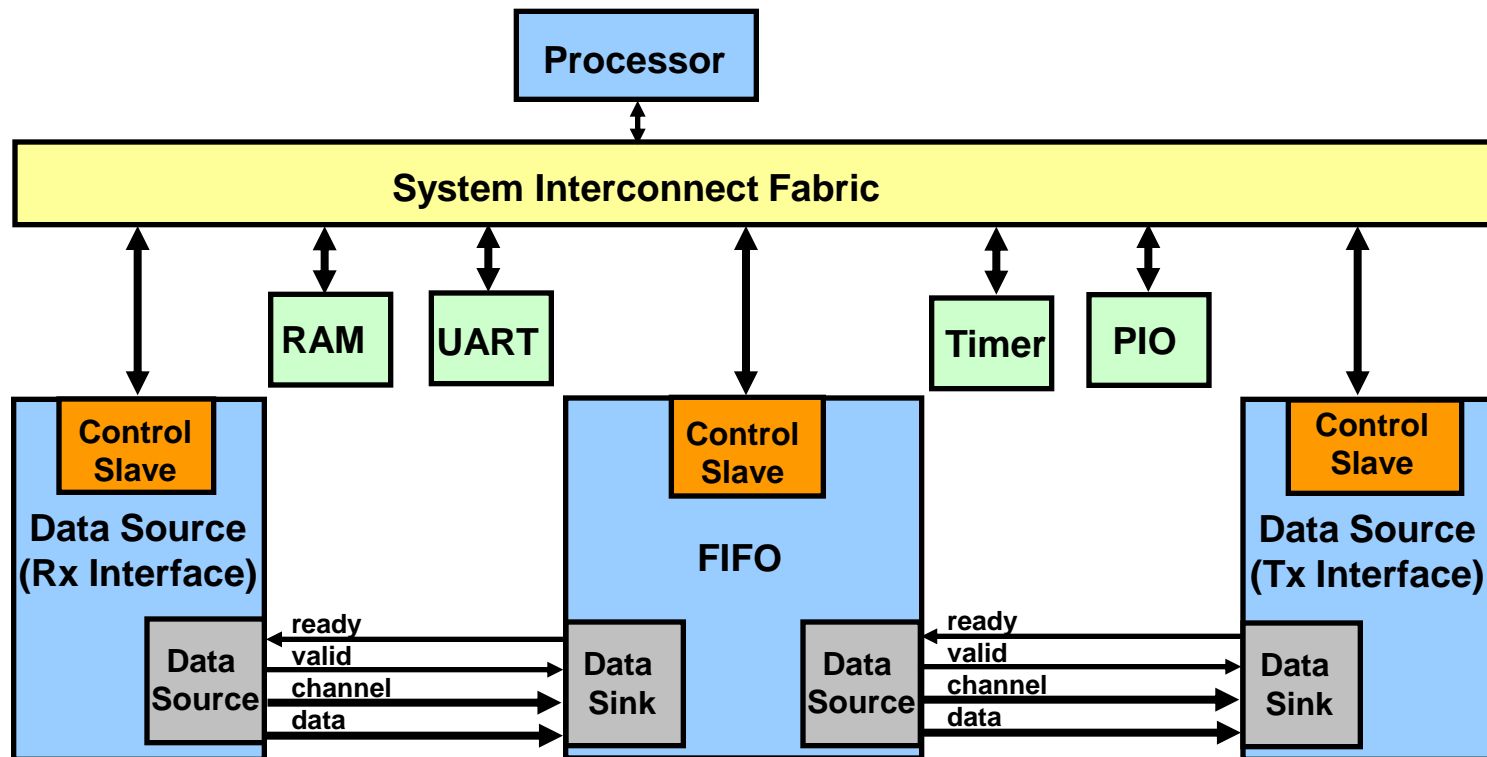
- Мультиплексирование потоков
- Блочные передачи
- Обмен в системах ЦОС

■ Поддерживает различные требования к интерфейсам

- От простых до сложных

Avalon-MM и Avalon-ST

- Могут использоваться совместно
- Упрощает проектирование топологии системы
 - Управление осуществляется процессором через порты Avalon-MM
 - Поток данных передается через порты Avalon-ST



Описание сигналов Avalon-ST

Основные сигналы			
Тип	Бит	Направление	Описание
ready	1	Sink -> Source	Показывает готовность приемника к получению данных
valid	1	Source -> Sink	Подтверждает действительность сигналов от источника к приемнику
data	1-256	Source -> Sink	Линии передачи данных
channel	0-8	Source -> Sink	Номер канала в приемнике, в который передаются данные
error	1-255	Source -> Sink	Битовая маска, помечающая ошибки разных типов в передаваемых данных (0 – в передаваемых данных нет ни одной ошибки)
Сигналы пакетных передач			
startofpacket	1	Source -> Sink	Начало пакета
endofpacket	1	Source -> Sink	Конец пакета
empty	0-8	Source -> Sink	Количество пустых символов в конце пакета на последнем такте (если разрядность data больше разрядности символа)

Sink – приемник, source – источник

© 2010 Altera Corporation—**Confidential**

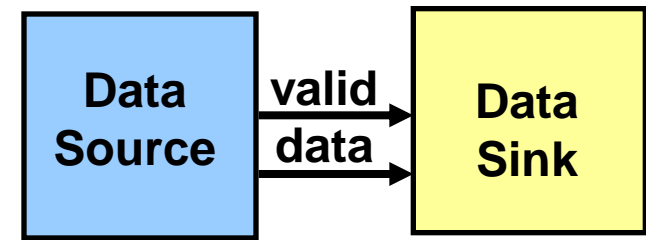
ALTERA, ARRIA, CYCLONE, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS & STRATIX are Reg. U.S. Pat. & Tm. Off.
and Altera marks in and outside the U.S.



Пример простой потоковой передачи

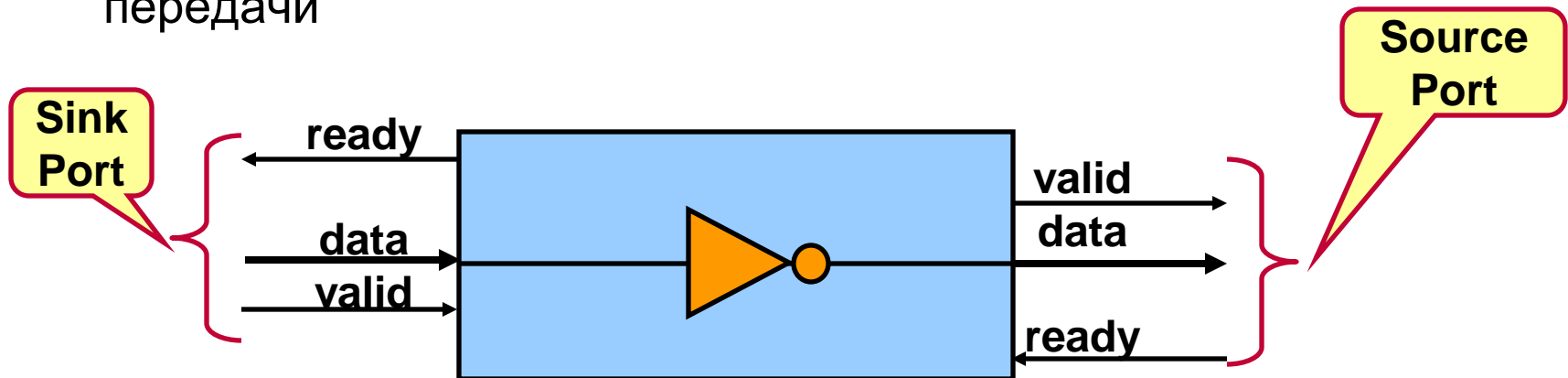
■ Пример:

- Используются только сигналы “**data**” и “**valid**” для передачи данных от источника к приемнику



■ Еще один пример:

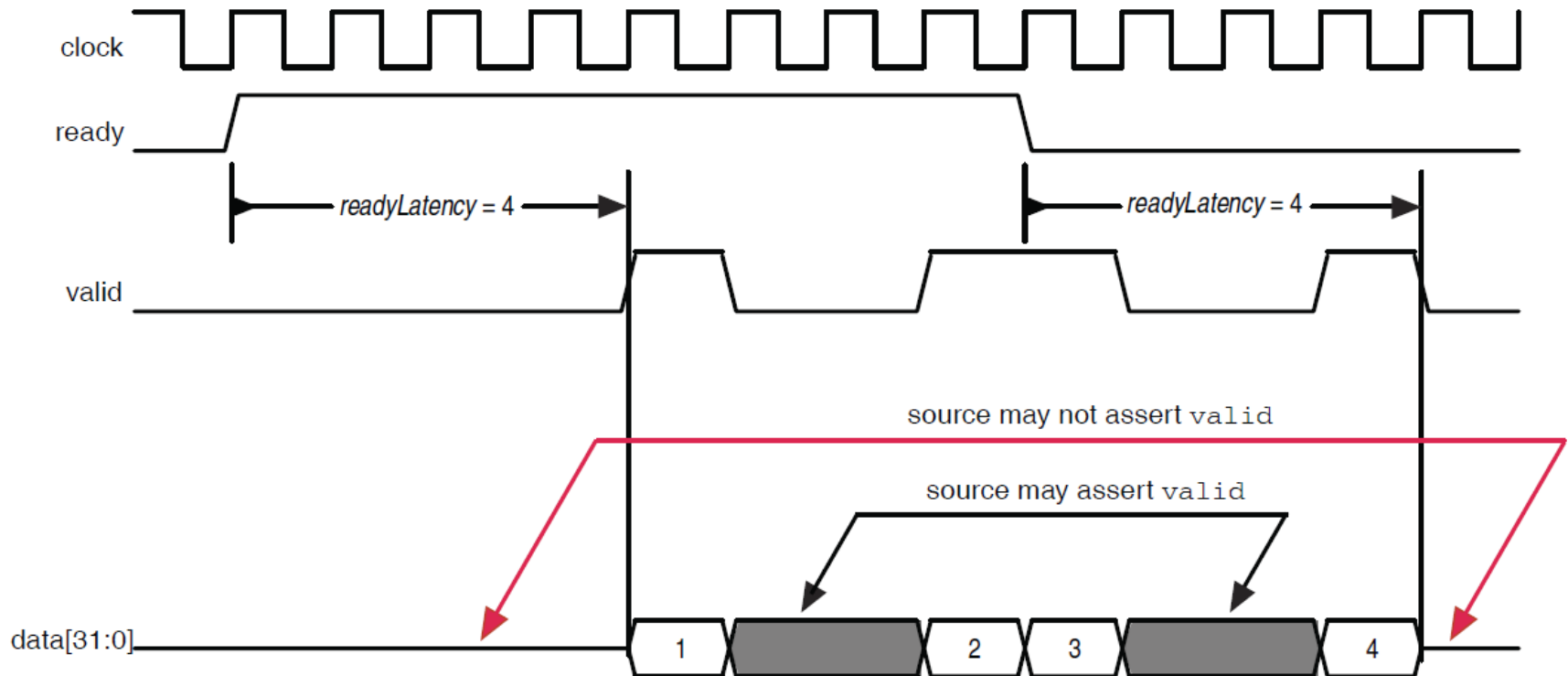
- Блок инверсии 32-х битных чисел в потоке данных
- Добавлен сигнал “**ready**” для управления потоком передачи



Временная диаграмма обмена

■ Пример

- Передача с поддержкой “backpressure”



Адаптеры и мультиплексоры Avalon-ST

■ Конфигурируемые компоненты SOPC Builder

– Адаптер формата данных

- Соединяет интерфейсы с разными параметрами сигналов для передачи данных, например, с различной разрядностью

– Адаптер временных параметров

- Соединяет интерфейсы компонент с различным количеством циклов перед получением/передачей данных
 - Задействует FIFO между источником и приемником и сигналы управления потоком

– Канальный адаптер

- Соединяет интерфейсы с различными параметрами каналов, например, при уменьшении количества каналов (см. след. слайд)

Avalon-ST адаптеры, мультиплексоры и FIFO

