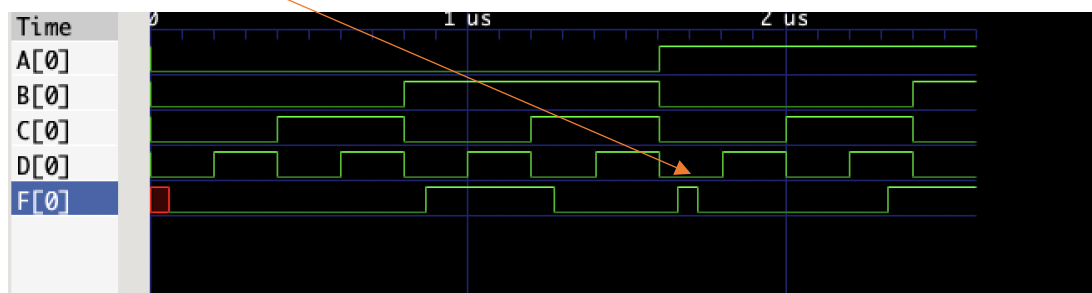


這次專案是我的 verilog 處女作，一開始對於環境相當陌生，經過上網查詢後變得越來越上手，實作過程中為了觀察 glitch 的發生，測資試了許多組發現 gate 的 delay 和測資是造成其的主要原因

### Circuit 1:

有 glitch 的發生：



source code:

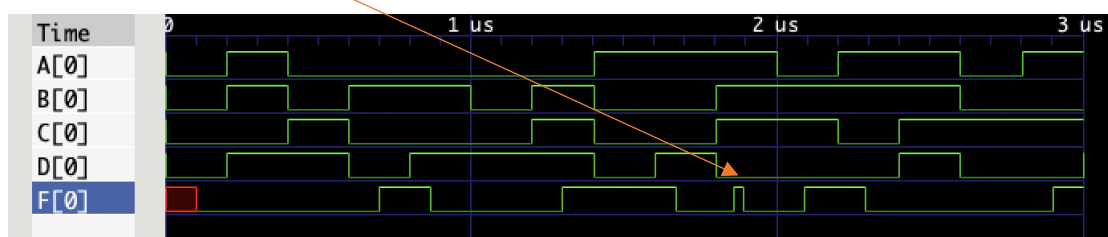
```

1 | `timescale 1 ns/100ps
2 | module c1(A,B,C,D,F);
3 |   output F;
4 |   input A,B,C,D;
5 |   wire w1,w2,w3,w4,w5,w6;
6 |
7 |   not #(10)G1(w5,B);//b'
8 |   not #(10)G2(w6,C);//c'
9 |   nand #(30)G3(w1,C,D);
10 |  nand #(30)G4(w2,w5,w1);
11 |  nand #(30)G5(w3,A,w2);
12 |  nand #(30)G6(w4,B,w6);
13 |  nand #(30)G7(F,w3,w4);
14 | endmodule
15 |
16 |
17 | `timescale 1 ns/100ps
18 | module t_c1;
19 |   wire F;
20 |   reg A,B,C,D;
21 |   c1 M1(A,B,C,D,F);
22 |   initial
23 |     begin
24 |       A=1'b0; B=1'b0; C=1'b0; D=1'b0;
25 |       #200 A=1'b0; B=1'b0; C=1'b0; D=1'b1;
26 |       #200 A=1'b0; B=1'b0; C=1'b1; D=1'b0;
27 |       #200 A=1'b0; B=1'b0; C=1'b1; D=1'b1;
28 |       #200 A=1'b0; B=1'b1; C=1'b0; D=1'b0;
29 |       #200 A=1'b0; B=1'b1; C=1'b0; D=1'b1;
30 |       #200 A=1'b0; B=1'b1; C=1'b1; D=1'b0;
31 |       #200 A=1'b0; B=1'b1; C=1'b1; D=1'b1;
32 |       #200 A=1'b1; B=1'b0; C=1'b0; D=1'b0;
33 |       #200 A=1'b1; B=1'b0; C=1'b0; D=1'b1;
34 |       #200 A=1'b1; B=1'b0; C=1'b1; D=1'b0;
35 |       #200 A=1'b1; B=1'b0; C=1'b1; D=1'b1;
36 |       #200 A=1'b1; B=1'b1; C=1'b0; D=1'b0;
37 |       #200 A=1'b1; B=1'b1; C=1'b0; D=1'b1;
38 |       end
39 |   initial #2600 $finish;
40 |   initial $dumpvars;
41 | endmodule

```

### circuit2

有 glitch 的發生：



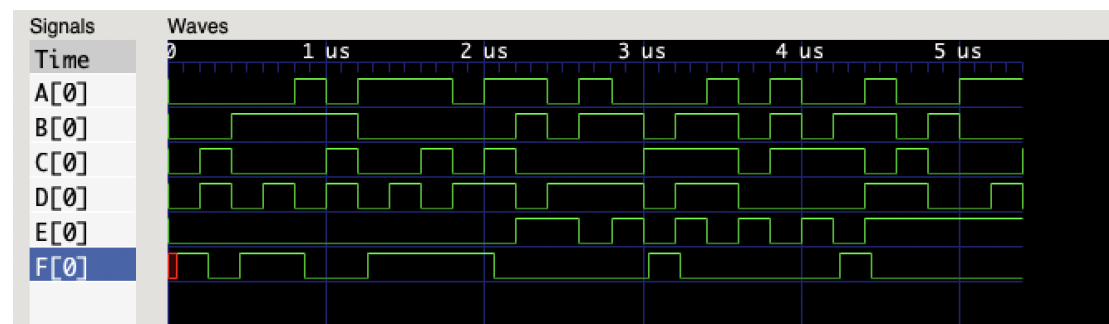
source code:

```
1 `timescale 1 ns/100ps
2 module c2(A,B,C,D,F);
3 output F;
4 input A,B,C,D;
5 wire w1,w2,w3,w4,w5,w6,w7;
6
7 not #(10)G1(w1,A);//a'
8 not #(10)G2(w2,B);//b'
9 not #(10)G3(w3,D);//d'
10 nor #(30)G4(w4,w1,B);
11 nor #(30)G5(w5,A,w2);
12 nor #(30)G6(w6,C,w3);
13 nor #(30)G7(w7,w4,w5);
14 nor #(30)G8(F,w7,w6);
15 endmodule
16
17
```

```
33v
1 `timescale 1 ns/100ps
2 module t_c2;
3 wire F;
4 reg A,B,C,D;
5
6 c2 M1(A,B,C,D,F);
7
8 initial
9 begin
10     A=1'b0; B=1'b0; C=1'b0; D=1'b0;
11     #200 A=1'b1; B=1'b1; C=1'b0; D=1'b1;
12     #200 A=1'b0; B=1'b0; C=1'b1; D=1'b1;
13     #200 A=1'b0; B=1'b1; C=1'b0; D=1'b0;
14     #200 A=1'b0; B=1'b1; C=1'b0; D=1'b1;
15     #200 A=1'b0; B=1'b0; C=1'b0; D=1'b1;
16     #200 A=1'b0; B=1'b1; C=1'b1; D=1'b1;
17     #200 A=1'b1; B=1'b0; C=1'b0; D=1'b0;
18     #200 A=1'b1; B=1'b0; C=1'b0; D=1'b1;
19     #200 A=1'b1; B=1'b1; C=1'b1; D=1'b0;
20     #200 A=1'b0; B=1'b1; C=1'b1; D=1'b0;
21     #200 A=1'b1; B=1'b1; C=1'b0; D=1'b0;
22     #200 A=1'b1; B=1'b1; C=1'b1; D=1'b1;
23     #200 A=1'b0; B=1'b0; C=1'b1; D=1'b0;
24     #200 A=1'b1; B=1'b0; C=1'b1; D=1'b0;
25     #200 A=1'b1; B=1'b0; C=1'b1; D=1'b1;
26 end
27 initial #3000 $finish;
28 initial $dumpvars;
29 endmodule
30
31
```

### circuit3

沒有 glitch 發生：



```
1 `timescale 1 ns/100ps
2 module t_Simple_Circuit_prop_delay;
3 wire F;
4 reg A,B,C,D,E;
5
6 Simple_Circuit_prop_delay M1(A,B,C,D,E,F);
7
8 initial
9 begin
10     E=1'b0; A=1'b0; B=1'b0; C=1'b0; D=1'b0;
11     #200 E=1'b0; A=1'b0; B=1'b0; C=1'b1; D=1'b1;
12     #200 E=1'b0; A=1'b0; B=1'b1; C=1'b0; D=1'b0;
13     #200 E=1'b0; A=1'b0; B=1'b1; C=1'b0; D=1'b1;
14     #200 E=1'b0; A=1'b1; B=1'b1; C=1'b0; D=1'b0;
15     #200 E=1'b0; A=1'b0; B=1'b1; C=1'b1; D=1'b1;
16     #200 E=1'b0; A=1'b1; B=1'b0; C=1'b0; D=1'b0;
17     #200 E=1'b0; A=1'b1; B=1'b0; C=1'b0; D=1'b1;
18     #200 E=1'b0; A=1'b1; B=1'b0; C=1'b1; D=1'b0;
19     #200 E=1'b0; A=1'b0; B=1'b0; C=1'b0; D=1'b1;
20     #200 E=1'b0; A=1'b1; B=1'b0; C=1'b1; D=1'b1;
21     #200 E=1'b1; A=1'b1; B=1'b1; C=1'b0; D=1'b0;
22     #200 E=1'b1; A=1'b0; B=1'b0; C=1'b0; D=1'b1;
23     #200 E=1'b0; A=1'b1; B=1'b1; C=1'b0; D=1'b1;
24     #200 E=1'b1; A=1'b0; B=1'b1; C=1'b1; D=1'b0;
25     #200 E=1'b0; A=1'b0; B=1'b0; C=1'b1; D=1'b0;
26     #200 E=1'b1; A=1'b0; B=1'b1; C=1'b1; D=1'b1;
27     #200 E=1'b0; A=1'b1; B=1'b1; C=1'b1; D=1'b1;
28     #200 E=1'b1; A=1'b0; B=1'b0; C=1'b0; D=1'b0;
29     #200 E=1'b0; A=1'b1; B=1'b1; C=1'b1; D=1'b0;
30     #200 E=1'b1; A=1'b0; B=1'b0; C=1'b1; D=1'b0;
31     #200 E=1'b0; A=1'b0; B=1'b1; C=1'b1; D=1'b0;
32     #200 E=1'b1; A=1'b1; B=1'b1; C=1'b0; D=1'b1;
33     #200 E=1'b1; A=1'b0; B=1'b0; C=1'b1; D=1'b1;
34     #200 E=1'b1; A=1'b0; B=1'b1; C=1'b0; D=1'b0;
35     #200 E=1'b1; A=1'b1; B=1'b0; C=1'b0; D=1'b0;
36     #200 E=1'b1; A=1'b1; B=1'b0; C=1'b0; D=1'b1;
37     #200 E=1'b1; A=1'b1; B=1'b0; C=1'b1; D=1'b0;
38 end
39 initial #5400 $finish;
40 initial $dumpvars;
41 endmodule
```

```
1 `timescale 1 ns/100ps
2 module Simple_Circuit_prop_delay(A,B,C,D,E,F);
3 output F;
4 input A,B,C,D,E;
5 wire w1,w2,w3;
6
7
8 nand #(30)G1(w1,A,B);
9 nand #(30)G2(w2,C,D);
10 not #(10)G3(w3,E);
11 and #(30)G4(F,w1,w2,w3);
12 endmodule
```

將 And Gate 的延遲改成 20 ----> 有 glitch 發生

