

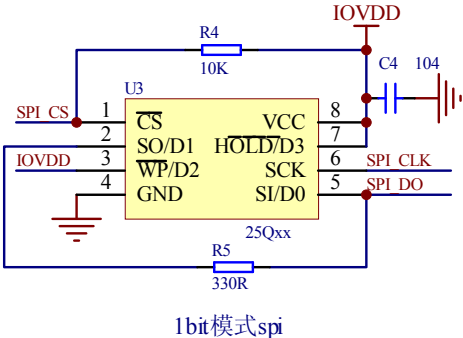
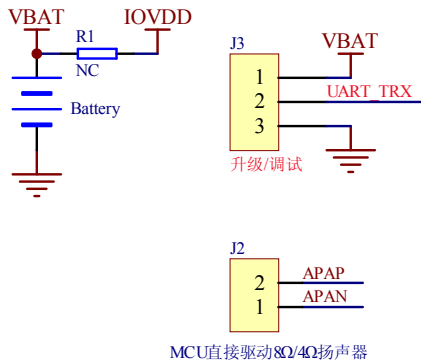
版本更新说明		
版本号	更新日期	更新点:
V1.0	2023.0713	原始版本

产品设计安全规范:

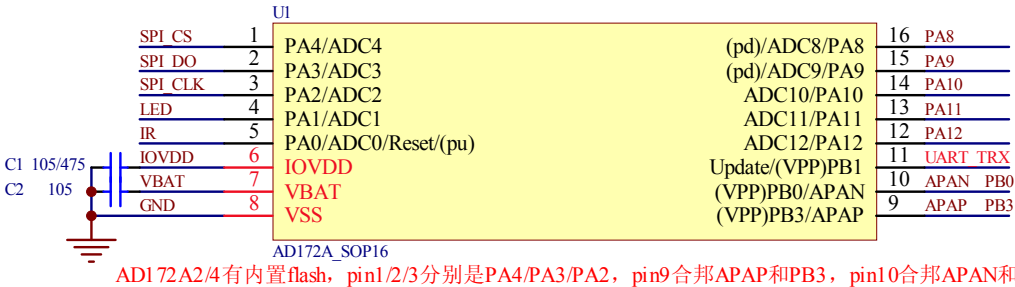
1. 元器件物料必须保证质量, 电容耐压值应大于最大工作电压一倍以上;
2. 锂电方案必须带锂保, 如果电池不带锂保, 硬件设计需添加过流过放电路。
3. 外露接口和后焊物料: 电池, 喇叭等, 做好静电和浪涌保护措施, 整机ESD 应符合最低标准, 接触 $\pm 4\text{K}$ , 空气 $\pm 8\text{K}$ 。

芯片使用说明:

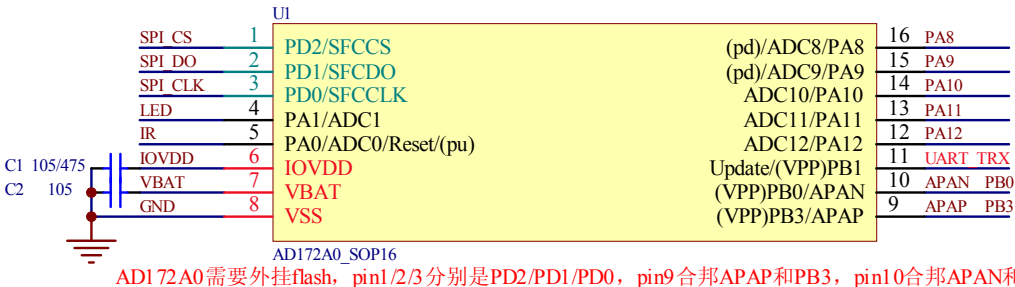
1. VBAT输入电压不超过5.5V, 内置LDO3V输出至IOVDD (3.2V/100mA@0.3Vdrop);
2. IOVDD可软件配置电压输出档位, 不可关闭输出状态, 软开关方案注意避免外围漏电;
3. 干电池或纽扣电池供电时, 可以VBAT与IOVDD短接供电, 输入电压必须小于+3.6V;
4. IOVDD必须连接去耦电容VSS, layout时必须保证去耦电容良好的去耦路径, 必要时可以适当增加IOVDD的电容量;
5. GPIO支持输入, 输出和高阻状态, 内部可配置上下拉电阻, 支持最多12路唤醒源映射至任意GPIO;
6. GPIO电压输入范围0~IOVDD, 耐5V IO (PB0,PB1,PB3) 电压输入范围0~+5.5V, 严禁过压;
7. 普通GPIO输出驱动电流有3档配置, 耐5V IO不能做数码管驱动应用;
8. PA0默认上拉, 默认对地长按复位, 长按复位时间可配置, 复位功能可屏蔽;
9. PA8、PA9上电默认下拉200K;
10. ADCn表示10bit-SAR ADC的输入通道, 输入范围0~IOVDD, 3FF对应电压为IOVDD;
11. PD口是flash驱动接口, 也是内置flash的驱动接口,A0型号为外置flash方案,支持最大512Mbit容量;
12. 集成class-D APA, 直推喇叭输出功率0.4W/8 $\Omega$ @HPVDD3.7V, 0.6W/4 $\Omega$ @HPVDD3.7V(VBAT短接HPVDD);
13. APA输出功率随HPVDD电压变化; APA输出信号可经过RC低通滤波后输入到功放, 增加音频输出功率;
14. APAP, APAN可做IO输出, Ron<1 $\Omega$ @HPVDD3.7V, 休眠时不可输出, 输出态会导致休眠功耗增加;
15. APAP与APAN输出电流总和小于400mA(即HPVDD电流小于400mA), 硬件设计时, 禁止超出电流限制;
16. 红外接收管信号IRDA, SPI, IIC, UART, MCPWM支持映射到任意PAn和PBn GPIO;
17. 开发升级或使用1T8量产的必要测试点: VBAT, GND, PB1串口升级;



外挂 flash



AD172A2/4有内置flash, pin1/2/3分别是PA4/PA3/PA2, pin9合邦APAP和PB3, pin10合邦APAN和PB0



AD172A0需要外挂flash, pin1/2/3分别是PD2/PD1/PD0, pin9合邦APAP和PB3, pin10合邦APAN和PB0

MCU

