

| 版本更新说明 | | |
|--------|------------|-------|
| 版本号 | 更新日期 | 更新描述: |
| V1.0 | 2022.12.20 | 初始版本 |
| | | |
| | | |

电源接口:

VPWR: 充电输入, 带路径管理, 工作电压不超过6V;

VBAT: 电池供电接口, 不超过5V;

IOVDD: 内部LDO输出, GHO逻辑电压;

VSS: 数字地

模拟音频接口:

DACL/R: 模拟音频输出

AINL/R: 模拟 *line* 输入 (纯模拟通路) ———— PC4, PC5

MIC/I: 麦克风模拟输入 (支持音频ADC采样) — PA1, PA2

MICLDO: 麦克风供电输出 ———— PA0

AVSS: 音频模拟地

特殊功能IO:

ADCx: 10bit ADC输入通道

USBDM&DP: USB1.1信号

SDPG: SD卡供电输出 ————— PC3

ROSC: RTC32.768KHz晶体接口 ——— P8, P9

PDCI: Flash驱动接口 ————— P10, P11, P12, P13, P14

RESET: 默认长按复位

支持断码LCD

产品设计安全规范:

1.VPWR, VBAT, IOVDD的电容必须保证质量和容量, 电容耐压值应大于工作电压一倍以上;

2.锂电池方案必须带锂电, 如果电池不带锂电, 硬件设计需添加过流过放电路;

3.外露接口和外焊物料: USB座, SDF, *line*插座, 充电输入, 电池等, 做好静电和浪涌保护措施;

整机ESD应符合最低标准, 接触<4k, 空气<8k。

设计注意事项:

1.主控IC内置锂电池充电管理 (Batc120mA@VPWR-4.6V), VPWR输入集成路径管理, VBAT无电时, VPWR输入可供电系统正常工作;

2.VBAT输入电压≤5V, VPWR输入电压≤6V, VPWR不做充电输入时可做GPIO功能;

3.IOVDD3.3V/100mA@0.3Vdrop常输出状态, 电压档位可调, 软件无法关闭 (软开机方案注意避免漏电);

IOVDD必须连接去耦电容接VSS, *lyout*时必须保证去耦电容良好的去耦路径, 必要时可以适当增加IOVDD的电容量;

4.GPIO的电压输入范围: VSS≤Vo≤IOVDD, 超出范围有损坏风险;

5.所有GPIO都支持三态输出和内置下拉电阻配置, 可配置唤醒/中断功能, 同时支持多达12路唤醒IO;

6.PDCI是flash驱动接口, 也是内置flash的驱动接口, A0型号为外置flash方案, 支持最大64Mbyte容量;

7.PA0的MICLDO功能为麦克风供电输出, 可软件配置电压输出档位;

8.PC3的SDPG功能为SD卡供电输出, *I*_{max}<60mA, *R*_{on}<32Ω@IOVDD=3.2V, 软件可关闭;

9.PA8默认长按复位, VPWR支持长按复位检测, 长按复位时间最长可配置16s, 复位功能可屏蔽;

10.支持重映射的外设接口: SDIO, SPI(I), I2C, UART(0&1), PWM, Qdec, IRDA, 可映射到任意IO(除PDCI);

11.集成FullSpeed USB接口, USBDM和DP可做GPIO使用, 休眠状态下只支持输入状态;

12.MIC/I内置PGA, 内置输入幅度≤1Vpp, Auto ADC采样;

13.AINL/R模拟输入幅度≤2Vpp, 纯模拟通路输出到DAC, *line*需要ADC采样时, 可输入到MIC/I;

14.DAC输出方式如下:

①DACL到DAC差分, 可直推耳机;

②DACL&R+VCMO直推耳机;

③DACL&R+AVSS隔直立体声, 可隔直推耳机;

④单声道方案优先用DACL;

15.AVSS音频地和VSS数字地必须短接, 外置功放时请参考硬件指南原理图中说明;

16.必要测试点: VBAT/VPWR, USBDM, USBDP, VSS;

17.开发和量产, 芯片必须使用I2C烧写校验, flash方案支持USB升级;

18.IO分配时, MIC, AUX和DAC等模拟信号必须远离PWM, CLK, DAT等数字翻转信号, 避免相邻干扰。

