

版本更新说明		
版本号	更新日期	更新描述:
V1.0	2023.03.31	初始版本

电源接口:
VPWR: 充电输入, 带路径管理, 工作电压不超过6V
VBAT: 电池供电接口, 不超过5V
IOVDD: 内部LDO输出, GPIO逻辑电压;
VSS: 接地

根据音频接口:
DACLR: 模拟音频输出
ANLR: 模拟I2S输入 (纯模拟通路) — PC4, PC5
MICP1: 麦克风模拟输入 (支持音频ADC采样) — PA2, PA2
MICLDO: 麦克风供电输出 — PA0
AVSS: 音频模拟地

特殊功能IO:
ADCx: 10位 ADC输入通道
USBDMDP: USB1 15号
SDPG: SD卡供电输出 — PC3
ROSC: RT-CT 26.8kHz晶体接口 — PB6, PB9
PD1: Flash驱动接口 — PD0, PD1, PD2, PD3, PD4
RESET: 默认长按复位
支持LCD段码屏

产品设计安全规范:
1.VPWR、VBAT、IOVDD的电容必须保证质量和容量, 电容耐压值应大于工作电压一倍以上;
2.锂电方案必须带保护, 如果电池不带保护, 硬件设计需加过流保护电路;
3.电源接口和后存物料: USB母, Incin母座, 充电输入, 电池等, 做好静电和浪涌保护措施;
整机ESD应符合最低标准, 接触<8K, 空气<8K.

设计注意事项:
1.主控IC内置锂电池充电管理 (Ibat=120mA@VPWR<4.6V), VPWR输入集成路径管理, VBAT无电池时, VPWR输入可供系统正常工作;
2.VBAT输入电压<5V, VPWR输入电压<6V, VPWR不能充电输入时可能GPIO功能;
3.IOVDD3.3V/100mA@0.2Vdrop输出状态, 电压档位可调, 软件无法关闭 (待机方案注意避免漏电);
4.IOVDD必须是按去耦电容接VSS, byon时必须保证去耦电容良好的去耦路径, 必要时可以适当增加IOVDD的电容容量;
4.GPIOIO电压输入范围: VSS < Vo < IOVDD, 超出范围将存在风险;
5.所有GPIO都支持三态输出和内置上下拉电阻配置, 可配置唤醒/中断功能, 同时支持多达12路唤醒IO;
6.PD11是Flash驱动接口, 也是内置Flash的驱动接口, A0P0号为外置Flash方案, 支持最大64MByte容量;
7.PWMDAC1.LDO功能为麦克风供电输出, 可软件配置电压输出档位;
8.PC3/SDDPG功能为SD卡供电输出, Imax<60mA, Rsw<3Ω@IOVDD=3.3V, 软件可关闭;
9.PAD脚长按复位, VPWR/RESET长按复位, 长按复位时间最长可配置16s, 复位功能可屏蔽;
10.支持重映射的外设接口: SDIO, SPI0, I2C, UART0(R), PWM, OnKey, IRDA, 可映射到任意IO(GPIO口);
11.集成eSdSpeed USB接口, USBHID和GPIO使用, 休眠状态下只支持输入状态;
12.MICP1内TPGA, 模拟输入精度<1Vpp, Audio ADC采样;
13.AINLR内置输入精度<2Vpp, 纯模拟通路输出到DAC, Incin需要ADC采样时, 可输入到MICP1;
14.DAC输出方式如下:
①DAC1 to DACR差分, 可直接耳机;
②DACLR to AVSS隔直立体声, 可隔直推耳机;
③单声道方案优先用DAC1;
15.AVSS必须和AVSS数字地必须短接, 外置功放时请参考硬件指南原理图中说明;
16.必要测试点: VBAT/VPWR, USBDMD, VSS;
17.开发量产, 芯片必须使用U22与校验, Flash方案支持USB供电;
18.IO分配时, MIC-, AINLRDAC等模拟信号必须远离PWM, CLK-, DAT-等数字翻转信号, 避免相等干扰。

