

Учреждение образования
«Белорусский государственный университет
информатики и радиоэлектроники»

УТВЕРЖДАЮ

Проректор по учебной работе

_____ В.А. Прытков

" ____ " _____ 2019 г.

Регистрационный № УД- _____ /уч.

**«ПАРАЛЛЕЛЬНЫЕ И РЕКОНФИГУРИРУЕМЫЕ ВЫЧИСЛИТЕЛЬНЫЕ
СИСТЕМЫ»**

Учебная программа учреждения высшего образования по учебной дисциплине
для специальности:

1-40 80 01 «Компьютерная инженерия»

2019 г.

Учебная программа учреждения высшего образования составлена на основе образовательного стандарта ОСВО 1-40 80 01-2019 и учебных планов специальности 1-40 80 01 «Компьютерная инженерия».

Составитель:

Н.А. Петровский, доцент кафедры электронных вычислительных средств учреждения образования «Белорусский государственный университет информатики и радиоэлектроники», кандидат технических наук.

Рецензенты:

Кафедра «Технология и методика преподавания» Белорусского национального технического университета (протокол № _____ от _____);

А.А. Иванюк, профессор кафедры информатики учреждения образования «Белорусский государственный университет информатики и радиоэлектроники», доктор технических наук, доцент.

Рассмотрена и рекомендована к утверждению:

Кафедрой электронных вычислительных средств учреждения образования «Белорусский государственный университет информатики и радиоэлектроники» (протокол № _____ от _____);

Научно-методическим советом учреждения образования «Белорусский государственный университет информатики и радиоэлектроники» (протокол № ____ от _____).

ПОЯСНИТЕЛЬНАЯ ЗАПИСКА

Программа рассчитана на 210 учебных часов (6,0 з.е.)

План учебной дисциплины в дневной форме обучения:

Код специальности	Название специальности	Курс	Семестр	Аудиторных часов (в соответствии с учебным планом уво)				Форма текущей аттестации
				Всего	Лекции	Лабораторные занятия	Практические занятия, семинары	
1-40 80 01	Компьютерная инженерия	1	1	68	36	32	-	экзамен

План учебной дисциплины в заочной форме обучения:

Код специальности	Название специальности	Курс	Семестр	Аудиторных часов (в соответствии с учебным планом уво)				Контрольные работы	Форма текущей аттестации
				Всего	Лекции	Лабораторные занятия	Практические занятия, семинары		
1-40 80 01	Компьютерная инженерия	1	1	18	10	8	-	1	экзамен

Место учебной дисциплины.

Учебная дисциплина «Параллельные и реконфигурируемые вычислительные системы» является одной из основных дисциплин специальности 1-40 80 01 «Компьютерная инженерия» и направлена на подготовку специалистов в области проектирования и использования параллельных реконфигурируемых встраиваемых процессоров и сопроцессоров. Она предусматривает изучение как теоретических, так и практических вопросов проектирования параллельных реконфигурируемых систем.

Цель преподавания учебной дисциплины: формирование знаний об организации вычислительных процессов с помощью специализированных проблемно-ориентированных реконфигурируемых вычислительных систем.

Задачи учебной дисциплины:

- приобретение знаний в области проектирования реконфигурируемых систем;
- формирование навыков практического применения подходов в решении задач обработки сигналов, изображений с помощью динамической реконфигурации;
- изучение принципов функционирования высокопроизводительных специализированных систем обработки данных.

В результате изучения учебной дисциплины «Параллельные и реконфигурируемые вычислительные системы» формируются следующие углубленные профессиональные компетенции:

Владеть навыками выполнения параллельных вычислений на многопроцессорных системах.

В результате изучения учебной дисциплины магистрант должен:

знать:

- методы проектирования динамически реконфигурируемых параллельных процессоров цифровой обработки сигналов реального времени;
- алгоритмы отображения вычислительного процесса на архитектуру процессора;
- методы синтеза базовых узлов процессора на основе распределенной арифметики;
- основные приложения цифровой обработки сигналов в системах мультимедиа;

уметь:

- выбирать эффективный алгоритм цифровой обработки сигналов под заданный вычислительный ресурс;
- осуществлять синтез архитектуры реконфигурируемого процессора для основных приложений цифровой обработки сигналов;

- проектировать проблемно-ориентированные параллельные реконфигурируемые вычислительные структуры для систем мультимедиа реального времени;
владеть:
- навыками разработки, отладки и тестирования программ и схемотехнических решений для встраиваемых реконфигурируемых процессоров.

Перечень учебных дисциплин, усвоение которых необходимо
для изучения данной учебной дисциплины.

№ п.п.	Название учебной дисциплины	Раздел, темы
1	Математика	Все разделы

1. Содержание учебной дисциплины

№ тем	Наименование разделов, тем	Содержание тем
1	Введение.	Основные понятия и определения. История развития реконфигурируемых вычислительных средств. Вычислительные средства общего назначения. Проблемно-ориентированные вычислительные средства. Реконфигурируемые вычислительные средства: задачи и приложения.
2	Реконфигурируемые архитектуры.	Классификация подходов к организации реконфигурируемых вычислителей. Основы архитектур простых и сложных реконфигурируемых устройств. Применение программируемых логических интегральных схем для выполнения реконфигурируемых архитектур. Вопросы распараллеливания вычислительного процесса.
3	Задачи реконфигурируемых систем.	Задачи цифровой обработки сигналов и изображений. Требования и ограничения применения подхода полной реконфигурации для решения практических задач.
4	Схемотехнические основы реконфигурируемых систем на кристалле.	Репрограммируемые гетерогенные системы на кристалле на примере Xilinx Zynq. Ограничения, налагаемые на разрабатываемые системы. Общие вопросы взаимодействия IP-компонент. Особенности разработки программного обеспечения.
5	Взаимодействие программной и аппаратной части реконфигурируемой системы.	Основные принципы построения системы планирования и проектирования. Аппаратные интерфейсы AXI-Lite, AXI4, AXI-Stream. Возможности обработки данных в реальном масштабе времени. Расчёт производительности.
6	Применение частичной реконфигурации в составе системы на кристалле под управлением операционных систем Linux и RTOS.	Основы частичной реконфигурации на кристаллах ПЛИС фирмы Xilinx. Понятия первичный и вторичный загрузчик. Подготовка набора библиотек и драйверов для поддержки аппаратной платформы Diligent Zybo (Board Support Package). Основы разработки драйверов аппаратных акселераторов для ядра Linux.

2. Информационно-методический раздел

2.1 Литература

2.1.1 Основная

1. Петровский А. А. Быстрое проектирование систем мультимедиа от прототипа / А. А. Петровский, А. В. Станкевич. – Минск : Бестпринт, 2011. – 412 с.

2. Phillip A. Laplante. Real-Time Systems Design and Analysis: Tools for the Practitioner / Phillip A. Laplante, Seppo J. Ovaska. - 4th edition. – New York, Wiley-IEEE Press, 2011. - 584 p.

3. Максфилд К. Проектирование на ПЛИС. Архитектура, средства и методы : курс молодого бойца / К. Максфилд ; пер. с англ. – Москва : Додэка-XXI, 2007. – 408 с.

4. Соловьёв В. В. Проектирование цифровых систем на основе программируемых логических интегральных схем / В. В. Соловьёв. – 2-е изд., стер. – Москва : Горячая линия–Телеком, 2007. – 636 с.

5. Тарасов И. Е. Разработка цифровых устройств на основе ПЛИС Xilinx с применением языка VHDL / И. Е. Тарасов. – М. : Горячая линия–Телеком, 2005. – 252 с. : ил.

6. The Zynq Book: Embedded Processing with the ARM CortexA9 on the Xilinx Zynq-7000 All Programmable SoC / L. H. Crockett, R. A. Elliot, M. A. Enderwitz and R. W. Stewart. – Strathclyde, Academic Media, 2014.

7. FPSoC using Xilinx Zynq for medical image coding based on the quaternionic paraunitary filter banks / N. Petrovsky, A. Stankevich, A. Petrovsky // e-Health Networking, Applications Services (Healthcom), 2015 IEEE 17th International Conference on, Boston, USA; 2015 / Boston, 2015. — P. 587–588. Режим доступа [электронный ресурс]: <http://dx.doi.org/10.1109/HealthCom.2015.7454573> (дата обращения 10.06.2019).

2.1.2 Дополнительная

1. Бибило П. Н. Основы языка VHDL : учебное пособие / П. Н. Бибило. - 7-е изд. – Москва : Либроком, 2016. – 328 с.

2. Бибило П. Н. Моделирование и верификация цифровых систем на языке VHDL / П. Н. Бибило, Н. А. Авдеев. – Москва : URSS, 2017. – 344 с.

3. Зотов В. Ю. Проектирование встраиваемых микропроцессорных систем на основе ПЛИС фирмы XILINX / В. Ю. Зотов. – Москва : Горячая линия-Телеком, 2006. - 520 с.

4. Кузелин М. О. Современные семейства ПЛИС фирмы Xilinx / М. О. Кузелин, Д. А. Кнышев, В. Ю. Зотов. - Москва : Горячая линия–Телеком, 2004. – 440 с. : ил.

5. Xilinx Inc, XAPP290: Two Flows for Partial Reconfiguration: Module Based or Difference Based, September 9, 2004. Режим доступа [электронный ресурс]: <http://www.xilinx.com/bvdocs/appnotes/xapp290.pdf> (дата обращения 10.06.2019).

6. Bobda C. Introduction to Reconfigurable Computing: Architectures, algorithms and applications / Bobda C. – Dordrecht, Springer Netherlands, 2007. - 359 p.

2.2 Перечень компьютерных программ, наглядных и других пособий, методических указаний и материалов, технических средств обучения, оборудования для выполнения лабораторных работ

1. Рабочая станция с 8 ядерным процессором и не менее 16 Гб оперативной памяти.
2. Пакет прикладных программ Matlab или Octave.
3. Пакет моделирования языков описания аппаратуры ModelSim.
4. Интегрированная среда разработки Microsoft Visual Studio C++.
5. Интегрированная среда разработки Xilinx Vivado.
6. Комплект разработчика Diligent Zybo V2 или V1.
7. Электронный документ UG585 «Zynq-7000 SoC Technical Reference Manual».

2.4. Перечень тем лабораторных занятий, их название

Основная цель проведения лабораторных занятий состоит в закреплении теоретического материала курса, приобретении навыков выполнения эксперимента, обработки экспериментальных данных, анализа результатов, грамотного оформления отчетов.

№ темы по п.1	Наименование лабораторной работы	Содержание	Обеспеченность по пункту 2.2
3	Введение в реконфигурируемые системы. Знакомство с САПР Xilinx Vivado.	Реализация проекта в САПР Vivado управления светодиодами на отладочной плате Diligent Zybo. Подготовка среды к использованию кросс компиляции для процессора с набором инструкций ARMv5.	1, 3, 4, 5, 6, 7
3, 4	IP-ядро реконфигурируемого ускорителя.	Реализация на FPGA конвейерного процессора CORDIC-алгоритма и подключение к интерфейсу AXI4-Lite. Разработка управляющей программы на языке C.	2, 3, 4, 5
5, 6	Подготовка и запуск ОС общего назначения на репрограммируемой системе на кристалле Xilinx Zynq.	Реализация проекта управления аппаратного ускорителя CORDIC-алгоритма в операционной системе Linux. Кросскомпиляция ядра, и необходимых системных библиотек.	5, 6, 7
5, 6	Устройство записи и обработки аудио сигналов на основе отладочного модуля Diligent Zybo.	Реализация драйвера аудиокодека SSM2603 для ОС Linux. Написание управляющей программы для применения аудио эффектов на основе IP-ядра ускорителя CORDIC-алгоритма.	5, 6, 7

2.5 Перечень рекомендуемых средств диагностики результатов учебной деятельности

Для диагностики результатов учебной деятельности могут использоваться следующие формы:

1. Текущий опрос.
2. Письменные отчеты по лабораторным работам.
3. Контрольная работа.

2.6 Контрольная работа

№ темы по п.1	Наименование контрольной работы	Содержание	Обеспеченность по пункту 2.2
6	IP-ядро ускорителя CORDIC-алгоритма	Реализация IP-ядра ускорителя CORDIC-алгоритма для процессорной системы с интерфейсом AXI4-Lite	1, 2, 3, 4, 5, 7

3.1 Учебно-методическая карта учебной дисциплины в дневной форме обучения

Номер раздела, темы по п.1	Название раздела, темы	Количество аудиторных часов			Самостоятельная работа, часы	Форма контроля знаний
		ЛК	Лаб. зан.	ПЗ		
1	Введение.	2	-		10	Текущий опрос
2	Реконфигурируемые архитектуры.	2	-		12	Текущий опрос
3	Задачи реконфигурируемых систем.	4	4		26	Письменный отчет по лаб. работе
4	Схемотехнические основы реконфигурируемых систем на кристалле.	6	8		30	Письменный отчет по лаб. работе
5	Взаимодействие программной и аппаратной части реконфигурируемой системы.	10	10		30	Письменный отчет по лаб. работе
6	Применение частичной реконфигурации в составе системы на кристалле под управлением операционных систем Linux и RTOS.	12	10		34	Письменный отчет по лаб. работе
	Текущая аттестация					экзамен
	Итого	36	32	-	142	

3.3 Учебно-методическая карта учебной дисциплины в заочной форме обучения

Номер раздела, темы по п.1	Название раздела, темы	Количество аудиторных часов			Самостоятельная работа, часы	Форма контроля знаний
		ЛК	Лаб. зан.	ПЗ		
1	Введение.	-	-	-	20	Текущий опрос
2	Реконфигурируемые архитектуры.	-	-	-	24	Текущий опрос
3	Задачи реконфигурируемых систем.	-	-	-	30	Текущий опрос
4	Схемотехнические основы реконфигурируемых систем на кристалле.	2	4	-	38	Письменный отчет по лаб. работе
5	Взаимодействие программной и аппаратной части реконфигурируемой системы.	4	4	-	40	Письменный отчет по лаб. работе
6	Применение частичной реконфигурации в составе системы на кристалле под управлением операционных систем Linux и RTOS.	4	-	-	40	Контрольная работа
	Текущая аттестация					экзамен
	Итого	10	8	-	192	

**ПРОТОКОЛ СОГЛАСОВАНИЯ УЧЕБНОЙ ПРОГРАММЫ
ПО УЧЕБНОЙ ДИСЦИПЛИНЕ
С ДРУГИМИ УЧЕБНЫМИ ДИСЦИПЛИНАМИ СПЕЦИАЛЬНОСТИ**

Перечень учебных дисциплин	Кафедра, обеспечивающая учебную дисциплину по п.1	Предложения об изменениях в содержании по изучаемой учебной дисциплине	Подпись заведующего кафедрой, обеспечивающей учебную дисциплину по п.1, с указанием номера протокола и даты заседания кафедры
1	2	3	4
Прикладная криптография для систем информационной безопасности	ЭВС	нет	<div style="text-align: center;"> <hr style="width: 20%; margin: 0 auto;"/> И.С. Азаров Протокол № 10 от 03.06.2019 </div>

Заведующий кафедрой
электронных вычислительных средств

И.С. Азаров