

专业学位硕士研究生课程

信号最佳接收检测的设计 与验证

主讲： 李良超

电 子 科 技 大 学

2012-2013学年第二学期

课程概述

上课时间:

总学时: 30学时 (第11-18周, 科C508)

星期四下午第5-8节

参考资料:

《软件无线电技术基础》, 陈祝明编著

《雷达信号处理和数据处理技术》吴顺君 梅晓春编著

《现代数字信号处理及其应用》, 何子述、夏威编著

开发工具:

熟悉MATLAB、HDL语言 (Verilog、VHDL、AHDL等)

会使用QuartusII软件



课程概述

考核方式:

上课出勤 (10分)

实验过程 (40分)

实验报告 (50分)

课程概述

课程性质与任务:

本课程是面向电子信息工程专业学位硕士研究生开设5个实验之一。学习本课程的目的在于掌握信号最佳接收检测的设计设计与开发的基本过程，使理论基础知识与工程应用技术相结合，培养实际的电子系统设计验证和应用实践能力。

涉及的相关知识:

数字信号处理、数字无线电系统、信号检测与估计

课程内容设置

1. LFM脉冲信号的产生、接收和DDC

实现一个数字下变频（DDC）系统，完成DDC系统和工作参数设计，利用MATLAB设计系统模块和对系统功能进行仿真，编写FPGA程序，对硬件算法进行仿真，最后在实验平台验证设计结果。

2. LFM脉冲压缩处理

实现一个数字脉压（PC）系统，完成PCC系统和工作参数设计，利用MATLAB设计系统模块和对系统功能进行仿真，编写FPGA程序，对硬件算法进行仿真，最后在实验平台验证设计结果。

3 动目标显示 (MTI) 处理

采用FIR滤波器，在慢时间域上滤除固定目标保留运动目标信息

4 恒虚警 (CFAR) 处理

按照CA-CFAR步骤，求出平均噪声功率，然后进行归一化，按照门限进行判决。

课程环节设置

实验1. 数字下变频器 (DDC) + 脉冲压缩 (PC)

基本理论 + MATLAB仿真 + FPGA编程与仿真 + 平台验证

2学时

3学时

5学时

5学时

实验2. 动目标显示 (MTI) + 恒虚警检测 (CFAR)

基本理论 + MATLAB仿真 + FPGA编程与仿真 + 平台验证

2学时

3学时

5学时

5学时

实验1. 数字下变频器（DDC）+ 脉冲压缩（PC）

实验原理基础

数字下变频原理

带通采样定理

数字FIR滤波器设计理论

脉冲压缩原理

实验目的

掌握数字下变频与脉冲压缩的基本原理与实现方法

利用MATLAB和FPGA帮助系统设计与开发的方法

实验1. 数字下变频器（DDC）+ 脉冲压缩（PC）

实验内容

在实验平台上实现一个数字下变频（DDC）系统和数字脉压（PC）系统，完成DDC、PC系统和工作参数设计，利用MATLAB设计系统模块和对系统功能进行仿真，编写FPGA程序，对硬件算法进行仿真，最后在实验平台上验证设计结果。

实验范例：**DDC系统的指标**：将中心频率为 $f_0=30\text{MHz}$ ，带宽 $B=10\text{M}$ 的线性调频脉冲信号经A/D 40M采样，然后经过下变频到速率为10M的基带信号。**PC系统的指标**：将基带线性调频脉冲信号输入到系统，进行时域脉冲压缩。



实验1. 数字下变频器（DDC）+ 脉冲压缩（PC）

实验步骤

- ✓ 步骤1: 设计具体的DDC和PC实现结构与系统工作参数
- ✓ 步骤2: 利用MATLAB进行DDC和PC模块设计仿真与验证
- ✓ 步骤3: DDC和PC（FPGA）算法实现、测试与实验验证



实验1. 数字下变频器（DDC）+ 脉冲压缩（PC）

● 实验报告要求

提交实验报告，**内容必须包括：**

- ✓ DDC和PC系统设计方案与工作参数
- ✓ 各模块的MATLAB仿真代码与验证结果
- ✓ 各模块的MATLAB仿真验证结果
- ✓ 系统功能的FPGA设计代码与实验平台验证结果
- ✓ 对实验结果进行分析与解释，总结实验过程。



实验1. 数字下变频器 (DDC) + 脉冲压缩 (PC)

● 实验步骤

步骤：设计具体的DDC实现结构与系统工作参数

- ✓ 系统结构设计
- ✓ 确定采样频率
- ✓ NCO模块设计
- ✓ 设计抽取滤波模块
- ✓ 设计数字下变频 (DDC) 系统

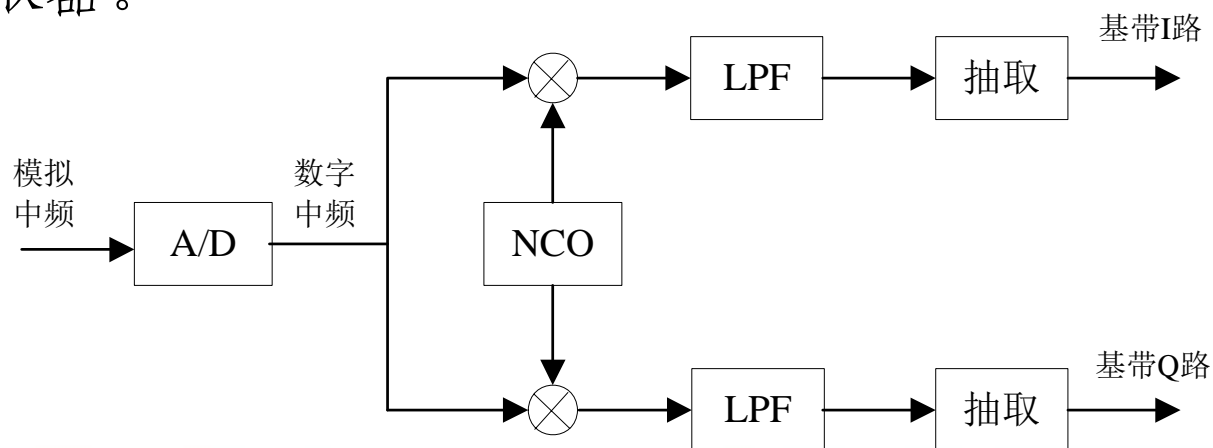


实验1. 数字下变频器（DDC）+ 脉冲压缩（PC）

- 步骤: 设计具体的DDC实现结构与系统工作参数

1. 系统结构设计:

DDC基于数字正交解调理论，有I、Q两条正交支路，主要模块有：数字控制振荡器（NCO）、低通滤波器（LPF）和抽取器。





实验1. 数字下变频器 (DDC) + 脉冲压缩 (PC)

- 步骤: 设计具体的DDC实现结构与系统工作参数

2. 确定采样频率:

根据题目要求, 输入模拟中频为 30Mhz 的线性调频脉冲信号, 带宽为10M, 根据题目要求, 要能够用上高效DDC结构, AD采样后的中心频率应当与采样率成1: 4的关系, 这里设计采样率为40M, 则采样后有一个-10M的频率分量。



实验1. 数字下变频器 (DDC) + 脉冲压缩 (PC)

- 步骤: 设计具体的DDC实现结构与系统工作参数

3. NCO模块设计:

A/D采样中频频信号频谱搬移到 -10M 和 10M , 则数

字本振NCO的频率为: $10\text{M}/40\text{M} * 2\pi$

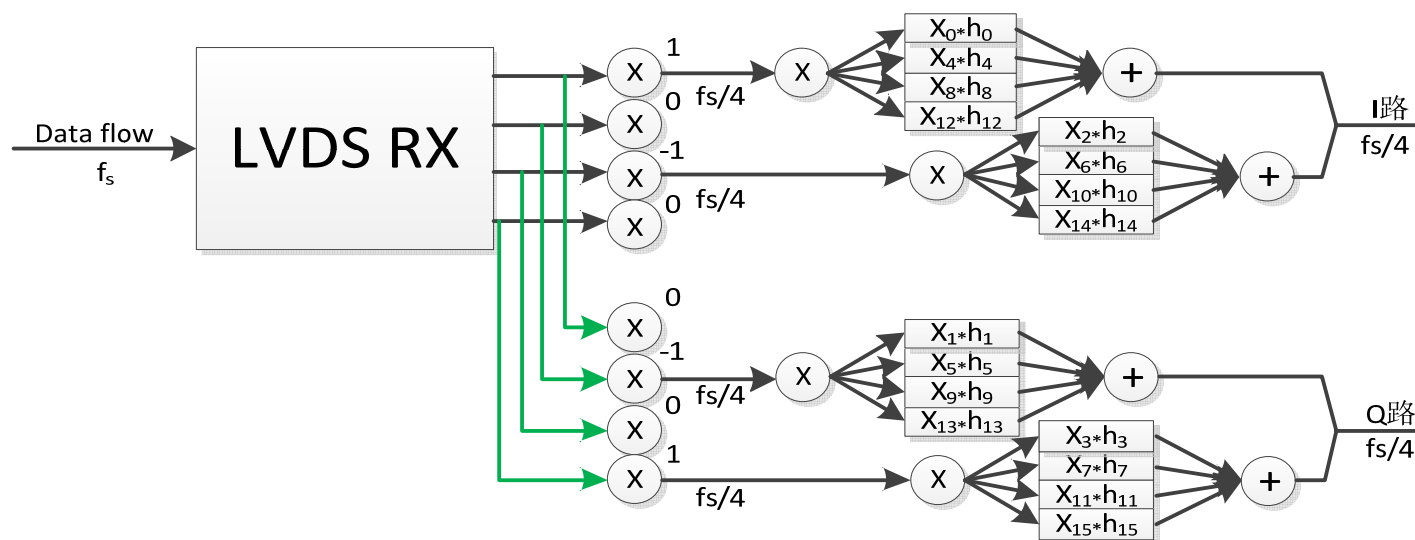


实验1. 数字下变频器 (DDC) + 脉冲压缩 (PC)

- 步骤: 设计具体的DDC实现结构与系统工作参数

1. 系统结构设计:

所需的NCO满足 $\cos(\frac{\pi}{2}n)$ 时, 可以采用高效DDC结构





实验1. 数字下变频器（DDC）+ 脉冲压缩（PC）

● 高效DDC结构原理

以16阶滤波器为示例推导高效DDC结构

理论推导：

$$F(0) = x'_0 h_0 + x'_1 h_1 + \cdots + x'_{15} h_{15}$$

$$F(1) = x'_1 h_0 + x'_2 h_1 + \cdots + x'_{16} h_{15}$$

...

...

$$F(4) = x'_4 h_0 + x'_5 h_1 + \cdots + x'_{19} h_{15}$$

...

...

注：因为之后要经过四倍抽取，所以我们不需要 $F(1), F(2), F(3), F(5), \dots$ 。只需要 $F(0), F(4), F(8), \dots$

而当我们选取NCO为四值，分别为0，1，-1时，又可以进一步简化



实验1. 数字下变频器 (DDC) + 脉冲压缩 (PC)

● 高效DDC结构原理

理论推导：

$$X' = X * X_{NCO} \quad \text{注：} \cos(X) = 1, 0, -1, 0; \quad \sin(X) = 0, 1, 0, -1;$$

当 $\cos(X)$ 时

$$x'(0) = x(0) \square 1 \quad x'(4) = x(4) \square 1$$

$$x'(1) = x(1) \square 0 \quad x'(5) = x(5) \square 0$$

→ 省略

$$x'(2) = x(2) \square -1 \quad x'(6) = x(6) \square -1$$

$$x'(3) = x(3) \square 0 \quad x'(7) = x(7) \square 0$$

→ 省略

当 $-\sin(X)$ 时

$$x'(0) = x(0) \square 0 \quad x'(4) = x(4) \square 0$$

→ 省略

$$x'(1) = x(1) \square -1 \quad x'(5) = x(5) \square -1$$

$$x'(2) = x(2) \square 0 \quad x'(6) = x(6) \square 0$$

→ 省略

$$x'(3) = x(3) \square 1 \quad x'(7) = x(7) \square 1$$



实验1. 数字下变频器 (DDC) + 脉冲压缩 (PC)

● 高效DDC结构原理

理论推导：

综上所述该多项结构一共可以分成4路

I路：

$$A: x'(0) = x(0) \quad x'(4) = x(4) \quad x'(8) = x(8) \quad \dots \quad x'(12) = x(12)$$

$$B: x'(2) = x(2) - 1 \quad x'(6) = x(6) - 1 \quad x'(10) = x(10) - 1 \quad \dots \quad x'(14) = x(14) - 1$$

Q路：

$$A: x'(1) = x(1) - 1 \quad x'(5) = x(5) - 1 \quad x'(9) = x(9) - 1 \quad \dots \quad x'(13) = x(13) - 1$$

$$B: x'(3) = x(3) \quad x'(7) = x(7) \quad x'(11) = x(11) \quad \dots \quad x'(15) = x(15)$$

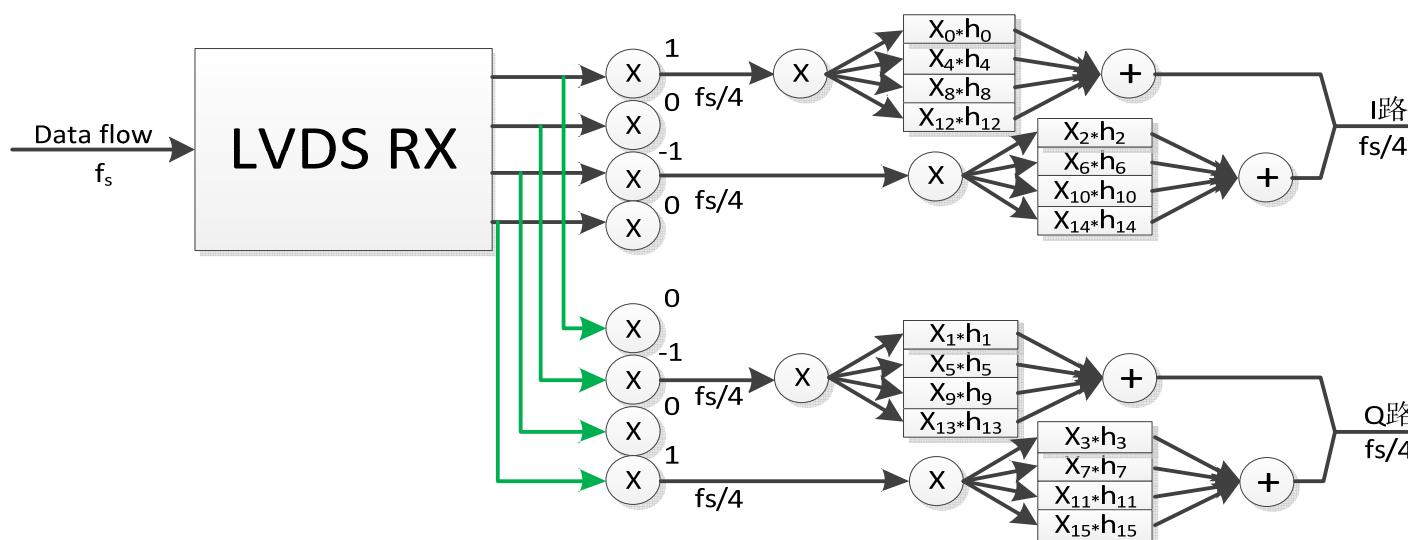
$$\text{I路结果：} \left. \begin{array}{l} A_1 h_0 + A_2 h_4 + A_3 h_8 + A_4 h_{12} \\ B_1 h_2 + B_2 h_6 + B_3 h_{10} + B_4 h_{14} \end{array} \right\} \text{二者求和}$$

$$\text{Q路结果：} \left. \begin{array}{l} C_1 h_1 + C_2 h_5 + C_3 h_9 + C_4 h_{13} \\ D_1 h_3 + D_2 h_7 + D_3 h_{11} + D_4 h_{15} \end{array} \right\} \text{二者求和}$$



实验1. 数字下变频器 (DDC) + 脉冲压缩 (PC)

● 高效DDC结构原理





实验1. 数字下变频器（DDC）+ 脉冲压缩（PC）

- 步骤: 设计具体的DDC实现结构与系统工作参数

4. 设计抽取滤波模块:

要求实现 10Mbps 的数据率，需对下变频后的信号进行抽取。抽取前数据率为 40Mbps，可以得出抽取器的总抽取倍数为：

$$D = \frac{40\text{MHz}}{10\text{MHz}} = 4$$

由于抽取倍数比较低，此时不适合选用CIC滤波器高效结构，直接采用了FIR滤波器。



实验1. 数字下变频器（DDC）+ 脉冲压缩（PC）

- 步骤: 利用MATLAB进行DDC模块设计仿真与验证

1. FIR滤波器设计与MATLAB仿真: FIR滤波器设计

滤波器选择截止特性更好, 过渡带更窄的FIR滤波器。

FIR设计方法: 加窗法、频率采样法、等纹波逼近法

2. FIR滤波器设计与MATLAB仿真: FIR滤波器设计

MATLAB中等纹波最佳误差逼近的滤波器阶数估计函数为 **firpmord**, 系数计算函数为 **firpm**。



实验1. 数字下变频器 (DDC) + 脉冲压缩 (PC)

- 步骤: 设计具体的DDC实现结构与系统工作参数

4. 设计抽取滤波模块: FIR抽取滤波器设计

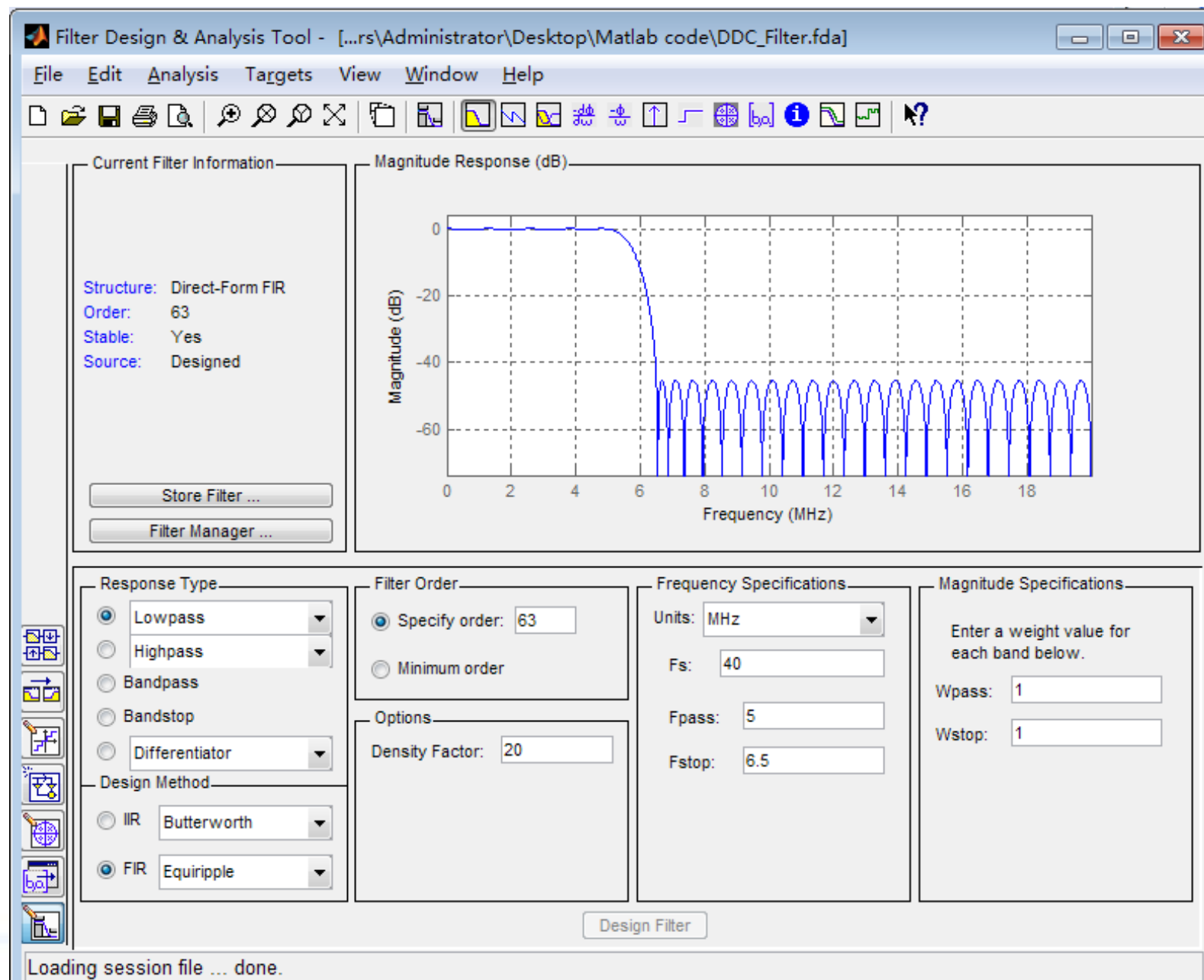
通带截止频率为: 5M

阻带起始频率为: 6.5M

为了便于FPGA实现, 滤波器阶数选取为64阶

滤波器设计参数设置如下图:

实验1. 数字下变频器（DDC）+ 脉冲压缩（PC）





实验1. 数字下变频器 (DDC) + 脉冲压缩 (PC)

- 步骤: 利用MATLAB进行DDC模块设计仿真与验证

数字下变频MATLAB仿真:

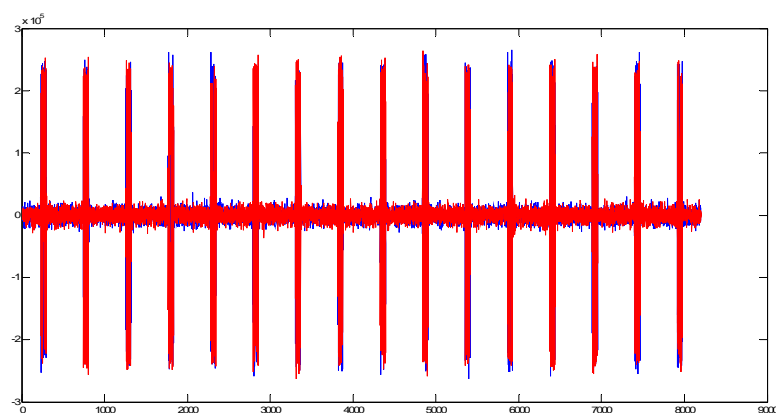
输入中频信号为30M, 采样率为40M, 做4倍抽取, 编写MATLAB仿真代码, 得到DDC输出的I、Q两路仿真波形, 如下所示。



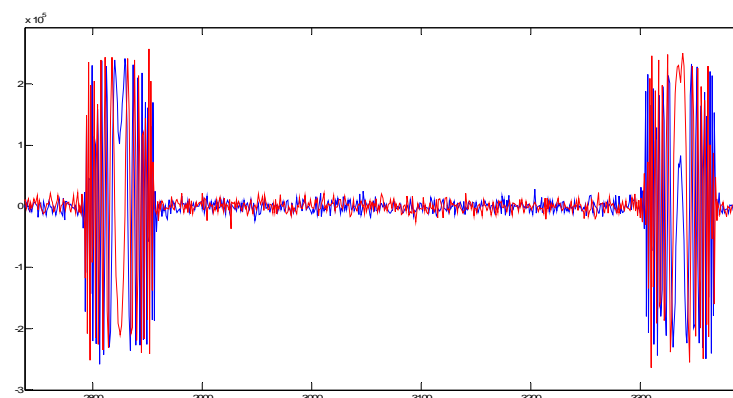
实验1. 数字下变频器（DDC）+ 脉冲压缩（PC）

- 步骤: 利用MATLAB进行DDC模块设计仿真与验证

数字下变频MATLAB仿真: I、Q两路仿真波形



高效DDC后的I、Q两路MATLAB结果



DDC后I、Q信号（16个中的2个）



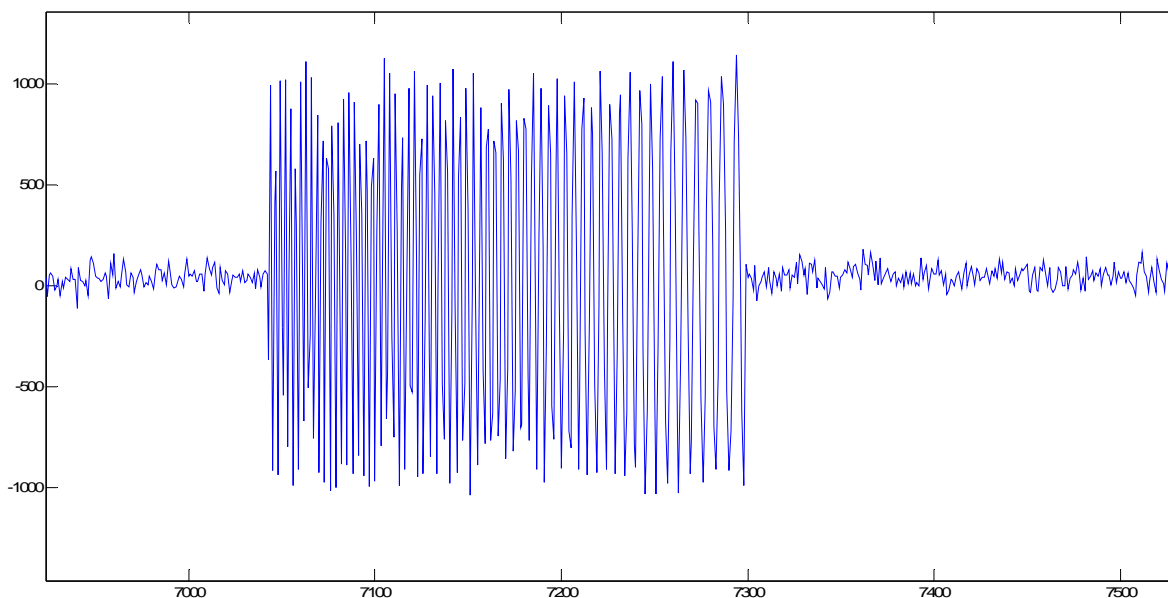
实验1. 数字下变频器 (DDC) + 脉冲压缩 (PC)

- 步骤: DDC (FPGA) 算法实现、测试与实验验证
 - ✓ 查表法产生LFM线性调频脉冲信号
 - ✓ 信号变频实现与测试



实验1. 数字下变频器（DDC）+ 脉冲压缩（PC）

- 查表法产生LFM线性调频脉冲信号



16个回波信号中的一个

将Matlab产生的回波数据量化存储在Rom表中，通过查表法实现回波信号的产生

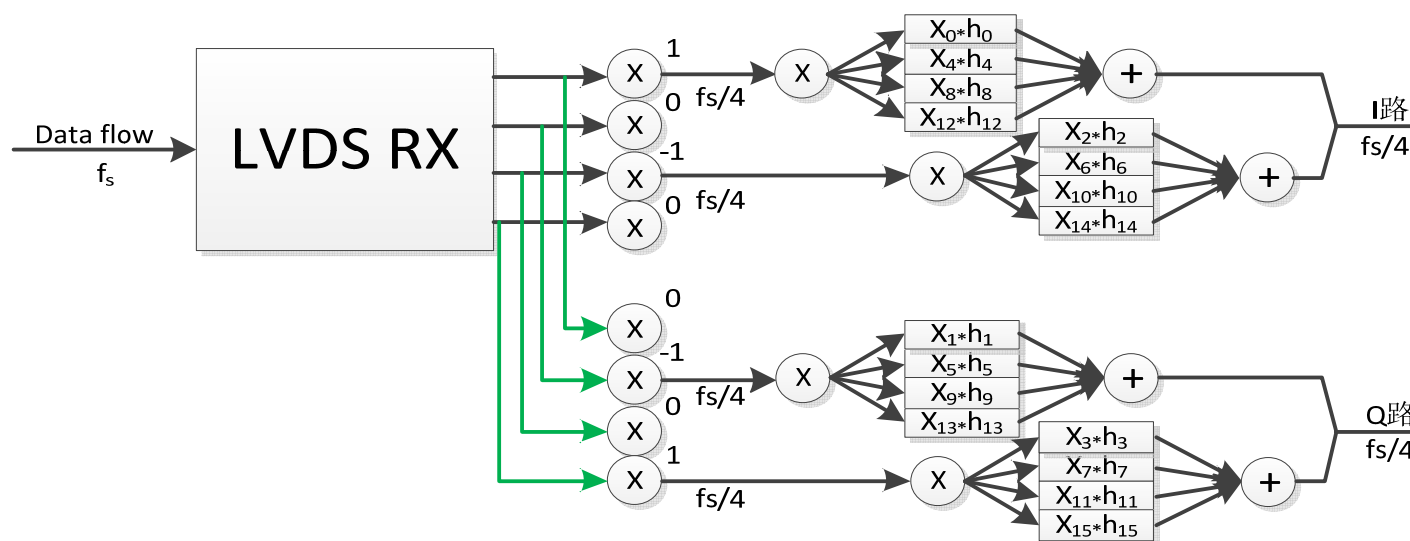


实验1. 数字下变频器（DDC）+ 脉冲压缩（PC）

- 步骤: 设计具体的DDC实现结构与系统工作参数

5. 设计的数字下变频（DDC）系统:

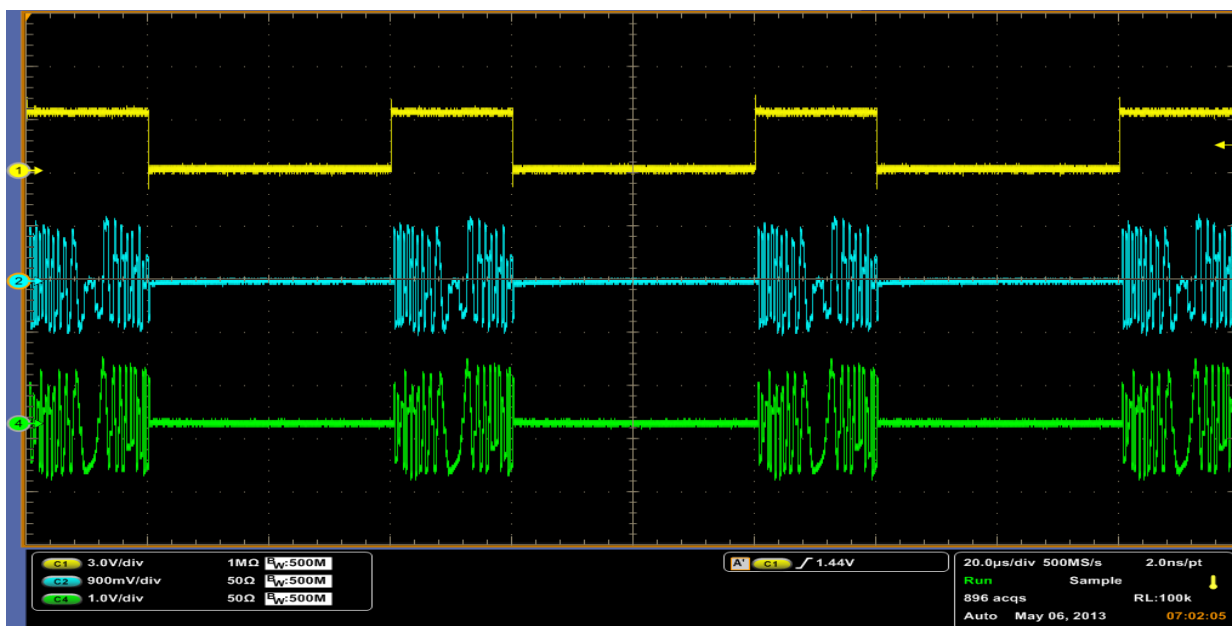
最终实现的数字下变频（DDC）器的结构框图如下:





实验1. 数字下变频器 (DDC) + 脉冲压缩 (PC)

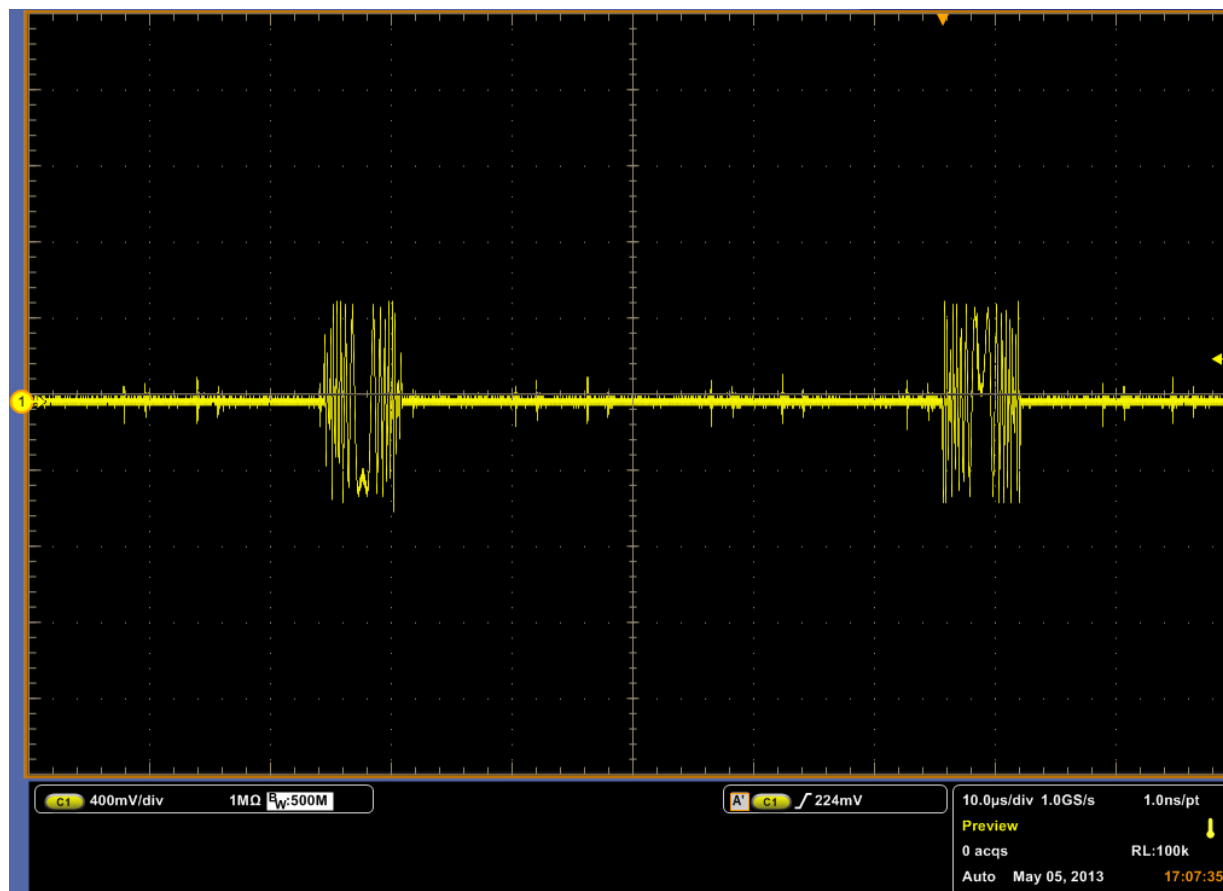
- 数字下变频 (DDC) FPGA实现结果



DDC后得到的基带信号实测结果



实验1. 数字下变频器 (DDC) + 脉冲压缩 (PC)



回波信号的FPGA实现
高斯白噪声通过Cordic算法实现



实验1. 数字下变频器 (DDC) + 脉冲压缩 (PC)

● 实验原理基础

- ✓ 匹配滤波原理
- ✓ 时域脉冲压缩

$$y(t) = x(t) * h(t)$$

$$h(t) = s^*(t_0 - t)$$

$$\frac{|s_o(t_0)|^2}{N} = \frac{\left| \int_{-\infty}^{\infty} S_i(\omega) H(\omega) e^{j\omega t} d\omega \right|^2}{\frac{N_0}{2} \int_{-\infty}^{\infty} |H(\omega)|^2 d\omega}$$

$$s_o(t) = A\sqrt{D} \frac{\sin[\pi B(t - t_0)]}{\pi B(t - t_0)}$$



实验1. 数字下变频器 (DDC) + 脉冲压缩 (PC)

● 脉压原理

其中 $x(t)$ 、 $h(t)$ 均为复信号，从而得到

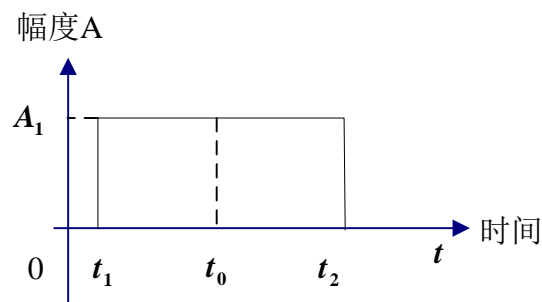
$$y(t)_{real} = x_{real}(t)h_{real}(t) - x_{image}(t)h_{image}(t)$$

$$y(t)_{image} = x_{real}(t)h_{image}(t) + x_{image}(t)h_{real}(t)$$

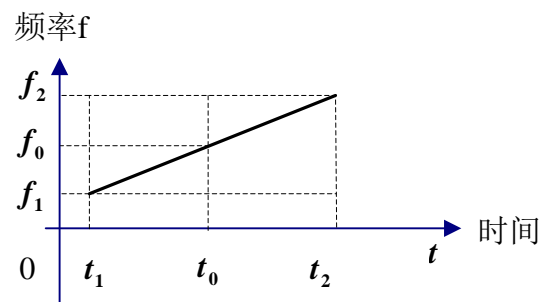


实验1. 数字下变频器 (DDC) + 脉冲压缩 (PC)

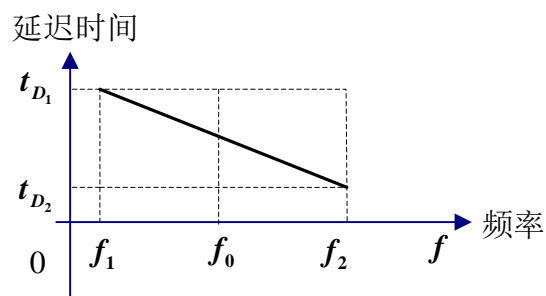
● 脉压原理



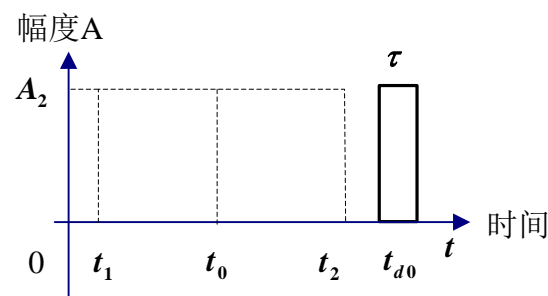
(a) 输入信号包络



(b) 输入信号频谱



(c) 脉冲压缩滤波器
延迟频率特性



(d) 脉冲压缩滤波器
输出信号包络

与压缩前的脉宽 T 相比, 脉冲宽度压缩了 D



实验1. 数字下变频器 (DDC) + 脉冲压缩 (PC)

● 实验步骤

- ✓ 步骤1: 设计具体的PC实现结构与系统工作参数
- ✓ 步骤2: 利用MATLAB进行PC模块设计仿真与验证
- ✓ 步骤3: PC (FPGA) 算法实现、测试与实验验证



实验1. 数字下变频器 (DDC) + 脉冲压缩 (PC)

步骤1: 设计具体的PC实现结构与系统工作参数

1. 实验对基带线性调频信号进行时域脉压
2. 脉冲模块输入信号为采样速率为10M的I、Q两路基带线性调频信号
3. 脉压模块信号处理如下:

$$y(t)_{real} = x_{real}(t)h_{real}(t) - x_{image}(t)h_{image}(t)$$

$$y(t)_{image} = x_{real}(t)h_{image}(t) + x_{image}(t)h_{real}(t)$$

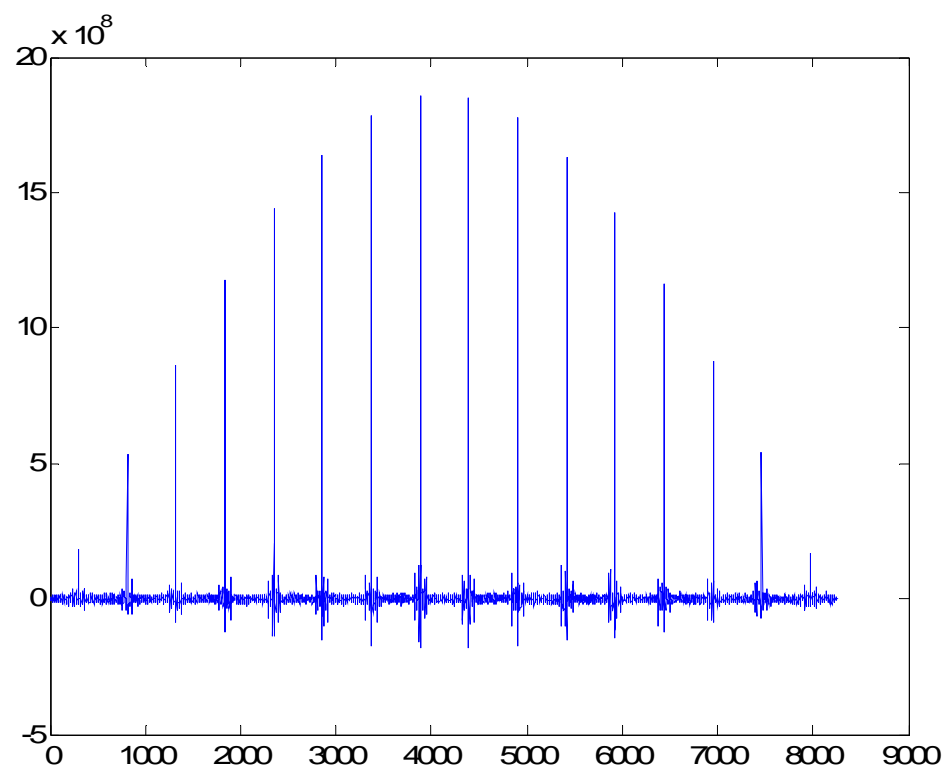
4. 滤波器系数计算公式

$$h(t) = x(-t)^* = e^{-j\frac{B}{\tau}(-t)^2} = e^{-j\frac{B}{\tau}(-\frac{n}{f_s})^2} \quad f_s = 10M$$



实验1. 数字下变频器 (DDC) + 脉冲压缩 (PC)

步骤2: 利用MATLAB进行PC模块设计仿真与验证



LFM脉冲串基带信号脉压后时域波形



实验1. 数字下变频器 (DDC) + 脉冲压缩 (PC)

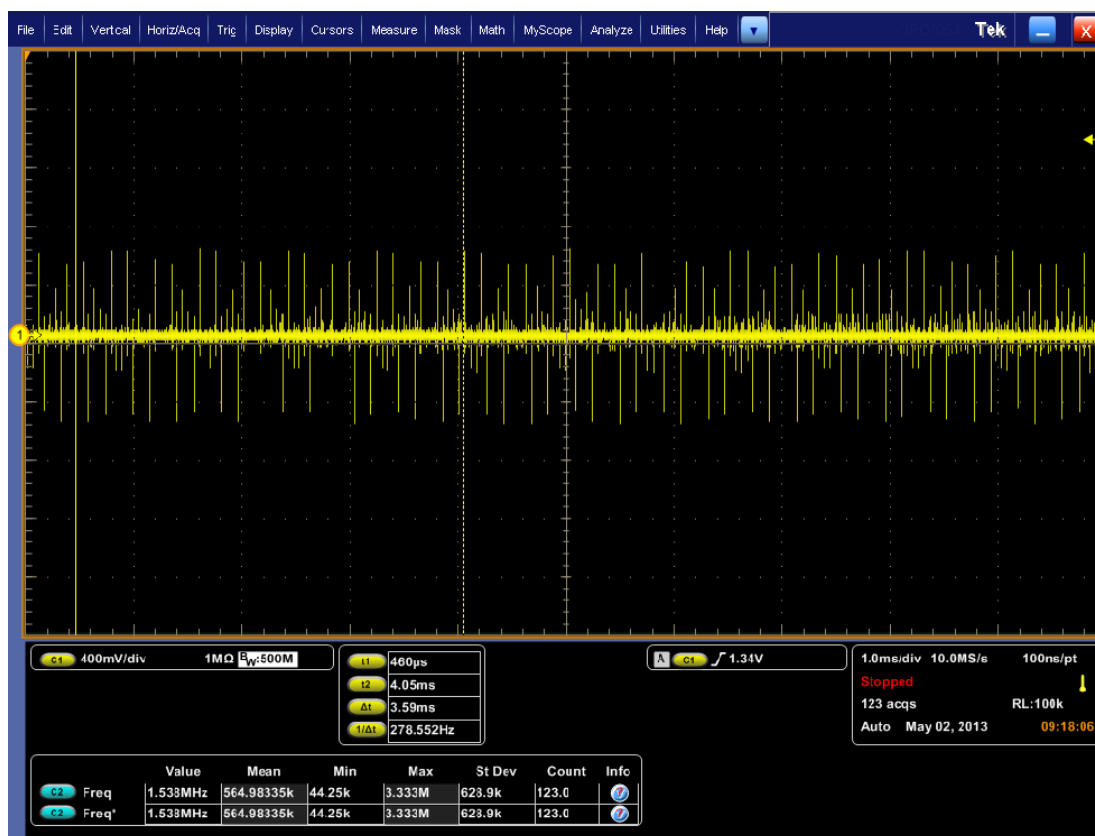
✓ 步骤3: PC (FPGA) 算法实现、测试与实验验证

1. 先掌握信号流程，按照信号流程先设计FIR滤波器，然后加减I、Q路信号加减得到脉压结果
2. 例程滤波器设计调用IP核



实验1. 数字下变频器 (DDC) + 脉冲压缩 (PC)

✓ 步骤3: PC (FPGA) 算法实现、测试与实验验证



PC脉冲压缩后得到的I路信号实测结果