

Oppgave 1

a) Med stored program computer, mener en maskin der program og data er lagret i samme minne. Det er i det samme minnet maskinen holder styr på tilgangen til data/instruksjoner. Maskinen henter instruksjona inn i en kontrollenhet, data overførs mellom minne og ALU.

b)
i) Den er synkron. Det er en klokke.

ii) OpCode + PCll = full adresse med all info.

Port 0 er 8 bit, Port 2 er 8 bit.

16 bits adresselress = 2^{16} adresser.

iii)
Bit-fredde: 8 bit.

OpCode på port 0. er 8-bit.

c)
ij)

Superskalær:

En superskalær implementerer en form for parallelitet som kallas instruksjonsparallelitet.

Fleire instruksjoner per klokkesyklus.

ii)

Jas, men det vil kreve ekstra logikk.

d)

Harvard-arkitekter:

Separat minneområde for data og program.

Separate busser også.

e)

Ja, cache er en del av dette.

Cache bruker først i sente gjennomsnittlig aksesstid.

Oppgave 2

a)

Full adder

b)
i)

ROM :

0000 0000 XX XX XXXX

[0000, 00FF]

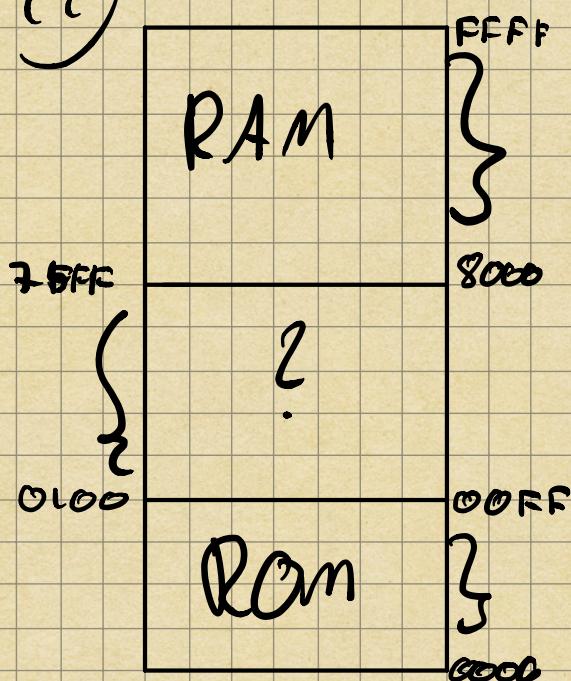
RAM :

1XXX XXXX XX XX XXXX

[8000, FFFF]

Ledig: [0100, 7FFF]

ii)



c)

$$D_0 = \overline{Q_0} \cap X$$

$$Y = Q_0 \cap Q_1$$

$$D_1 = (Q_1 \oplus Q_0) \cap X$$

| y | Current | | NEXT $x=1$ | | NEXT $x=0$ | |
|---|---------|-------|---------------|-------|---------------|-------|
| | Q_1 | Q_0 | Q_1 | Q_0 | Q_1 | Q_0 |
| 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 |

d)

Det er nå en Mealy-maschin.

Her defineres output av current state og input. Maskinen er ikke lenger synkron med klokken.

Y er nå $Q_0 \cap Q_1 \cap X$

Oppgave 3

a)

B-GUS dekodoren tillater GUS i redusert antall bit i mikroinstruksjonen, siden kun ett register kan ligge på bussen om gangen.

C-tressen kan derimot ha fleksigste
om gangen, og bruker derfor ett til
per register den kan skrive til

b)

1. ALU: B, C: H, MEM: DC, B: LV
2. ALU: A OR B, C: H, MEM: 000, B: TOS
3. ALU: \bar{A} , C: H og MDR, MEM: 600, B: 0

c)

0A3:
 $J = 0$, ALU: B, C: LV, MEM: 000, B: MDR, MPC = 0xA4
 $LV = 0x4444$

0A4:
 $JZ = 1$, ALU: A AND B, C: LV, MEM: 000, B: LV, MPC = 0x1A5

i 0A4 sin next address er 0 første 16b.

Or'er med 2, 1 or 0 = 1.

Hopper til 1A5

$LV = 0$ ($H = 0$) Z-flag = 1

1A5:

J: 0, ALU: B+1, C = LV, MEM: 000, R_D: LV, MPC = 0x146

$$LV = 1$$

1A6:

J: 0, ALU: B, C: MDR, MEM: 000, R_D: LV, MPC = 0x147

$$MDR = LV = 1$$

1A7:

J: 0, ALU: 0, C: 0, MEM: 000, R_D: 0, MPC: 0x148

Oppgave 4

a)

Ja. Alle instruksjonene er 32 bit.

b) MOV C

c)

$$R_6 = 0x0000\ 0000\ FFFF\ 0000 \quad R_{11} = 0x0000\ 0000\ 0000\ 0000$$

$$R_8 = 0x0000\ 0000\ 0000\ 0000 \quad R_{12} = 0x0000\ 0000\ 0000\ 0003$$

$$R_{13} = 0x0001\ 0000\ 0000\ 0000$$

Load, R₁, R₈

$$R_1 = 0x00\ 00\ 00\ 01$$

ADD R₂₈, R₁, R₁

$$R_{28} = 0x00\ 00\ 00\ 00\ 00\ 02$$

BZ R₃

NO BRANCH

ADD R₁₁, R₁, R₁₁

$$R_{11} = 0x00\ 00\ 00\ 00\ 02$$

INC R₈, R₈

$$R_8 = 0xFFFF\ 0001$$

BNZ R₀

! Brancher til 0x0000 FFFF !

Kjørte 1 gang

Load R₁, R₈

$$R_1 = [R_8] = 0x00\ 00\ 00\ 00\ 02$$

.

.

.

Koden legges til gangen og gir R₁₁ = 0xA

c)

$$R_8 = 0xFFFF\ 0004$$

Load R₁, R₈

$$R_1 = 0x00\ 00\ 00\ 00\ 00$$

ADD R_{28}, R_1, R_8

$$R_{28} = 0, Z=1$$

B2 n13

Brancher.

Større R_{11}, R_8

$$R_{11} = 0x0 \quad (\text{lagres på } [n_8])$$

Oppgave 5

a)

dy begrenser. Som av tegningen
at det er latches der. kan innføre pipeline.

$$\text{MAX FART: } \frac{1}{25\text{ns} \cdot 1000} = 40 \text{ MHz}$$

b)

c) Ved innføring av A-bus blir det flere
mikro-instruksjoner. Dette førdi det ikke
trengs så mellomligge register.

ii)

Ja. Instruksjonene mi skrives om
til å bruke begge busser, kontra å
bruke lit av B-bussen.

c) Moores lov viser at det hvert 2. år (ca.) er en dobling av transistorer på en chip

d) Klokkefrekvensen kan senkes, fordi instruksjonene kjøres av flere prosessorer