

# 1 Projektbeskrivelse

## 1.1 Arkitektur

## 1.2 Problematikker og deres løsninger

Herunder beskrives nogle af de problemstillinger, som der er mødt i udviklingsprocessen.

### 1.2.1 Forskellige clock-domæner

For at læse fra ram-modulerne og sende dette ud gennem ST-bussen, bruges der to forskellige clock-domæner. Dette er en udfordring, omend let at overkomme, så medfører den komplikationer. På udklip 1 ses, hvordan data overføres fra et clock-domæne til et andet.

Kodeudsnit 1: Clock domæne

```
1 signal data1 : std_logic_vector (dataSize-1 downto 0);  
  ...  
3 ramRead: process(ast_clk, reset_n)  
  begin  
5    ...  
    data1 <= data;  
7    ast_source_data <= data1(23 downto 0);  
    ...
```

### 1.2.2 SOPC-builder

SOPC-builderen, der skal generere alle komponenterne, brokkede sig med følgende besked:

*Error (170012): Fitter requires 2103 LABs to implement the project, but the device contains only 2076 LABs*<sup>1</sup>

## 1.3 test

---

<sup>1</sup>FiXme Note: Her mangler selve løsningen