

# 1 Brush up

VHDL er ikke assembler kode - det er digitale kredsløb.

- Designflow - måden man vil bygge sit program på
- Synthesis - Man alver et diagram over sin kode med clock signals
- Entity declaration - et interface til en "metode"
- Architecture body - Selve implementationen af "metoden"
- Dataflow Style - kører parallelt, normalt på gate niveau og bool's algebra
- Behavioural - Sekvensielt i en *process*, normalt algoritmer (if, else)
- Struktural - Flere elementer sat sammen
- Signals - kommunikationen mellem to processes. Opdateres først, ved slutningen af en process
- Variables - Opdateres med det samme i en process
- Sekventiel system - Husker hvad der er sket

# 2 What gives

Mux

- When
- Case - husk en "others"

Infered Latch (skal undgås)

- if uden "then"(med mindre der er clk med)
- Vises ved, at et output går tilbage til sammes input

Flip-flop

- if med clk'event eller rising\_edge(clk) og falling\_edge(clk)
- Kommer hver gang ' $\leq$ ' forekommer