

# DSPC projekt

Rasmus Bækgaard, 10893 og Anders Kielsholm, 10796

09-04-2013

# Indhold

<b>1</b>	<b>Problemstilling</b>	<b>3</b>
<b>2</b>	<b>Projektbeskrivelse</b>	<b>4</b>
2.1	Arkitektur . . . . .	4
2.2	Problematikker og deres løsninger . . . . .	4
2.2.1	Forskellige clock-domæner . . . . .	4
2.2.2	SOPC-builder . . . . .	4
2.3	test . . . . .	5
<b>3</b>	<b>Konklusion</b>	<b>6</b>
<b>A</b>	<b>Appendix: Waves</b>	<b>7</b>

# 1 Problemstilling

Med dette projekt ønskes at opnå et system, hvor en bruger med et tastatur kan generere toner fra et tastetryk. Tastaturet vil være forbundet til DE2-boardet, som behandler inputtet fra tastaturet og genererer tonerne på baggrund af disse.

Systemet opbygges således, at et tastatur med PS/2-udgang forbindes til DE2-boardet, hvorpå der sidder en FPGA af typen *Cyclone II*. Tilsluttet til DE2-boardet er også et par højtalere forbundet via mini-jack stik.

Intentionen med opstillingen er, at der ved et tastetryk på tastaturet bliver genereret en tone, en sinuskurve, som er forskellig for hver knap.

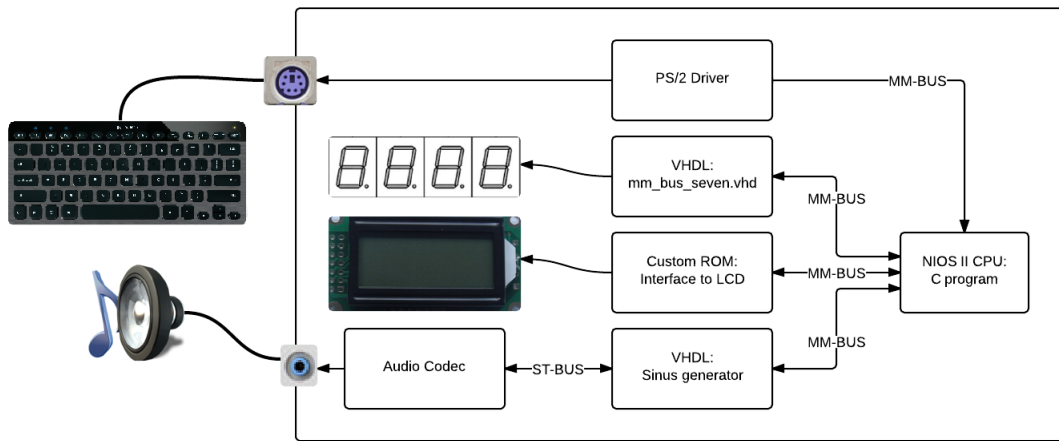
Der oprettes en microprocessor, som bl.a. har forbindelse til driveren for tastaturet. Driveren til tastaturet er tredjeparts software.

Microprocessoren sender vha. en sinusgenerator værdierne for en tone fra C-kode til VHDL-koden. Værdierne gemmes i DE2-boardets ram-moduler, hvorfra den kan afspilles. Derudover kan der også trykkes på 3 af DE2-boardets knapper, der tilsammen vil udgøre en tone..

Fra ram-modulerne sendes lyden ud til højtalerne via *ST-bussen*, bit for bit.

Frekvensen der afspilles vises på 7-segments-displayet og på det store display vises en fyldig tekst vedr. frekvensen.

På figur 1 ses opstillingen:



Figur 1: Opstilling

## 2 Projektbeskrivelse

### 2.1 Arkitektur

### 2.2 Problematikker og deres løsninger

Herunder beskrives nogle af de problemstillinger, som der er mødt i udviklingsprocessen.

#### 2.2.1 Forskellige clock-domæner

For at læse fra ram-modulerne og sende dette ud gennem ST-bussen, bruges der to forskellige clock-domæner. Dette er en udfordring, omend let at overkomme, så medfører den komplikationer. På udklip 1 ses, hvordan data overføres fra et clock-domæne til et andet.

##### Kodeudsnit 1: Clock domæne

```

1 signal data1 : std_logic_vector (dataSize-1 downto 0);
  ...
3 ramRead: process(ast_clk, reset_n)
  begin
5   ...
    data1 <= data;
7   ast_source_data <= data1(23 downto 0);
    ...

```

#### 2.2.2 SOPC-builder

SOPC-builderen, der skal generere alle komponenterne, brokkede sig med følgende besked:

*Error (170012): Fitter requires 2103 LABs to implement the project, but the device contains only 2076 LABs*<sup>1</sup>

## **2.3 test**

For at sikre, at VHDL-koden virkede som ønsket, er koden testet med programmet ModelSim 10.1b, hvor hvert komponent er testet individuelt samt en integreringstest for 2 af komponenterne.

---

<sup>1</sup>FiXme Note: Her mangler selve løsningen

### 3 Konklusion

# Litteratur

- [1] K. L. Short, *VHDL for Engineers*. Upper Saddle River, NJ, USA: Prentice-Hall, Inc., 2007.
- [2] Altera, *Media Computer System for the Altera DE2 Board*, May 2011.  
C:\altera\12.1\University\_Program\NiosII\_Computer\_Systems\DE2\  
DE2\_Media\_Computer\doc\DE2\_Media\_Computer.pdf.

## A Appendix: Waves