

1 Bauelementeschicht

Hardwarerealisierung durch elektrische Bauelemente:

- 0: Potential 0 (0 Volt) → nicht leitend
- 1: Potential + (5 Volt) → leitend
- Realisierung durch Feldeffekttransistoren

1.1 Physikalische Schicht

- Realisierung des elektrischen Bauelements durch Halbleiter (Silizium)
- Halbleiter: Leitfähigkeit liegt zwischen Leiter und einem Isolator
- gezielte Verunreinigung (p oder n Dotierung)
 - Funktionstuechtig bei niedrigen Temperaturen

1.2 Transistoren als Schalter

- Ursache des Transistoreffekt ist Eigenart von Silizium
 - an der Berührungsfläche zwischen n-/p-leitenden Zone entsteht Sperrschicht
- Strom kann nur in eine Richtung fließen
- jeder Transistor besteht aus zwei pn-Übergängen
- Steuerstrom / Steuerspannung kann den Sperreffekt aufheben

1.2.1 MOS-Feldeffekt-Transistor

MOS: Metall-Oxid-Silizium

MOSFET: MOS-Feldeffekt-Transistor

MOS Technologien:

- PMOS (P-type Metal-Oxide-Semiconductor):
 - Schaltungen nur aus PNP Transistoren
 - Ruhekontakte
- NMOS (N-type Metal-Oxide-Semiconductor):
 - Schaltungen nur aus NPN Transistoren
 - Arbeitskontakte
- CMOS (Complimentary Metal-Oxide-Semiconductor):
 - Schaltung aus NPN und PNP Transistoren

1.3 Gatter

Darstellung logischer Operationen erfolgt durch Gatter:

- NOT
- AND
- OR

Mithilfe dieser drei Gatter kann man alle weiteren Gatter bauen:

- NAND
- NOR
- XOR
- ...

1.4 Halbleiter

Herstellungsprozess:

- Oxidation
- Fotolackbeschichtung
- Belichtung durch Maske
- Entwicklung
- Fensteraetzung im Oxid
- Fotolackentfernung
- Diffusion

Halbleiter werden immer kleiner:

- 1987: $3\mu m$
 - 2020: $5nm$
 - IBM forscht an 2nm nanosheet technology
- Moore's Law: Die Anzahl der Transistoren pro Mikrochip verdoppelt sich alle 2 Jahre

1.5 Verbundene Schichten

- Verbinden von Transistoren zu Schaltungen durch Leiterbahnen (Interconnects)
- lokales Verbinden von Transistoren als Bauelemente
- global zu Speicherstrukturen, Rechenwerken

1.5.1 Schaltungsentwurf

Zerlegung in kleinere Komponenten:

- oft hierarchisch
- Spezifikation der einzelnen Komponenten
- Runterbruch bis NAND/NOR Gatter

Entwurf der Komponenten:

- einzelne Schalter nur aus NAND/NOR Gatter
- Optimierungen moeglich durch Gatter Reduktion / Balazierung

Test / Debugging:

- kleinere Komponenten: Verifikation
- groe Komponenten: Simulation

1.5.2 VLSI (very large scale integration)

- hierarchisches Design (Kerne, GPUs, Speicher, ...)
- da sehr teurers Verfahren → Massenproduktion noetig

1.5.3 ASICs (Application Specific Integrated Cricuits)

VLSI Designs fuer einen bestimmten Zweck

- besser angepasst auf den eigentlich Zweck
- aufwendig und teuer