



**INSTITUTO POLITÉCNICO NACIONAL
ESCUELA SUPERIOR DE CÓMPUTO**

ARQUITECTURA DE COMPUTADORAS

3CM4

PROFESOR: M. en C. VICTOR HUGO GARCÍA ORTEGA

DATA MEMORY

Equipo 2

VÁZQUEZ MORENO MARCOS OSWALDO	2016601777
LÓPEZ MANRIQUEZ ÁNGEL	2017630941
MAYA ROCHA LUIS EMMANUEL	2014030842

FECHA DE ENTREGA: 05 DE OCTUBRE DE 2018

- Tabla de recursos

Recurso	Usado	Disponible	Porcentaje utilizado
No. de LUT's	64	63,400	1%
No. De FF's	0	64	0%
No. De Slices	0	126,800	0%
No de RAM's de un puerto	64	-	-
No de RAM's de dos puertos	0	-	-

Dispositivo usado Nexys 4 DDR de la familia Artix-7 modelo XC7A100T-2CSG324.

Teniendo el tiempo máximo de entrada y de salida observado en la imagen 1, los sumamos para posteriormente obtener la inversa y así obtener su frecuencia máxima del reloj.

```

Constraints cover 704 paths, 0 nets, and 193 connections

Design statistics:
  Minimum input required time before clock:  1.042ns
  Maximum output delay after clock:  9.926ns

Analysis completed Thu Oct 04 18:51:56 2018
-----

Timing Analyzer Settings:
-----
Timing Analyzer Settings

analysis_name  "Analysis 1"
analysis_type  "auto-generated timing constraints"

```

Imagen 1

Por lo tanto, la frecuencia máxima de reloj es de aproximadamente **91Mhz.**