Sea un DLX segmentado de cinco etapas con las siguientes características:

- Un dato se puede leer y escribir en el banco de registros en el mismo ciclo de reloj.
- Existe anticipación de operandos (tiene implementado cortocircuito).
- El cortocircuito se realiza siempre desde los registros del pipeline, y existe cortocircuito a la etapa ID (para instrucciones de salto).
- La detección de riesgos LDE y generación de paradas se realiza en la etapa de decodificación.
- Los riesgos estructurales referidos a memoria se detectan y se resuelven mediante espera en la última etapa de cada unidad funcional.
- Los riesgos de EDE entre dos instrucciones A y B tal que A precede a B se resuelven mediante inhibición de escritura de la instrucción A.
- Los saltos se resuelven en la etapa de decodificación y se implementan saltos retardados con un "delay-slot" de 1 ciclo.
- Las unidades funcionales del procesador son:

UF	Cantidad	Latencia	Segmentación
FP ADD	2	3	No
FP MUL	1	5	Sí
Int ALU	1	1	No

El siguiente fragmento de código se ejecuta sobre dicho procesador:

Bucle: LD F1, 0(R3) LD F2, 0(R4) LD F3, 0(R5)

LD F4, 0(R6) AND R7, R2, R1 BNE R7, R0, Salto

NOP

ADDD F1, F1, F2 ADDD F3, F3, F4

MULD F1, F1, F3

Salto: SD F1, O(R3)

ADDI R3, R3, 8 ADDI R4, R4, 8 ADDI R5, R5, 8 ADDI R6, R6, 8

SUBI R2, R2, 1 BNE R2, R0, Bucle

NOP

Suponiendo que los siguientes registros están inicializados al valor indicado a continuación:

- R0 =0
- R1 =1
- R2 = 100
- a) Representar el diagrama instrucción-tiempo para la primera iteración del bucle indicando claramente los cortocircuitos realizados, las paradas y sus causas.
- b) Calcular el CPI de la ejecución completa del código dado.
- c) Reordenar el código para reducir el número de ciclos que tarda en ejecutarse, intentando evitar la ejecución de operaciones innecesarias en algunas iteraciones.
- d) ¿Podrían sustituirse las operaciones NOP del código por otras? ¿Por cuáles?