



## Problema entregable 4

Supongamos un procesador segmentado con planificación dinámica mediante el algoritmo de Tomasulo con especulación que dispone de:

- Un ROB de 6 posiciones
- Dos unidades funcionales de suma en PF (segmentadas), que emplean 3 ciclos para dicha operación. Existe una estación de reserva por cada una de estas unidades funcionales.
- Una unidad funcional de multiplicación en PF (segmentada), que emplea 6 ciclos para dicha operación. Dispone de una estación de reserva.
- Una unidad funcional de división en PF (no segmentada), que emplea 9 ciclos para dicha operación. Dispone de dos estaciones de reserva.
- Buffer de Load con 2 posiciones
- Una unidad de Load, segmentada, cuya latencia es 2 ciclos de reloj.

Además tiene las siguientes características:

- Los datos que se escriben en la etapa de escritura NO se pueden usar para la ejecución de una instrucción hasta el ciclo siguiente
- Hay un solo bus de datos común (CDB)
- Las estaciones de reserva se liberan al final de la fase de escritura.

Indica en qué ciclo/s de reloj se realiza cada una de las etapas de ejecución para las instrucciones siguientes. Utiliza llamadas en la tabla para explicar las dependencias que motivan cualquier retraso que se produzca en la temporización.

#	INSTRUCCIÓN	ISSUE	EXE	WB	COMMIT
1	LD F0, 0(R2)	1	2-3	4	5
2	LD F2, 0(R4)	2	3-4	5	6
3	ADDD F2,F0,F2	3	6-8 <sup>LDE con 1 y 2</sup>	9	10
4	SD 0(R4), F2	4	-	9	11
5	LD F4, 0(R6)	5	6-7	8	12
6	ADDD F4, F0, F0	6	7-9	10	13
7	DIVD F6, F4, F2	7	11-19 <sup>LDE</sup>	20	21
8	MULD F8, F2, F2	8	10-15 <sup>LDE</sup>	16	22
9	SD 0(R8), F6	11 <sup>ROB</sup>	-	20 <sup>LDE con 7</sup>	23
10	SD 0(R10), F8	12	-	16 <sup>LDE con 8</sup>	24
11	MULD F10, F0, F2	17 <sup>ER</sup>	18-23	24	25
12	DIVD F12, F0, F4	18	20-28 <sup>UF no segm.</sup>	29	30
13	SD 0(R1), F10	22 <sup>ROB</sup>	-	24 <sup>LDE con 11</sup>	31

