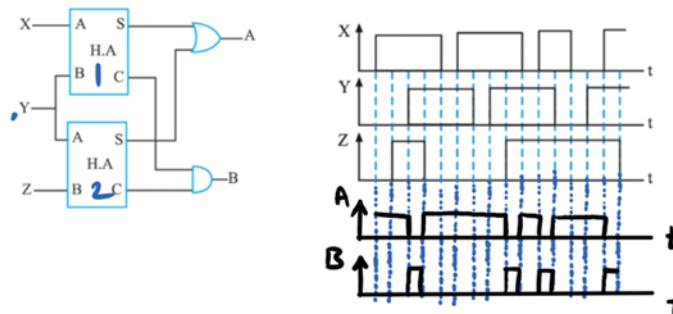


-۱ (۳ نمره) در مدار زیر ابتدا خروجی‌های A و B را بر حسب ورودی‌های X, Y و Z بنویسید و سپس با توجه به تغییرات ورودی‌ها در طول زمان، نمودار زمانی تغییرات خروجی‌ها را رسم کنید.



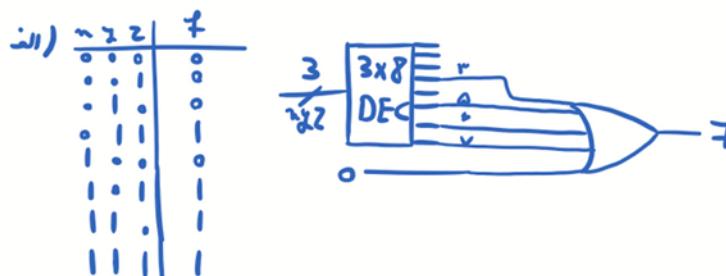
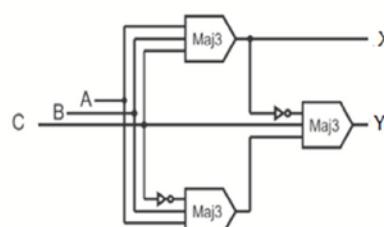
$$A = S_1 + S_r = (A_1 \oplus B_1) + (A_r \oplus B_r) = xy + yz + zx$$

$$B = C_1 C_r = (A_1 B_1)(A_r B_r) = (xy)(yz) = xyz$$

(۳ نمره)

الف- با استفاده از یک دیکودر ۳ به ۸ و حداقل گیت، مداری طرح کنید که سه بیت ورودی داشته باشد و خروجی آن برابر بیت اکثریت مشاهده شده باشد، یعنی چنانچه تعداد بیت‌های ۱ در ورودی بیشتر بود خروجی ۱ باشد و اگر تعداد بیت‌های صفر در ورودی بیشتر بود، خروجی صفر باشد.

ب- عملکرد مدار شکل زیر را توضیح دهید. در این مدار هر یک از واحدهای Maj3 یک مدار اکثریت است که مطابق با بند الف عمل می‌کند.

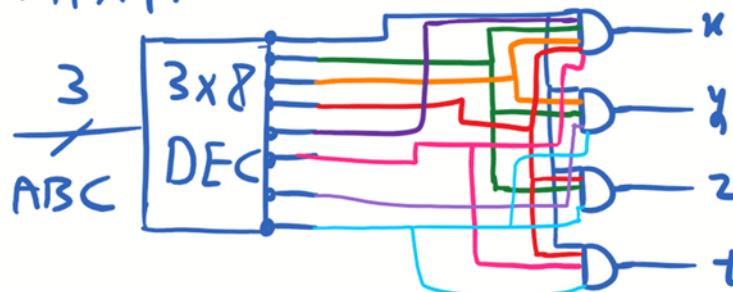


A	B	C	Z	Σ
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	1	0
1	0	1	1	1
1	1	0	1	1
1	1	1	0	0

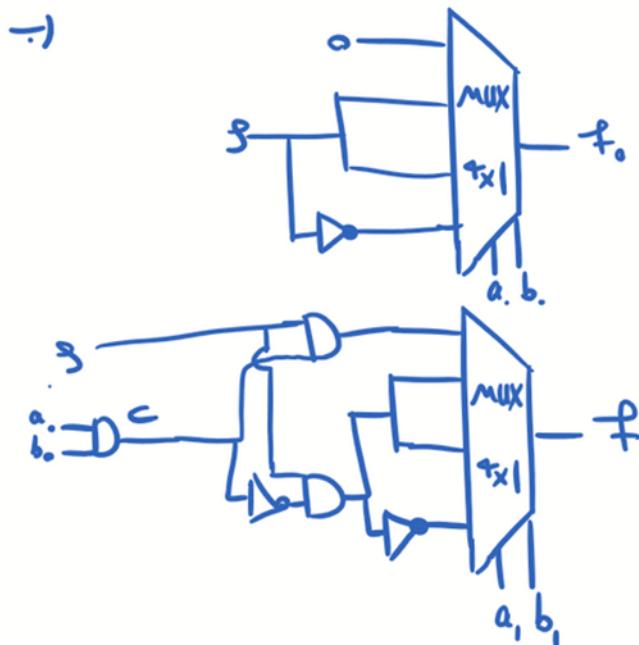
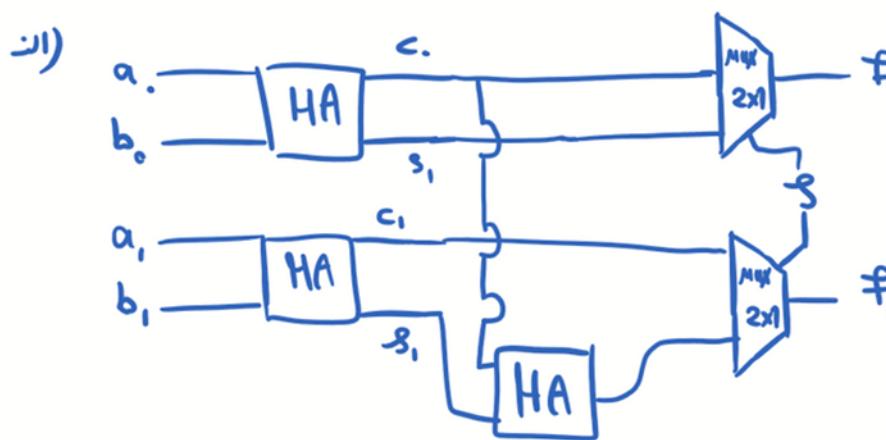
جدول صحت این مدار با جدول صحت Full Adder
 $x \rightarrow \text{Carry}$
 $y \rightarrow \text{Sum}$

-۳ (۲ نمره) به کمک یک دیکودر ۳ به ۸ با خروجی‌های active-low و کمترین گیت اضافه، مداری بسازید که یک عدد ۳ بیتی را دریافت و حاصل جمع مقسوم‌علیه‌هایش را تولید کند.

\wedge	B_C	sum	x	z	t
0	0	0	0	0	0
0	1	0	0	0	1
1	0	1	0	0	0
1	1	0	1	0	0
0	2	0	1	1	0
1	3	0	0	1	1
0	4	1	0	0	0
1	5	1	0	1	0
0	6	1	1	0	0
1	7	1	1	1	0
0	8	1	0	0	0



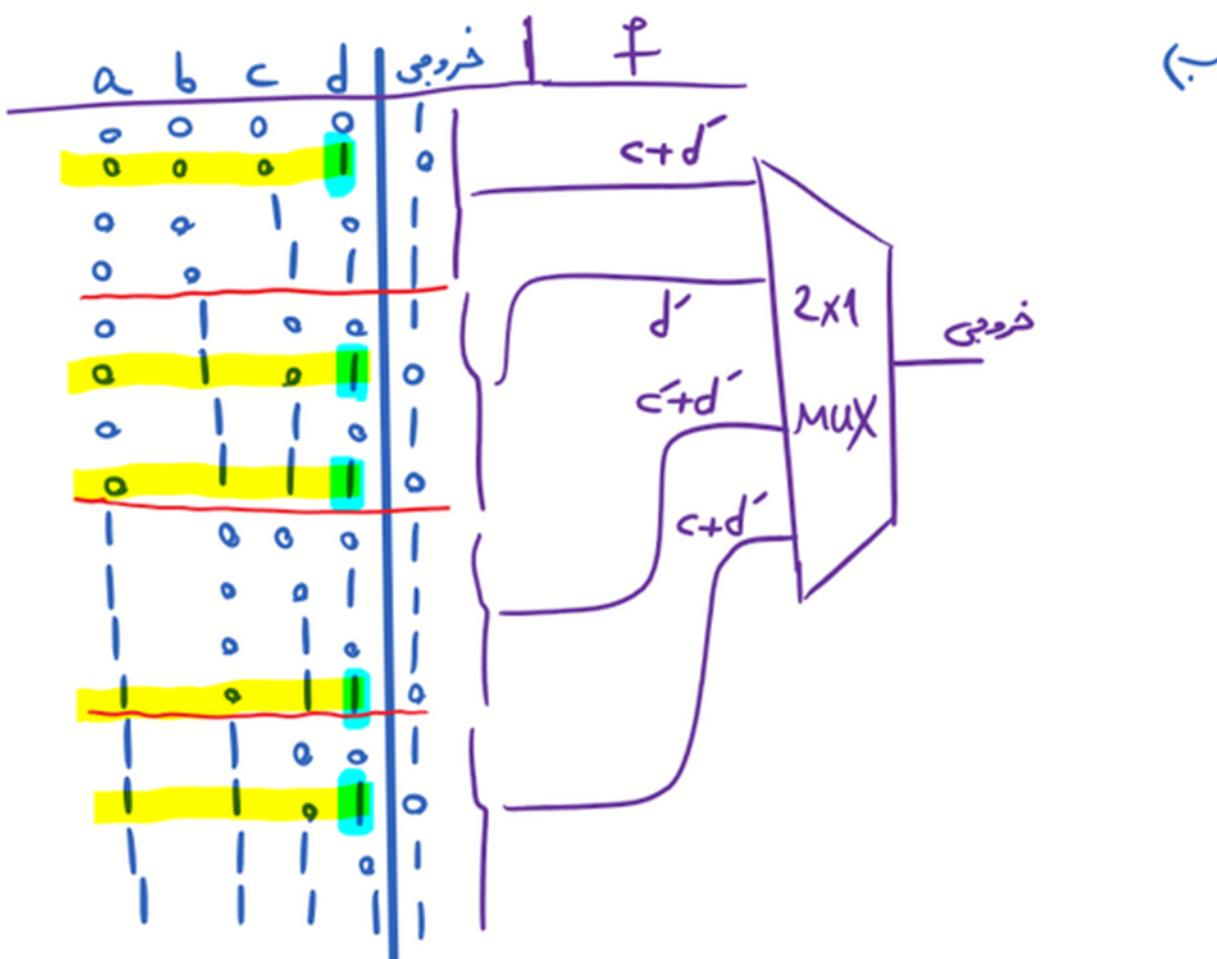
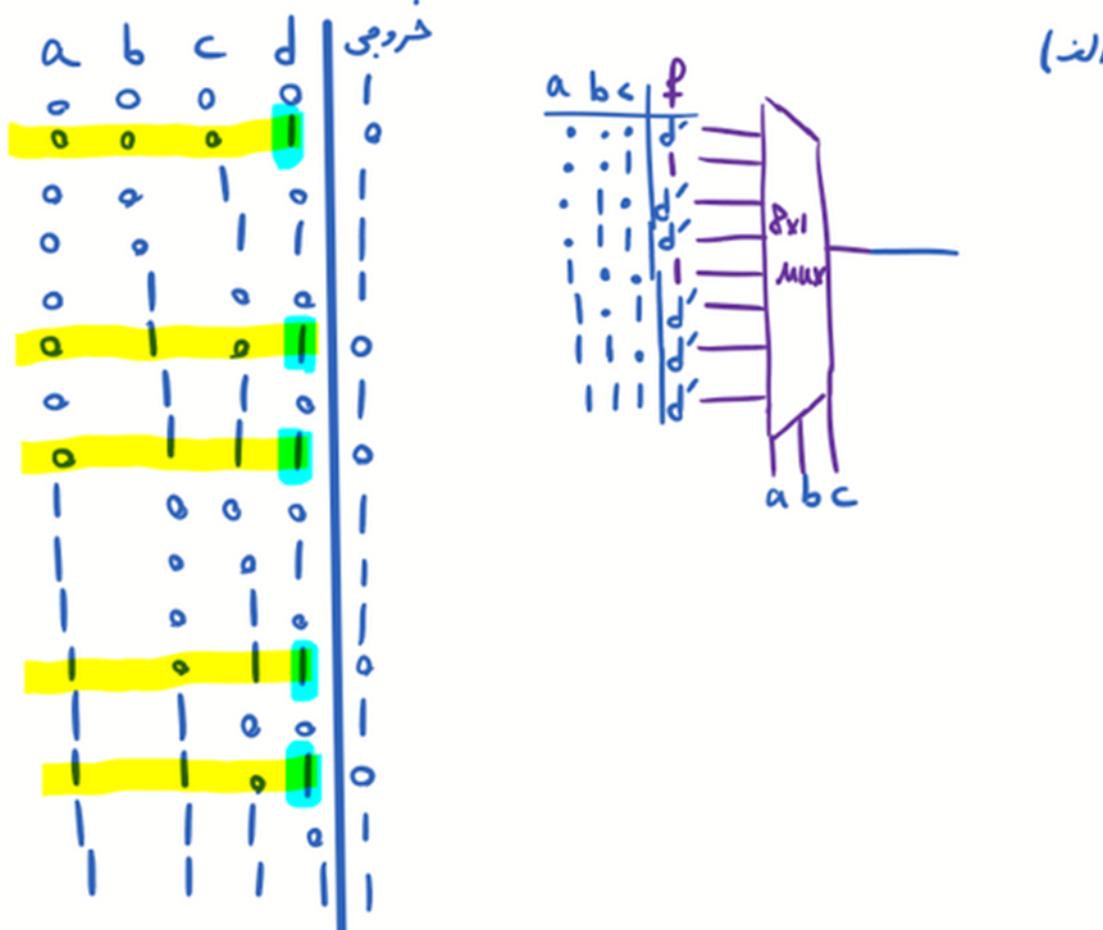
- ۴ (۴ نمره) دو ورودی دو بیتی a و b (به صورت a_1a_0 و b_1b_0) و یک ورودی یک بیتی s داریم. می‌خواهیم مداری بسازیم که خروجی دو بیتی f_{10} در حالتی که $s=0$ برابر حاصل AND بیت به بیت a و b و در صورتی که $s=1$ برابر جمع a و b باشد. به خروجی c_{out} حاصل از جمع دو عدد نیازی نداریم.
 الف- این مدار را با استفاده از دو مالتی پلکسر ۲ به ۱ و حداقل تعداد نیم‌افزا (half-adder) بسازید.
 ب- این مدار را با استفاده از دو مالتی پلکسر ۴ به ۱ و حداقل تعداد گیت‌های پایه بسازید.



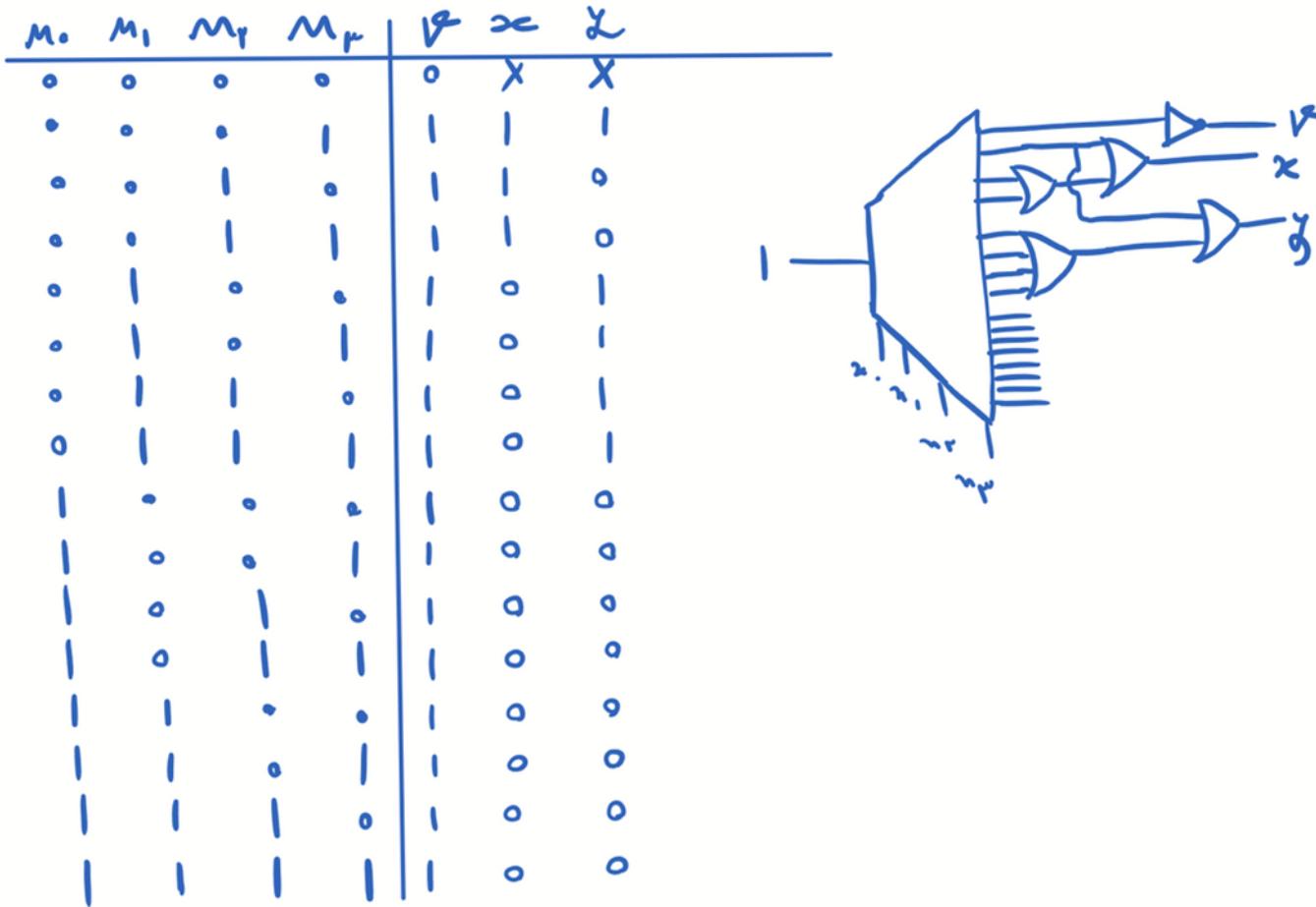
-۵- (۴ نمره) می خواهیم مداری بسازیم که یک عدد چهار بیتی را دریافت کند و اگر این عدد مضربی از ۲ باشد خروجی ۱ شود. (اگر ورودی صفر بود هم باید خروجی ۱ شود) با فرض اینکه مقدار و مکمل مقدار هر ۴ بیت ورودی به مدار داده شده است:

الف- این مدار را با استفاده از یک MUX دارای ۳ خط آدرس و کمترین تعداد گیت اضافه بسازید.

ب- این مدار را با استفاده از یک MUX دارای ۲ خط آدرس و کمترین تعداد گیت اضافه بسازید.



۶- (۲ نمره) با استفاده از یک 16×1 DMUX و NOT یک کدگشای اولویت دار به (4x2 Priority Encoder) بسازید، طوری که اولویت بیشتر با ورودی های شماره کمتر باشد. کدگشای شما باید چهار ورودی D3, D2, D1 و D0 داشته باشد و سه خروجی x, y و v که xy شماره خط فعال ورودی را مشخص کند و v نشان دهنده معتبر (valid) بودن خروجی های x و y باشد.



۷- (۲ نمره) خروجی f را در مدار زیر به دست آورید و تا جای ممکن ساده کنید.

