



دانشگاه تهران

پردیس دانشکده های فنی

دانشکده مهندسی برق و کامپیوتر

تمرین کامپیوتری ششم

درس VLSI

تاریخ تحویل

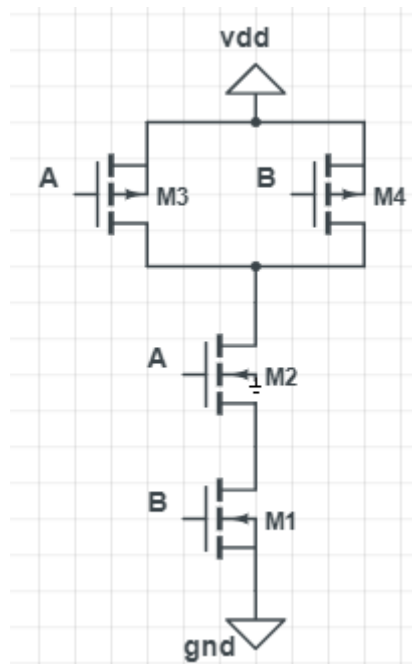
۹۸/۳/۱۵

در این تمرین کامپیوتری هدف بررسی نحوه تغییرات تاخیر، توان استاتیک و دینامیک در اثر scaling می باشد.

گیت مورد بررسی، NAND دو ورودی می باشد که ساختار آن در شکل ۱ آمده است.

با فرض $(W/L)_1 = (W/L)_2 = (W/L)_3 = (W/L)_4 = 2$ و $L = L_{min}$ موارد زیر را به ازای هر سه تکنولوژی ۹۰ و ۶۵ و ۳۲ نانومتر و با دمای ۲۵ درجه انجام دهید.

90nm : vdd = 1.2 65nm : vdd = 1.1 32nm : vdd = 0.9



شکل ۱

الف) از طریق شبیه سازی t_{pd} (تاخیر) را بدست آورید. درصد تغییرات تاخیر با scaling چقدر است؟

ب) ماکزیمم فرکانس کاری مدار چقدر است؟

ج) توان استاتیک را بدست آورید. نحوه تغییرات توان استاتیک با scaling چگونه است؟

د) توان دینامیک را حساب کرده و میزان تغییرات آن را در اثر scaling بررسی کنید.

* برای محاسبه توان دینامیک از وکتور ورودی 'VectorTest.txt' ضمیمه شده استفاده نمایید.

*توجه داشته باشید برای هر سه طول ۶۵ و ۳۲ و ۹۰ نانومتر دنباله ورودی مشابهی توسط VectorTest.txt داده می شود اما دامنه ورودی و PRD (با توجه به مقدار tpd مربوطه) متفاوت است. (زمان تغییر ورودی ها (PRD) را حدود ۱ پیکو ثانیه بیشتر از tpd در نظر بگیرید.)

توضیحات :

- بدنه ترانزیستور های nmos را به gnd و بدنه ترانزیستور های pmos را به vdd وصل کنید .
- گزارش خود را با فرمت PDF به همراه فایل های شبیه سازی در یک فایل زیپ قرار دهید و در سایت درس آپلود کنید. نام فایل به صورت زیر باشد:

Name_StudentNumber_CA6

- آخرین مهلت آپلود این تمرین ۱۵ خردادماه می باشد و امکان تحویل این تمرین با تاخیر وجود ندارد.

سوالات خود را به آدرس ایمیل زیر ارسال نمایید

zsh9494@gmail.com

موفق باشید