

Universidade Federal da Bahia
Programa de Pós-Graduação em Engenharia Elétrica



Comunicação entre Robot Operating System - ROS e SoC com FPGA integrado

Autor: Nestor Dias Pereira Neto

Orientador: Prof. Dr. Wagner Luiz Alves de Oliveira

Coorientador: Prof. Dr. Paulo César Farias

Salvador, 5 de dezembro de 2022

Agenda

1. Introdução
2. Parte I: Referenciais Teórico
3. Parte II: Desenvolvimento
4. Parte III: Resultados

Introdução

- Projetos em robótica têm exigido maior percepção do ambiente.
- Maior poder de processamento demanda maior consumo de energia.
- FPGAs possuem potencial para melhorar desempenho de sistemas computacionais.
- MACs de alta velocidade, processamento paralelo e baixas frequências de trabalho são comuns em FPGA.
- O uso do FPGA pode contribuir com ganho de poder de processamento associado ao baixo consumo.

- Apesar de oferecer grande vantagens o FPGA em projetos de robótica é pouco incentivado.
- Atualmente o framework ROS está se consolidando como o padrão na criação de novas plataformas robóticas.
- O ROS é considerado um sistema operacional para robôs.
- Desenvolver uma solução para estabelecer comunicação entre FPGA e o ROS.

Como estabelecer a comunicação entre o ROS e um sistema de processamento auxiliar embarcado em um FPGA?

Este problema é o que este trabalho busca resolver, possibilitando assim, o uso de aceleração por hardware através do FPGA no desenvolvimento de novos projetos de robótica.

Objetivo geral

- Desenvolver uma solução para estabelecer comunicação entre *Field-Programmable Gate Array - FPGA*, e o *Robot Operating System - ROS*.

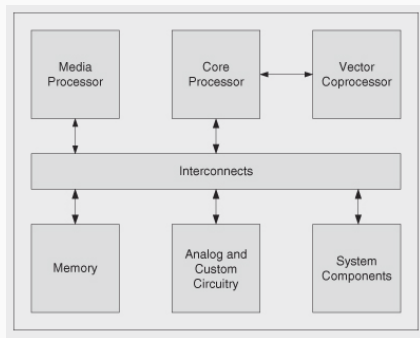
Objetivos específicos

- Estudar teoria dos assuntos relevantes ao projeto: Verilog HDL, Embedded Linx, Cyclone V, TCP/IP Stack, ROS;
- Estudar conceitos de programação de sockets em linguagem C++;
- Implementar distribuição Embedded Linux para processador ARM embarcado no SoC Cyclone V da Intel;
- Implementar distribuição Embedded Linux para processador ARM.
- Estabelecer comunicação entre o ROS e o Cyclone V, através da tecnologia Gigabit Ethernet;
- Avaliar o desempenho da rede entre o computador e o protótipo após a inclusão do FPGA ao sistema.

Parte I: Referenciais Teórico

Cyclone V SoC-FPGA

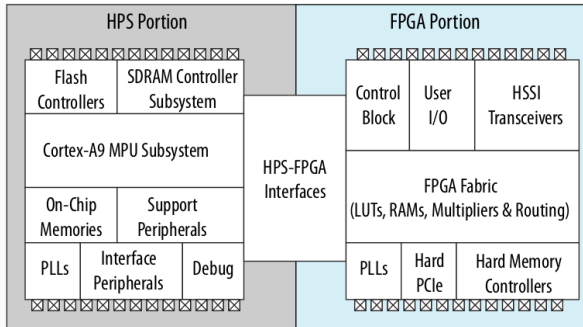
SoC é um acrônimo de *System-on-a-Chip* ou apenas *System on Chip*. Um SoC pode combinar diferentes elementos, em diferentes configurações, para formar um sistema completo.



Fonte:

Cyclone V SoC-FPGA

A Intel fornece uma linha de produtos classificados como SoC-FPGA, os quais se caracterizam por possuir um rede de FPGA integrados a um processador ARM Cortex A9.



Fonte:

Esta estratégia de interconexão entre o HPS e o FPGA do Cyclone V em um único circuito integrado oferece:

- Largura de banda de pico de mais de 100 Gbps;
- Coerência de dados integrada;
- Significativa economia de energia do sistema, eliminando caminhos de E/S externos entre o processador e o FPGA.

Processador ARM Cortex-A9

- É uma linha de processadores ARM de uso geral, otimizados para alcançarem maior desempenho aliado a um baixo consumo.
- Possui estrutura interna configurável, o que oferece flexibilidade ideal para o desenvolvimento de um novo SoC.

| | |
|-----------------|---|
| Arquitetura | Armv7-A |
| Multicore | 1-4 cores |
| Suporte ISA | Extensão DSP |
| | Ponto Flutuante (Opcional) |
| MMU | Armv7 MMU |
| Características | Arquitetura flexível com caches configuráveis |
| | Desempenho 50% maior do que o Cortex-A8 |

Fonte:

Fild-Programmable Gate Array-FPGA

- Dispositivos semicondutores construídos através de uma matriz de blocos lógicos configuráveis, os CLBs.
- Interconectáveis a partir de conexões Programáveis.
- Hardware configuravel pelo usuário.
- Poderosas ferramentas de prototipagem.

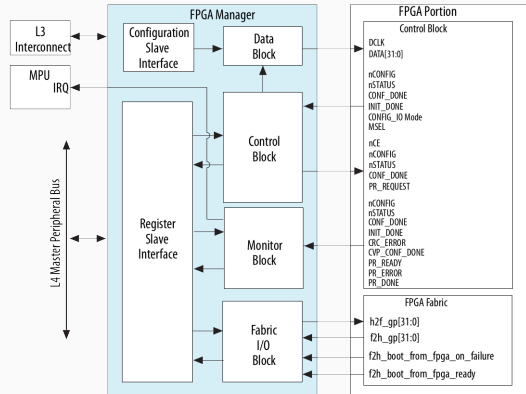
Hardware Processor System

A família Cyclone V SoC-FPGA é composta por duas partições, uma malha de FPGA e um *Hard Processor System* (HPS). Os principais módulos do HPS são:

- *Microprocessador Unit* (MPU), subsistema com um ou dois ARM Cortex-A9.
- Controladores de memória Flash.
- Controladores de SDRAM.
- Sistema de interconexão.
- *On-chip memory*.
- *Phase-locked loops* (PLLs).

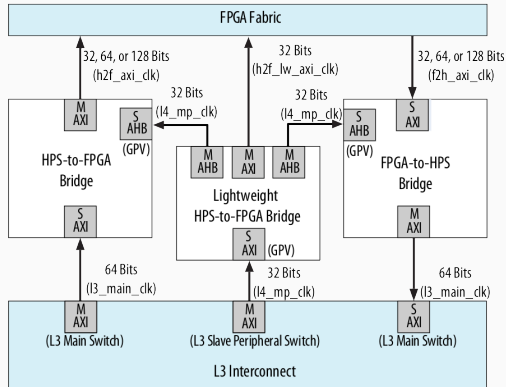
Hardware Processor System: FPGA Manager

- Configuração do FPGA.
- 32 sinais de uso geral.
- Status do FPGA.
- Interrupções para o HPS a partir do FPGA.
- Resetar o FPGA.



Fonte:

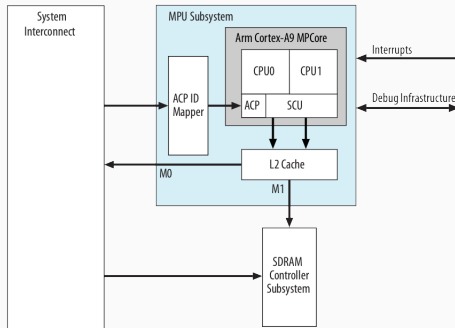
Hardware Processor System: HPS-FPGA Bridge



Fonte:

Hardware Processor System: Cortex A9 MPU

A *Microprocessor Unit Subsystem* (MPU) presentes SoCs da família Cyclone V incluem um Arm Cortex-A9 MPCore, com processador de uso geral de 32 bits com um ou dois núcleos.



Kit de desenvolvimento DE10-nano

A Intel fornece uma linha de produtos classificados como SoC-FPGA, os quais se caracterizam por possuir um rede de FPGA integrados a um processador ARM.

Um sistema operacional para robôs

A Intel fornece uma linha de produtos classificados como SoC-FPGA, os quais se caracterizam por possuir um rede de FPGA integrados a um processador ARM.

Vantagens do ROS

A Intel fornece uma linha de produtos classificados como SoC-FPGA, os quais se caracterizam por possuir um rede de FPGA integrados a um processador ARM.

Sistema de arquivos ROS

A Intel fornece uma linha de produtos classificados como SoC-FPGA, os quais se caracterizam por possuir um rede de FPGA integrados a um processador ARM.

Componentes ROS

A Intel fornece uma linha de produtos classificados como SoC-FPGA, os quais se caracterizam por possuir um rede de FPGA integrados a um processador ARM.

Parte II: Desenvolvimento

Procedimentos Metodológicos

A pesquisa será realizada em duas fases:

Primeira fase:

- Levantamento de informações teóricas sobre as tecnologias relacionadas com o tema.

Segunda fase

- Serão desenvolvidos procedimentos, técnicas, algoritmos, circuitos e de todos os procedimentos práticos necessários para alcançar o objetivo da pesquisa.

Plano de trabalho

- Será apresentado com detalhes nas metas físicas na seção cronograma.

Materiais e infra-estrutura disponível

- Para desenvolvimento do trabalho será utilizado o kit de desenvolvimento DE2-115 da Terasic, que conta com um FPGA Intel EP4CE115 da família Cyclone IV. Inicialmente os teste com o ROS serão no ambiente de simulação Gazebo.

Matérias cursadas

Todos os créditos obrigatórios com disciplinas já foram concluídos.

- Processamento Digitais de Sinais (PPGESP IFBA).
- Processadores Digitais de Sinais - 8,5.
- Inteligência Artificial - 8,0.
- Robótica Móvel - 9,5.
- Processamento Estatístico de Sinais - 8,4.
- Componentes de Processadores Digitais de Sinais - 8,1.

Atividades desenvolvidas

Algumas atividades já foram concluídas.

- Revisão bibliográfica, estudo de trabalhos relacionado.
- Conhecimento das ferramentas utilizadas.
- Testes com sistema Nios II.
- Implementação do FreeRTOS no NiosII.

Parte III: Resultados

Metas físicas

1. Levantamento bibliográfico sobre os assuntos mais relevantes do projeto: ROS, Nios II, Verilog HDL, RTOS, TCP/IP Stack, Sockets.
2. Estudo detalhado do protocolo de comunicação entre os nós no ROS.
3. Desenvolvimento do sistema base do Nios II no Platform Designer.
4. Implementação do RTOS no sistema base.
5. Testes de comunicação TCP/IP entre o PC e o sistema embarcado no FPGA.
6. Desenvolvimento de uma aplicação de processamento de vídeo em FPGA.
7. Avaliação do desempenho do sistema proposto.
8. Elaboração da dissertação e publicação dos resultados.

Cronograma

| Metas | Meses | | | | | | | | | | | |
|----------------------------|-------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 |
| Levantamento Bibliográfico | (*) | | | | | | | | | | | |
| Estudo protocolos ROS | | (*) | (*) | (*) | (*) | (*) | | | | | | |
| Desenv. do Nios II | | | (*) | (*) | | | | | | | | |
| Implementação do RTOS | | | | (*) | (*) | (*) | | | | | | |
| Testes de Comunicação | | | | | | (*) | (*) | (*) | | | | |
| Desenv. do coprocessador | | | | | | | | (*) | (*) | (*) | (*) | |
| Avaliação do desempenho | | | | | | | | | | (*) | (*) | (*) |
| Elaboração da dissertação | | | | | | (*) | (*) | (*) | (*) | (*) | (*) | (*) |



BARRY, R.

Effective Robotics Programming with ROS, 3 ed.

Packt Publishing, Birmingham, 2016.



BARRY, R.

Mastering the FreeRTOS Real Time Kernel, 141204 ed.

Real Time Engineers Ltd, 2016.



CHU, P. P.

Embedded SoPC Design with Nios II Processor and Verilog Examples.

Wiley, Hoboken, 2012.



MEYER-BAESE, U.

Digital Signal Processing with Field Programmable Gate Arrays, 3 ed.

Springer, Nova York, 2007.



NONGNU.

Lwip - lightweight ip stack: Overview.

Savannah, 2018.



YAMASHINA, K., OHKAWA, T., OOTSU, K., AND YOKOTA, T.

Proposal of ros-compliant fpga component for low-power robotic systems: case study on image processing application.

2nd International Workshop on FPGAs for Software Programmers (FSP 2015) 1, 1 (2005), 62–67.