



Pontifícia Universidade Católica de Minas Gerais

Arquitetura de computadores

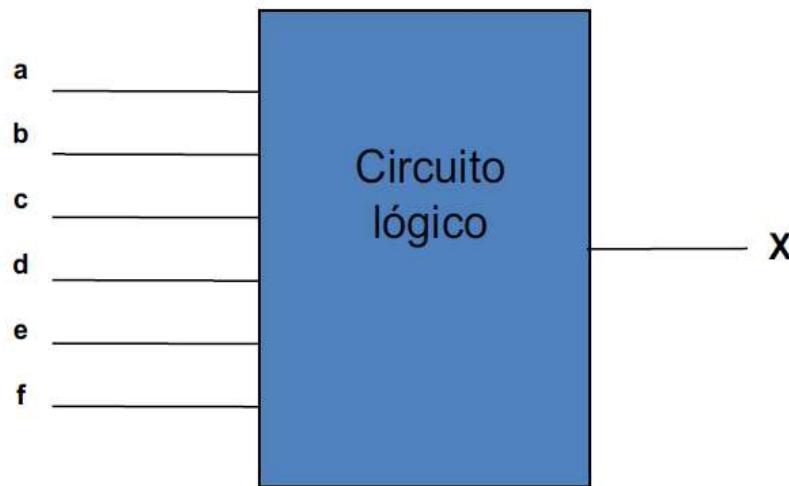
Latches, Flip-Flops, Registradores,
Contadores

Circuitos Combinacionais

x

Circuitos Sequenciais

Circuitos combinacionais e sequenciais



Circuitos combinacionais – os níveis lógicos das saídas num dado instante dependem apenas dos níveis lógicos das entradas **naquele instante**.

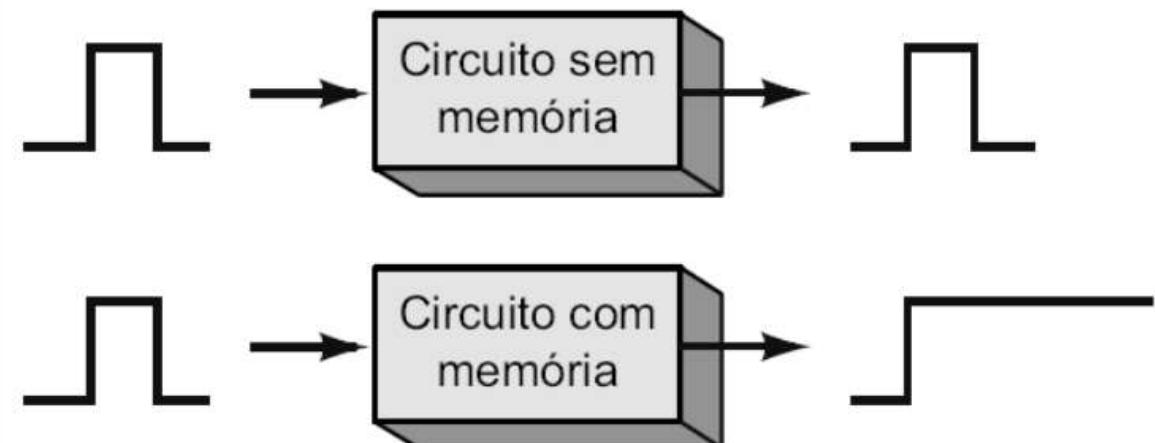
Circuitos sequenciais – os níveis lógicos das saídas num dado instante **dependem** dos níveis lógicos das entradas **naquele instante** e **também** dos estados assumidos pelo circuito **no passado**.

Circuitos combinacionais e sequenciais

A capacidade de

MEMÓRIA

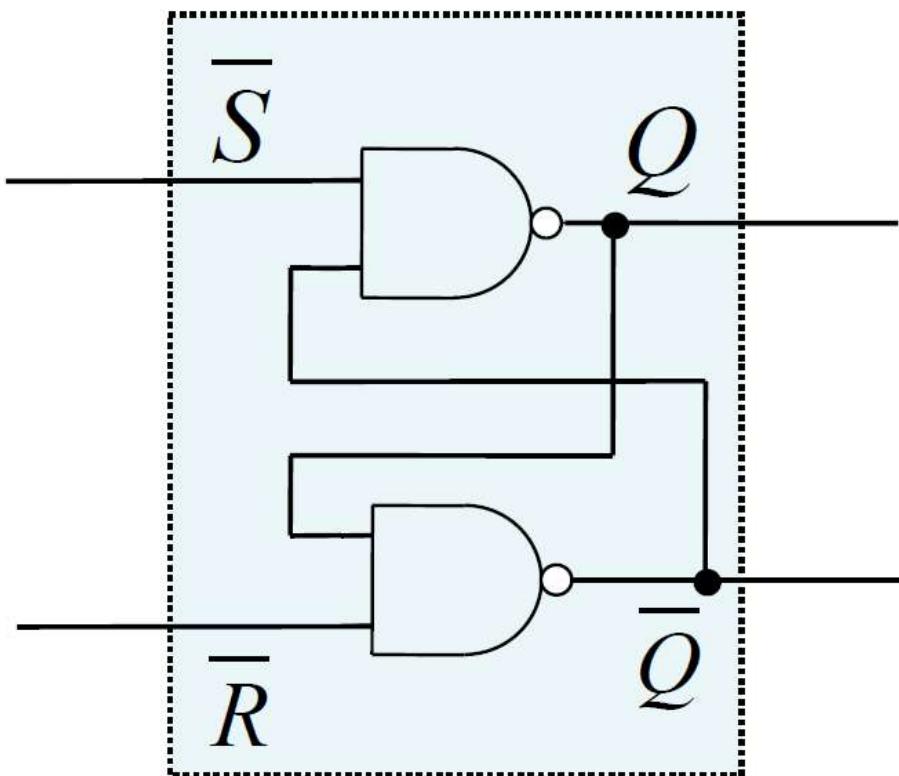
distingue os circuitos
sequenciais dos circuitos
combinacionais



©2001 Pearson Prentice Hall. Todos os direitos reservados.

LATCH RS

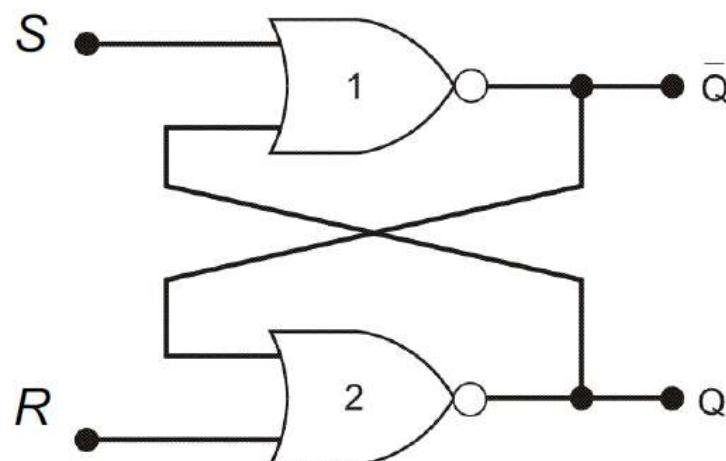
Latch RS com portas NAND



- Para ligar (setar) o latch: pulso **BAIXO** em \bar{S} (entrada de set). Dizemos que o estado do latch é o estado de SET.
- Para reinicializar (ressetar) o latch: pulso **BAIXO** em \bar{R} . Dizemos que o estado do latch é o estado de RESET.
- Estado de **repouso** (inativo) das entradas é no nível **ALTO**.
- Existem dois estados possíveis na saída Q , quando $\bar{S} = \bar{R} = 1$. O estado real vai depender do que aconteceu anteriormente nas entradas. Dizemos que o estado do latch é o estado de MEMÓRIA.

LATCH RS

Latch RS com portas NOR

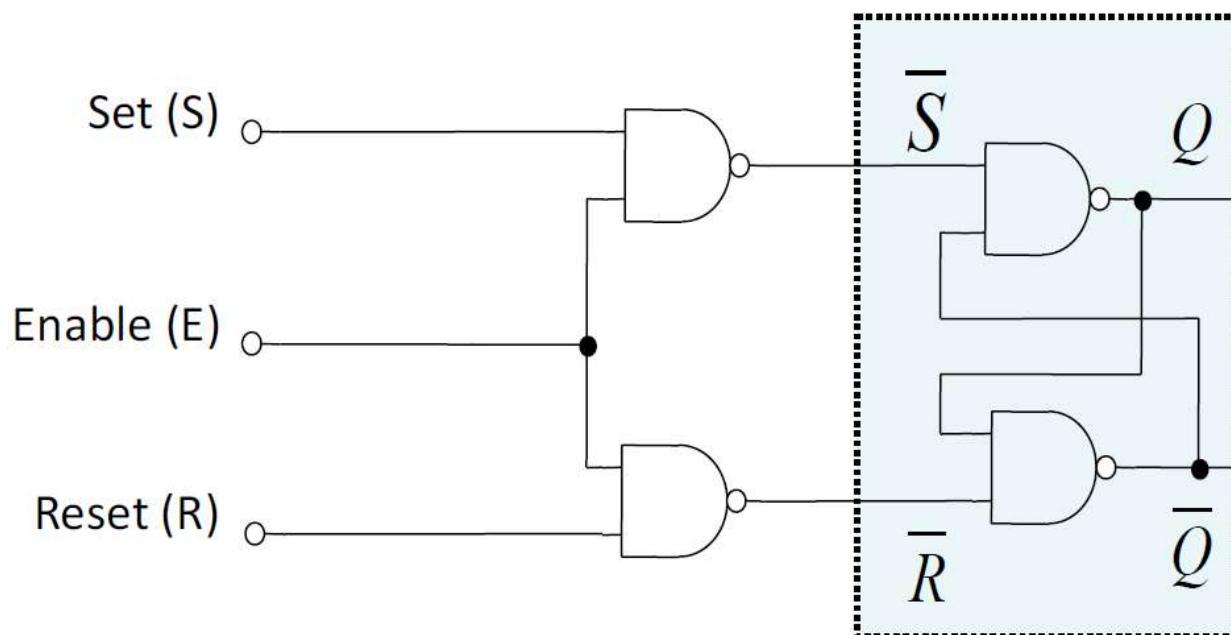


©2001 Pearson Prentice Hall. Todos os direitos reservados.

- Estado de **repouso** (inativo) das entradas no nível **BAIXO**.
- Existem dois estados possíveis na saída **Q**, quando $S = R = 0$. O estado real vai depender do que aconteceu anteriormente nas entradas. Dizemos que o estado do latch é o estado de **MEMÓRIA**.
- Para ligar (setar) o latch: pulso **ALTO** em **S** (entrada de set). Dizemos que o estado do latch é o estado de **SET**.
- Para reinicializar (ressetar) o latch: pulso **ALTO** em **R**. Dizemos que o estado do latch é o estado de **RESET**.

LATCH RS

Latch RS com habilitação (Enable)



Entradas ativas em “1”
(repouso nível Baixo)

Quando ENABLE = 0 não é
possível mudar o estado
do latch (MEMÓRIA)

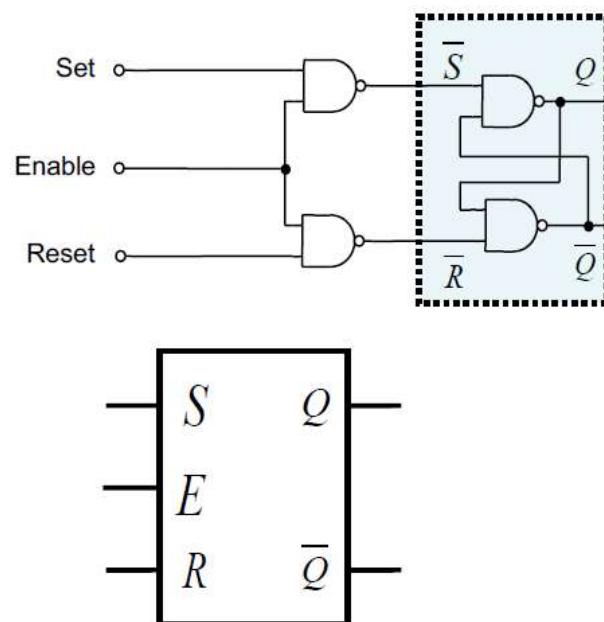
Quando ENABLE = 1 o
latch com habilitação
funciona como um latch
RS comum.

©2001 Pearson Prentice Hall. Todos os direitos reservados.

PUC Minas Virtual

LATCH RS

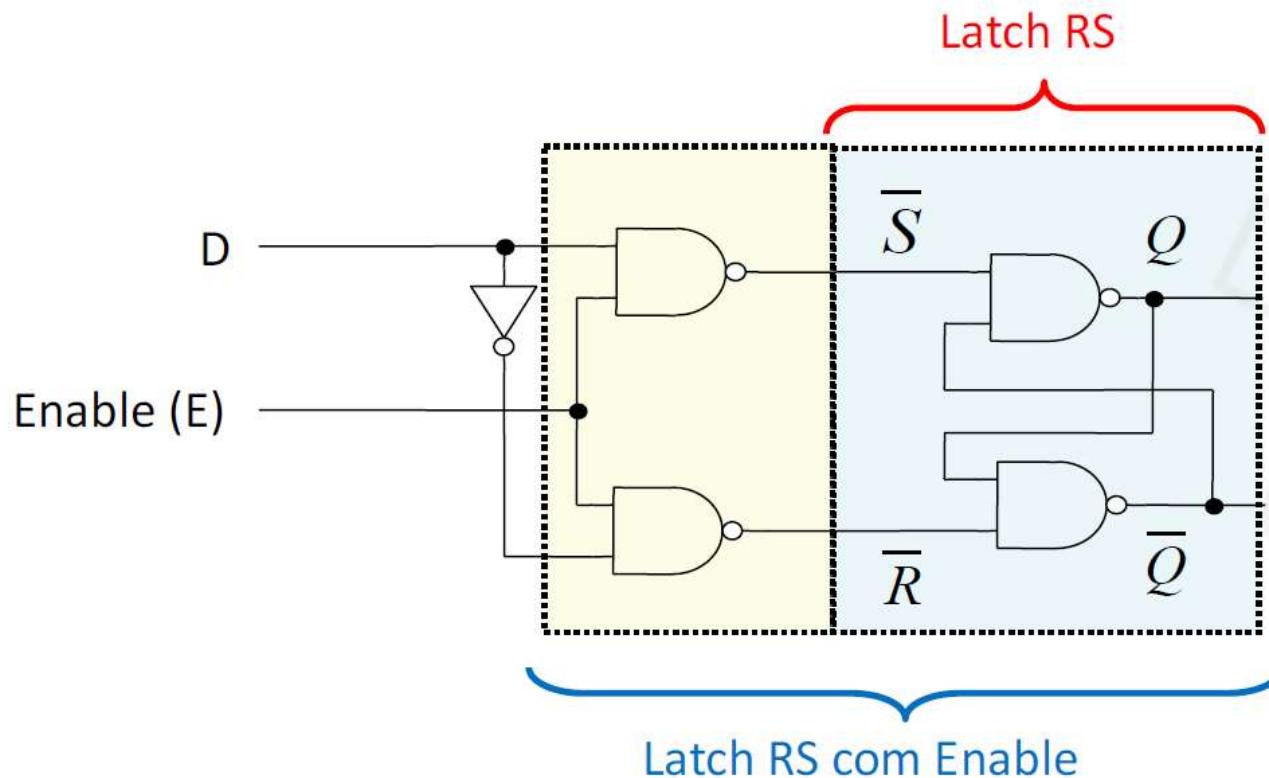
Latch RS com habilitação (Enable)



Entradas			Saídas		Ação (estado do latch)
E	S	R	Q	\bar{Q}	
0	x	x	Q_a	\bar{Q}_a	Memória (M)
1	0	0	Q_a	\bar{Q}_a	
1	0	1	0	1	RESET (R)
1	1	0	1	0	SET (S)
1	1	1	1	1	INVÁLIDO (I)

LATCH Tipo D com enable

Latch Tipo D



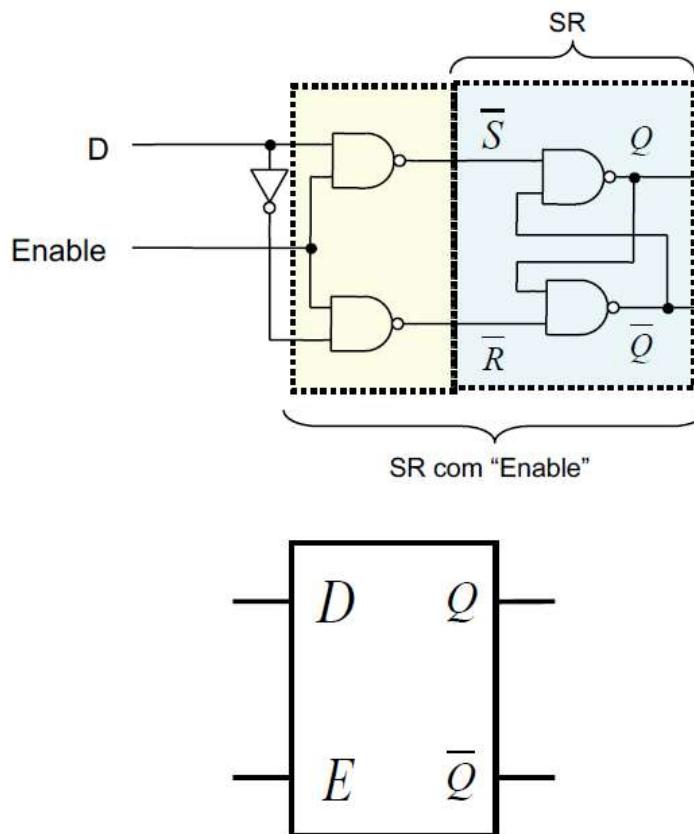
Entrada **D** altera o estado do latch quando **E** = 1

Quando **E** = 0 não é possível mudar o estado do latch
(MEMÓRIA)

Não há estados INVÁLIDOS

LATCH Tipo D com enable

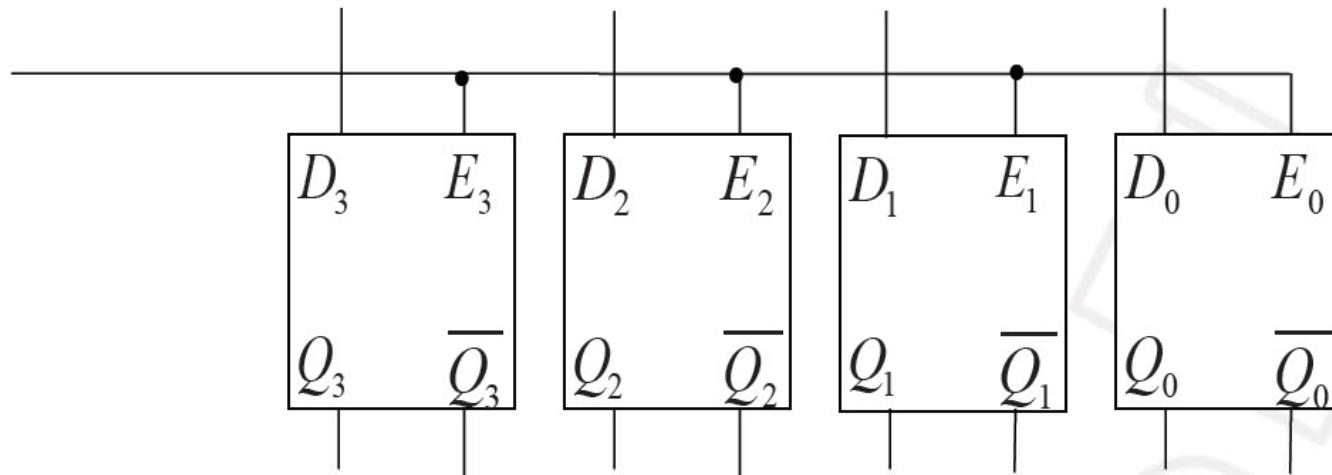
Latch Tipo D



Entradas		Saídas		Ação (estado do latch)
E	D	Q	\bar{Q}	
0	x	Q_a	\bar{Q}_a	MEMÓRIA
1	0	0	1	Transparente (SET ou RESET)
1	1	1	0	

LATCH Tipo D com enable

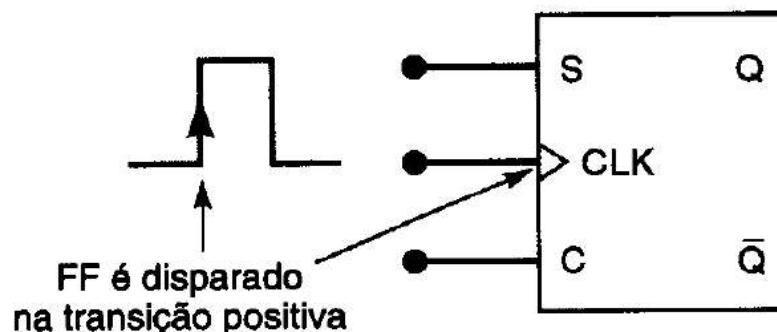
Registradores com Latches



Entradas		Saídas		Ação
E	D	Q	\bar{Q}	
0	X	Q_a	\bar{Q}_a	Memória
1	0	0	1	
1	1	1	0	Transparente

FLIP-FLOP

Flip-flops SC (ou SR) disparados na transição positiva

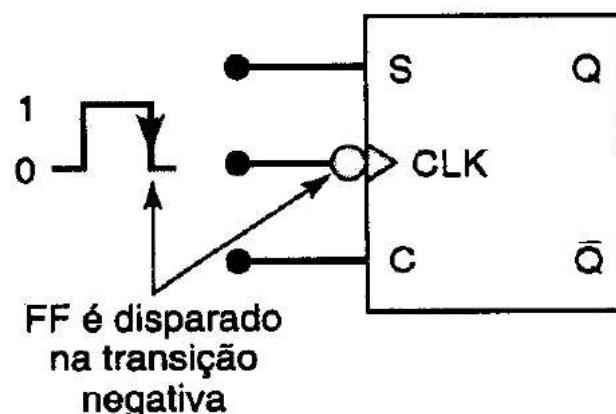


Entradas			Saída	
S	C	CLK	Q	
0	0	↑	Q_0 (não muda)	
1	0	↑	1	
0	1	↑	0	
1	1	↑	Ambígua	

Q_0 é o nível lógico da saída antes da transição positiva do CLK. Transições negativas não produzem mudanças em Q.

FLIP-FLOP

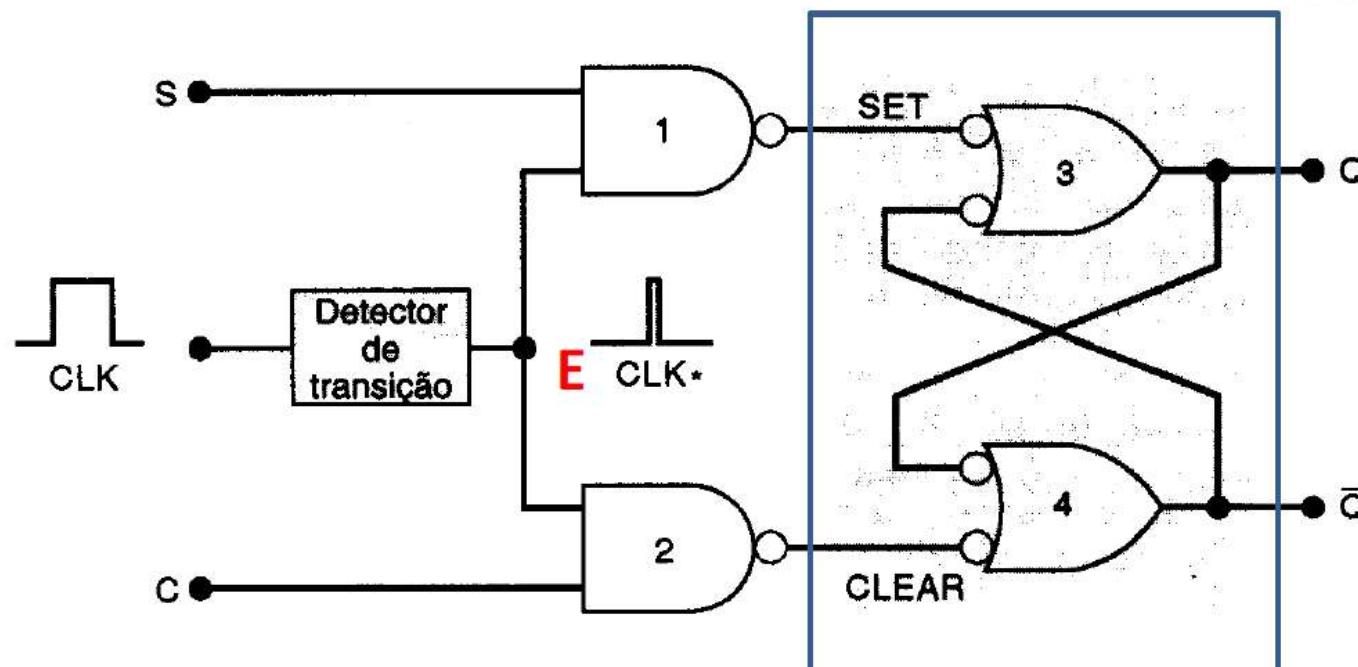
Flip-flops SC (ou SR) disparados na transição negativa



Entradas			Saída
S	C	CLK	Q
0	0	↓	Q_0 (não muda)
1	0	↓	1
0	1	↓	0
1	1	↓	Ambígua

FLIP-FLOP

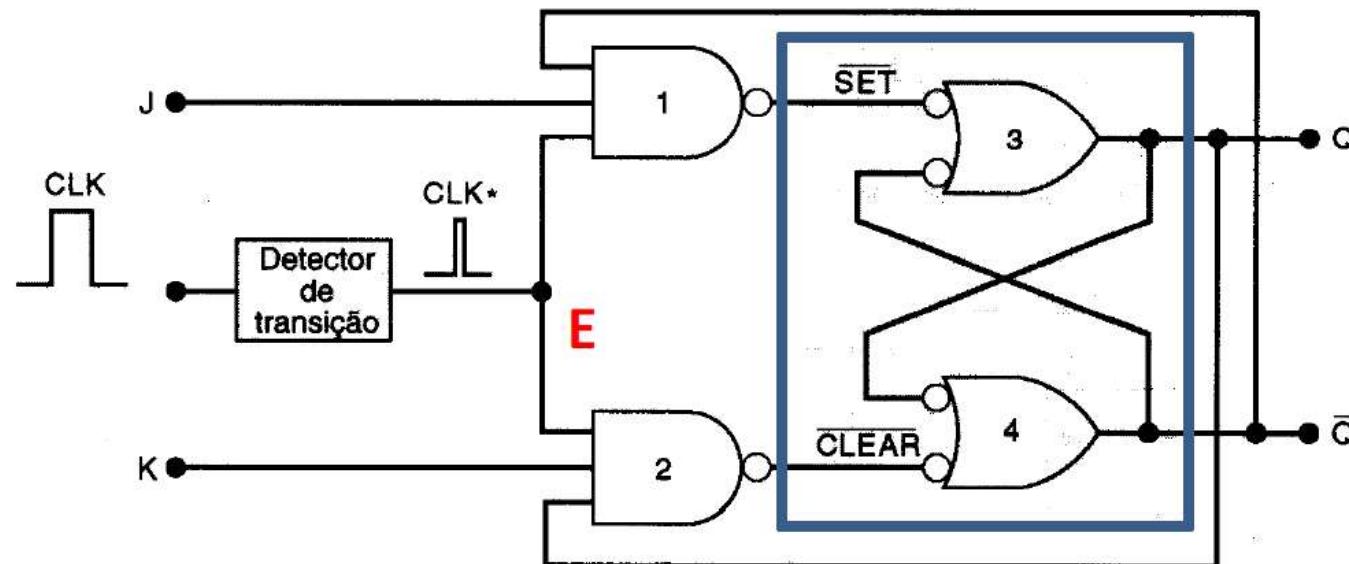
Flip-flops SC



Latch com Nand

FLIP-FLOP JK

Flip-flops JK



Jack Kilby - Inventor do Circuito Integrado

Latch com Nand

$$\overline{SET} = \overline{E} \overline{J} \overline{Q}_a$$

Na borda ativa do clock (quando E=1): $\overline{SET} = \overline{J} \overline{Q}_a$
 $\overline{CLEAR} = \overline{E} \overline{K} \overline{Q}_a$

©2001 Pearson Prentice Hall. Todos os direitos reservados.

PUC Minas Virtual

FLIP-FLOP JK

Flip-flops JK

Na borda ativa do clock (quando E=1): $\overline{SET} = \overline{J} \overline{Q_a}$
 $\overline{CLEAR} = \overline{K} Q_a$

Funcionamento na borda ativa do clock (quando E=1):

J	K	Q_a	\overline{SET}	\overline{CLEAR}	Estado do Latch	Q_f	Estado do FF
0	0	X	1	1	M	Q_a	M
0	1	0	1	1	M	0	R
0	1	1	1	0	R	0	R
1	0	0	0	1	S	1	S
1	0	1	1	1	M	1	S
1	1	0	0	1	S	1	T
1	1	1	1	0	R	0	T

M = MEMÓRIA

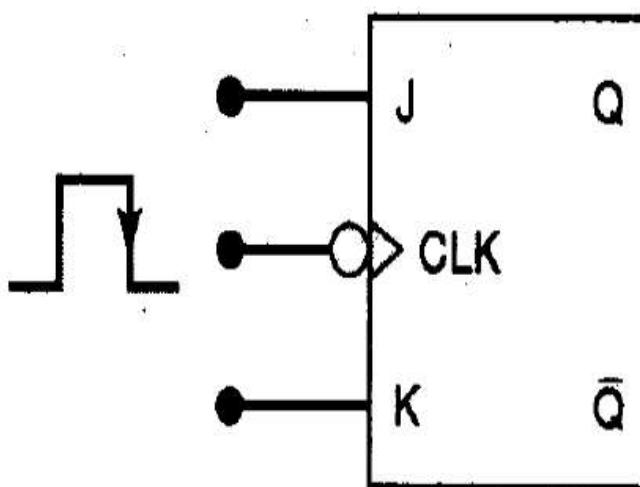
R = RESET

S = SET

T = TROCA

FLIP-FLOP JK

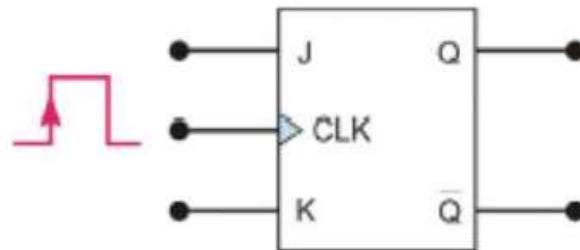
Flip-flops JK



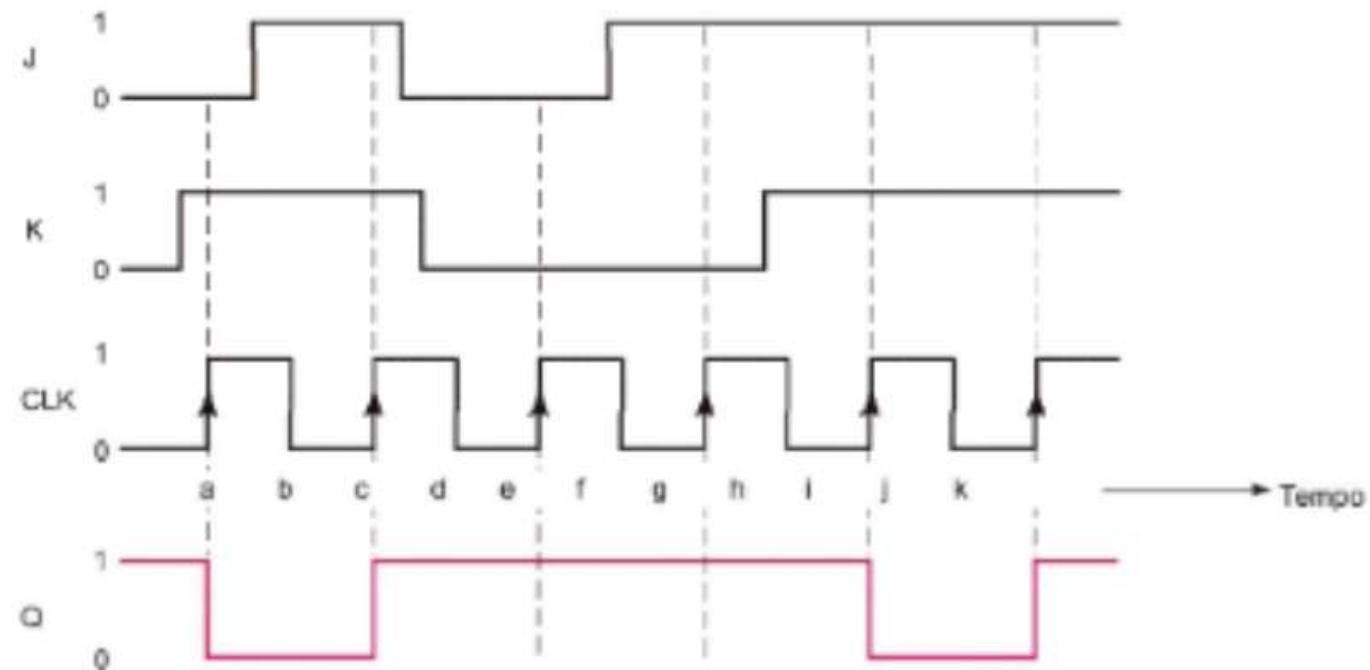
J	K	CLK	Q
0	0	↓	Q_0 (não muda)
1	0	↓	1
0	1	↓	0
1	1	↓	\bar{Q}_0 (comuta)

MEMÓRIA
SET
RESET
TROCA

FLIP-FLOP JK

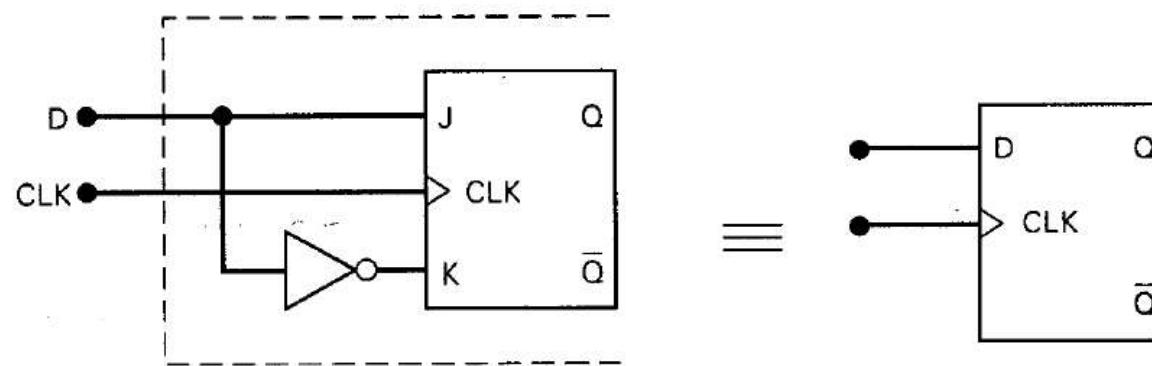


J	K	CLK	Q
0	0	-	Q_0 (não muda)
1	0	-	1
0	1	-	0
1	1	-	Q_0 (comuta)



FLIP-FLOP Tipo D

Flip-flops tipo D (Data / Dado)

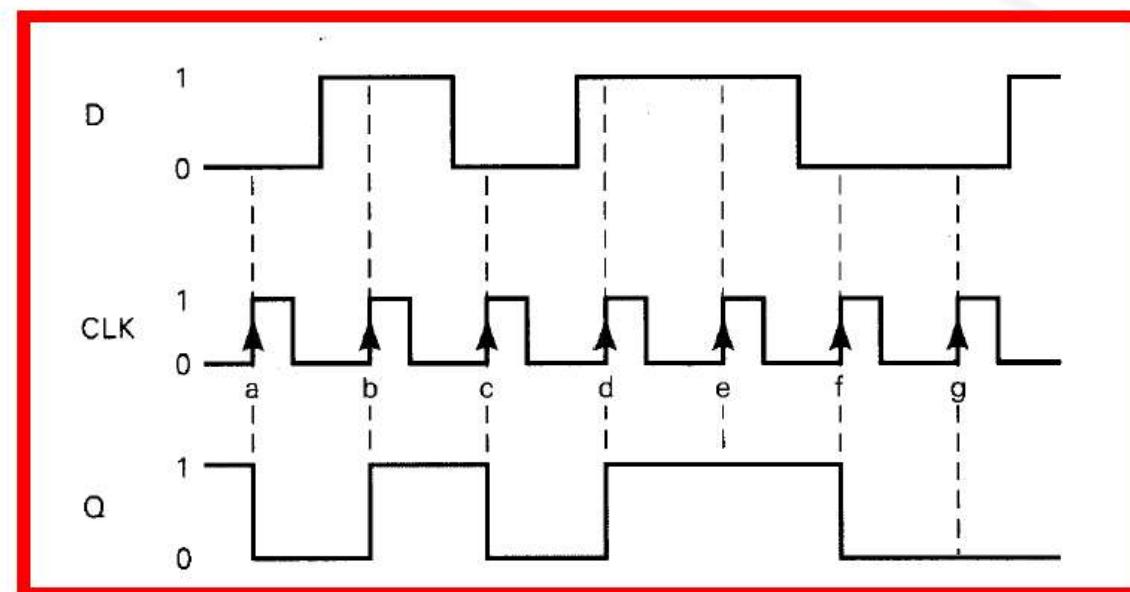


D	CLK	Q
0	↑	0
1	↑	1

FLIP-FLOP Tipo D

Flip-flops tipo D (Data / Dado)

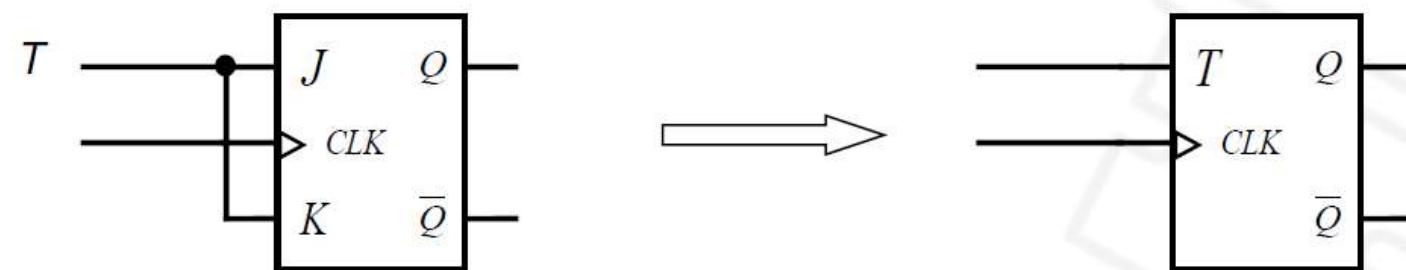
D	CLK	Q
0	↑	0
1	↑	1



©2001 Pearson Prentice Hall. Todos os direitos reservados.

FLIP-FLOP Tipo T

Flip-flops tipo T (Toggle / Troca)

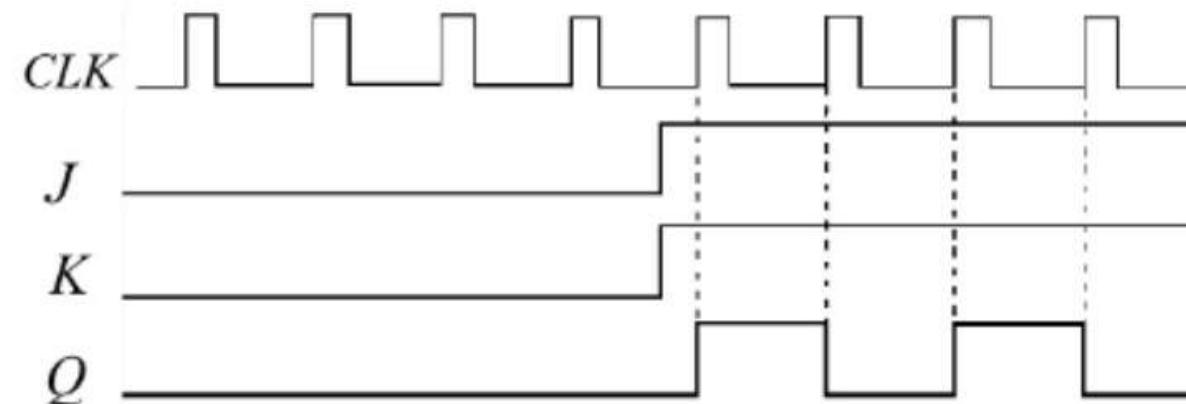


T	CLK	Q
0	↑	Q_a
1	↑	\bar{Q}_a

FLIP-FLOP Tipo T

Flip-flops tipo T (Toggle / Troca)

J=K (T)	CLK	Q
0	↑	Q_a
1	↑	\bar{Q}_a



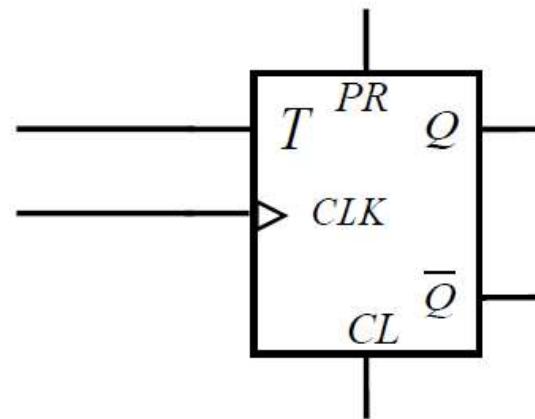
FLIP-FLOP com entradas assíncronas

Entradas Assíncronas

- Quaisquer um dos tipos de flip-flops apresentados pode ter entradas que fazem a saída ir para o nível lógico 1 ou 0, independentemente da transição do clock.
- Estas entradas são chamadas de assíncronas, por não dependerem do clock.
- A entrada de PRESET faz com que a saída vá para UM.
- A entrada de CLEAR faz com que a saída vá para ZERO.
- Estas entradas podem ser ativas em nível alto ou nível baixo, e não devem ser ativadas simultaneamente.

FLIP-FLOP com entradas assíncronas

Entradas assíncronas



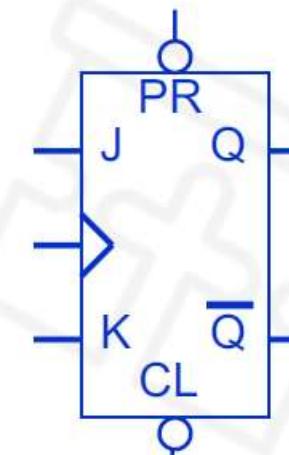
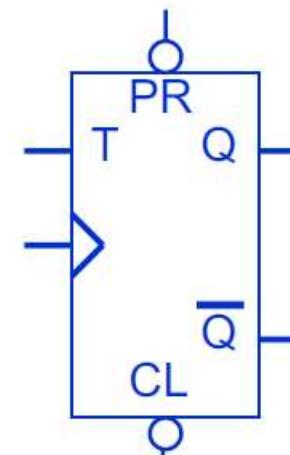
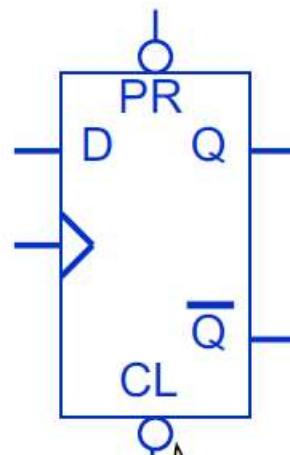
PR: Preset – Faz saída Q ir para nível 1

CL: Clear – Faz saída Q ir para nível 0

Podem estar presentes em qualquer tipo de flip-flop.

FLIP-FLOP com entradas assíncronas

Entradas assíncronas



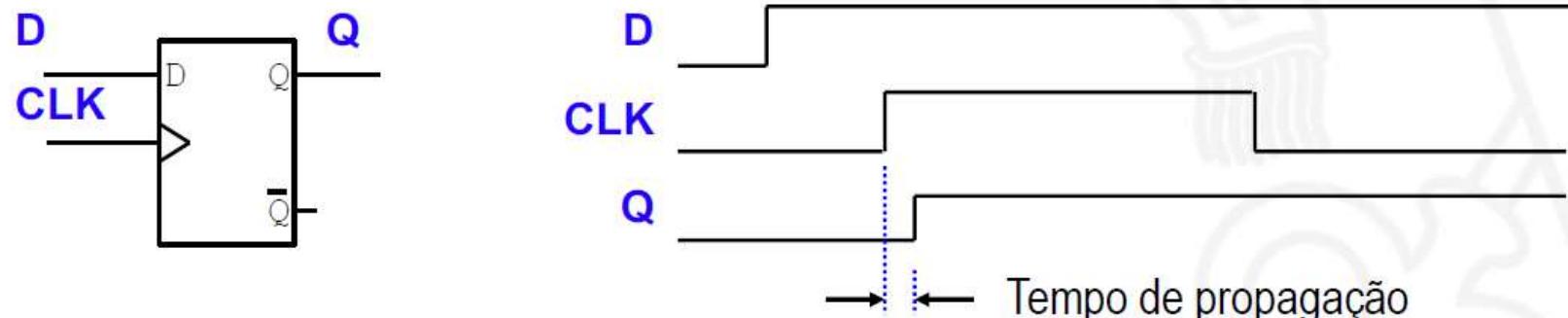
Indica ativo em zero

\overline{PR}	\overline{CL}	Q	\overline{Q}
0	0	Não usado	
0	1	1	0
1	0	0	1
1	1	Func. Normal	

FLIP-FLOP – Temporização

Atraso de Propagação

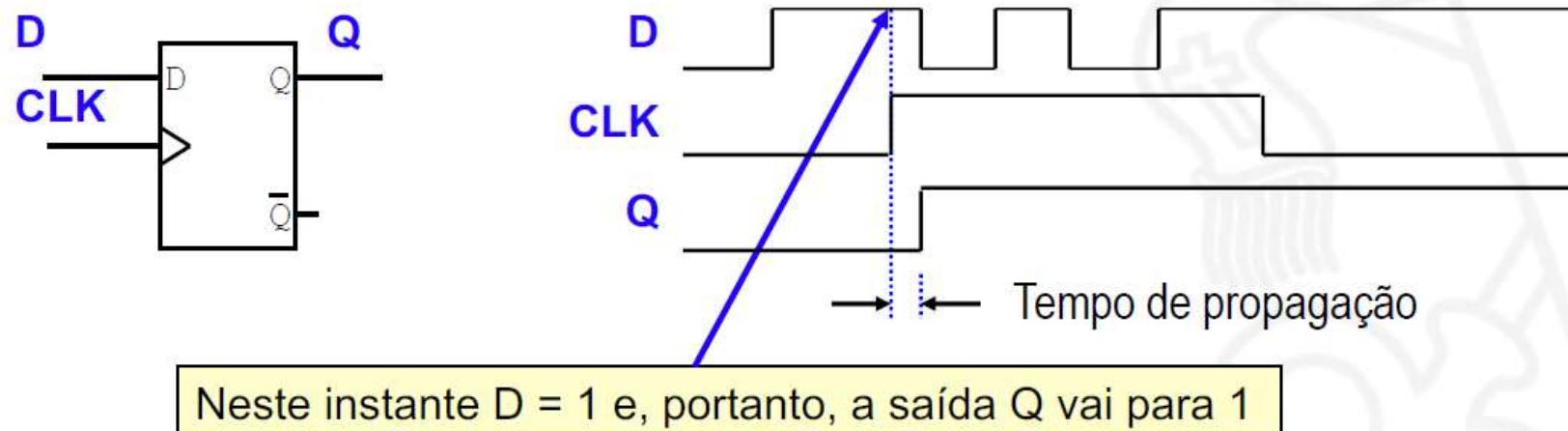
- Nos flip-flops, assim como em todos os circuitos eletrônicos, existe um tempo de atraso entre a variação do estado lógico da entrada de clock e a variação correspondente na saída. Este tempo, que é da ordem de alguns nano-segundos, é chamado de **tempo (ou atraso) de propagação**.



FLIP-FLOP – Temporização

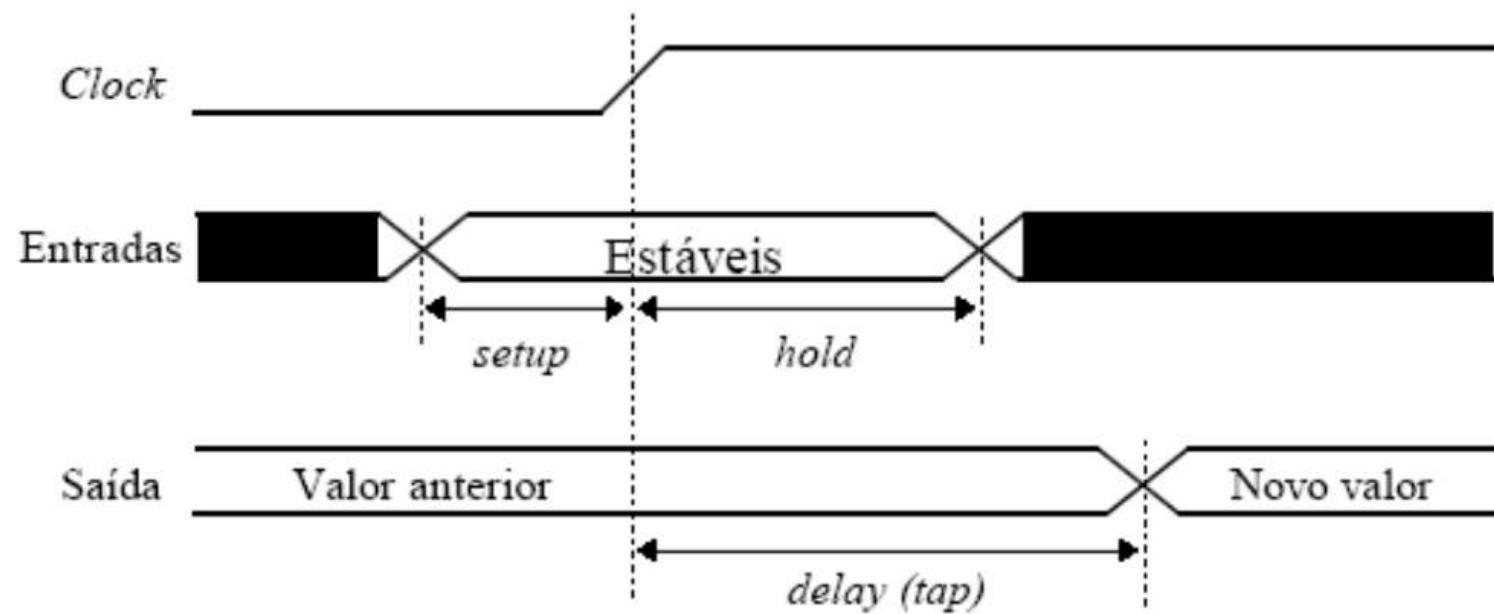
Atraso de Propagação

- Apesar de a saída variar com atraso em relação à entrada de clock, o funcionamento do flip-flop é determinado pelo estado lógico da entrada de controle (T, D ou J e K) no **instante** do clock.
- Veja o funcionamento do circuito abaixo:



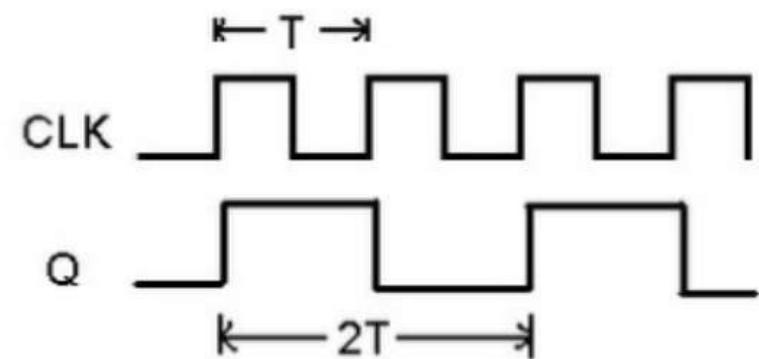
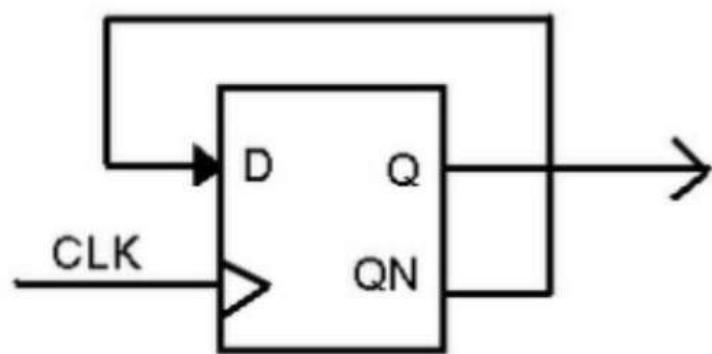
FLIP-FLOP – Temporização

Parâmetros importantes na Temporização dos Flip-flops



FLIP-FLOP – Temporização

Divisor de frequência por 2, usando flip-flop tipo D



Este circuito só funciona porque o tempo de atraso de propagação é maior que o tempo de hold. Isto é, quando a saída chegar (após o tempo de atraso de propagação), a entrada D não precisa mais estar estável.

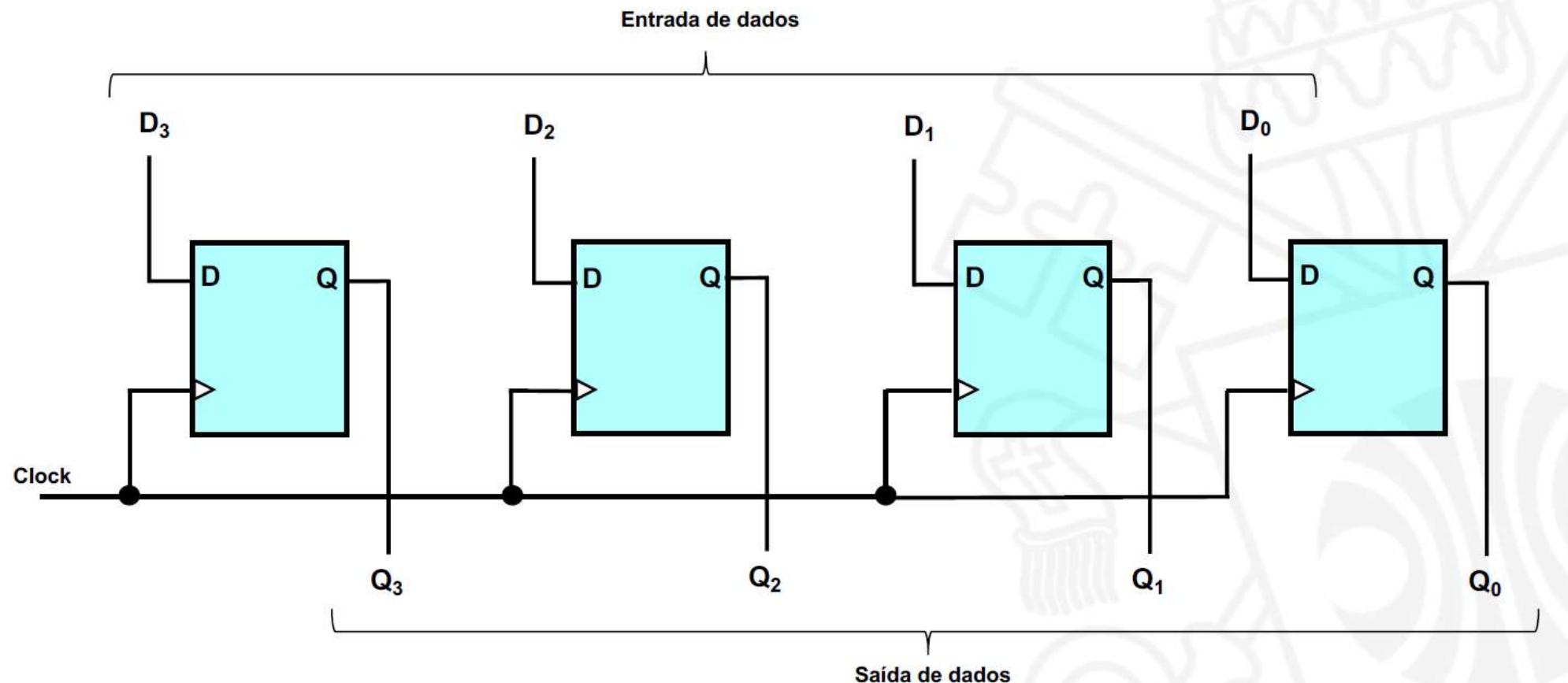
Registradores

Registradores de memória

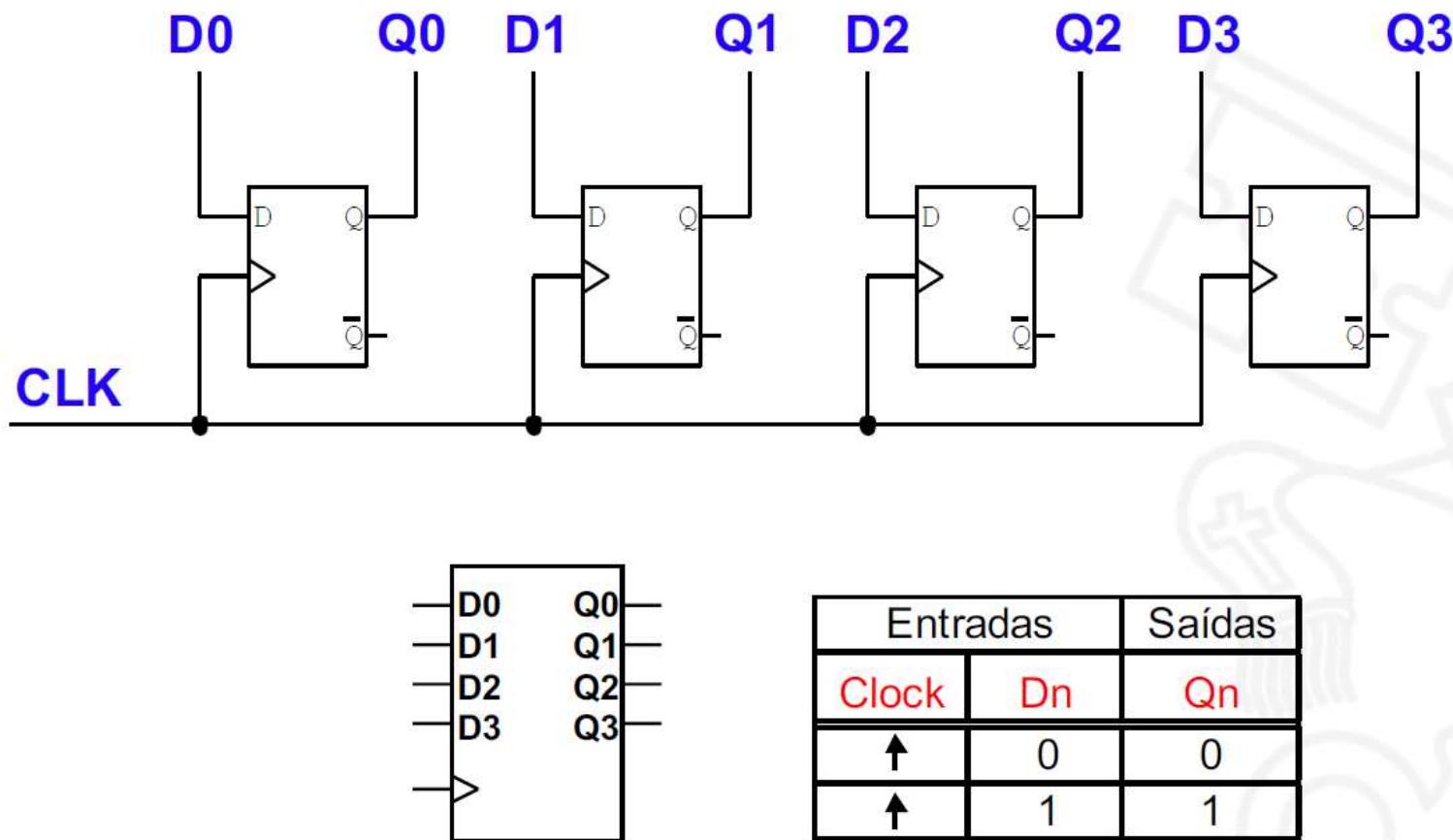
Um registrador de memória é simplesmente um grupo de flip-flops que pode ser usado para armazenar um número binário. Deverá haver um flip-flop para cada bit do número binário. Por exemplo, um registrador usado para armazenar um número binário de 8 bits deve ter 8 flip-flops.

Os registradores são frequentemente usados para armazenar momentaneamente uma informação binária. O circuito interno de um microprocessador contém vários registradores onde são guardadas as informações necessárias ao seu funcionamento.

Registradores



Registradores



Registradores

Registradores de deslocamento

- Um registrador de deslocamento (“shift register”) é um grupo de flip-flops que, além de memorizar um número binário, pode também deslocar o dado armazenado entre os flip-flops (da esquerda para a direita ou vice-versa).
- Os registradores de deslocamento podem ser usados em circuitos de comunicação digital serial, onde transformam os dados de paralelo para serial (transmissor) e de serial para paralelo (receptor).

Registradores

Registradores de deslocamento

- Os **registraror de deslocamento** também podem ser usados para realizar operações aritméticas de multiplicação e de divisão. Deslocar um número para a esquerda (preenchendo com zeros à direita) significa multiplicá-lo por 2:

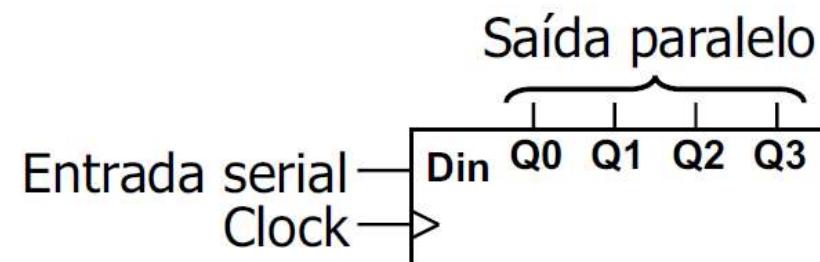
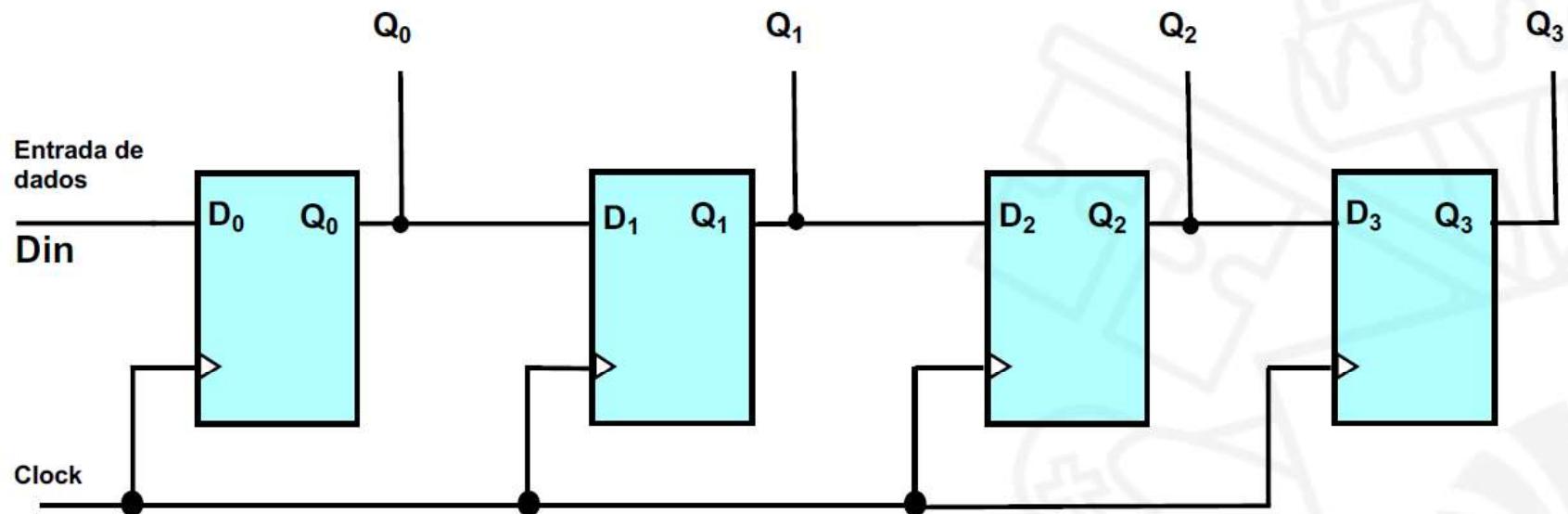
$$101 = 5_{(10)}$$

$$1010 = 10_{(10)}$$

$$10100 = 20_{(10)}$$

Registradores

Registradores entrada série / saída paralelo

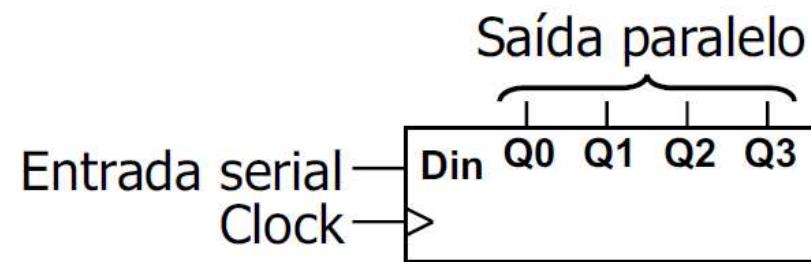
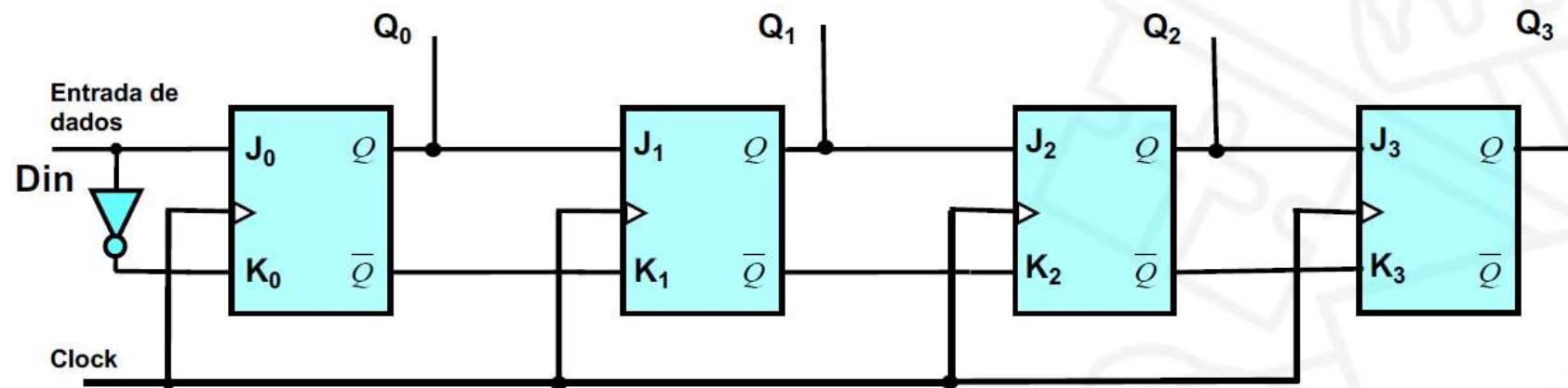


Após 4 pulsos de clock, teremos convertido uma palavra serial de 4 bits para o formato paralelo.

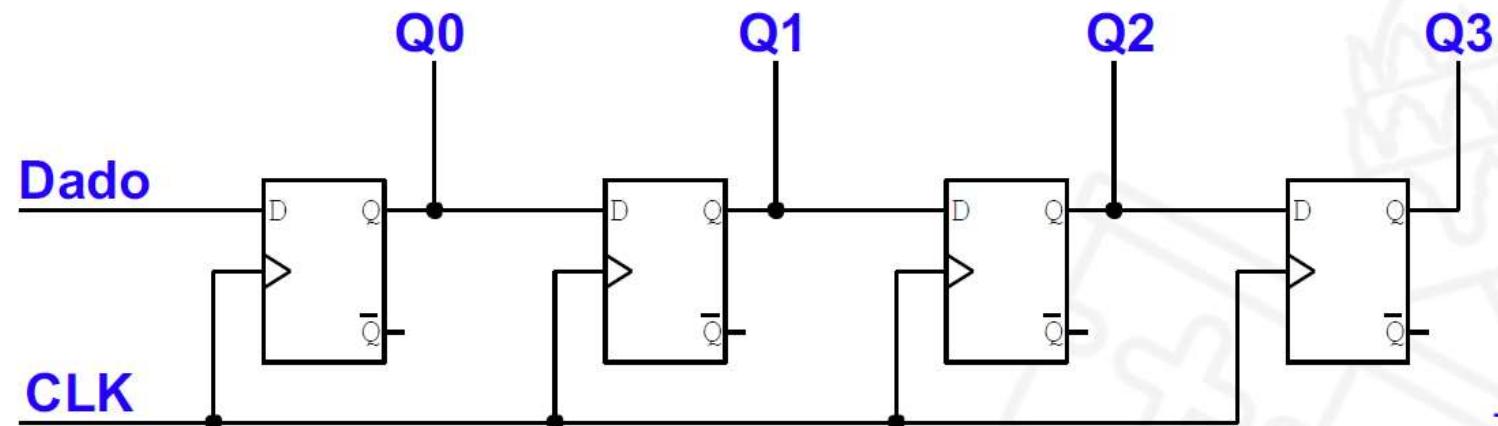
PUC Minas Virtual

Registradores

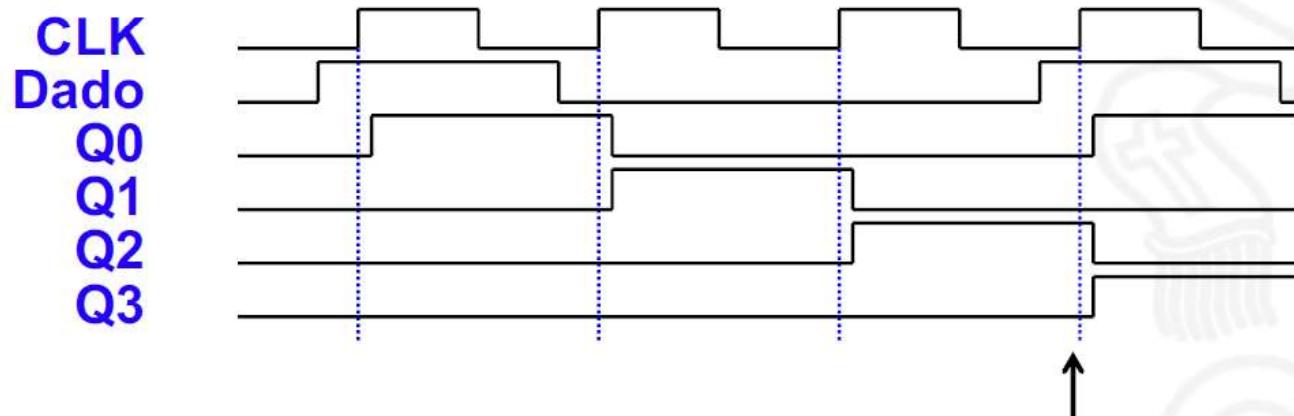
Registradores entrada série / saída paralelo



Registradores



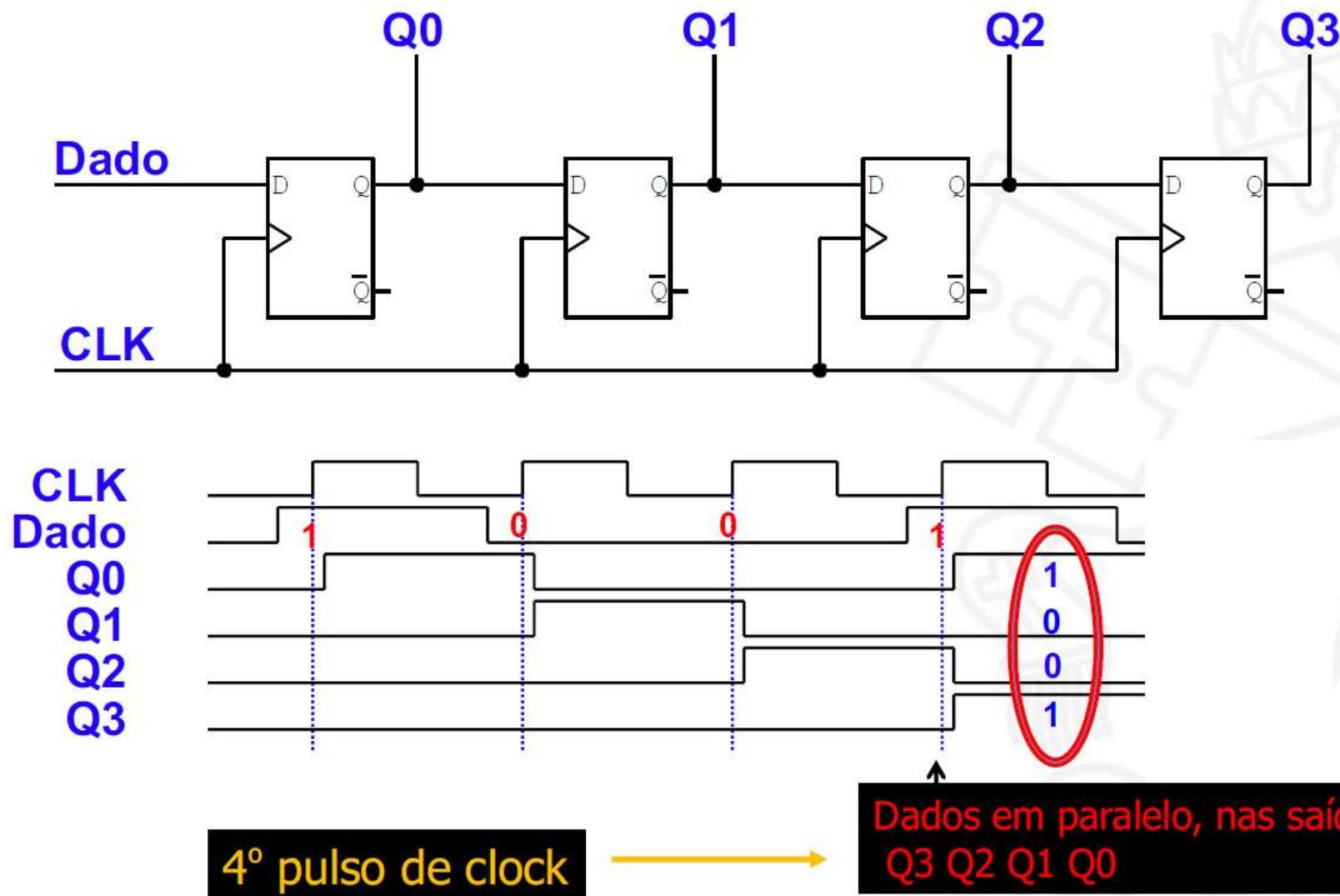
Transferência
síncrona



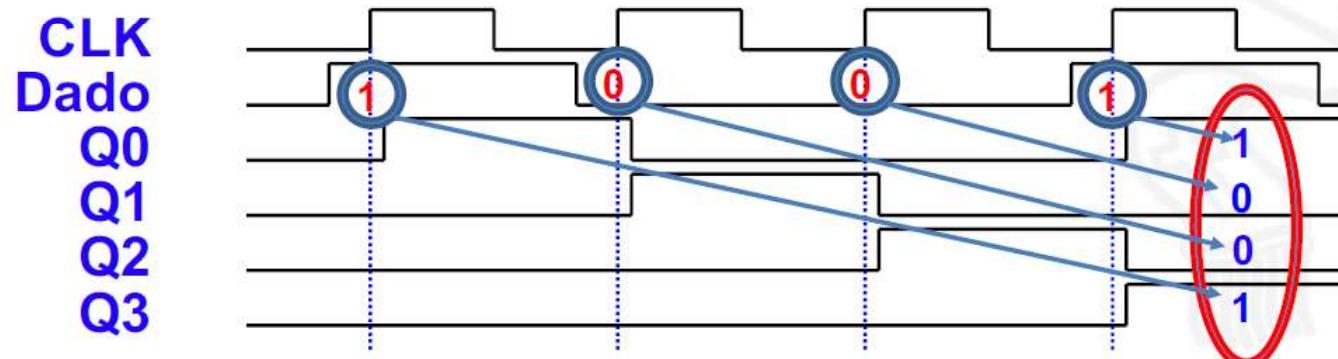
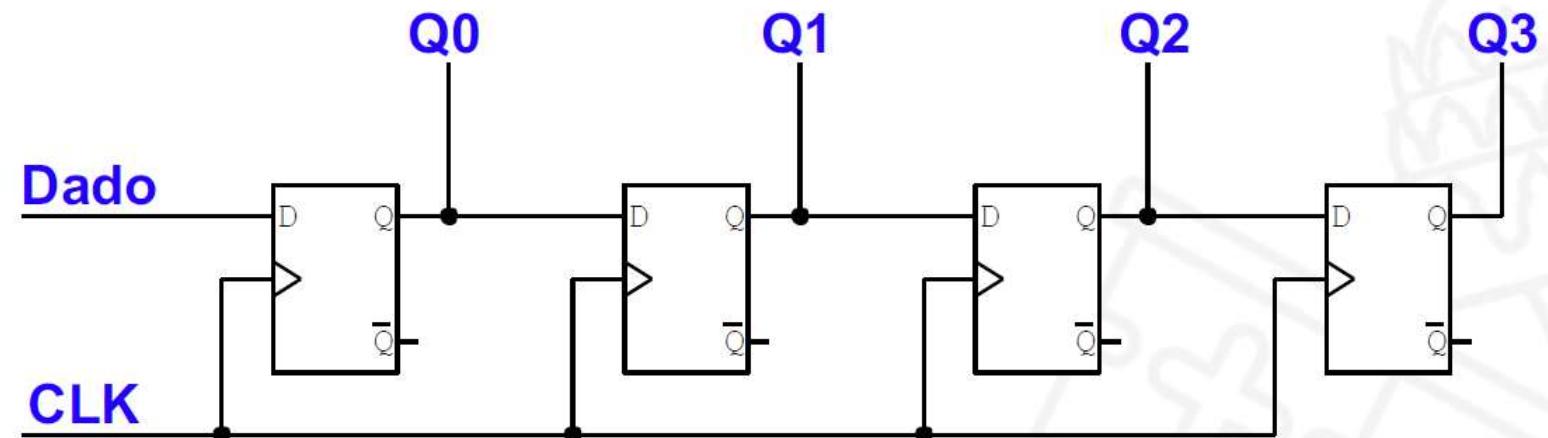
$$\begin{aligned}D_0 &= \text{Dado} \\D_1 &= Q_0 \\D_2 &= Q_1 \\D_3 &= Q_2\end{aligned}$$

4º pulso de clock: Dado inicial, que estava na saída Q2, é transferido para a saída Q3

Registradores



Registradores



O primeiro bit de Dado a entrar (no 1º pulso de clock) estará armazenado em Q3, após o 4º pulso de clock.

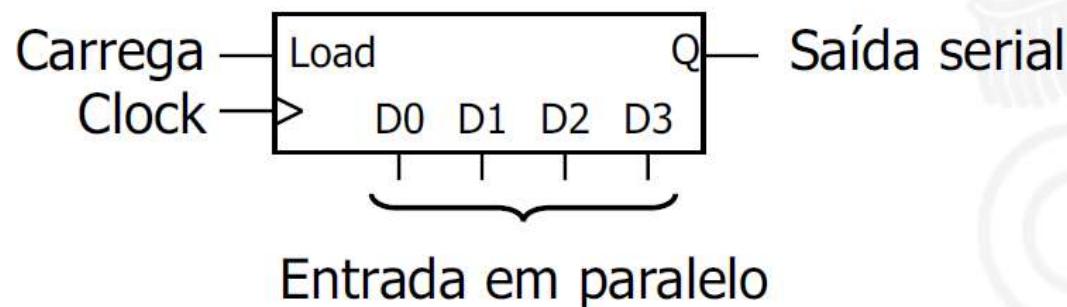
4º pulso de clock

Dados em paralelo, nas saídas
Q3 Q2 Q1 Q0

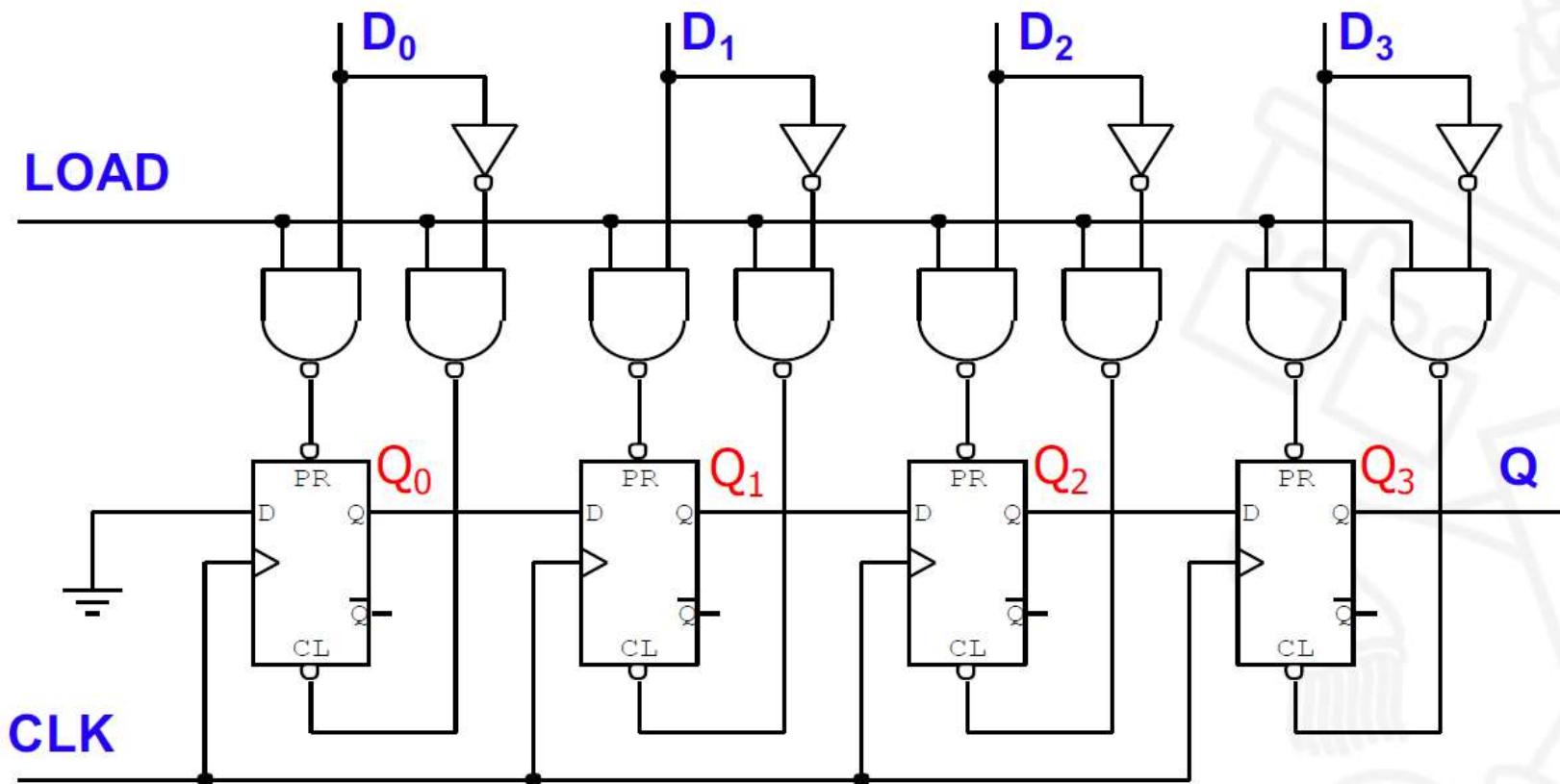
Registradores

Registradores entrada paralelo / saída série

- Para o **transmissor de dados**, é necessário um registrador de deslocamento do tipo **entrada-paralelo/saída-série**.
- Neste circuito existem entradas de dados em paralelo, que são carregadas (armazenadas) nos flip-flops, através de uma entrada de comando de carga (“LOAD”)
- Após carregados nos flip-flops, o dado pode ser deslocado através dos pulsos de clock.



Registradores



Carregamento

$$\begin{aligned}Q_0 &= D_0 \\Q_1 &= D_1 \\Q_2 &= D_2 \\Q_3 &= D_3\end{aligned}$$

Transferência
síncrona

$$\begin{aligned}D_0 &= 0 \\D_1 &= Q_0 \\D_2 &= Q_1 \\D_3 &= Q_2\end{aligned}$$

Registradores

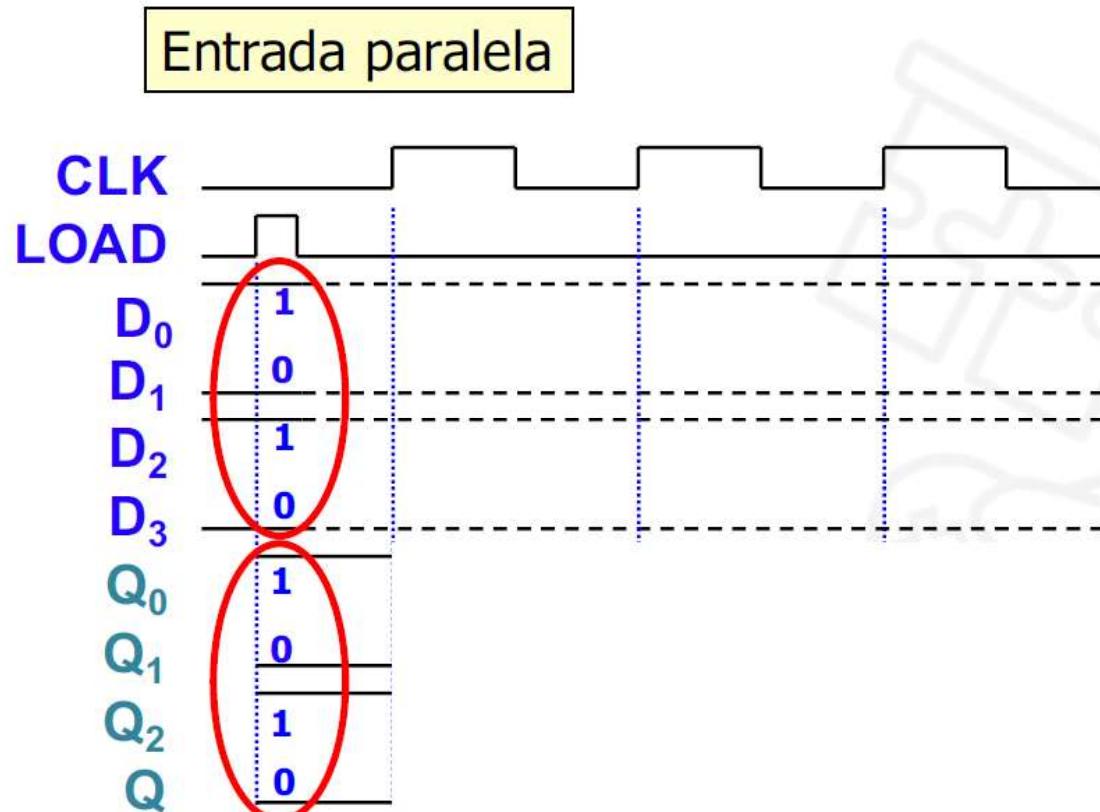
Carregamento

$$Q_0 = D_0$$

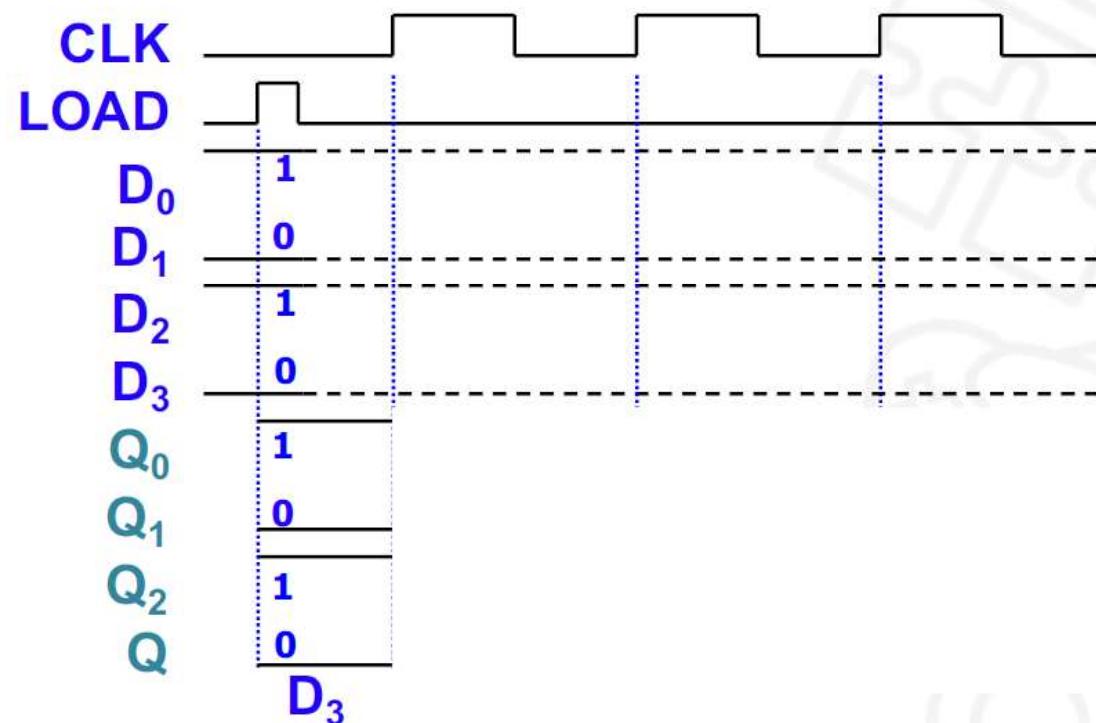
$$Q_1 = D_1$$

$$Q_2 = D_2$$

$$Q_3 = D_3$$



Registradores



Antes do 1º pulso de clock, Q transmitirá D_3

PUC Minas Virtual

Registradores

Na borda ativa do clock:

Q_0 copia 0

Q_1 copia Q_0

Q_2 copia Q_1

$Q=Q_3$ copia Q_2

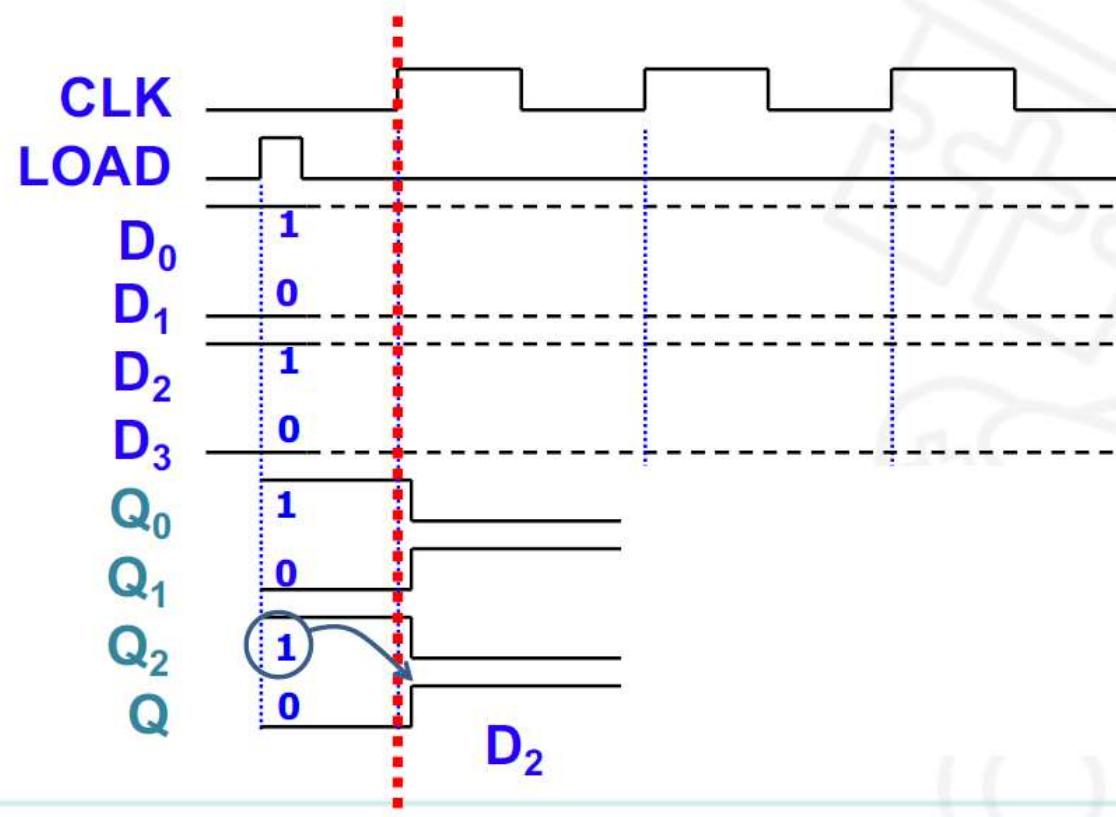
Transferência
síncrona

$$D_0 = 0$$

$$D_1 = Q_0$$

$$D_2 = Q_1$$

$$D_3 = Q_2$$



Após o 1º pulso de clock, Q transmitirá D_2

Registradores

Na borda ativa do clock:

Q_0 copia 0

Q_1 copia Q_0

Q_2 copia Q_1

$Q=Q_3$ copia Q_2

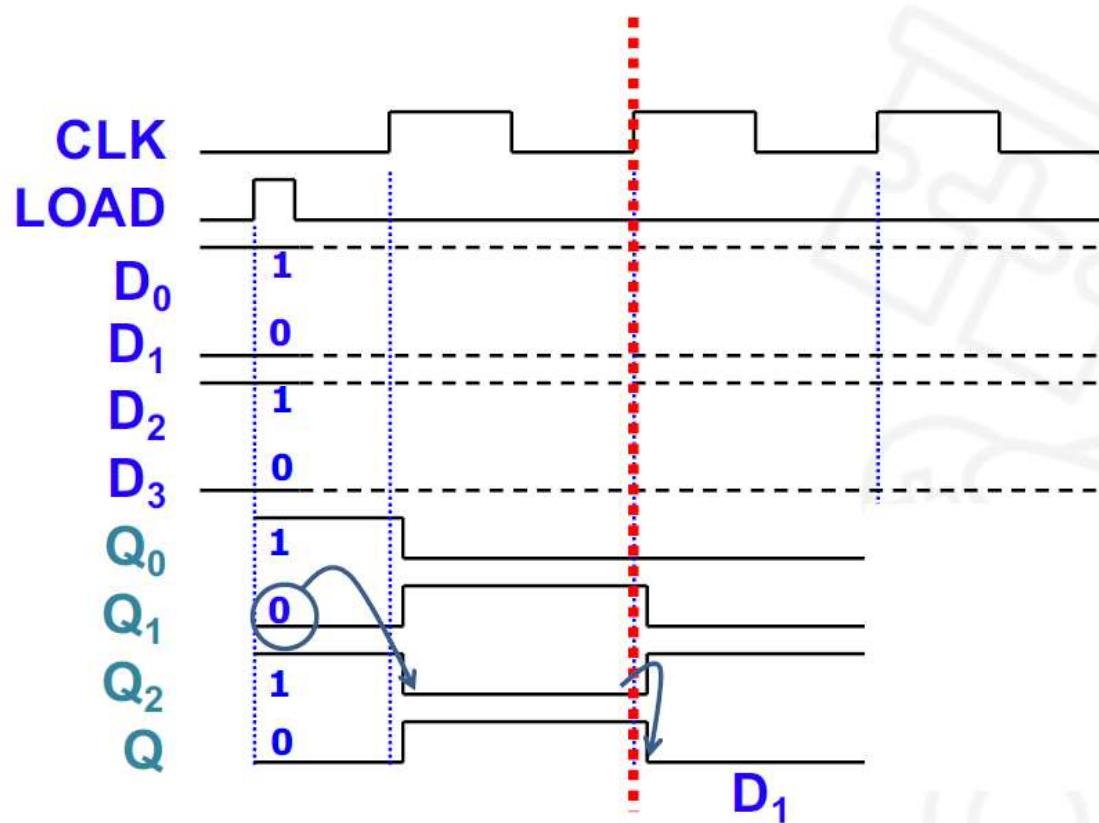
Transferência
síncrona

$D_0 = 0$

$D_1 = Q_0$

$D_2 = Q_1$

$D_3 = Q_2$



Após o 2º pulso de clock, Q transmitirá D_1

Registradores

Na borda ativa do clock:

Q_0 copia 0

Q_1 copia Q_0

Q_2 copia Q_1

$Q=Q_3$ copia Q_2

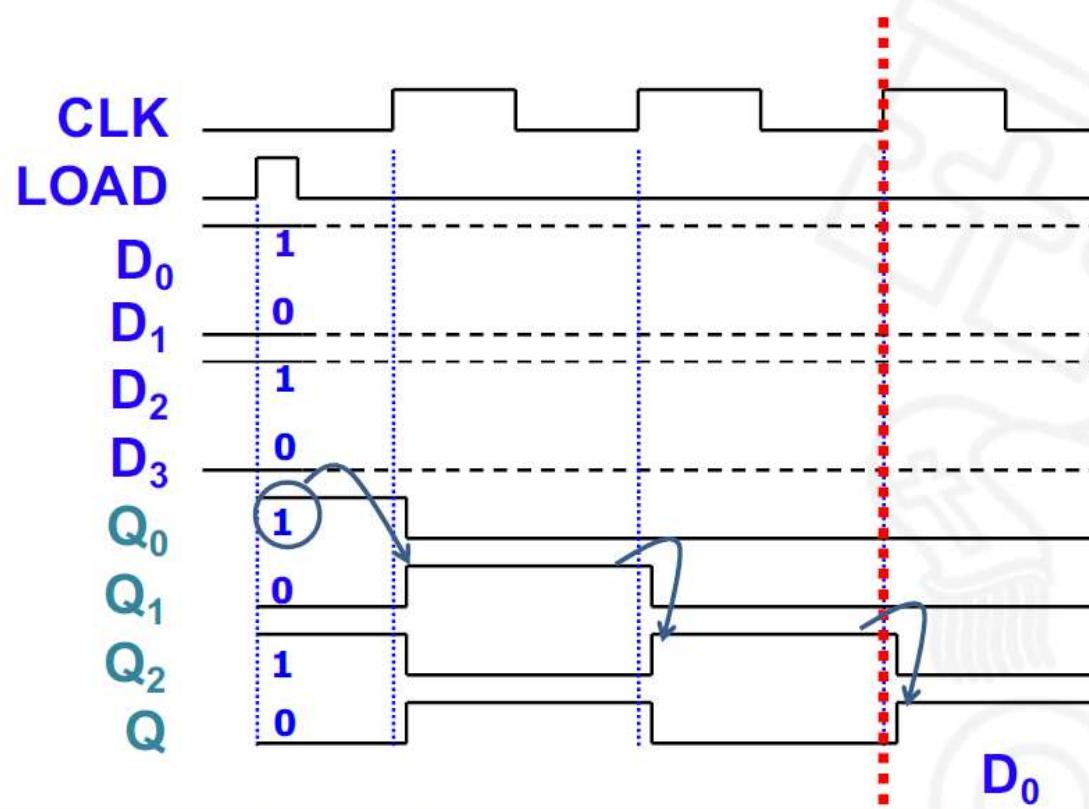
Transferência
síncrona

$$D_0 = 0$$

$$D_1 = Q_0$$

$$D_2 = Q_1$$

$$D_3 = Q_2$$

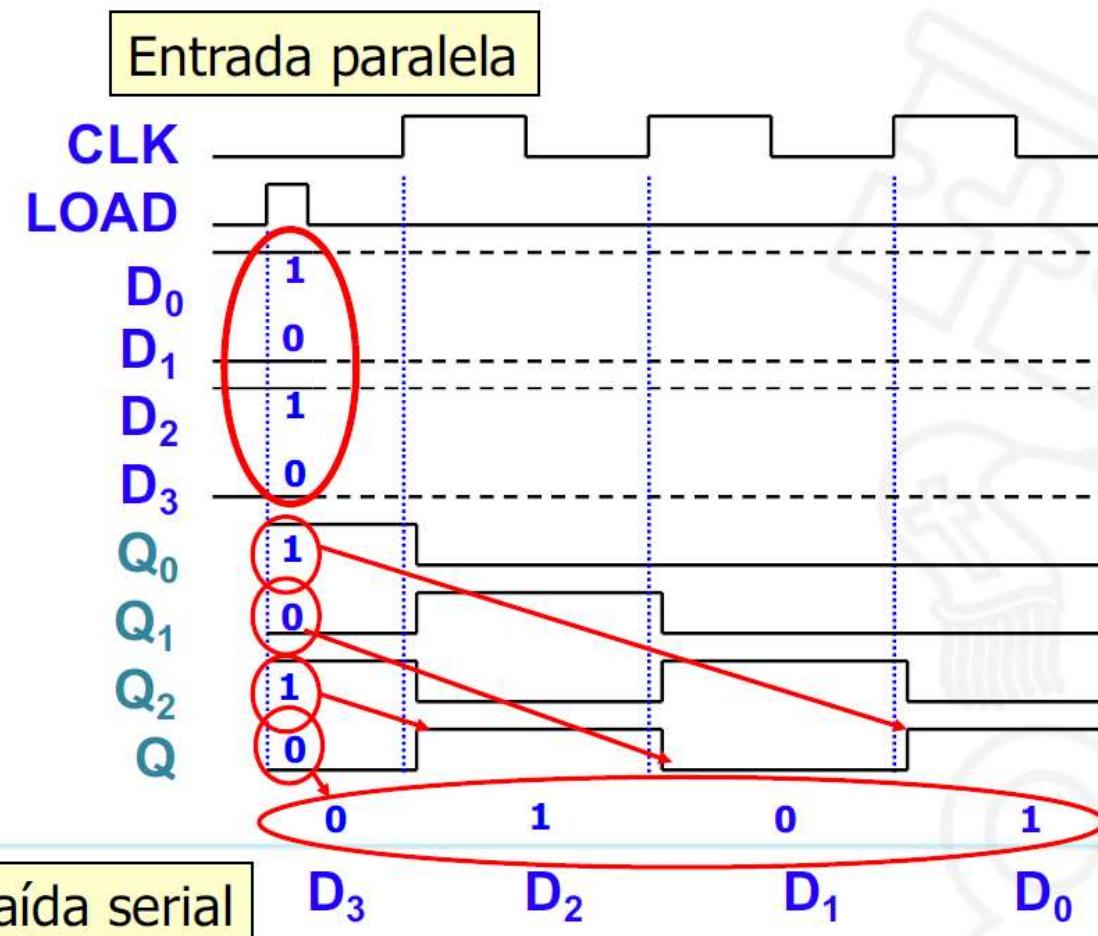


Após o 3º pulso de clock, Q transmitirá D_0

PUC Minas Virtual

Registradores

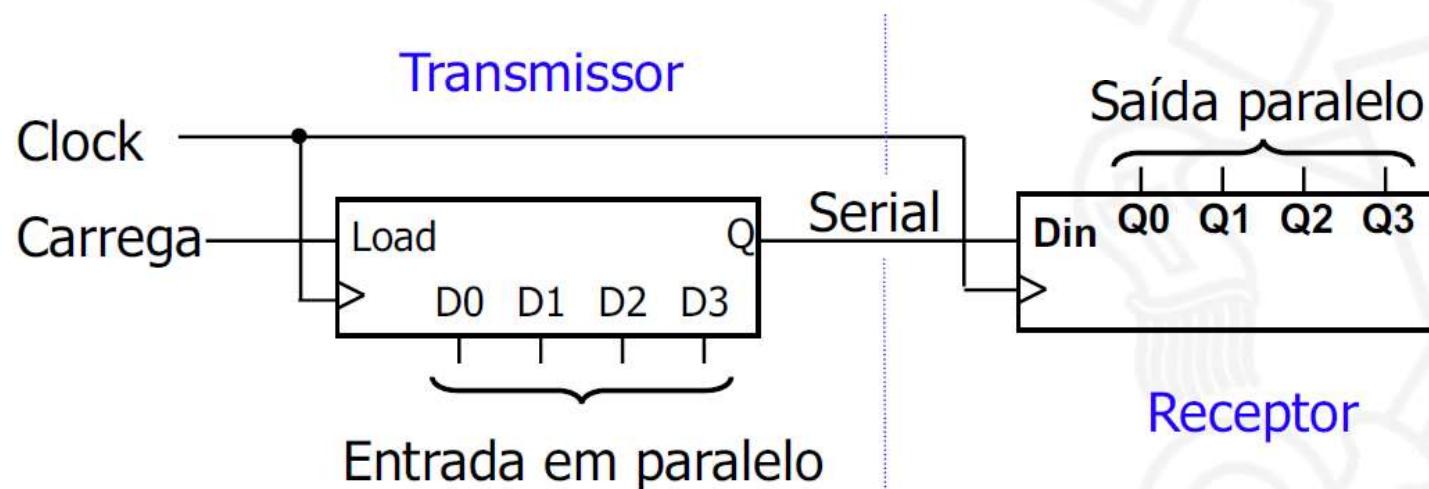
Após 3 pulsos de clock, o dado de entrada paralelo terá sido convertido para o modo serial.
O primeiro bit a ser transmitido é D_3 e o último é D_0 .



Registradores

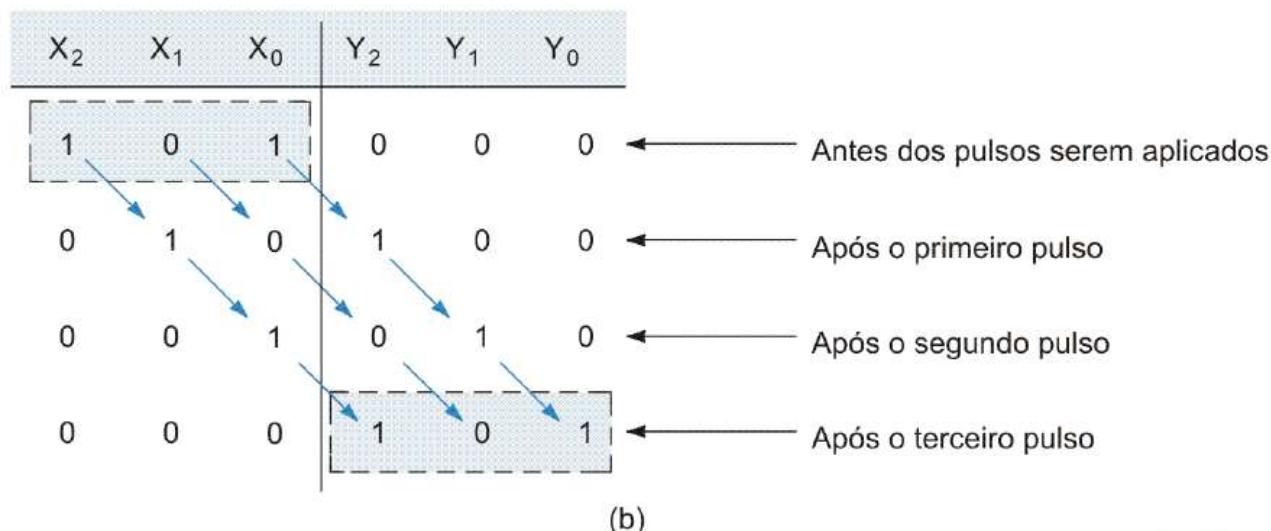
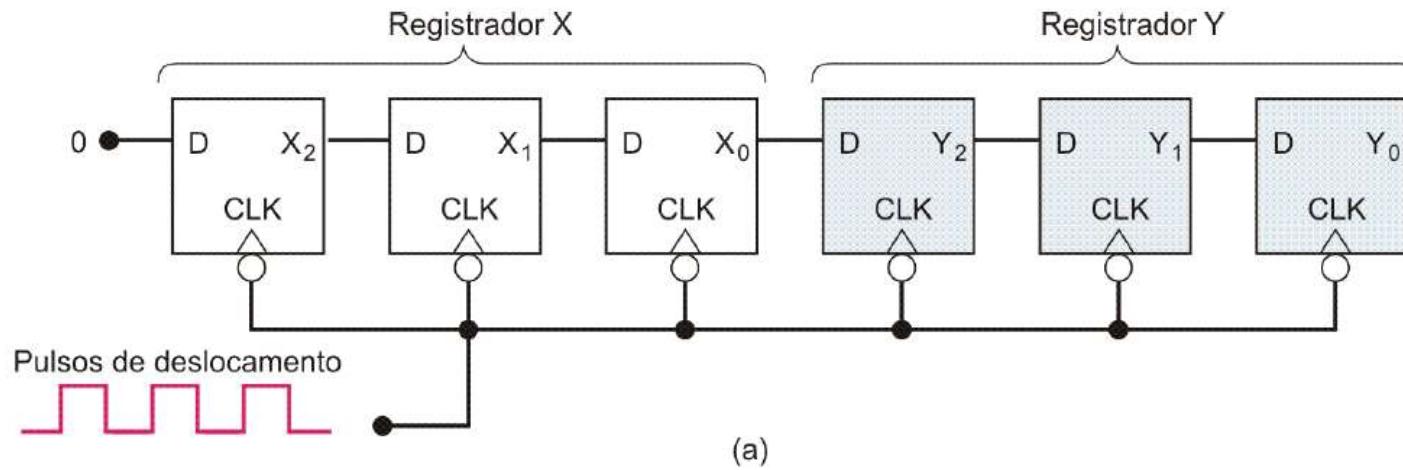
Comunicação serial

- O circuito completo de um enlace de comunicação digital serial é mostrado abaixo.
- Este tipo de comunicação é chamado serial síncrono, porque tanto o transmissor quanto o receptor usam o mesmo sinal de clock.

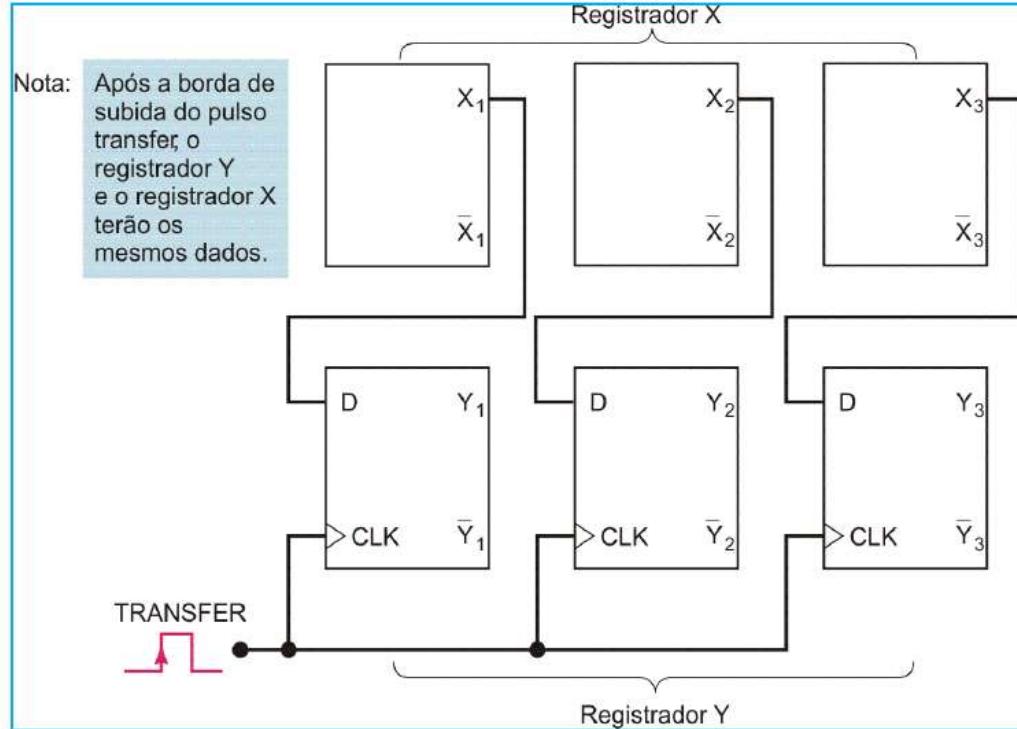


Registradores

Transferência serial entre Registradores

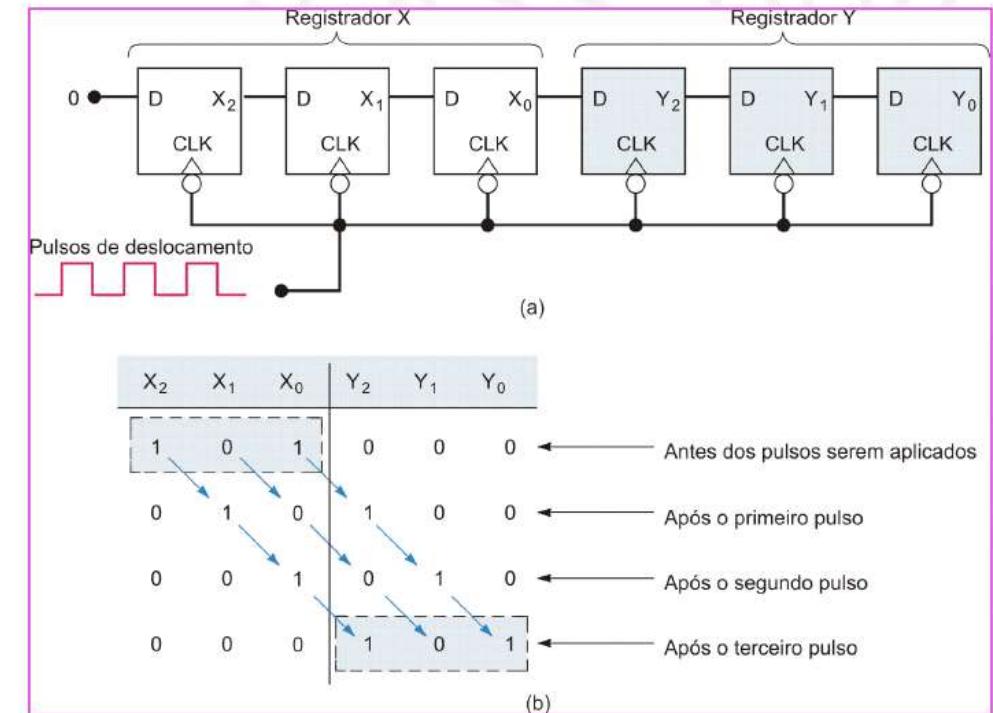


Registradores



Transferência paralela

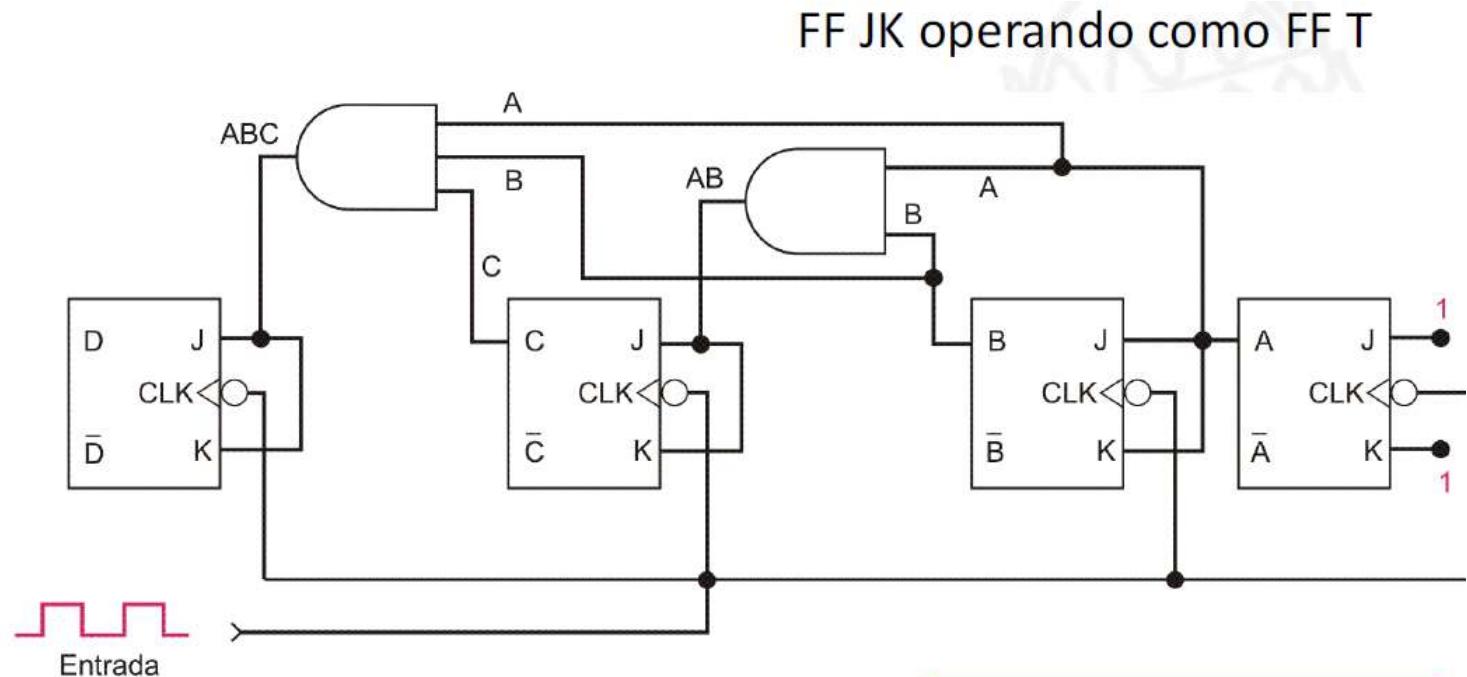
Transferência serial



Transferência entre Registradores:
serial X paralela

Contador/divisor de frequênci

Contagem	D	C	B	A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1
0	0	0	0	0
.
.	.	.	etc.	.
.



$$\begin{aligned}T_A &= 1 \\T_B &= A \\T_C &= AB \\T_D &= ABC\end{aligned}$$

Contador Síncrono Crescente de Módulo 16