

Χρήση κυκλωμάτων Serializer / Deserializer.

Γιαννόπουλος Νικόλαος 9629 , Ανδρονίκου Δημήτριος 9836

ngiannop@ece.auth.gr dimitrios@ece.auth.gr

Τμήμα Ηλεκτρολόγων Μηχανικών και Μηχανικών Υπολογιστών, Αριστοτέλειο Πανεπιστήμιο Θεσσαλονίκης

Abstract—Στην παρούσα εργασία θα παρουσιάσουμε την ανάγκη υπάρξεις τον κυκλωμάτων **Serializer / Deserializer** καθώς θα δείξουμε την ανάγκη ύπαρξής τους. Επιπλέον πως χρησιμοποιούνται σε εφαρμογές όπως καθώς πως μπορούμε να έχουμε ενεργειακή απόδοση με υψηλές ταχύτητες κάνοντας χρήση σειριακής διαπαφής

Keywords: Ser, Der, FPGA, 8b/10b

I. Τι είναι SERIALIZER / DESERIALIZER

Ένα είδος κυκλώματος όπου είναι υπεύθυνο για την μετατροπή της παράλληλης διαπαφής σε σειριακή (και το ανάποδο). Τα οποία πρέπει να γίνονται με μεγάλη αξιοπιστία καθώς και μεγάλη ταχύτητα για να μην υπάχτει υποβάθμιση σε αυτόν.

• Serializer

Είναι ένα κύκλωμα μετατροπής παράλληλης μετάδοσης δεδομένων σε σειριακή μετάδοση. Αυτό είναι αναγκαίο γιατί πολλές εφαρμογές δεν είναι απαραίτητο η παράλληλη μεταφορά δεδομένων. Στην Εικόνα 1 φαίνεται μια τυπική δομή ενός Serializer.

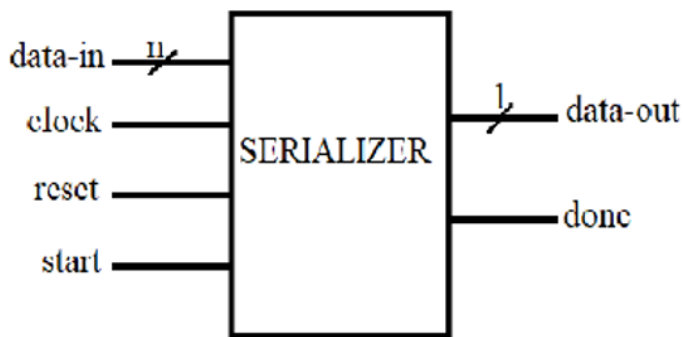


Figure 1: Τυπική δομή ενός Serializer.

Όπως αποτελείται από

- N παράλληλες εισόδους δεδομένων
- clock σήμα ρολογίου
- reset σήμα ρολογίου
- start σήμα όπου υποδεικνύει την εκκίνηση της μετατροπής
- data-out όπου παράγει τα παράλληλα δεδομένα εισόδου σε σειριακά (το ένα μετά το άλλο bit)
- done σήμα ειδοποίηση στην μέρια του παραλήπτη ότι τελείωσε η αποστολή δεδομένων

Στην Εικόνα 2 φαίνεται μια τυπική δομή ενός Deserializer.

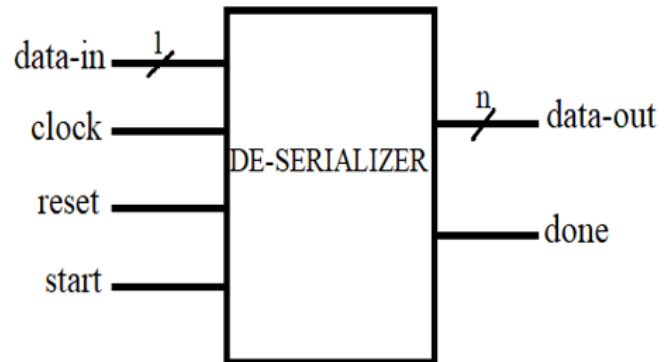


Figure 2: Τυπική δομή ενός Deserializer.

- 1 σειριακή εισόδους δεδομένων
- N παράλληλες εξόδους δεδομένων
- clock σήμα ρολογίου
- reset σήμα ρολογίου
- start σήμα όπου υποδεικνύει την εκκίνηση της μετατροπής
- data-out N παράλληλες εξόδους δεδομένων
- done σήμα ειδοποίηση στην μέρια του παραλήπτη ότι τελείωσε η αποστολή δεδομένων

II. Ανάλυση σειροποιητή για μετάδοση υψηλής ταχύτητας

Ο Serializer επίσης πραγματοποιεί ίσες πληροφορίες και διαδοχική έξοδο. Εδώ η ίση πληροφορία κοινοποιείται ως διαδοχική. Εδώ καθώς έχουμε πάρει πέντε κύκλους πληροφοριών θα λάβουμε ένα μόνο κομμάτι πληροφορίας σε κάθε παλμό ρολογίου.

Στο σημείο που η εκκίνηση ενδυναμώνεται τότε η οι πληροφορίες θα μεταδίδονται με διαδοχική σειρά, πέντε χρησιμοποιούνται πέντε καρδιακοί παλμοί ρολογίου για πλήρη πληροφόρηση. μετάδοση. Σε αντίθεση με έναν deserializer, ένας σειροποιητής χρησιμοποιεί λιγότερη περιοχή και ισχύ. Τα κομμάτια πληροφοριών εισάγονται με τον ίδιο τρόπο. Το κύκλωμα που παρουσιάζεται στην Εικόνα 3 είναι ένα καταχωρητής διαδοχικών αποτελεσμάτων ίσων πληροφοριών τεσσάρων bit. Το αποτέλεσμα του προηγούμενου Flip Flop συνδέεται με τη συνεισφορά του επόμενου μέσω ενός συνδυαστικού κυκλώματος. Το λέξη πληροφοριών B0, B1, B2, B3 εφαρμόζεται μέσω ενός παρόμοιου συνδυαστικό κύκλωμα. Υπάρχουν δύο τρόποι με τους οποίους αυτό το

κύκλωμα μπορεί να λειτουργήσει συγκεκριμένα - λειτουργία μετατόπισης ή φορτίου.

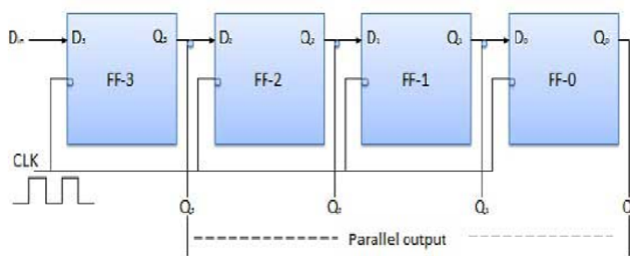


Figure 3: Δομή ενός 4-bit Serializer.

Deserializer είναι επίσης πραγματοποιηθεί διαδοχικές πληροφορίες και εξισώνεται. Εδώ οι διαδοχικές πληροφορίες αποστέλλονται ως ίσες. Εδώ έχουμε πάρει 1 bit πληροφορίας, τότε θα πάρουμε 5 bits των πληροφοριών αποτελέσματος σε κάθε παλμό ρολογίου. Deserializer είναι επιπλέον πραγματοποιείται διαδοχική πληροφορίες και εξισώνεται. Εδώ οι διαδοχικές πληροφορίες είναι κοινοποιούνται εξίσου, όπως φαίνεται στην Εικόνα 4. Εδώ πήραμε 1 bit πληροφορίας πληροφοριών, τότε θα πάρουμε 5 bits πληροφοριών αποτελέσματος σε κάθε παλμό ρολογίου.

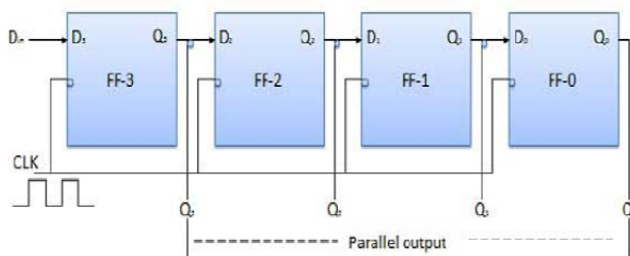


Figure 4: Δομή ενός 4-bit Deserializer.

III. Ενεργειακά αποδοτική κωδικοποίηση για υψηλές ταχύτητες σειριακές διασυνδέσεις

Σημαντικό ποσό της ενέργειας που καταναλώνεται στα σύγχρονα ολοκληρωμένα κυκλώματα (ICs) οφείλεται στην επικοινωνία δεδομένων. Αυτό το τμήμα της ενέργειας εκτιμάται μεταξύ 18% και 40% της συνολικής ενέργειας του συστήματος για επιστημονικές εφαρμογές.

Επιπλέον, η ενέργεια, που καταναλώνεται στην επικοινωνία, κλιμακώνεται με πολύ βραδύτερο ρυθμό σε σύγκριση με την ενέργεια που απαιτείται για τους υπολογισμούς. Πράγματι, η διαφορά στην απορριπτόμενη ενέργεια μεταξύ μιας μεταφοράς δεδομένων εκτός του chip και μιας κινητής υποδιαστολής διπλής ακρίβειας είναι μεγαλύτερη από δύο τάξεις μεγέθους.

Οι σειριακές διεπαφές υψηλής ταχύτητας χρησιμοποιούνται ευρέως, καθώς προσφέρουν σημαντικά πλεονεκτήματα έναντι των παράλληλων διαύλων, ιδίως για διασυνδέσεις μεγάλου μήκους (δηλ. αρκετών χιλιοστών). Οι σειριακές

διασυνδέσεις λειτουργούν σε πολύ υψηλότερους ρυθμούς δεδομένων σε σύγκριση με τις παράλληλες διασυνδέσεις καθώς η διάδοση πολλαπλών σημάτων εκτός του chip με την ίδια ταχύτητα είναι ένα δύσκολο έργο. Επιπλέον, η παράλληλη επικοινωνία απαιτεί πολύ περισσότερες ακίδες εισόδου/εξόδου και περιοχή δρομολόγησης και υποφέρει από υψηλές διασυμβολικές παρεμβολές (ISI) και διασταυρώσεις. Για τους λόγους αυτούς, οι ιδιαίτερα βελτιστοποιημένοι σειροποιητές/αποδιαφοροποιητές (SerDes), όπως οι συσκευές διασύνδεσης περιφερειακών στοιχείων (Peripheral Component Interconnect) Express (PCIe) και Serial AT Attachment (SATA), έχουν κερδίσει δημοτικότητα.

Η μείωση των μεταβάσεων bit με την κωδικοποίηση των μεταδιδόμενων δεδομένων οδηγεί σε αξιοσημείωτη μείωση της δυναμικής ενέργειας ζήτησης. Με αυτόν τον τρόπο, ένα μικρό μέρος της υπολογιστικής ενέργειας στο τσιπ ανταλλάσσεται με υψηλή μείωση της ενέργειας επικοινωνίας. Η κωδικοποίηση για σειριακές διεπαφές έχει προταθεί. Ωστόσο, αυτές οι μέθοδοι είναι κατάλληλες μόνο για σύγχρονη επικοινωνία πηγής και όχι για υψηλές ταχύτητες ασύγχρονες διεπαφές, όπως οι PCIe και SATA, όπου το ρολόι ανακτάται από τα μεταδιδόμενα δεδομένα στο δέκτη.

Στην παρούσα εργασία προτείνεται μια τεχνική κωδικοποίησης, δηλαδή η κωδικοποίηση σειριακής συντονισμένης μετάβασης (STTE), η οποία είναι ειδικά για αυτόν τον τύπο σειριακής διασύνδεσης. Η STTE ρυθμίζει τη μείωση στις μεταβάσεις bit, έτσι ώστε το ρολόι να μπορεί να ανακτηθεί ενώ επιτυγχάνοντας σημαντική εξοικονόμηση ισχύος. Το υπόλοιπο του παρόντος άρθρου είναι οργανωμένο ως εξής. Περιγράφονται τα χαρακτηριστικά των σειριακών διασυνδέσεων υψηλής ταχύτητας. Αποτελέσματα προσομοίωσης στο ενεργειακής απόδοσης της STTE παρουσιάζονται στην ενότητα V, ενώ η ικανότητα του STTE να διατηρεί την ακεραιότητα της ζεύξης και να περιορίζει δεδομένων αξιολογείται πειραματικά. Τέλος, εξάγονται συμπεράσματα.

Σε σειριακές διασυνδέσεις υψηλής ταχύτητας, όπως PCIe και SATA, το ρολόι δεν μεταδίδεται σε ξεχωριστή λωρίδα διαύλου. Αντ' αυτού, ο δίαυλος ροής δεν μεταδίδεται μέσω του δικτύου, το ρολόι εξάγεται από τα μεταδιδόμενα δεδομένα στο δέκτη χρησιμοποιώντας ανάκτηση δεδομένων ρολογίου (CDR). Ο δέκτης παράγει ένα ρολόι αναφοράς ευθυγραμμίζοντας τη φάση του ρολογιού με το μεταβάσεις του εισερχόμενου σήματος δεδομένων με τη χρήση ενός κλειδωμένου στη φάση βρόχου (PLL). Ο δέκτης δειγματοληπτεί τα δεδομένα εισόδου χρησιμοποιώντας το παραγόμενο ρολόι αναφοράς. Επομένως, μεγάλες πρέπει να αποφεύγονται τα μεγάλα μήκη διαδρομής, δηλαδή ο αριθμός των διαδοχικών 0 ή 1. Εάν ανιχνεύονται πολύ λίγες μεταβάσεις από το CDR λογική, οι πληροφορίες χρονισμού δεν μπορούν να εξαχθούν και η PLL του μπορεί να απομακρυνθεί από τη συχνότητα του πομπού.

Έτσι, τα σήματα δεδομένων δεν λαμβάνονται

δειγματοληπτικά στη σωστή χρονική στιγμή, οδηγώντας σε σφάλματα δεδομένων. Επιπλέον, τα μεταδιδόμενα δεδομένα πρέπει να παρουσιάζουν περίπου ίσο αριθμό 0 και 1 για να διατηρηθεί το σήμα ακεραιότητα του σήματος και την αποφυγή σφαλμάτων δεδομένων. Αυτό το χαρακτηριστικό ονομάζεται ισορροπία dc. Η επικράτηση ενός επιπέδου τάσης προκαλεί την ολίσθηση του μέσου επικοινωνίας προς αυτή την τάση επίπεδο. Κατά συνέπεια, το σήμα μπορεί να μην μεταβαίνει εντός του απαιτούμενου χρόνου. Επομένως, η απουσία ισορροπίας συνεχούς ρεύματος μπορεί να οδηγήσει σε απώλεια δεδομένων. Η λογική κωδικοποίησης και αποκωδικοποίησης προστίθεται στις συσκευές SerDes για να διασφαλίζουν ότι η ροή δεδομένων περιέχει τόσο επαρκή αριθμό ακμών για CDR και, επιπλέον, ένα περίπου ίσο αριθμό 0 και 1. Η κωδικοποίηση 8B/10B είναι ένα δημοφιλές τεχνική που αντιστοιχίζει χαρακτήρες 8-bit σε σύμβολα 10-bit και εγγυάται ότι το μήκος εκτέλεσης δεν υπερβαίνει τα πέντε διαδοχικά bits. Επιπλέον, διενεργείται έλεγχος ανομοιομορφίας δεδομένων για την επίτευξη ισορροπία dc. Η ανομοιογένεια ενός μπλοκ δεδομένων ορίζεται ως η διαφορά μεταξύ του αριθμού των 1 και των 0 και μπορεί να είναι θετικό (πλεονάζων αριθμός 1), αρνητικό (πλεονάζων αριθμός 0), ή μηδέν (ο αριθμός των 1 και 0 είναι ίσος). Με την παρεμβολή μπλοκ δεδομένων με θετική και αρνητική ανομοιογένεια, η ισορροπία dc επιτυγχάνεται με την πάροδο του χρόνου.

Ένα κρίσιμο μειονέκτημα της κωδικοποίησης 8B/10B είναι η επιβάρυνση του εύρους ζώνης κατά 20% λόγω των δύο πρόσθετων bits για κάθε byte δεδομένων, το οποίο περιορίζει σημαντικά την απόδοση της της σύνδεσης. Εναλλακτικά, η κωδικοποίηση 64B/66B και 128B/130B μέθοδοι παρουσιάζουν 3,03% και 1,53% επιβάρυνση στο εύρος ζώνης ως 2 bit προστίθενται σε κάθε 64 και 128 bit, αντίστοιχα. Ωστόσο, αυτά τα συστήματα εγγυώνται μόνο μία μετάβαση κάθε 66 και 130 bits, η οποία μπορεί να μην είναι επαρκής για το ρολόι ανάλογο με τις απαιτήσεις μετάβασης του κυκλώματος CDR. Επιπλέον, αυτές οι τεχνικές δεν έχουν μηχανισμό για τη διατήρηση της ισορροπίας dc- κατά συνέπεια, τα δεδομένα σφάλματα μπορεί να προκύψουν λόγω dc bias. Στις πρώτες γενιές του PCIe χρησιμοποιείται η κωδικοποίηση 8B/10B, ενώ στις πιο πρόσφατες εκδόσεις, χρησιμοποιείται η κρυπτογράφηση για την παροχή επαρκείς μεταβάσεις και τη διατήρηση της ισορροπίας dc με τυχαίο τρόπο τη ροή δεδομένων. Ο scrambler παράγει μια ψευδοτυχαία ακολουθία bit (PRBS) χρησιμοποιώντας μια γραμμική ανατροφοδοτούμενη μετατόπιση καταχωρητή (LFSR). Η έξοδος του LFSR γίνεται XOR με το ροή δεδομένων. Με αυτόν τον τρόπο, αν και το μέγιστο μήκος εκτέλεσης δεν είναι εγγυημένο, η πιθανότητα εμφάνισης ενός μεγάλου μήκους ακολουθίας bit χωρίς μετάβαση μειώνεται δραστηρικά.

Επιπλέον, το scrambling διατηρεί την ισορροπία dc για μεγάλο χρονικό διάστημα, και, ωστόσο, η ισορροπία αυτή δεν εξασφαλίζεται για βραχυχρόνιες περιόδους, καθώς μεγάλες ακολουθίες 0 ή 1 εξακολουθούν να

δυνατές. Τα δεδομένα αποδιαμορφώνονται από το δέκτη χρησιμοποιώντας την αντίστροφη συνάρτηση. Συνεπώς, δεν απαιτούνται πλεονάζοντα bits και, ως εκ τούτου, δεν υπάρχει επιβάρυνση στο εύρος ζώνης. Η κωδικοποίηση 8B/10B και η κρυπτογράφηση διατηρούν την ακεραιότητα του σήματος, ωστόσο, με κόστος την υψηλή αύξηση των μεταβάσεων και, συνεπώς, την κατανάλωση ενέργειας. Οι τεχνικές κωδικοποίησης που μειώνουν μεταβάσεις bit για τη μείωση της κατανάλωσης ενέργειας των σειριακών επικοινωνίας έχουν προταθεί. Σειριακά χαμηλής ενέργειας μετάδοση (SILENT) εκτελεί μια πράξη XOR μεταξύ διαδοχικών λέξεων δεδομένων και μεταδίδει το αποτέλεσμα. Ωστόσο, αυτή η τεχνική μειώνει τις μεταβάσεις μόνο όταν οι διαδοχικές λέξεις δεδομένων είναι συσχετισμένες. Ο κωδικοποιητής που αναφέρεται στο αντικαθιστά τα bits που παρουσιάζουν διαδοχικές μεταβάσεις με μια χαμηλότερη μοτίβο μετάβασης- ωστόσο, απαιτούνται δύο περιττά bits για κάθε byte για να παρακολουθούνται οι τροποποιήσεις. Μετάβαση αναστροφής (TIC) αντιστρέφει τα ζυγά bits μιας λέξης σε περίπτωση που ο αριθμός των μεταβάσεων εντός της λέξης είναι μεγαλύτερος από το μήκος της λέξης. Η TIC χρησιμοποιεί ένα περιττό bit ανά λέξη για να υποδεικνύει αν τα ζυγά bits αντιστρέφονται ή όχι.

Ορισμένες τεχνικές εκμεταλλεύονται την ανοχή σε σφάλματα των εφαρμογών που επεξεργάζονται δεδομένα αισθητήρων για να μειώσουν τη δραστηριότητα μεταγωγής. Η προσεγγιστική διαφορική κωδικοποίηση (ADE) στρογγυλοποιεί ορισμένα από των λιγότερο σημαντικών ψηφίων (LSB) των λέξεων δεδομένων πριν από τη μετάδοση της διαφοράς κατά ψηφία διαδοχικών λέξεων. Σε αυτόν τον τρόπο, ελαχιστοποιείται ο αριθμός των μεταβάσεων στα LSBs και ωστόσο, κάποια απώλεια πληροφοριών είναι αναπόφευκτη. Ο κωδικοποιητής σειριακής κωδικοποίησης με διαφορά τιμής (VDBS) αντιστρέφει τα bits των λέξεων σε παράγει μεγάλες ακολουθίες 0 ή 1 και, ως εκ τούτου, μειώνει τις τις μεταβάσεις εντός μιας λέξης. Μια μέγιστη απόκλιση μεταξύ της αρχικής και της κωδικοποιημένης λέξης. Το Serial μεταδίδει ένα μοτίβο μηδενικής μετάβασης όταν διαδοχικές λέξεις συσχετίζονται και είναι ιδιαίτερα αποτελεσματικό για τις καταγεγραμμένες από κάμερα δεδομένα. Ο προσεγγιστικός σειριακός δίαυλος (AXSERBUS) μεταδίδει ένα μοτίβο μηδενικής μετάβασης όταν η διαφορά μεταξύ διαδοχικών λέξεων είναι χαμηλή, ενώ η διαφορά κωδικοποιείται ως μοτίβο μετάβασης όταν η διαφορά αυτή θεωρείται ενδιαφέρουσα. Ο στόχος όλων των υφιστάμενων σχημάτων είναι να επιτευχθεί η μεγαλύτερη μείωση του αριθμού των μεταβάσεων. Κατά συνέπεια, αυτές οι τεχνικές είναι συμβατές μόνο με συγχρονισμένες πηγές διασυνδέσεις, όπως το διασυνδεδεμένο κύκλωμα (I2C) και η σειριακή περιφερειακή διεπαφή (SPI).

Οι αρχιτεκτονικές που βασίζονται στο χρόνο είναι εναλλακτικές σειριακές τεχνικές επικοινωνίας που μπορούν να επιτύχουν σημαντική εξοικονόμηση στην κατανάλωση ενέργειας. Ο πομπός αυτών των αρχιτεκτονικών χρησιμοποιεί έναν διαμορφωτή θέσης παλμού (PPM) για την

καθυστέρηση του ρολογιού ανάλογα με την τιμή των δεδομένων εισόδου. Το παραγόμενο σήμα και το σήμα ρολογιού μεταδίδονται μέσω του καναλιού. Ο δέκτης απαιτεί έναν μετατροπέα χρόνου σε ψηφιακό (TDC), ο οποίος μετατρέπει τη χρονική διαφορά μεταξύ του σήματος ρολογιού και του του καθυστερημένου σήματος σε δυαδικό αριθμό για την ανάκτηση των δεδομένων. Αν και οι αρχιτεκτονικές που βασίζονται στο χρόνο μπορούν να επιτύχουν υψηλούς ρυθμούς δεδομένων, η ανάκτηση δεδομένων μπορεί να παρεμποδιστεί λόγω της αναντιστοιχίας καθυστέρησης υπό επεξεργασία, τάσης και θερμοκρασίας (PVT), περιορίζοντας έτσι τις την εφαρμοσιμότητα της επικοινωνίας με βάση το χρόνο. Επιπλέον, αυτές οι αρχιτεκτονικές απαιτούν μια πρόσθετη λωρίδα για τη μετάδοση των ρολόι αναφοράς, και ως εκ τούτου, αυτές οι τεχνικές είναι πηγή συγχρονισμένες. Εναλλακτικά, στην παρούσα εργασία, προτείνεται ένα σχήμα κωδικοποίησης που είναι προσαρμοσμένο στις ασύγχρονες διασυνδέσεις SerDes πηγής. Το STTE εξισορροπεί τον αριθμό των μεταβάσεων, έτσι ώστε τα CDR και dc ισορροπία διατηρείται και, ταυτόχρονα, η ενέργεια η κατανάλωση περιορίζεται σε σύγκριση με την κρυπτογράφηση.

- Αλγόριθμος αναδιάταξης

Το προτεινόμενο σύστημα κωδικοποίησης βασίζεται στην ιδέα της αναδιάταξης ενός πεπερασμένου αριθμού λέξεων πριν από τη μετάδοση ως διερευνήθηκε στη μέθοδο AWR. Καθώς η AWR αναπτύχθηκε για ευρείς παράλληλους διαύλους, η εφαρμογή μιας τεχνικής που μοιράζεται τις ίδιες αρχές με την AWR σε σειριακή επικοινωνία δεν είναι απλή. Ο στόχος της κωδικοποίησης σε παράλληλους διαύλους είναι η μείωση των μεταβάσεων bit μεταξύ διαδοχικών λέξεων, ενώ ο σκοπός της κωδικοποίησης σε σειριακούς διαύλους είναι η μείωση των bit μεταβάσεων εντός κάθε λέξης. Επιπλέον, η σύγχρονη πηγή επικοινωνία υποτίθεται στο AWR, ενώ αυτό δεν ισχύει για όλες τις σειριακές επικοινωνίες, όπως οι PCIe και SATA. διεπαφές, όπου το ρολόι ανακτάται από το μεταδιδόμενο δεδομένα. Το προτεινόμενο σύστημα STTE είναι προσαρμοσμένο στο τελευταίο τύπο επικοινωνίας και, κατά συνέπεια, η μείωση της μεταβάσεων πρέπει να περιοριστεί για να διευκολυνθεί η CDR. Το STTE είναι κατάλληλο για την επικοινωνία SerDes. Στο SerDes συσκευές, οι λέξεις δεδομένων οργανώνονται σε πακέτα και η αναδιάταξη είναι εφαρμόζεται στις λέξεις εντός κάθε πακέτου. Με αυτόν τον τρόπο, η καθυστέρηση δεν μπορεί να προκληθεί από το STTE, καθώς όλες οι λέξεις δεδομένων ενός πακέτου πρέπει να είναι πλήρως διαθέσιμες πριν αρχίσει η μετάδοση.

Ο ψευδοκώδικας του νέου αλγορίθμου παρουσιάζεται στην Εικόνα 5. Αφού είναι διαθέσιμο ένα μπλοκ N λέξεων, πρώτα, ένας μοναδικός κωδικός $K = \log_2 N$ bits ανατίθεται σε κάθε λέξη. Ως εκ τούτου, υποθέτοντας ότι κάθε λέξη έχει μήκος M bit, η νέα λέξη O μοναδικός αυτός κώδικας χρησιμοποιείται από το δέκτη, για να επανατοποθετήσει τα δεδομένα στην αρχική σειρά. Στη συνέχεια, ο η αναδιάταξη αρχίζει. Ο αλγόριθμος του πλησιέστερου γείτονα (NN) χρησιμοποιείται για την αναδιάταξη όπως και

στον AWR. Κάθε λέξη στο μπλοκ ($word[j]$) που δεν έχει ακόμη μεταδοθεί, γίνεται XORed με την προηγούμενης μεταδιδόμενη λέξη ($word_pre$). Ο αριθμός των μεταβάσεων της $word_xored[j]$, ο οποίος είναι το αποτέλεσμα της XOR, υπολογίζεται. Το αποτέλεσμα του XOR με τη μικρότερη αριθμό μεταβάσεων ($word_xored[j_{min}]$) επιλέγεται στη συνέχεια για το μετάδοση. Ο δείκτης j_{min} υποδηλώνει τη $word_xored$ με το μικρότερο αριθμό μεταβάσεων.

```

1: Initialise  $word\_pre$ 
2: while Queue with words not empty do
3:   Update the block of  $N$  words to be reordered
4:   Assign a unique code of  $K$  bits to all  $N$  words
5:   for  $i \leftarrow 0$  to  $N - 1$  do
6:     for  $j \leftarrow 0$  to  $N - 1$  do
7:       if  $word[j]$  not transmitted then
8:          $word\_xored[j] = word[j] \oplus word\_pre$ 
9:         Calculate the number of transitions of
            $word\_xored[j]$ 
10:        Select the  $word\_xored[j_{min}]$  with the minimum
           number of transitions
11:        Update  $word\_pre = word[j_{min}]$ 

```

Figure 5: Αλγόριθμος 1.

Στις διασυνδέσεις SerDes, τα δεδομένα απαιτείται να παρουσιάζουν συχνές μεταβάσεις bit για CDR, και ως εκ τούτου, ένας μηχανισμός που αποτρέπει μεγάλα μήκη διαδρομής. Επομένως, ο μηχανισμός πρέπει να είναι αποτελεσματικός, προστίθεται κατάλληλος αριθμός μεταβάσεων bit με αντιστροφή τμημάτων του $word_xored$. Συγκεκριμένα, ένα μέγεθος βήματος S είναι όπου $1 \leq S \leq ((M + K + 1)/2)$. $Tabitsword[j_{min}][0..S - 1]$ μεταδίδονται αναλλοίωτα, ενώ τα επόμενα S bits ($word_xored[j_{min}][S..2 * S - 1]$) αντιστρέφονται κ.ο.κ. Ως εκ τούτου, οι περιοχές των αναλλοίωτων και των ανεστραμμένων bits παρεμβάλλονται μεταξύ τους. Ο ψευδοκώδικας που περιγράφει αυτή τη συνάρτηση παρουσιάζεται στην Εικόνα 6, όπου L είναι ο αριθμός των τμημάτων και, επομένως, είναι ένας ακέραιος αριθμός ίσος με $L = (M + K/S)$.

```

1: Select the  $word\_xored[j_{min}]$  with the minimum
   number of transitions
2: for  $i \leftarrow 0$  to  $M + K - 1$  do
3:   if  $((i \geq S) \text{ and } (i < 2 * S)) \text{ or } ((i \geq 3 * S) \text{ and } (i < 4 * S)) \text{ or } ((i \geq 5 * S) \text{ and } (i < 6 * S)) \dots \text{ or } ((i \geq L * S) \text{ and } (i < (L + 1) * S))$  then
4:     Invert  $word\_xored[j_{min}][i]$ 
5: Transmit  $word\_xored[j_{min}]$ 

```

Figure 6: Αλγόριθμος 2.

- Ανταλλαγή ενέργειας έναντι αξιοπιστίας

Οι επιδράσεις του S στην κατανάλωση ενέργειας και στο CDR είναι παρουσιάζονται στα στην Εικόνα 7 & 8

αντίστοιχα. Στην Εικόνα 7 η μείωση στις μεταβάσεις bit της κωδικοποιημένης και σειριοποιημένης ροής δεδομένων σε σύγκριση με την κωδικοποιημένη και σειριοποιημένη ροή απεικονίζεται ως συνάρτηση του μεγέθους βήματος, S . Στην Εικόνα 8, ο μέσος όρος λειτουργίας μήκος και η τυπική απόκλιση απεικονίζονται σε σχέση με το S . Για αυτές τις προσομοιώσεις, ο αριθμός των αναδιαταγμένων λέξεων είναι $N = 16$, κάθε λέξη έχει πλάτος $M = 64$ bits και $K = 4$. Το ίχνος εισόδου που χρησιμοποιήθηκαν δημιουργήθηκαν χρησιμοποιώντας τον προσομοιωτή gem5, για την εφαρμογή InFoli, η οποία είναι ένας προσομοιωτής του εγκεφάλου Inferior Olive. Η μείωση των μεταβάσεων bit αυξάνεται για μεγαλύτερες τιμές του S , όπως φαίνεται στο Σχήμα 1, καθώς εγχέονται λιγότερες μεταβάσεις. Η κατανάλωση ενέργειας είναι ευθέως ανάλογη του αριθμού των μεταβάσεων και, συνεπώς, η μείωση των μεταβάσεων ισοδυναμεί με μείωση της ενέργειας. Το μέσο μήκος εκτέλεσης καθώς και η τυπική απόκλιση, επίσης, αυξάνονται με το S , όπως φαίνεται στην Εικόνα 8. Ωστόσο, οι μεγάλες ακολουθίες bits χωρίς μεταβάσεις επιδρούν αρνητικά επηρεάζουν το CDR και μπορούν να προκαλέσουν σφάλματα στη δειγματοληψία δεδομένων στο δέκτη. Ως εκ τούτου, η ενεργειακή απόδοση αυξάνεται για υψηλές τιμές του S , ενώ η ακεραιότητα της ζεύξης ενισχύεται για χαμηλές τιμές του S . Ο κωδικοποιητής τυχαioποιεί τη ροή δεδομένων και, ως εκ τούτου, προκαλεί μεγαλύτερο αριθμό μεταβάσεων σε σύγκριση με τον προτεινόμενο κωδικοποιητή. Το μέσο μήκος διαδρομής της κωδικοποιημένης ροής είναι ίσο με 1,84 bits και η τυπική απόκλιση είναι 1,13 bits. Ωστόσο, αυτός ο υψηλός αριθμός μεταβάσεων δεν είναι απαραίτητος για CDR, όπως φαίνεται στην ενότητα VI-B. Το STTE εκμεταλλεύεται αυτό το γεγονός για να τη μείωση της ενεργειακής ζήτησης των σειριακών ζεύξεων.

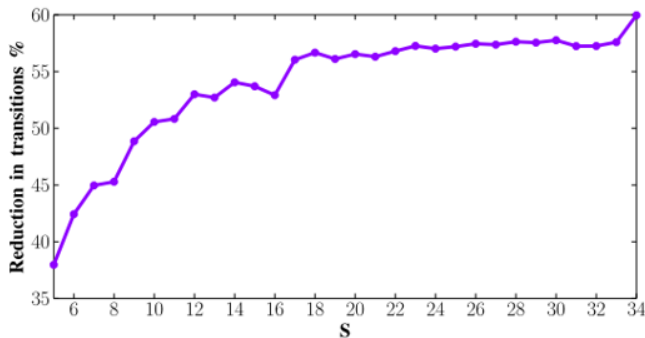


Figure 7: Μείωση του αριθμού των μεταβάσεων σε σύγκριση με τα κρυπτογραφημένα δεδομένα ως συνάρτηση του μεγέθους βήματος S

- Αρχιτεκτονική κυκλώματος.

Ο αλγόριθμος κωδικοποίησης υλοποιείται ως εξής. Σε κάθε κύκλο ρολογιού, οι λέξεις που δεν έχουν μεταδοθεί και οι προηγούμενη λέξη γίνεται XOR. Το αποτέλεσμα του XOR με τη μικρότερη αριθμό μεταβάσεων επιλέγεται για μετάδοση. Τμήματα των αυτού του αποτελέσματος αντιστρέ-

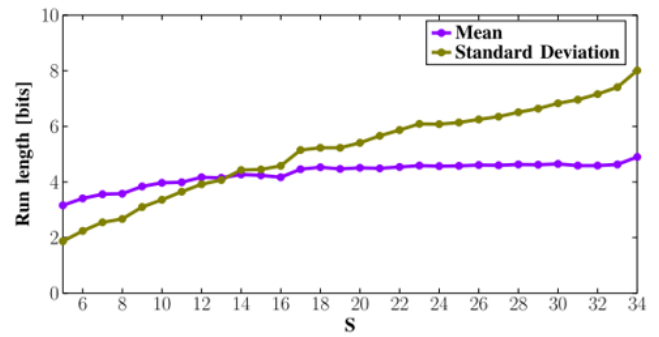


Figure 8: Μέσο μήκος διαδρομής (δηλαδή, ο αριθμός των διαδοχικών bit χωρίς μετάβαση) και η τυπική απόκλιση σε σχέση με το μέγεθος βήματος S .

φονται πριν από τη μετάδοση. Το διάγραμμα του κυκλώματος του κωδικοποιητή παρουσιάζεται στην Εικόνα 9. Το κύκλωμα κωδικοποιητή STTE αποτελείται από τρία στάδια όπως AWR το στάδιο του αγώνα, το στάδιο του τερματισμού και το στάδιο του νικητή. Το στάδιο αγώνα περιλαμβάνει το μπλοκ XOR και την καθυστέρηση γραμμής. Μέσα στο μπλοκ XOR, κάθε λέξη γίνεται XOR με το μπλοκ λέξη που μεταδόθηκε προηγουμένως ($WORD_PRE$) για να παραχθούν τα σήματα $WORD_XORED$. Ο στόχος είναι ο εντοπισμός $WORD_XORED$ με τον ελάχιστο αριθμό μεταβάσεων. Έτσι, τα διαδοχικά bits μέσα σε κάθε $WORD_XORED[i]$ είναι κατά ζεύγη XOR. Η έξοδος αυτού του μπλοκ συμβολίζεται ως $DIFF[i][M + K - 1 : 0]$. Ο αριθμός των 1 στο $DIFF$ αντιστοιχεί στον αριθμό των μεταβάσεων στο $WORD_XORED$. Τα σήματα $DIFF$ τροφοδοτούνται στις γραμμές καθυστέρησης, όπου ένα ρολόι διαδίδεται και καθυστερεί ανάλογα με τον αριθμό των 1 στο $DIFF[i][M + K - 1 : 0]$. Επομένως, ο παλμός ρολογιού που αντιστοιχεί στο $WORD_XORED$ με τον μικρότερο αριθμό των μεταβάσεων διαδίδεται γρηγορότερα και φτάνει πρώτος στο τέρμα στάδιο, όπου τίθεται ο αντίστοιχος μανδαλωτής.

Αυτό το μπλοκ επιλέγει τη λέξη που κέρδισε τον αγώνα, $WORD[jmin]$, και την αντίστοιχη $WORD_XORED[jmin]$ και τις αποθηκεύει στο $REG0$ και στο $REG3$, αντίστοιχα. Επιπλέον, αυτό το στάδιο παρακολουθεί τις λέξεις που έχουν ήδη μεταδοθεί. Οι πληροφορίες αυτές αποθηκεύονται στο $REG1$. Οι έξοδοι αυτού του καταχωρητή, $EN[0..N-1]$, αρχικοποιούνται με 1 και σε κάθε κύκλο, $EN[jmin]$, που αντιστοιχεί στο $WORD[jmin]$, μεταβαίνει σε 0. Για την εξισορρόπηση του αριθμού των μεταβάσεων και τη διευκόλυνση του CDR, τμήματα του $WORD_XORED[jmin]$ αντιστρέφονται. Αυτό υλοποιείται στη μερική αντιστροφή μπλοκ, όπου τα ανεστραμμένα και μη ανεστραμμένα τμήματα των S bits είναι αλληλοδιαδοχικά. Σημειώστε ότι η τιμή του S είναι προκαθορισμένη κατά τη διάρκεια της σχεδίασμού. Η έξοδος αυτού του μπλοκ αποθηκεύεται στο $REG2$ και στο μεταδίδεται στον επόμενο κύκλο ρολογιού.

- Decoder

Ο αποκωδικοποιητής παρέχει το αρχικά μη κωδικοποιη-

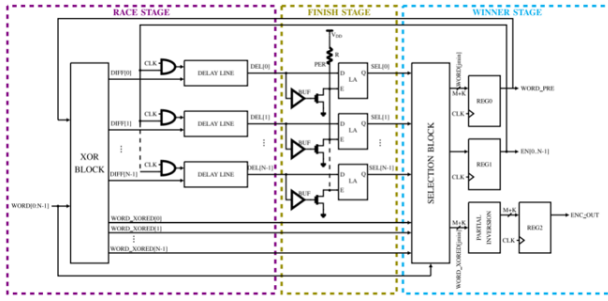


Figure 9: STTE Encoder.

μένο και στο σωστή σειρά δεδομένων. Το κυκλωματικό διάγραμμα του αποκωδικοποιητή φαίνεται στην Εικόνα 10. Η είσοδος του αποκωδικοποιητή επεξεργάζεται πρώτα από το μερικό μπλοκ μερικής αντιστροφής. Το τμήμα αυτό είναι πανομοιότυπο με το τμήμα μερικής αντιστροφής μπλοκ του κωδικοποιητή, δεδομένου ότι τα ίδια bits πρέπει να αντιστραφούν για να αποκατασταθεί η αρχική λέξη. Η έξοδος αυτού του μπλοκ είναι XORed με την προηγούμενη αποκωδικοποιημένη λέξη DEC_PRE. Χρησιμοποιείται ένας καταχωρητής για την αποθήκευση της DEC_PRE, η οποία αρχικοποιείται με 0, καθώς ο καταχωρητής REG0 του κυκλώματος κωδικοποιητή (βλέπε Εικόνα 9). Για να αποκατασταθεί η αρχική σειρά των λέξεων δεδομένων, οι απομονωτές N όπου οι λέξεις αποθηκεύονται με την αρχική σειρά. Το αποκωδικοποιητής χρησιμοποιεί τα K τελευταία bits, τα οποία υποδεικνύουν τη σειρά των λέξεων, για να ενεργοποιήσει τον κατάλληλο απομονωτή για την αποθήκευση της DEC_WORD. Επομένως, χρησιμοποιείται ένας απλός αποκωδικοποιητής K-προς-N, η έξοδος του οποίου του οποίου ενεργοποιείται ο αντίστοιχος απομονωτής. Καθώς φαίνεται στην Εικόνα 11 τα αποτελέσματα της έρευνας.

IV. Αξιολόγηση κωδικοποιητή 8B/10B σε FPGA υλοποιήσεις

Οι σειριακές διασυνδέσεις είναι πανταχού παρούσες στα σύγχρονα ηλεκτρονικά συστήματα, όπου υπάρχουν σήμερα πολλά διαφορετικά πρότυπα. για την επικοινωνία περιφερειακών συσκευών, συσκευών αποθήκευσης, δικτύωσης, μεταξύ άλλων. Αυτές οι διεπαφές, κοινώς γνωστές ως SerDes, περιγράφουν τις λειτουργίες σειριοποίησης και αποσειριοποίησης σε πομπού και του δέκτη, αντίστοιχα, μπορεί να είναι πολύ πολύπλοκες και απαιτούν ποικίλες λειτουργίες, όπως κωδικοποίηση, διόρθωση σφαλμάτων, εξισορρόπηση, κλιμάκωση σήματος, κ.λπ. Η ανάπτυξη γρήγορων συστημάτων SerDes χαμηλής ισχύος συνεπάγεται την πρόκληση της ανάκτησης των ροών δεδομένων με το σωστό συγχρονισμό, αυτό συνήθως επιλύεται με στάδια ρολογιού και δεδομένων (CDR), κυκλώματα βρόχου κλειδώματος φάσης (PLL) και παρεμβολείς φάσης. Για το σκοπό αυτό, ωστόσο, το σχήμα μετάδοσης και το σήμα έχουν επίσης μεγάλη σημασία, προκειμένου να περιοριστεί η το συχνοτικό περιεχόμενο του σήματος και την αποφυγή ανεπιθύμητων γεγονότων όπως τα σφάλματα ριπής. Η κωδικοποίηση

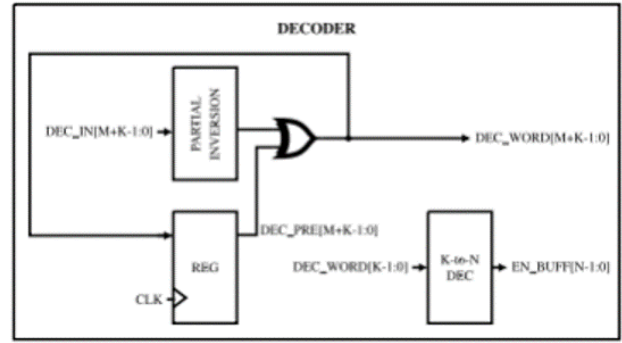


Figure 10: STEE Decoder.

POWER OVERHEAD IN MILLIWATTS OF THE STTE ENCODER AND DECODER CIRCUITS OPERATING AT 250 MHZ

Step	N = 16		N = 32	
	Enc.	Dec.	Enc.	Dec.
S = 5	2.35	0.21	3.45	0.21
S = 18	2.35	0.21	3.49	0.21
S = 34/35 ¹	2.36	0.21	3.48	0.21

¹ S = 34 for N = 16 and S = 35 for N = 32.

Figure 11: Αποτελέσματα.

8b/10b είναι μια εναλλακτική λύση για τη διασφάλιση της ισορροπίας ψηφιακών ροών, εξασφαλίζοντας έναν ελάχιστο αριθμό μεταβάσεων ανά μονάδα χρόνου. Επί του παρόντος, χρησιμοποιείται ως μέθοδος κωδικοποίησης στο πρότυπο του καθολικού σειριακού διαύλου (USB). Αυτή η προσέγγιση ήταν πρωτοεφαρμόστηκε το 1983 από την IBM και αποτελείται από μια σειρά πινάκων, οι οποίοι αντιστοιχίζουν τα bits από μια τυχαία πληροφορία πηγή σε μια κατανεμημένη ροή με βάση τα σύμβολα. Αυτή η κωδικοποίηση διευκολύνει την ανάκτηση ρολογιού στο δέκτη περιορίζοντας τη χαμηλότερη συχνότητα της ροής και την αποφυγή μεγάλων ακολουθιών με το ίδιο στάδιο, παρέχοντας τυχαιότητα στο σήμα.

Η παρούσα έρευνα ασχολείται με την υλοποίηση του κωδικοποιητή 8b/10b σε επίπεδο FPGA. Αξιολογούνται τρεις διαφορετικές υλοποιήσεις, η πρώτη μέσω της χρήσης αποκωδικοποιητών, η δεύτερη με τη χρήση πινάκων αναζήτησης που υλοποιούνται στη μνήμη RAM μνήμης, και μια τρίτη με τη χρήση ενός πίνακα πνευματικής ιδιοκτησίας της Xilinx (IP) SerDes. Κάθε εναλλακτική λύση περιγράφεται σε Verilog HDL για μετέπειτα σύνθεση και υλοποίηση FPGA με τη χρήση του Vivado. Η σύγκριση μεταξύ αυτών των τεχνικών παρουσιάζεται από την άποψη της χρήσης της περιοχής της πλακέτας, του χρόνισμού καθυστερήσεων και της κατανάλωσης ισχύος, αναζητώντας συμβιβασμούς μεταξύ ταχύτητας, ισχύος και απαιτήσεων σε έκταση με σκοπό να παρέχει μια χρήσιμη αξιολόγηση της υλοποίησης του κωδικοποιητή προσεγγίσεις που μπορούν να ενσωματωθούν σε πιο σύνθετους SerDes λύσεις FPGA. Το μοντέλο πομπού στην παρούσα εργασία αποτελείται από τα εξής στάδια που

απεικονίζονται στην Εικόνα 12, το οποίο αντιστοιχεί στο κτίριο μιας απλοστευμένης επικοινωνίας ζεύξης SerDes για το προδιαγραφή USB 3.0. Αυτά είναι ο κωδικοποιητής, το 8b/10b κωδικοποιητής και ένας σειροποιητής στο τμήμα πομπού. Στο εσωτερικό του του μπλοκ κωδικοποιητή 8b/10b, όπως αναφέρθηκε προηγουμένως, τρεις διαφορετικές υλοποιήσεις είναι δυνατές. Η πρώτη πραγματοποιείται με ένα μνήμη τυχαίας προσπέλασης (RAM) που λειτουργεί ως μνήμη μόνο για ανάγνωση (ROM)- η δεύτερη υλοποίηση γίνεται με αποκωδικοποιητές και πολυπλέκτες, και η τρίτη χρησιμοποιεί ένα διαθέσιμο IP. Για να επικυρωθεί η σειριακή σύνδεση πομπού, ένας βρόγχος επιστροφής διαμόρφωση απαιτεί επίσης έναν αποδιαταξινομητή, αποκωδικοποιητή 8b/10b και έναν αποκωδικοποιητή, που αναπαρίσταται ως το τμήμα δέκτη στην Εικόνα 12.

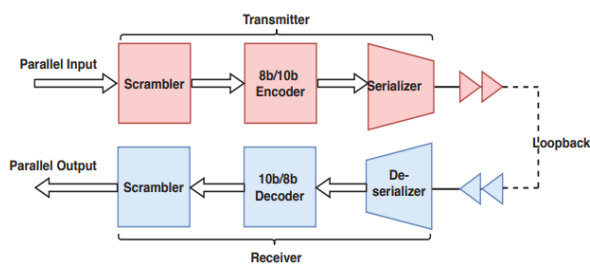


Figure 12: Αρχιτεκτονική Συστήματος.

Ο κωδικοποιητής 8b/10b μετατρέπει ένα μπλοκ δεδομένων εισόδου 8 bit σε ένα μπλοκ 10 bit. Στην Εικόνα ??, φαίνεται μια γενική περιγραφή για τον τρόπο με τον οποίο τα δεδομένα εισόδου διαχωρίζονται σε 3 MSB και 5 LSB. Τα 3 bits μετατρέπονται σε 4 bits και τα 5 bits μετατρέπονται σε 6 bits- για το σκοπό αυτό, χρησιμοποιούνται δύο πίνακες μετατροπής, με δύο διαφορετικούς τρόπους αντιστοίχισης ανάλογα με την ανομοιογένεια παραγωγή. Η παραγωγή ανομοιογένειας υλοποιήθηκε με μια μηχανή κατάστασης: εάν τα εισερχόμενα δεδομένα παρουσιάζουν άρτια ισοτιμία, η τα επόμενα δεδομένα εισόδου αντιστοιχούν σε διαφορετική ανομοιομορφία σε σχέση με την τα πραγματικά δεδομένα, αλλά αν τα εισερχόμενα δεδομένα έχουν περιττή ισοτιμία, η το επόμενο μπλοκ δεδομένων θα χρησιμοποιεί την ίδια ανομοιομορφία. Υπάρχουν ειδικές χαρακτήρες που χρησιμοποιούνται για τον έλεγχο. Η πρώτη είσοδος ονομάζεται **Kin** για να γνωρίζει ο κωδικοποιητής πώς να αντιστοιχίσει την είσοδο των 8 bit. Σε περίπτωση που η είσοδος είναι ένας άκυρος ειδικός χαρακτήρας, ο δεύτερος σήμα **Kerr** αλλάζει και η έξοδος θα είναι ο αντίστοιχος μπλοκ πληροφοριών. Οι τρεις υλοποιήσεις κωδικοποιητή που διερευνήθηκαν στην παρούσα εργασία εξηγούνται στη συνέχεια. Η πρώτη υλοποίηση με αποκωδικοποιητές και πολυπλέκτες απεικονίζεται στην Εικόνα 13. Οι πίνακες 8b/10b χωρίζονται σε μπλοκ των 3 έως 4 bits και των 5 έως 6 bits, που ορίζονται ως **MSB** και **LSB**, αντίστοιχα. Ο αποκωδικοποιητής αντιστοιχίζει τα δεδομένα εισόδου σε ένα συγκεκριμένη τιμή και ο πολυπλέκτης καθορίζει ποια δεδομένα πηγαίνουν για

κάθε αποκωδικοποιητή, δεδομένου ότι το σήμα ανομοιότητας λειτουργεί ως σήμα ελέγχου.

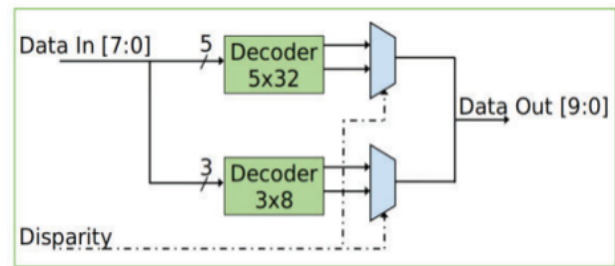


Figure 13: Decoder με πολυπλέκτες.

Η δεύτερη προσέγγιση, απαιτεί τη χρήση μνημών, όπως φαίνεται στην Εικόνα 14. Δημιουργούνται μέσω αρχείων μνήμης που υλοποιούνται σε Verilog και λειτουργούν ως μνήμες **ROM**, επειδή το διεύθυνση στην οποία γίνεται πρόσβαση γράφεται μόνο μία φορά: τα δεδομένα εισόδου χρησιμοποιούνται ως διεύθυνση και στο εσωτερικό της μνήμης η αντίστοιχη μετάφραση κώδικας μπορούν να βρεθούν. Αυτή η υλοποίηση ονομάζεται γενικά πίνακας αναζήτησης. Η τελευταία υλοποίηση, που εκμεταλλεύεται την πνευματική ιδιοκτησίας που αναπτύχθηκε από μηχανικούς της Xilinx, χρησιμοποιήθηκε το **Aurora 8b/10b LogiCORE**. Αυτό το σύστημα υλοποιείται με χρήση εκτιμήσεις, όπως ένας **scrambler** και ο καθορισμός της συχνότητας ρολογιού ως την ίδια που χρησιμοποιήθηκε και για τις δύο υλοποιήσεις που συζητήθηκαν νωρίτερα. Ο στόχος με αυτή τη μέθοδο είναι η σύγκριση των ρυθμίσεων που αναπτύχθηκαν από το μηδέν και μία στο πλαίσιο της αξιοποίησης των παρεχόμενων πόρων **FPGA**.

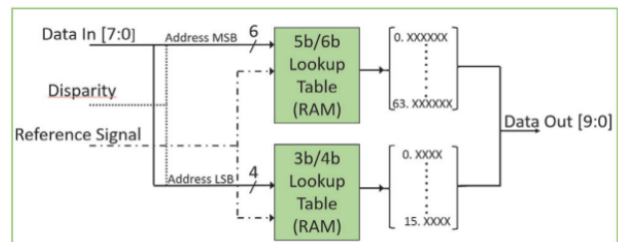


Figure 14: Decoder με lookup tables.

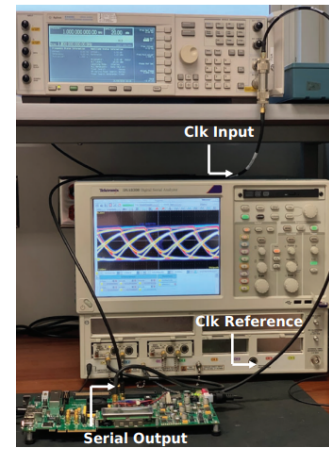
Το πλαίσιο που χρησιμοποιείται για την εφαρμογή του σειριακής σύνδεσης αποτελείται από ένα **Kintex-7 FPGA**, το οποίο περιλαμβάνει όλα τα τα μπλοκ στην Εικόνα 12, μια εξωτερική γεννήτρια σήματος για την τροφοδοσία του θύρα ταλαντωτή της **FPGA** σε συχνότητα **600 MHz**, και ένα ψηφιακό σειριακό αναλυτή (**DSA**) για την εξωτερική καταγραφή των κυματομορφών. Το διάγραμμα ματιού χρησιμοποιείται για την επαλήθευση των ρυθμών δεδομένων και της ακεραιότητας του σήματος. Αυτή η διάταξη και το διάγραμμα σύνδεσής της απεικονίζονται στην Εικόνα 15, ενώ οι υλοποιήσεις των σταδίων **SerDes** συζητούνται εν συντομία στη συνέχεια. Η κρυπτογράφηση δεδομένων είναι απαραίτητη για σειριακές συνδέσεις λόγω ατελειών στις

γραμμές μετάδοσης. Η κακή ακεραιότητα των γραμμών οδηγεί σε διαδοχικά bit σε σφάλμα και τα σφάλματα αυτά δεν μπορούν να διορθωθούν ή ακόμη και να ανιχνευθούν. Η κωδικοποίηση των δεδομένων επιλύει αυτό το πρόβλημα, με προσθέτοντας μια ελεγχόμενη τυχαιότητα και διασκορπίζοντας τα bit σφάλματος σε σε κοντινή απόσταση. Η υλοποίηση που χρησιμοποιήθηκε για το scrambler αποτελείται από έναν καταχωρητή μετατόπισης γραμμικής ανάδρασης με το πολυώνυμο (1).

(1)

$$G(X) = X^{16} + X^5 + X^4 + X^3 + 1$$

Ένα σημαντικό στάδιο είναι ο σειροποιητής, ο οποίος μετατρέπει τα δεδομένα από μια παράλληλη διάταξη σε μια ροή bits που μπορούν να συγκλίνουν μέσω μιας μόνο λωρίδας. Αυτό επιτρέπει την επίτευξη ρυθμούς μετάδοσης σε gigabits ανά δευτερόλεπτο, όταν η αποκλειστική σειριακά κανάλια είναι κατάλληλα σχεδιασμένα. Η υλοποίηση που χρησιμοποιείται στην παρούσα εργασία είναι κατασκευασμένη με καταχωρητές μετατόπισης και πολυπλέκτες. Για να μεταφερθεί το 10-bit datagram χωρίς να χαθεί κανένα bit μετά το 8b/10b κωδικοποιητή, ο σειροποιητής πρέπει να λειτουργεί δέκα φορές ταχύτερα από ό,τι ο κωδικοποιητής. Το παγκόσμιο ρολόι τροφοδοτεί αυτό το στάδιο και τους άλλους στάδια λειτουργούν με ένα σήμα αναφοράς 10 φορές πιο αργό. Για να δοκιμαστεί ο πομπός, μια απλοποιημένη υλοποίηση του δέκτη. Στην Εικόνα 12, τα κύρια μπλοκ του δέκτη ορίζονται. Ο αποδιαταξινομητής χρησιμοποιείται για τον μετασχηματισμό της ακολουθίας που λαμβάνεται από τη σειριακή έξοδο του πομπού. Τα δεδομένα μετατρέπονται από σειριακή σε παράλληλη μορφή. Είναι του εξαιρετικά σημαντικό να συγχρονίζεται ο αποδιαταξινομητής με τον με το παγκόσμιο ρολόι του συστήματος. Τα αποδιαταγμένα δεδομένα των 10 bit είναι επεξεργασία με αποκωδικοποιητή 10b/8b που αντιστοιχίζει το μπλοκ σε 8 bit. Τέλος, εφαρμόζεται μια λειτουργία αποσυμβολισμού για την αποκατάσταση τις αρχικές πληροφορίες και προκύπτει το εξεϊς αποτελεσμα στην Εικόνα 16.



(a)

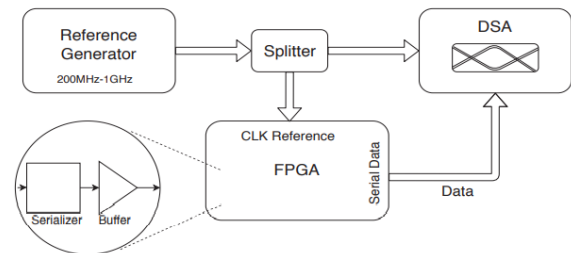


Figure 15: Decoder με IP της Xilinx.

Implementation	Logic delay (ns)	Net delay (ns)	Total (ns)
Memory	1.929	1.346	3.275
Decoders	0.309	1.059	1.368
Xilinx IP's	-	-	3.03

Figure 16: Αποτελέσματα.

REFERENCES

- [1] R. Seetharaman, A. Menaka and K. Anandan, "Analysis of Serializer for High Speed Transmission," 2022 IEEE International Conference on Nanoelectronics, Nanophotonics, Nanomaterials, Nanobioscience Nanotechnology (5NANO), 2022, pp. 1-4, doi: 10.1109/5NANO53044.2022.9828996.
- [2] R. Thukral, M. Goswami, S. Jagtap, S. Goyal and S. Gupta, "A Multi-Octave Frequency Range SerDes with a DLL Free Receiver," 2021 25th International Symposium on VLSI Design and Test (VDAT), 2021, pp. 1-6, doi: 10.1109/VDAT53777.2021.9600917.
- [3] E. Maragkoudaki, W. Toms and V. F. Pavlidis, "Energy-Efficient Encoding for High-Speed Serial Interfaces," in IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 30, no. 10, pp. 1484-1496, Oct. 2022, doi: 10.1109/TVLSI.2022.3194256.
- [4] A. Quesada-Martínez, J. Aparicio-Morales, J. Campos-Araya, A. Chacón-Rodríguez, R. García-Ramírez and R. Rimolo-Donadio, "Evaluation of 8b/10b FPGA Encoder Implementations for SerDes Links," 2020 IEEE 11th Latin American Symposium on Circuits Systems (LASCAS), 2020, pp. 1-4, doi: 10.1109/LASCAS45839.2020.9069001.