



UNIVERSITÀ
DEGLI STUDI
DI PADOVA



UNIVERSITÀ DEGLI STUDI DI PADOVA

DIPARTIMENTO DI INGEGNERIA DELL'INFORMAZIONE
CORSO DI LAUREA IN INGEGNERIA ELETTRONICA

PROGETTO DI UN SINTETIZZATORE MUSICALE CONTROLLATO IN TENSIONE

Relatore: Prof. Matteo Meneghini

Laureando: Filippo Gottardo
Matricola: 1220991

Indice

Introduzione e Specifiche di Progetto	5
1 Generazione dei Segnali Principali	8
1.1 Rampa	8
1.2 Triangolo	11
1.3 Adattamento dei Segnali di Clock	13
2 Convertitore Tensione-Frequenza	16
3 Condizionamento dell’Ingresso	21
3.1 Convertitore Lineare-Esponenziale	21
3.2 Somma di più Ingressi	24
3.3 Clipper	24
4 Modalità di Funzionamento	25
5 Generazione dei Segnali Secondari	26
5.1 Onda Quadra	26
5.2 Dente di Sega	27
5.3 Sinusoide	28
5.4 Impulso	28
6 Stadi di Uscita	30
7 Protezione del Circuito	31
8 Composizione delle Schede	32
Considerazioni Finali e Conclusioni	33
Bibliografia	35

Introduzione e Specifiche di Progetto

In questa tesi viene discussa la progettazione di un sintetizzatore musicale compatibile con lo standard modulare più diffuso al giorno d'oggi, ovvero Eurorack [1]. Più precisamente si vuole realizzare un generatore di segnali che offra la possibilità di essere controllato in tensione (Voltage Controlled Oscillator, o VCO in breve). In questo modo, applicando dei segnali variabili nel tempo in ingresso al modulo, si è in grado di variare dinamicamente la frequenza dei segnali in uscita.

Il range scelto per tale variazione comprende la fascia di frequenze dello spettro audio, quindi da poche decine di Hz a circa $7kHz$. Si desidera inoltre, la possibilità di convertire a piacere il funzionamento del modulo in oscillatore a bassa frequenza (Low Frequency Oscillator, o LFO), spostando quindi il range di frequenze disponibili da frazioni di Hz a qualche decina di Hz .

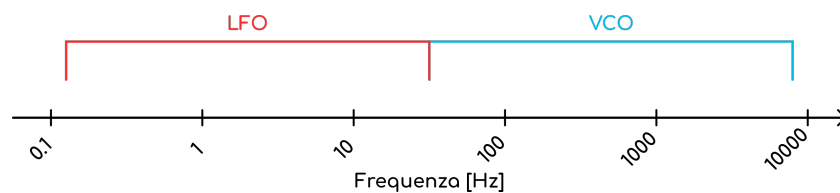


Figura 1: Range di funzionamento approssimato, in scala logaritmica

In modalità VCO quindi, il modulo produrrà dei segnali che attraverso un adeguato sistema potranno essere ascoltati, mentre in modalità LFO il circuito produrrà dei segnali lentamente variabili nel tempo, utili per la modulazione e il controllo di diversi parametri in altri moduli eventualmente presenti nel sistema.

Le forme d'onda desiderate sono quelle base, ovvero:

- Sinusoide;
- Onda Quadra;
- Triangolo;
- Rampa;
- Dente di sega (sebbene nel range VCO non risulti particolarmente differente dalla rampa in termini di suono, per quanto riguarda il funzionamento LFO la differenza è radicale, poichè il segnale viene solitamente utilizzato come modulante);

inoltre, come verrà illustrato più avanti, risulta piuttosto semplice anche estrarre un segnale a impulso, anch'esso alla stessa frequenza di quelli già generati, per il controllo di altri moduli o parametri.

Per quanto riguarda le specifiche sui livelli di tensione, si vogliono imporre i seguenti intervalli di valori:

- Segnali audio (i 5 elencati poco sopra): $\pm 5V$;
- Segnali logici (impulso): $(0V, 5V)$;
- Segnali di controllo (ingresso): $(0V, 8V)$ in modalità $1V/Octave$, ovvero facendo in modo che ad un incremento di $1V$ corrisponda un raddoppio di frequenza, cioè un'ottava;
- Alimentazioni: $\pm 12V$ e $+5V$;

Le specifiche sopra riportate sono prese dallo standard Eurorack.

Si desidera inoltre aggiungere delle manopole per il controllo del "volume" dei segnali in ingresso e uscita, (ad eccezione dell'impulso) e delle manopole per il controllo manuale della frequenza.

Mettendo assieme tutti questi dettagli possiamo abbozzare una interfaccia utente, riportata in figura 2, in modo da rendere più chiaro al lettore il prodotto finale.

Si decide di realizzare l'intero circuito senza l'utilizzo di microcontrollori o sistemi programmabili. Tale scelta viene presa per mettere alla prova più competenze possibili tra quelle acquisite durante gli anni di studio. Una soluzione possibile sarebbe infatti impiegare un microcontrollore con dei campioni digitali molto fitti delle forme d'onda desiderate.

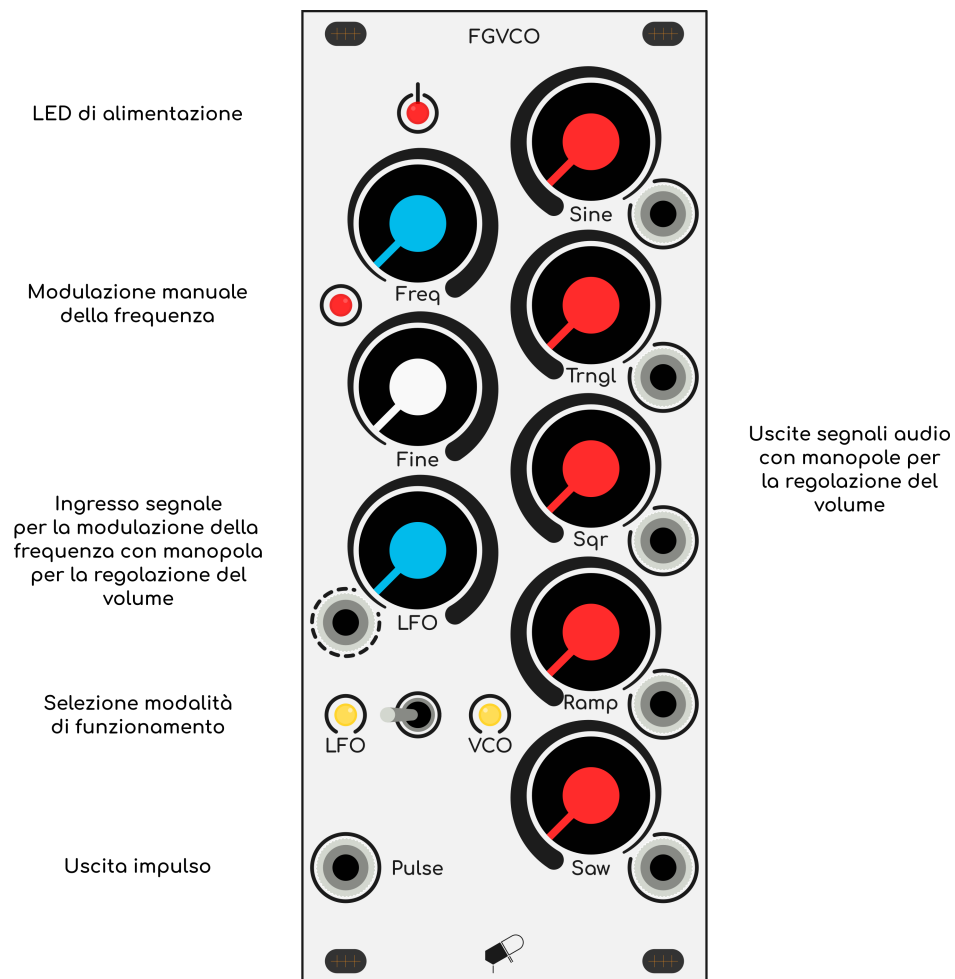


Figura 2: Pannello frontale del modulo

1. Generazione dei Segnali Principali

Per la generazione dei segnali a rampa e a triangolo si decide di procedere in ogni caso per via digitale, utilizzando dei contatori binari abbinati ad un convertitore digitale-analogico.

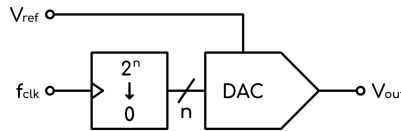
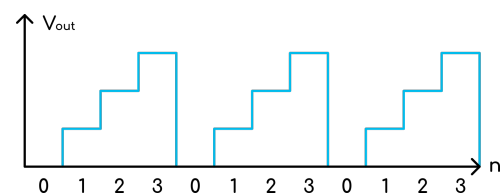


Figura 1.1: Schema a blocchi generale di un generatore di segnale

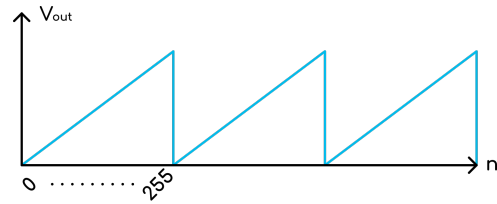
1.1 Rampa

Principio di Funzionamento

Per il segnale a rampa si fa uso di un contatore unidirezionale, ovvero un dispositivo in grado di contare automaticamente da 0 a 2^n , dove n corrisponde al numero di bit, semplicemente fornendo un segnale di clock adeguatamente dimensionato. Maggiore il numero di bit n , maggiore sarà la precisione del nostro segnale, quindi minore l'intensità del rumore generato.



(a) Rampa ottenuta con un contatore a 2 bit



(b) Rampa ottenuta con un contatore a 8 bit

Figura 1.2: Confronto tra contatori unidirezionali con diverso numero di bit

Tuttavia aumentando il numero di bit del contatore è facile intuire che, a parità di frequenza del segnale in uscita, la frequenza del segnale di clock debba necessariamente aumentare.

Vale infatti la seguente relazione:

$$f_{signal} = \frac{f_{clk}}{2^n} [Hz]$$

poichè il contatore deve effettuare un conteggio completo durante un periodo del segnale in uscita. Questo implica dunque un limite massimo al numero di bit del contatore.

La quantità di bit utilizzati per l'applicazione è 8, valore che ci consente di limitare al MHz la frequenza di clock, contare fino a 255 e dividere l'intervallo di tensione d'uscita in altrettanti livelli, ottenendo quindi una variazione di

$$V_{step} = \frac{2V_{ref}}{2^n} = \frac{10V}{256} \approx 39mV$$

per ogni singolo bit (scegliendo $V_{ref} = +5V$).

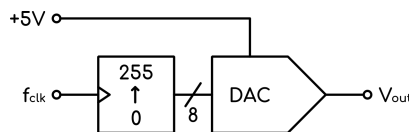


Figura 1.3: Schema a blocchi del sottosistema per la generazione della rampa

A questo punto possiamo calcolare le specifiche del segnale di clock da generare, andando a vedere quali sono le frequenze desiderate per i segnali audio:

- Valore minimo (nota A0): $f_{signal-min} = 27.5Hz \rightarrow f_{clk-min} \approx 7kHz$ a cui corrisponderà un ingresso di $0V$;
- Valore massimo (nota A8): $f_{signal-max} \approx 7kHz \rightarrow f_{clk-max} \approx 1.8MHz$ a cui corrisponderà un ingresso di $8V$;

ovvero un range di funzionamento esteso lungo 8 ottave.

Componenti Utilizzati e Schemi Elettrici

Si passa ora alla scelta dei componenti per la realizzazione del blocco circuitale.

- Contatore: 74HC590 [2];
- DAC: DAC0800 [3];

Per il circuito DAC si utilizza lo schema a pg.10 del relativo datasheet del componente. Tale configurazione ci permette infatti di convertire il dato binario in un valore compreso nell'intervallo $\pm V_{ref} = \pm 5V$, tuttavia si utilizzano un amplificatore operazionale e dei resistori di valore differente (rispettivamente TL074 [6] e $R_L = \bar{R}_L = 3.3k\Omega$). Si noti che anche V_{ref} viene scelta diversa rispetto allo schema nel datasheet ($+5V$), in modo da garantire le specifiche di progetto sul segnale in uscita.

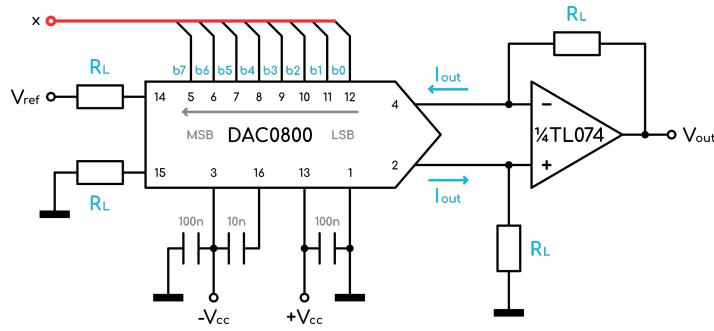


Figura 1.4: Schema elettrico del DAC, $\pm V_{cc} = \pm 12V$

Il DAC eroga una corrente I_{out} proporzionale all'ingresso digitale x , che viene poi convertita in una tensione con un operazionale. Le due grandezze sono legate dalla seguente relazione:

$$V_{out} = V_{ref} \left(\frac{2x - 255}{256} \right) = 5 \left(\frac{2x - 255}{256} \right) [V]$$

Il contatore invece viene collegato nel seguente modo:

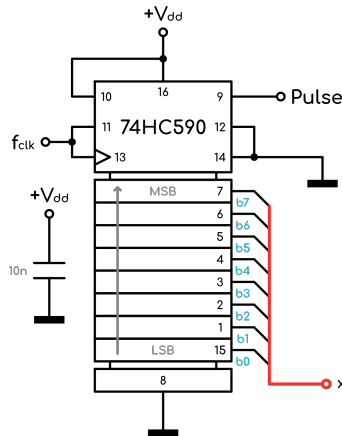


Figura 1.5: Schema elettrico del contatore per l'onda a rampa, $V_{dd} = +5V$

Si noti l'uscita "Pulse" in figura 1.5 dalla quale viene prelevato il segnale a impulso precedentemente accennato, discusso più in dettaglio nel capitolo.

Collegando i due blocchi insieme quindi, l'andamento di V_{out} sarà simile a quello rappresentato in figura 1.2b, e ad ogni impulso di clock corrisponderà un gradino di tensione di circa $40mV$ come calcolato precedentemente.

Risultati Pratici

Andiamo ora a verificare la correttezza del circuito realizzato. Il setup di misura è il seguente:

Si osservano le seguenti forme d'onda:

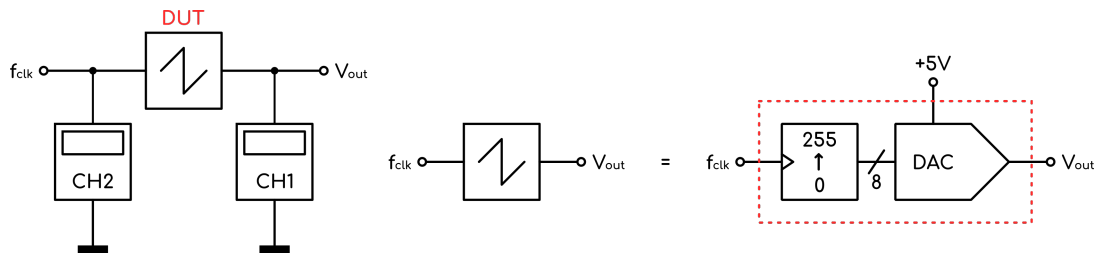
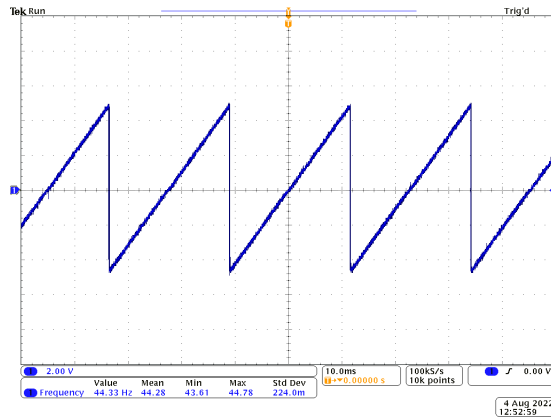
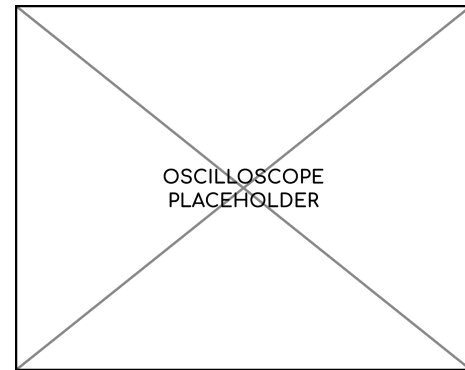


Figura 1.6: Circuito di misura del segnale rampa



(a) Acquisizione del segnale a rampa reale



(b) Zoom degli step della rampa acquisita e clock

Figura 1.7: Acquisizioni del segnale a rampa

1.2 Triangolo

Principio di Funzionamento

Il ragionamento è del tutto analogo a quello del contatore per la rampa, tuttavia in questo caso il contatore utilizzato è bidirezionale e necessita di un segnale che determini la direzione di conteggio (up o down).

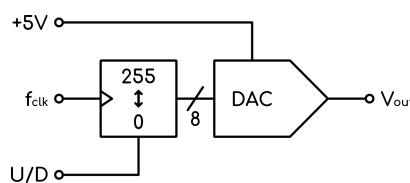


Figura 1.8: Schema a blocchi del sottosistema per la generazione del triangolo

La configurazione del DAC rimane quella utilizzata per la rampa, rappresentata in figura 1.4, va tuttavia fatta notare una importante differenza, ovvero che in questo caso il numero di cicli di clock utilizzati è doppio rispetto a quello per la rampa. Infatti dovranno essere eseguiti 256 conteggi verso l'alto e 256 conteggi verso il basso per effettuare un singolo periodo di onda triangolare. Ne consegue quindi che anche la frequenza di clock in ingresso a questo sottosistema dovrà essere doppia rispetto alla rampa, come risulta evidente in figura 1.10.

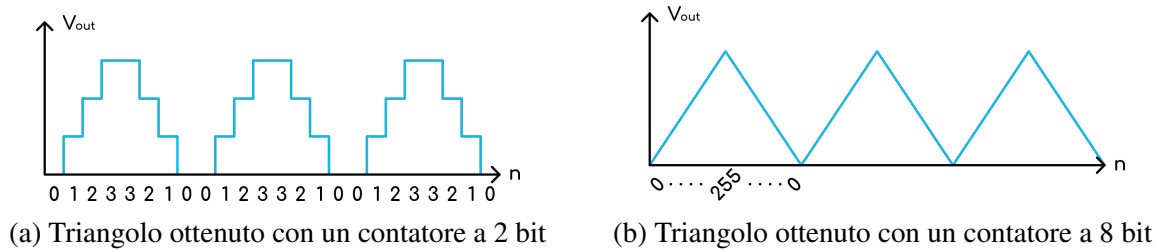


Figura 1.9: Confronto tra contatori bidirezionali con diverso numero di bit

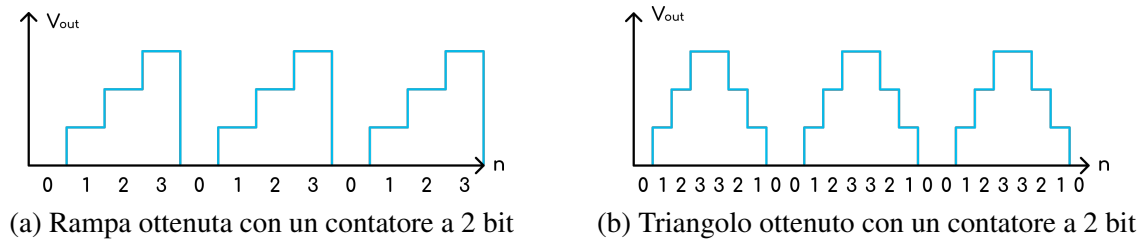


Figura 1.10: Confronto del conteggio tra contatori unidirezionali e bidirezionali

Componenti Utilizzati e Schemi Elettrici

L'unico componente diverso rispetto al circuito per la rampa è il contatore, che come già detto deve essere bidirezionale. Si utilizzano due 74LS169 [8] in cascata con la seguente configurazione:

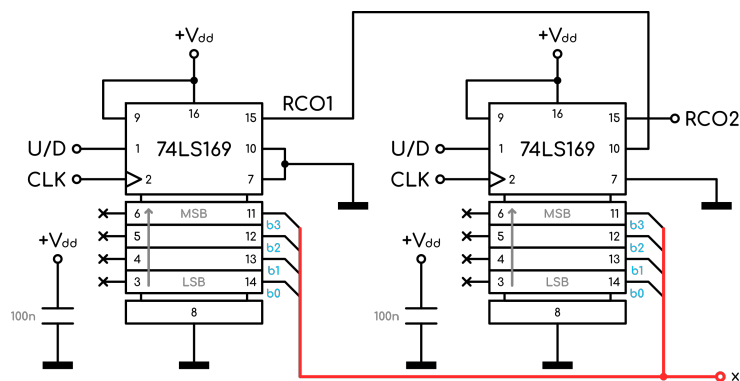


Figura 1.11: Schema elettrico dei contatori per l'onda triangolare, $V_{dd} = +5V$

Il componente utilizzato presenta anche degli ingressi per il preset del numero di partenza (pin da 3 a 6), che però nel nostro caso non vengono utilizzati.

L'uscita denominata $RCO2$ verrà utilizzata per pilotare il verso del conteggio.

Risultati Pratici

Andiamo ora a verificare la correttezza del circuito realizzato. Il setup di misura è il seguente:

Si osservano le seguenti forme d'onda:

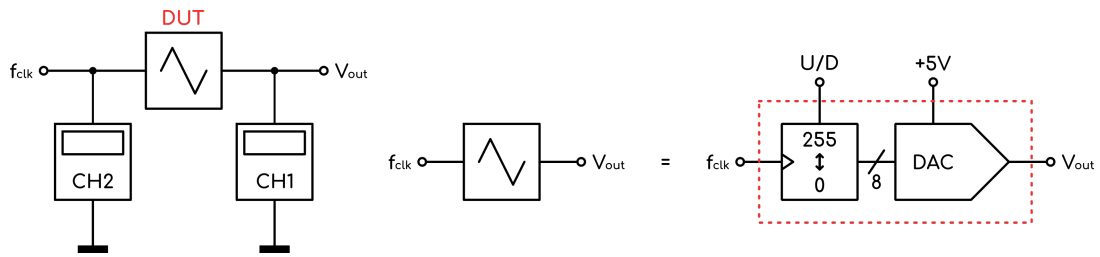
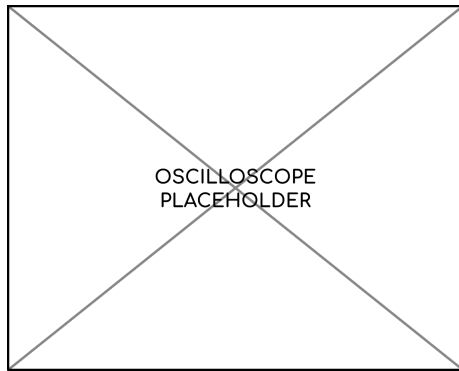
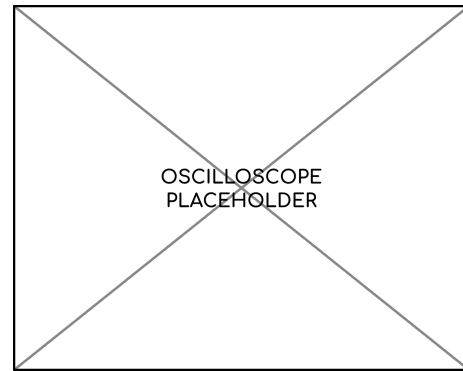


Figura 1.12: Circuito di misura del segnale triangolo



(a) Acquisizione del segnale a triangolo reale



(b) Zoom degli step del triangolo acquisito e clock

Figura 1.13: Acquisizioni del segnale a triangolo

1.3 Adattamento dei Segnali di Clock

Si è visto come, per avere la stessa frequenza di segnale d'uscita, il contatore del triangolo deve avere una frequenza di clock doppia rispetto a quella del contatore della rampa. Questo problema si risolve facilmente utilizzando un divisore di frequenza, ottenuto con un semplice toggle flip-flop (TFF).

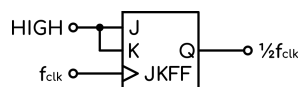


Figura 1.14: Schema a blocchi del divisore di frequenza

Le specifiche sul segnale di clock ci impongono allora di generare un segnale a onda quadra con frequenza variabile tra $\approx 14kHz$ e $\approx 3.6MHz$.

Invece, per fare in modo che il contatore del triangolo cambi effettivamente verso di conteggio è necessario utilizzare un altro TFF collegato al segnale $RCO2$ invertito (poichè attivo a livello logico basso) e all'ingresso U/D .

I componenti utilizzati per questo scopo sono:

- Flip-Flop: 74HC73 [5];
- MOSFET: 2N7000 [10];

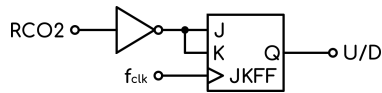


Figura 1.15: Schema a blocchi del sistema per il segnale di pilotaggio

Il chip utilizzato per i flip-flop fornisce esattamente le 2 unità necessarie al nostro scopo, mentre lo schema elettrico per l'inverter è rappresentato in figura 1.16, dove il MOSFET utilizzato è compatibile con le tensioni logiche presenti nel circuito.

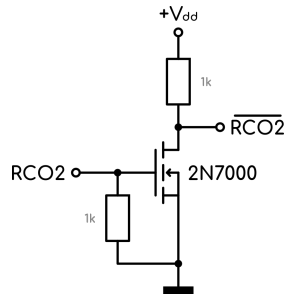
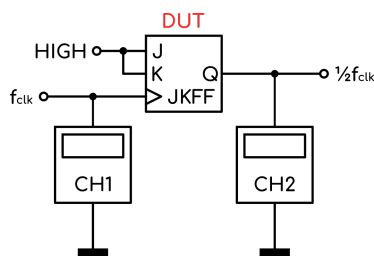


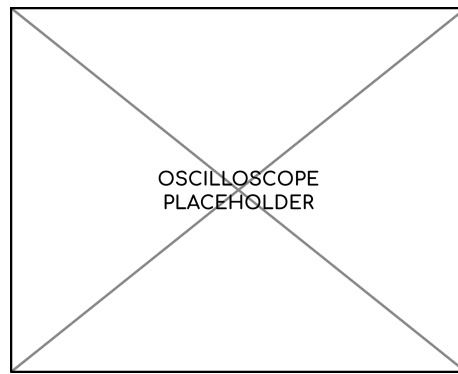
Figura 1.16: Schema elettrico dell'inverter logico, $V_{dd} = +5V$

Risultati Pratici

Si verifica la correttezza dei circuiti:

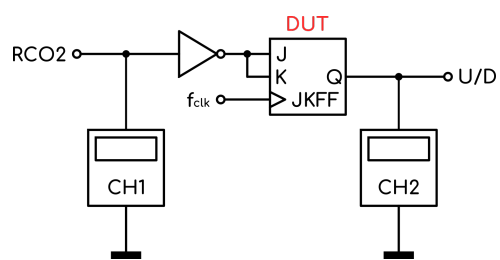


(a) Circuito di misura del divisore di frequenza

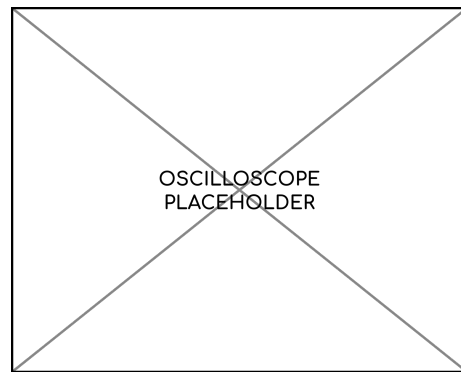


(b) Acquisizione dei segnali f_{clk} e $f_{clk}/2$

Figura 1.17: Correttezza del circuito divisore di frequenza



(a) Circuito di misura del segnale U/D



(b) Acquisizione dei segnali $RCO2$ e U/D

Figura 1.18: Correttezza del circuito di pilotaggio del contatore up-down

2. Convertitore Tensione-Frequenza

Si vuole ora progettare il circuito per la generazione del segnale di clock, con le specifiche ottenute dal capitolo precedente, ovvero:

- Frequenza minima: $\approx 14kHz$;
- Frequenza massima: $\approx 3.6MHz$;
- Livello logico basso: $0V$;
- Livello logico alto: $+5V$;

Principio di Funzionamento

Ciò di cui abbiamo bisogno è un circuito in grado di convertire una tensione in un segnale a onda rettangolare con frequenza proporzionale alla tensione stessa, ovvero un convertitore tensione-frequenza.

In commercio è possibile trovare diversi chip in grado di svolgere questa funzione semplicemente aggiungendo una manciata di componenti di contorno, anche se la maggior parte di questi non arriva a coprire l'intero range di funzionamento di cui abbiamo bisogno (come ad esempio il noto LM331 [7]). Nel nostro caso si utilizza un VFC110 [4], circuito integrato che vanta un'ottima linearità e capace di fornire una frequenza di $4MHz$ in uscita con una corrispondente tensione in ingresso di $10V$, esattamente ciò che la nostra applicazione richiede.

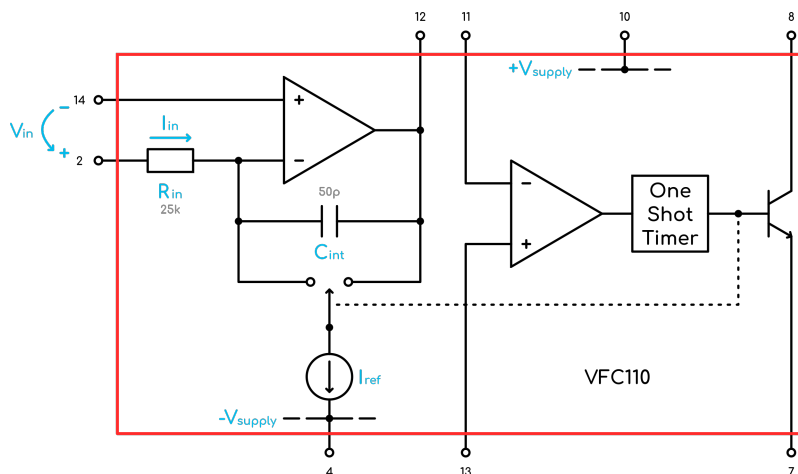


Figura 2.1: Estratto della struttura interna di un VFC110

Il cuore del circuito consiste in un operazionale configurato come integratore, con tensione di uscita proporzionale alla carica immagazzinata nella sua capacità di feedback C_{int} . Una tensione in ingresso V_{in} sviluppa una corrente $I_{in} = \frac{V_{in}}{R_{in}}$ che viene forzata in C_{int} , causando quindi un andamento a rampa decrescente in uscita. Arrivati a $0V$ il comparatore scatta, attivando il timer one-shot. Quindi un generatore di corrente I_{ref} (dal valore di circa $1mA$) viene connesso all'ingresso dell'integratore per un periodo di durata pari a T_{OS} , causando un andamento a rampa crescente in uscita all'integratore. Infine il ciclo ricomincia.

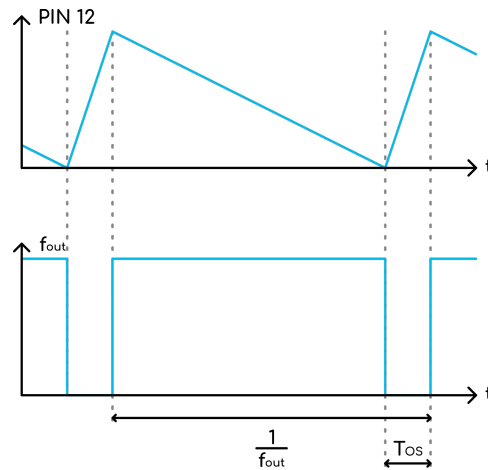


Figura 2.2: Forme d'onda teoriche del VFC110

Per uno studio più approfondito sul funzionamento del VFC110 si consiglia la lettura del datasheet del componente, dal quale si ricava anche la configurazione del circuito utilizzato per sfruttare l'intero range offerto. Si modificano però i valori di alimentazione con quelli dello standard scelto ($\pm 12V$).

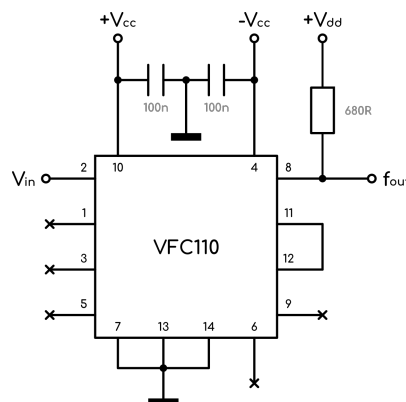


Figura 2.3: Schema elettrico del VFC110 utilizzato

Si noti che gli unici componenti aggiunti sono condensatori di filtro e un resistore di pull-up per l'uscita a collettore aperto.

Le relazioni tra le grandezze in gioco sono le seguenti:

$$I_{in} = I_{ref} \cdot \delta \quad \rightarrow \quad \delta = \frac{I_{in}}{I_{ref}} = \frac{V_{in}}{R_{in} \cdot I_{ref}}$$

$$\frac{V_{in}}{R_{in}} = I_{ref} \cdot f_{out} \cdot T_{OS} \quad \rightarrow \quad f_{out} = \frac{V_{in}}{R_{in} \cdot I_{ref} \cdot T_{OS}} = \frac{\delta}{T_{OS}}$$

Risultati Pratici e Misure

Si procede quindi alla verifica del corretto funzionamento del circuito. Il setup di misura utilizzato viene riportato in figura:

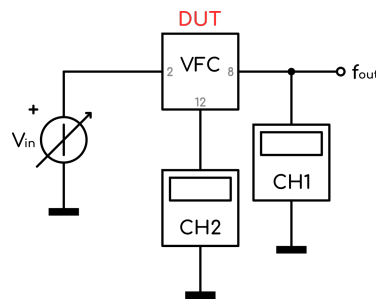


Figura 2.4: Circuito di misura del VFC

Possiamo innanzitutto controllare il comportamento dell'integratore che corrisponde a quello descritto nel paragrafo precedente:

Si nota che la durata del periodo basso di f_{out} si estende lungo il tratto di rampa crescente, come in figura 2.2.

Ora si raccolgono i dati per tracciare la caratteristica del circuito:

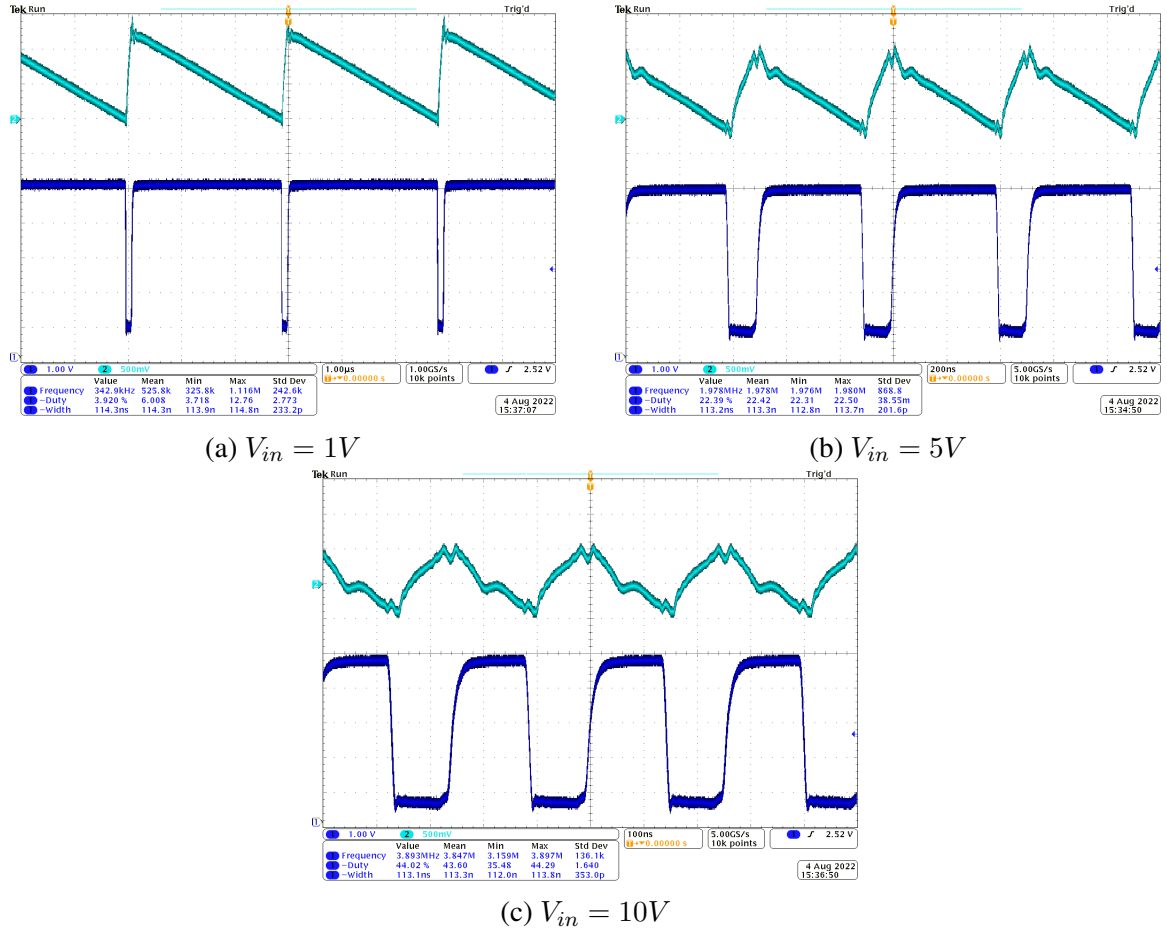


Figura 2.5: Acquisizioni dell'uscita dell'integratore (pin 12, ch.2) e f_{out} corrispondente (ch.1) per diversi valori di V_{in}

V_{in} [V]	δ calcolato [%]	δ misurato [%]	f_{out} calcolata [kHz]	f_{out} misurata [kHz]
0	0	0	0	0
1	4	3.90	400	342
2	8	9.20	800	805
3	12	13.60	1200	1192
4	16	17.99	1600	1580
5	20	22.40	2000	1978
6	24	26.83	2400	2377
7	28	31.38	2800	2776
8	32	35.55	3200	3165
9	36	40.12	3600	3568
10	40	44.23	4000	3883

Tabella 2.1: Valori calcolati e misurati del blocco VFC

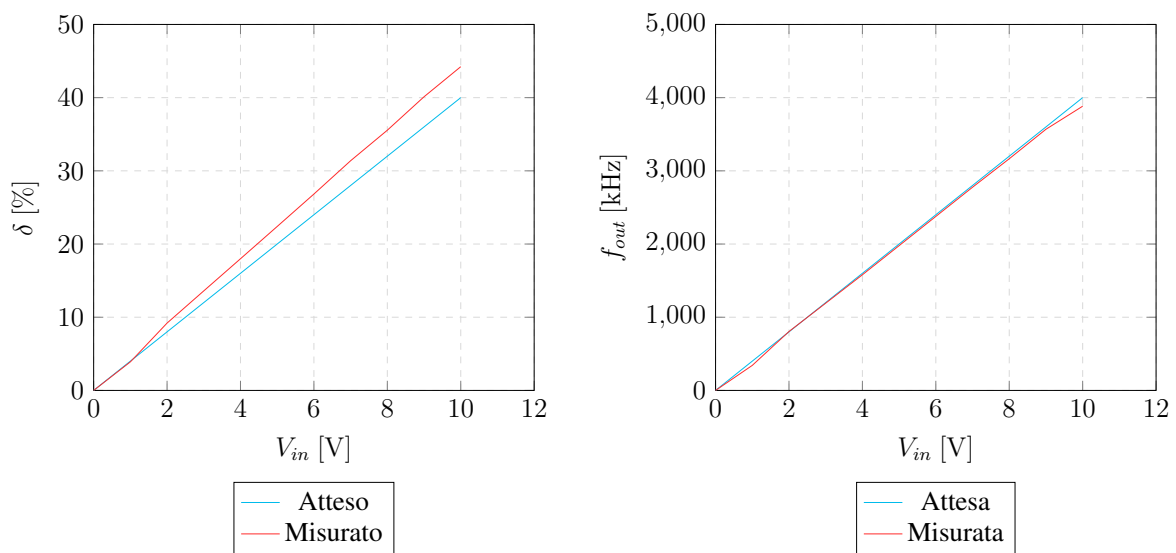


Figura 2.6: Grafici delle grandezze riportate in tabella 2.1

3. Condizionamento dell'Ingresso

3.1 Convertitore Lineare-Esponenziale

Vogliamo ora analizzare la sezione di circuito che soddisfa la specifica sulla modalità $1V/Octave$ dell'ingresso, ovvero il circuito in grado di convertire una tensione lineare in una esponenziale.

Il circuito utilizzato è molto diffuso in questo tipo di applicazioni, si può infatti trovare in molti siti di DIY come quello di René Schmitz [9], personaggio molto noto tra gli appassionati di sintetizzatori musicali fai-da-te.

Analisi del Circuito

Per l'applicazione si sfrutta la caratteristica esponenziale intrinseca del transistor bipolare:

$$I_e \approx I_c = I_s e^{\left(\frac{V_{be}}{V_T} - 1\right)} \approx I_s e^{\left(\frac{V_{be}}{V_T}\right)}$$

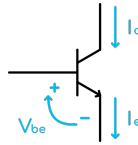


Figura 3.1: BJT

dove V_T (o potenziale termico) e I_s (o corrente di saturazione) sono variabili in funzione della temperatura, anche se nella nostra analisi V_T verrà considerato di valore costante pari a $26mV$.

Per rimuovere dall'equazione I_s , che invece risulta molto più problematico, si collega una coppia di transistor (idealmente nello stesso chip, in modo che siano il più possibile simili tra loro e termicamente accoppiati) in configurazione differenziale:

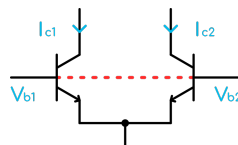


Figura 3.2: Coppia differenziale a BJT

per la quale possiamo scrivere la seguente relazione:

$$\frac{I_{c2}}{I_{c1}} = \frac{I_s e^{\left(\frac{V_{be2}}{V_T}\right)}}{I_s e^{\left(\frac{V_{be1}}{V_T}\right)}} \quad \rightarrow \quad I_{c2} = I_{c1} e^{\left(\frac{V_{be2} - V_{be1}}{V_T}\right)} = I_{c1} e^{\left(\frac{V_{b2} - V_{b1}}{V_T}\right)}$$

in cui risulta evidente che la dipendenza da I_s viene completamente rimossa.

A questo punto, apportiamo alcune modifiche al circuito, ottenendo dunque il seguente:

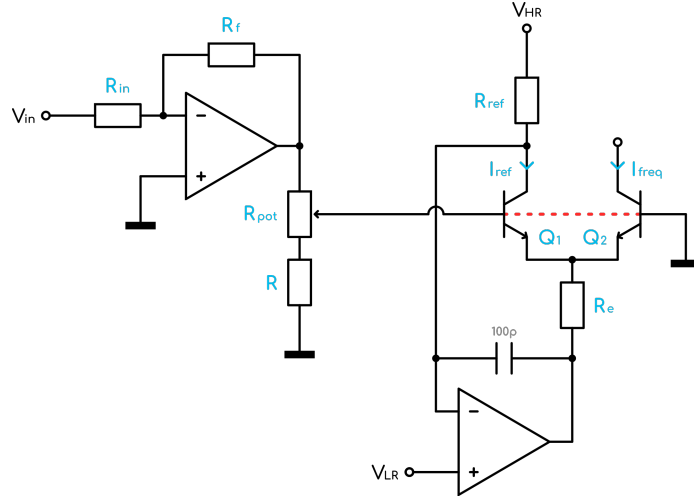


Figura 3.3: Schema elettrico di un convertitore tensione lineare - corrente esponenziale

che ci permette di legare ingresso e uscita tramite le relazioni

$$i_{freq} = I_{ref} e^{\left(-\frac{v_{b1}}{V_T}\right)}$$

$$I_{ref} = \frac{V_{HR} - V_{LR}}{R_{ref}}$$

L'operazionale di sinistra (rappresentato in figura 3.3) si occupa di invertire il segno della tensione di ingresso e portarla in un range appropriato per la base del transistor, questo consente di avere un valore positivo all'esponente. Quello di destra invece, si occupa di mantenere costante la corrente di riferimento I_{ref} .

Si aggiunge ora un semplice convertitore corrente-tensione al collettore di Q_2 , quindi:

$$V_{out} = R_f \cdot i_{freq} = R_f \cdot \frac{V_{HR} - V_{LR}}{R_{ref}} e^{\left(-\frac{s \cdot V_{in}}{V_T}\right)}$$

Dimensionamento e Scelta dei Componenti

Passiamo quindi al dimensionamento dei componenti, in modo da imporre al circuito il comportamento voluto.

Come prima cosa calcoliamo il valore del guadagno s dell'amplificatore invertente. Si vuole:

$$i_{freq} = I_{ref} e^{-\frac{s \cdot V_{in}}{V_T}} \quad \rightarrow \quad 2i_{freq} = I_{ref} e^{-\frac{s \cdot [V_{in} + \Delta V_{in}]}{V_T}}$$

quindi un raddoppio della corrente i_{freq} per ogni variazione $\Delta V_{in} = 1V$. Allora possiamo riscrivere le due relazioni nel seguente modo:

$$2 = e^{-\frac{s \cdot \Delta V_{in}}{V_T}} \quad \rightarrow \quad \ln(2) = -\frac{s \cdot \Delta V_{in}}{V_T} \quad \rightarrow \quad -s = \frac{V_T \cdot \ln(2)}{\Delta V_{in}}$$

e sostituendo i valori otteniamo:

$$-s = \frac{26mV \cdot 0.6931}{1V} \approx -0.018 \approx -\frac{1}{55.5}$$

valore che può essere diviso nel seguente modo:

$$s = \bar{s} \cdot \hat{s} = \frac{2k\Omega}{100k\Omega} \cdot \frac{440\Omega}{490\Omega} \approx 0.018$$

quindi:

- $R_f = 2k\Omega$;
- $R_{in} = 100k\Omega$;
- $R_{pot} = 100\Omega$;
- $R = 390\Omega$;

impostiamo i valori di $V_{HR} = +12V$ e $V_{LR} = 0V$.

Risultati Pratici e Misure

testo

3.2 Somma di più Ingressi

testo

3.3 Clipper

testo

Risultati Pratici e Misure

4. Modalità di Funzionamento

Nam dui ligula, fringilla a, euismod sodales, sollicitudin vel, wisi. Morbi auctor lorem non justo. Nam lacus libero, pretium at, lobortis vitae, ultricies et, tellus. Donec aliquet, tortor sed accumsan bibendum, erat ligula aliquet magna, vitae ornare odio metus a mi. Morbi ac orci et nisl hendrerit mollis. Suspendisse ut massa. Cras nec ante. Pellentesque a nulla. Cum sociis natoque penatibus et magnis dis parturient montes, nascetur ridiculus mus. Aliquam tincidunt urna. Nulla ullamcorper vestibulum turpis. Pellentesque cursus luctus mauris.

Nulla malesuada porttitor diam. Donec felis erat, congue non, volutpat at, tincidunt tristique, libero. Vivamus viverra fermentum felis. Donec nonummy pellentesque ante. Phasellus adipiscing semper elit. Proin fermentum massa ac quam. Sed diam turpis, molestie vitae, placerat a, molestie nec, leo. Maecenas lacinia. Nam ipsum ligula, eleifend at, accumsan nec, suscipit a, ipsum. Morbi blandit ligula feugiat magna. Nunc eleifend consequat lorem. Sed lacinia nulla vitae enim. Pellentesque tincidunt purus vel magna. Integer non enim. Praesent euismod nunc eu purus. Donec bibendum quam in tellus. Nullam cursus pulvinar lectus. Donec et mi. Nam vulputate metus eu enim. Vestibulum pellentesque felis eu massa.

Quisque ullamcorper placerat ipsum. Cras nibh. Morbi vel justo vitae lacus tincidunt ultrices. Lorem ipsum dolor sit amet, consectetur adipiscing elit. In hac habitasse platea dictumst. Integer tempus convallis augue. Etiam facilisis. Nunc elementum fermentum wisi. Aenean placerat. Ut imperdiet, enim sed gravida sollicitudin, felis odio placerat quam, ac pulvinar elit purus eget enim. Nunc vitae tortor. Proin tempus nibh sit amet nisl. Vivamus quis tortor vitae risus porta vehicula.

5. Generazione dei Segnali Secondari

Nam dui ligula, fringilla a, euismod sodales, sollicitudin vel, wisi. Morbi auctor lorem non justo. Nam lacus libero, pretium at, lobortis vitae, ultricies et, tellus. Donec aliquet, tortor sed accumsan bibendum, erat ligula aliquet magna, vitae ornare odio metus a mi. Morbi ac orci et nisl hendrerit mollis. Suspendisse ut massa. Cras nec ante. Pellentesque a nulla. Cum sociis natoque penatibus et magnis dis parturient montes, nascetur ridiculus mus. Aliquam tincidunt urna. Nulla ullamcorper vestibulum turpis. Pellentesque cursus luctus mauris.

Nulla malesuada porttitor diam. Donec felis erat, congue non, volutpat at, tincidunt tristique, libero. Vivamus viverra fermentum felis. Donec nonummy pellentesque ante. Phasellus adipiscing semper elit. Proin fermentum massa ac quam. Sed diam turpis, molestie vitae, placerat a, molestie nec, leo. Maecenas lacinia. Nam ipsum ligula, eleifend at, accumsan nec, suscipit a, ipsum. Morbi blandit ligula feugiat magna. Nunc eleifend consequat lorem. Sed lacinia nulla vitae enim. Pellentesque tincidunt purus vel magna. Integer non enim. Praesent euismod nunc eu purus. Donec bibendum quam in tellus. Nullam cursus pulvinar lectus. Donec et mi. Nam vulputate metus eu enim. Vestibulum pellentesque felis eu massa.

Quisque ullamcorper placerat ipsum. Cras nibh. Morbi vel justo vitae lacus tincidunt ultrices. Lorem ipsum dolor sit amet, consectetur adipiscing elit. In hac habitasse platea dictumst. Integer tempus convallis augue. Etiam facilisis. Nunc elementum fermentum wisi. Aenean placerat. Ut imperdiet, enim sed gravida sollicitudin, felis odio placerat quam, ac pulvinar elit purus eget enim. Nunc vitae tortor. Proin tempus nibh sit amet nisl. Vivamus quis tortor vitae risus porta vehicula.

5.1 Onda Quadra

Nam dui ligula, fringilla a, euismod sodales, sollicitudin vel, wisi. Morbi auctor lorem non justo. Nam lacus libero, pretium at, lobortis vitae, ultricies et, tellus. Donec aliquet, tortor sed accumsan bibendum, erat ligula aliquet magna, vitae ornare odio metus a mi. Morbi ac orci et nisl hendrerit mollis. Suspendisse ut massa. Cras nec ante. Pellentesque a nulla. Cum sociis natoque penatibus et magnis dis parturient montes, nascetur ridiculus mus. Aliquam tincidunt urna. Nulla ullamcorper vestibulum turpis. Pellentesque cursus luctus mauris.

Nulla malesuada porttitor diam. Donec felis erat, congue non, volutpat at, tincidunt tristique,

libero. Vivamus viverra fermentum felis. Donec nonummy pellentesque ante. Phasellus adipiscing semper elit. Proin fermentum massa ac quam. Sed diam turpis, molestie vitae, placerat a, molestie nec, leo. Maecenas lacinia. Nam ipsum ligula, eleifend at, accumsan nec, suscipit a, ipsum. Morbi blandit ligula feugiat magna. Nunc eleifend consequat lorem. Sed lacinia nulla vitae enim. Pellentesque tincidunt purus vel magna. Integer non enim. Praesent euismod nunc eu purus. Donec bibendum quam in tellus. Nullam cursus pulvinar lectus. Donec et mi. Nam vulputate metus eu enim. Vestibulum pellentesque felis eu massa.

Quisque ullamcorper placerat ipsum. Cras nibh. Morbi vel justo vitae lacus tincidunt ultrices. Lorem ipsum dolor sit amet, consectetur adipiscing elit. In hac habitasse platea dictumst. Integer tempus convallis augue. Etiam facilisis. Nunc elementum fermentum wisi. Aenean placerat. Ut imperdiet, enim sed gravida sollicitudin, felis odio placerat quam, ac pulvinar elit purus eget enim. Nunc vitae tortor. Proin tempus nibh sit amet nisl. Vivamus quis tortor vitae risus porta vehicula.

5.2 Dente di Segna

Nam dui ligula, fringilla a, euismod sodales, sollicitudin vel, wisi. Morbi auctor lorem non justo. Nam lacus libero, pretium at, lobortis vitae, ultricies et, tellus. Donec aliquet, tortor sed accumsan bibendum, erat ligula aliquet magna, vitae ornare odio metus a mi. Morbi ac orci et nisl hendrerit mollis. Suspendisse ut massa. Cras nec ante. Pellentesque a nulla. Cum sociis natoque penatibus et magnis dis parturient montes, nascetur ridiculus mus. Aliquam tincidunt urna. Nulla ullamcorper vestibulum turpis. Pellentesque cursus luctus mauris.

Nulla malesuada porttitor diam. Donec felis erat, congue non, volutpat at, tincidunt tristique, libero. Vivamus viverra fermentum felis. Donec nonummy pellentesque ante. Phasellus adipiscing semper elit. Proin fermentum massa ac quam. Sed diam turpis, molestie vitae, placerat a, molestie nec, leo. Maecenas lacinia. Nam ipsum ligula, eleifend at, accumsan nec, suscipit a, ipsum. Morbi blandit ligula feugiat magna. Nunc eleifend consequat lorem. Sed lacinia nulla vitae enim. Pellentesque tincidunt purus vel magna. Integer non enim. Praesent euismod nunc eu purus. Donec bibendum quam in tellus. Nullam cursus pulvinar lectus. Donec et mi. Nam vulputate metus eu enim. Vestibulum pellentesque felis eu massa.

Quisque ullamcorper placerat ipsum. Cras nibh. Morbi vel justo vitae lacus tincidunt ultrices. Lorem ipsum dolor sit amet, consectetur adipiscing elit. In hac habitasse platea dictumst. Integer tempus convallis augue. Etiam facilisis. Nunc elementum fermentum wisi. Aenean placerat. Ut imperdiet, enim sed gravida sollicitudin, felis odio placerat quam, ac pulvinar elit

purus eget enim. Nunc vitae tortor. Proin tempus nibh sit amet nisl. Vivamus quis tortor vitae risus porta vehicula.

5.3 Sinusoide

Nam dui ligula, fringilla a, euismod sodales, sollicitudin vel, wisi. Morbi auctor lorem non justo. Nam lacus libero, pretium at, lobortis vitae, ultricies et, tellus. Donec aliquet, tortor sed accumsan bibendum, erat ligula aliquet magna, vitae ornare odio metus a mi. Morbi ac orci et nisl hendrerit mollis. Suspendisse ut massa. Cras nec ante. Pellentesque a nulla. Cum sociis natoque penatibus et magnis dis parturient montes, nascetur ridiculus mus. Aliquam tincidunt urna. Nulla ullamcorper vestibulum turpis. Pellentesque cursus luctus mauris.

Nulla malesuada porttitor diam. Donec felis erat, congue non, volutpat at, tincidunt tristique, libero. Vivamus viverra fermentum felis. Donec nonummy pellentesque ante. Phasellus adipiscing semper elit. Proin fermentum massa ac quam. Sed diam turpis, molestie vitae, placerat a, molestie nec, leo. Maecenas lacinia. Nam ipsum ligula, eleifend at, accumsan nec, suscipit a, ipsum. Morbi blandit ligula feugiat magna. Nunc eleifend consequat lorem. Sed lacinia nulla vitae enim. Pellentesque tincidunt purus vel magna. Integer non enim. Praesent euismod nunc eu purus. Donec bibendum quam in tellus. Nullam cursus pulvinar lectus. Donec et mi. Nam vulputate metus eu enim. Vestibulum pellentesque felis eu massa.

Quisque ullamcorper placerat ipsum. Cras nibh. Morbi vel justo vitae lacus tincidunt ultrices. Lorem ipsum dolor sit amet, consectetur adipiscing elit. In hac habitasse platea dictumst. Integer tempus convallis augue. Etiam facilisis. Nunc elementum fermentum wisi. Aenean placerat. Ut imperdiet, enim sed gravida sollicitudin, felis odio placerat quam, ac pulvinar elit purus eget enim. Nunc vitae tortor. Proin tempus nibh sit amet nisl. Vivamus quis tortor vitae risus porta vehicula.

5.4 Impulso

Nam dui ligula, fringilla a, euismod sodales, sollicitudin vel, wisi. Morbi auctor lorem non justo. Nam lacus libero, pretium at, lobortis vitae, ultricies et, tellus. Donec aliquet, tortor sed accumsan bibendum, erat ligula aliquet magna, vitae ornare odio metus a mi. Morbi ac orci et nisl hendrerit mollis. Suspendisse ut massa. Cras nec ante. Pellentesque a nulla. Cum sociis natoque penatibus et magnis dis parturient montes, nascetur ridiculus mus. Aliquam tincidunt urna. Nulla ullamcorper vestibulum turpis. Pellentesque cursus luctus mauris.

Nulla malesuada porttitor diam. Donec felis erat, congue non, volutpat at, tincidunt tristique,

libero. Vivamus viverra fermentum felis. Donec nonummy pellentesque ante. Phasellus adipiscing semper elit. Proin fermentum massa ac quam. Sed diam turpis, molestie vitae, placerat a, molestie nec, leo. Maecenas lacinia. Nam ipsum ligula, eleifend at, accumsan nec, suscipit a, ipsum. Morbi blandit ligula feugiat magna. Nunc eleifend consequat lorem. Sed lacinia nulla vitae enim. Pellentesque tincidunt purus vel magna. Integer non enim. Praesent euismod nunc eu purus. Donec bibendum quam in tellus. Nullam cursus pulvinar lectus. Donec et mi. Nam vulputate metus eu enim. Vestibulum pellentesque felis eu massa.

Quisque ullamcorper placerat ipsum. Cras nibh. Morbi vel justo vitae lacus tincidunt ultrices. Lorem ipsum dolor sit amet, consectetur adipiscing elit. In hac habitasse platea dictumst. Integer tempus convallis augue. Etiam facilisis. Nunc elementum fermentum wisi. Aenean placerat. Ut imperdiet, enim sed gravida sollicitudin, felis odio placerat quam, ac pulvinar elit purus eget enim. Nunc vitae tortor. Proin tempus nibh sit amet nisl. Vivamus quis tortor vitae risus porta vehicula.

6. Stadi di Uscita

Nam dui ligula, fringilla a, euismod sodales, sollicitudin vel, wisi. Morbi auctor lorem non justo. Nam lacus libero, pretium at, lobortis vitae, ultricies et, tellus. Donec aliquet, tortor sed accumsan bibendum, erat ligula aliquet magna, vitae ornare odio metus a mi. Morbi ac orci et nisl hendrerit mollis. Suspendisse ut massa. Cras nec ante. Pellentesque a nulla. Cum sociis natoque penatibus et magnis dis parturient montes, nascetur ridiculus mus. Aliquam tincidunt urna. Nulla ullamcorper vestibulum turpis. Pellentesque cursus luctus mauris.

Nulla malesuada porttitor diam. Donec felis erat, congue non, volutpat at, tincidunt tristique, libero. Vivamus viverra fermentum felis. Donec nonummy pellentesque ante. Phasellus adipiscing semper elit. Proin fermentum massa ac quam. Sed diam turpis, molestie vitae, placerat a, molestie nec, leo. Maecenas lacinia. Nam ipsum ligula, eleifend at, accumsan nec, suscipit a, ipsum. Morbi blandit ligula feugiat magna. Nunc eleifend consequat lorem. Sed lacinia nulla vitae enim. Pellentesque tincidunt purus vel magna. Integer non enim. Praesent euismod nunc eu purus. Donec bibendum quam in tellus. Nullam cursus pulvinar lectus. Donec et mi. Nam vulputate metus eu enim. Vestibulum pellentesque felis eu massa.

Quisque ullamcorper placerat ipsum. Cras nibh. Morbi vel justo vitae lacus tincidunt ultrices. Lorem ipsum dolor sit amet, consectetur adipiscing elit. In hac habitasse platea dictumst. Integer tempus convallis augue. Etiam facilisis. Nunc elementum fermentum wisi. Aenean placerat. Ut imperdiet, enim sed gravida sollicitudin, felis odio placerat quam, ac pulvinar elit purus eget enim. Nunc vitae tortor. Proin tempus nibh sit amet nisl. Vivamus quis tortor vitae risus porta vehicula.

7. Protezione del Circuito

Nam dui ligula, fringilla a, euismod sodales, sollicitudin vel, wisi. Morbi auctor lorem non justo. Nam lacus libero, pretium at, lobortis vitae, ultricies et, tellus. Donec aliquet, tortor sed accumsan bibendum, erat ligula aliquet magna, vitae ornare odio metus a mi. Morbi ac orci et nisl hendrerit mollis. Suspendisse ut massa. Cras nec ante. Pellentesque a nulla. Cum sociis natoque penatibus et magnis dis parturient montes, nascetur ridiculus mus. Aliquam tincidunt urna. Nulla ullamcorper vestibulum turpis. Pellentesque cursus luctus mauris.

Nulla malesuada porttitor diam. Donec felis erat, congue non, volutpat at, tincidunt tristique, libero. Vivamus viverra fermentum felis. Donec nonummy pellentesque ante. Phasellus adipiscing semper elit. Proin fermentum massa ac quam. Sed diam turpis, molestie vitae, placerat a, molestie nec, leo. Maecenas lacinia. Nam ipsum ligula, eleifend at, accumsan nec, suscipit a, ipsum. Morbi blandit ligula feugiat magna. Nunc eleifend consequat lorem. Sed lacinia nulla vitae enim. Pellentesque tincidunt purus vel magna. Integer non enim. Praesent euismod nunc eu purus. Donec bibendum quam in tellus. Nullam cursus pulvinar lectus. Donec et mi. Nam vulputate metus eu enim. Vestibulum pellentesque felis eu massa.

Quisque ullamcorper placerat ipsum. Cras nibh. Morbi vel justo vitae lacus tincidunt ultrices. Lorem ipsum dolor sit amet, consectetur adipiscing elit. In hac habitasse platea dictumst. Integer tempus convallis augue. Etiam facilisis. Nunc elementum fermentum wisi. Aenean placerat. Ut imperdiet, enim sed gravida sollicitudin, felis odio placerat quam, ac pulvinar elit purus eget enim. Nunc vitae tortor. Proin tempus nibh sit amet nisl. Vivamus quis tortor vitae risus porta vehicula.

8. Composizione delle Schede

Nam dui ligula, fringilla a, euismod sodales, sollicitudin vel, wisi. Morbi auctor lorem non justo. Nam lacus libero, pretium at, lobortis vitae, ultricies et, tellus. Donec aliquet, tortor sed accumsan bibendum, erat ligula aliquet magna, vitae ornare odio metus a mi. Morbi ac orci et nisl hendrerit mollis. Suspendisse ut massa. Cras nec ante. Pellentesque a nulla. Cum sociis natoque penatibus et magnis dis parturient montes, nascetur ridiculus mus. Aliquam tincidunt urna. Nulla ullamcorper vestibulum turpis. Pellentesque cursus luctus mauris.

Nulla malesuada porttitor diam. Donec felis erat, congue non, volutpat at, tincidunt tristique, libero. Vivamus viverra fermentum felis. Donec nonummy pellentesque ante. Phasellus adipiscing semper elit. Proin fermentum massa ac quam. Sed diam turpis, molestie vitae, placerat a, molestie nec, leo. Maecenas lacinia. Nam ipsum ligula, eleifend at, accumsan nec, suscipit a, ipsum. Morbi blandit ligula feugiat magna. Nunc eleifend consequat lorem. Sed lacinia nulla vitae enim. Pellentesque tincidunt purus vel magna. Integer non enim. Praesent euismod nunc eu purus. Donec bibendum quam in tellus. Nullam cursus pulvinar lectus. Donec et mi. Nam vulputate metus eu enim. Vestibulum pellentesque felis eu massa.

Quisque ullamcorper placerat ipsum. Cras nibh. Morbi vel justo vitae lacus tincidunt ultrices. Lorem ipsum dolor sit amet, consectetur adipiscing elit. In hac habitasse platea dictumst. Integer tempus convallis augue. Etiam facilisis. Nunc elementum fermentum wisi. Aenean placerat. Ut imperdiet, enim sed gravida sollicitudin, felis odio placerat quam, ac pulvinar elit purus eget enim. Nunc vitae tortor. Proin tempus nibh sit amet nisl. Vivamus quis tortor vitae risus porta vehicula.

Considerazioni Finali e Conclusioni

Nam dui ligula, fringilla a, euismod sodales, sollicitudin vel, wisi. Morbi auctor lorem non justo. Nam lacus libero, pretium at, lobortis vitae, ultricies et, tellus. Donec aliquet, tortor sed accumsan bibendum, erat ligula aliquet magna, vitae ornare odio metus a mi. Morbi ac orci et nisl hendrerit mollis. Suspendisse ut massa. Cras nec ante. Pellentesque a nulla. Cum sociis natoque penatibus et magnis dis parturient montes, nascetur ridiculus mus. Aliquam tincidunt urna. Nulla ullamcorper vestibulum turpis. Pellentesque cursus luctus mauris.

Nulla malesuada porttitor diam. Donec felis erat, congue non, volutpat at, tincidunt tristique, libero. Vivamus viverra fermentum felis. Donec nonummy pellentesque ante. Phasellus adipiscing semper elit. Proin fermentum massa ac quam. Sed diam turpis, molestie vitae, placerat a, molestie nec, leo. Maecenas lacinia. Nam ipsum ligula, eleifend at, accumsan nec, suscipit a, ipsum. Morbi blandit ligula feugiat magna. Nunc eleifend consequat lorem. Sed lacinia nulla vitae enim. Pellentesque tincidunt purus vel magna. Integer non enim. Praesent euismod nunc eu purus. Donec bibendum quam in tellus. Nullam cursus pulvinar lectus. Donec et mi. Nam vulputate metus eu enim. Vestibulum pellentesque felis eu massa.

Quisque ullamcorper placerat ipsum. Cras nibh. Morbi vel justo vitae lacus tincidunt ultrices. Lorem ipsum dolor sit amet, consectetur adipiscing elit. In hac habitasse platea dictumst. Integer tempus convallis augue. Etiam facilisis. Nunc elementum fermentum wisi. Aenean placerat. Ut imperdiet, enim sed gravida sollicitudin, felis odio placerat quam, ac pulvinar elit purus eget enim. Nunc vitae tortor. Proin tempus nibh sit amet nisl. Vivamus quis tortor vitae risus porta vehicula.

Bibliografia

- [1] Doepfer. *Technical Details A-100*. Ultimo accesso: 10 agosto 2022. URL:
https://doepfer.de/a100_man/a100t_e.htm.
- [2] Texas Instruments. *8-Bit Binary Counter With 3-State Output Registers*. SN54HC590A, SN74HC590A. Rev. F. 15 Sep 2003. URL:
https://www.ti.com/lit/ds/symlink/sn74hc590a.pdf?ts=1660052021803&ref_url=https%253A%252F%252Fwww.ti.com%252Fproduct%252FSN74HC590A%253FDPCM%253Dyes%2526utm_source%253Dsupplyframe%2526utm_medium%253DSEP%2526utm_campaign%253Dnot_alldatasheet%2526clid%253DCjkKEQjwi8iXBhCH4qTo0eHB5a4BEiQAcEheL4orR2IcXezk9QUTg0VBEO06AO8X78kbvVsHNjYh-K7w_wcB.
- [3] Texas Instruments. *8-Bit Digital-to-Analog Converters*. DAC0800/DAC0802. Rev. C. 19 Feb 2013. URL: https://www.ti.com/lit/ds/symlink/dac0800.pdf?ts=1660056823024&ref_url=https%253A%252F%252Fwww.google.com%252F.
- [4] Texas Instruments. *High Frequency Voltage-to-Frequency Converter*. VFC110. Rev. A. 25 Apr 2007. URL: https://www.ti.com/lit/ds/symlink/vfc110.pdf?ts=1660083698490&ref_url=https%253A%252F%252Fwww.ti.com%252Fproduct%252FVFC110%253FkeyMatch%253DVFC110.
- [5] Texas Instruments. *High Speed CMOS Logic Dual Negative-Edge-Triggered J-K Flip-Flops with Reset*. CDx4HC73, CD74HCT73. 31 Jan 2022. URL:
https://www.ti.com/lit/ds/symlink/cd74hc73.pdf?ts=1660083349727&ref_url=https%253A%252F%252Fwww.ti.com%252Fproduct%252FCD74HC73%253FkeyMatch%253DCD74HC73%2526tsearch%253Dsearch-everything%2526usecase%253DGPN.
- [6] Texas Instruments. *Low-Noise FET-Input Operational Amplifiers*. TL07xx. Rev. T. 13 Dec 2021. URL:
https://www.ti.com/lit/ds/symlink/tl074a.pdf?ts=1660083674764&ref_url=https%253A%252F%252Fwww.ti.com%252Fproduct%252FTL074A%253FkeyMatch%253D%2526tsearch%253Dsearch-everything%2526usecase%253Dpartmatches.
- [7] Texas Instruments. *Precision voltage-to-frequency converter with 1-Hz to 100-kHz full scale frequency*. LMx31x. Rev. C. 29 Sep 2015. URL: <https://www.ti.com/lit/ds/symlink>

/lm331.pdf?ts=1660083454622&ref_url=https%253A%252F%252Fwww.ti.com%252Fproduct%252FLM331%253FkeyMatch%253DLM331.

- [8] Texas Instruments. *Synchronous 4-Bit Up/Down Binary Counters*. SN54LS169B, SN54S169, SN74LS169B, SN74S169. 1Mar 1988. URL: https://www.ti.com/lit/ds/symlink/sn74ls169b.pdf?ts=1660083375741&ref_url=https%253A%252F%252Fwww.ti.com%252Fproduct%252FSN74LS169B%253FkeyMatch%253DSN74LS169B%2526tsearch%253Dsearch-everything%2526usecase%253DGPN.
- [9] Schmitz René. *Voltage controlled oscillators*. Ultimo accesso: 10 agosto 2022. March 1999. URL: <https://www.schmitzbits.de/vco2.html>.
- [10] ON Semiconductor. *N-Channel Enhancement Mode Field Effect Transistor 60V, 200mA, 5 ohm*. 2N7000, 2N7002, NDS7002A. Rev. 7. July 2022. URL: <https://www.onsemi.com/pdf/datasheet/nds7002a-d.pdf>.