



UNIVERSITÀ
DEGLI STUDI
DI PADOVA



UNIVERSITÀ DEGLI STUDI DI PADOVA

DIPARTIMENTO DI INGEGNERIA DELL'INFORMAZIONE
CORSO DI LAUREA IN INGEGNERIA ELETTRONICA

PROGETTO DI UN SINTETIZZATORE MUSICALE CONTROLLATO IN TENSIONE

Relatore: Prof. Matteo Meneghini

Laureando: Filippo Gottardo
Matricola: 1220991

Indice

Introduzione e Specifiche di Progetto	5
1 Generazione dei Segnali Principali	8
1.1 Rampa	8
1.2 Triangolo	11
1.3 Adattamento dei Segnali di Clock e Pilotaggio	13
2 Convertitore Tensione-Frequenza	16
3 Condizionamento dell’Ingresso	21
3.1 Convertitore Lineare-Esponenziale	21
3.2 Somma di più Ingressi	28
3.3 Raddrizzatore	29
4 Modalità di Funzionamento	32
5 Generazione dei Segnali Secondari	33
5.1 Dente di Sega	33
5.2 Onda Quadra	34
5.3 Impulso	35
5.4 Sinusoide	36
6 Stadi di Uscita	38
Considerazioni Finali e Conclusioni	42
A Schemi Elettrici delle Schede	43
Bibliografia	62

Introduzione e Specifiche di Progetto

In questa tesi viene discussa la progettazione di un sintetizzatore musicale compatibile con lo standard modulare più diffuso al giorno d'oggi, ovvero Eurorack [1]. Più precisamente si vuole realizzare un generatore di segnali che offra la possibilità di essere controllato in tensione (Voltage Controlled Oscillator, o VCO in breve). In questo modo, applicando dei segnali variabili nel tempo in ingresso al modulo, si è in grado di variare dinamicamente la frequenza dei segnali in uscita.

Il range scelto per tale variazione comprende la fascia di frequenze dello spettro audio, quindi da poche decine di Hz a circa 7 kHz . Si desidera inoltre la possibilità di convertire a piacere il funzionamento del modulo in oscillatore a bassa frequenza (Low Frequency Oscillator, o LFO), spostando quindi il range di frequenze disponibili da frazioni di Hz a qualche decina di Hz .

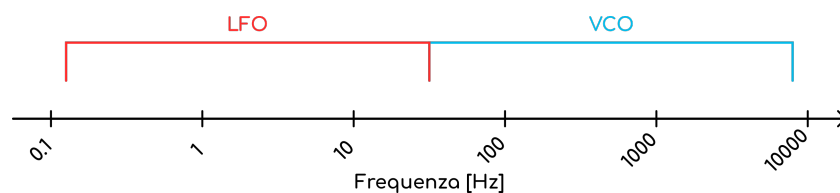


Figura 1: Range di funzionamento approssimato, in scala logaritmica

In modalità VCO quindi, il modulo produrrà dei segnali che attraverso un adeguato sistema potranno riprodurre un suono, mentre in modalità LFO il circuito produrrà dei segnali lentamente variabili nel tempo, utili per la modulazione e il controllo di diversi parametri in altri moduli eventualmente presenti nel sistema.

Le forme d'onda desiderate sono quelle base, ovvero:

- Sinusoide;
- Onda Quadra;
- Triangolo;
- Rampa;

- Dente di sega (sebbene nel range VCO non risulti particolarmente differente dalla rampa in termini di suono, per quanto riguarda il funzionamento LFO la differenza è radicale, poichè il segnale viene solitamente utilizzato come modulante);

inoltre, come verrà illustrato più avanti, risulta piuttosto semplice anche estrarre un segnale a impulso, ancora una volta utile per il controllo di altri moduli o parametri.

Per quanto riguarda le specifiche sui livelli di tensione, si vogliono imporre i seguenti intervalli di valori:

- Segnali audio (le 5 forme d'onda elencate poco sopra): $\pm 5\text{ V}$;
- Segnali logici (impulso): $(0\text{ V} \div +5\text{ V})$;
- Segnali di controllo (ingresso): $(0\text{ V} \div +8\text{ V})$ in modalità 1 V/Octave , ovvero facendo in modo che ad un incremento di 1 V in ingresso corrisponda un raddoppio di frequenza in uscita, cioè un'ottava;
- Alimentazioni: $\pm 12\text{ V}$ e $+5\text{ V}$;

come suggerito dallo standard scelto.

Si desidera inoltre aggiungere delle manopole per il controllo del "volume" dei segnali in ingresso e uscita (ad eccezione dell'impulso), e delle manopole per il controllo manuale della frequenza.

Mettendo assieme tutti questi dettagli possiamo dunque abbozzare una interfaccia utente (riportata in figura 2), in modo da rendere più chiaro al lettore il risultato finale voluto.

Si decide di realizzare l'intero circuito senza l'utilizzo di microcontrollori o sistemi programmabili, scelta che viene presa per mettere alla prova il maggior numero di competenze tra quelle acquisite durante gli anni di studio. Una soluzione più rapida e semplice consisterebbe infatti nell'impiegare un microcontrollore con dei campioni digitali molto densi delle forme d'onda desiderate.

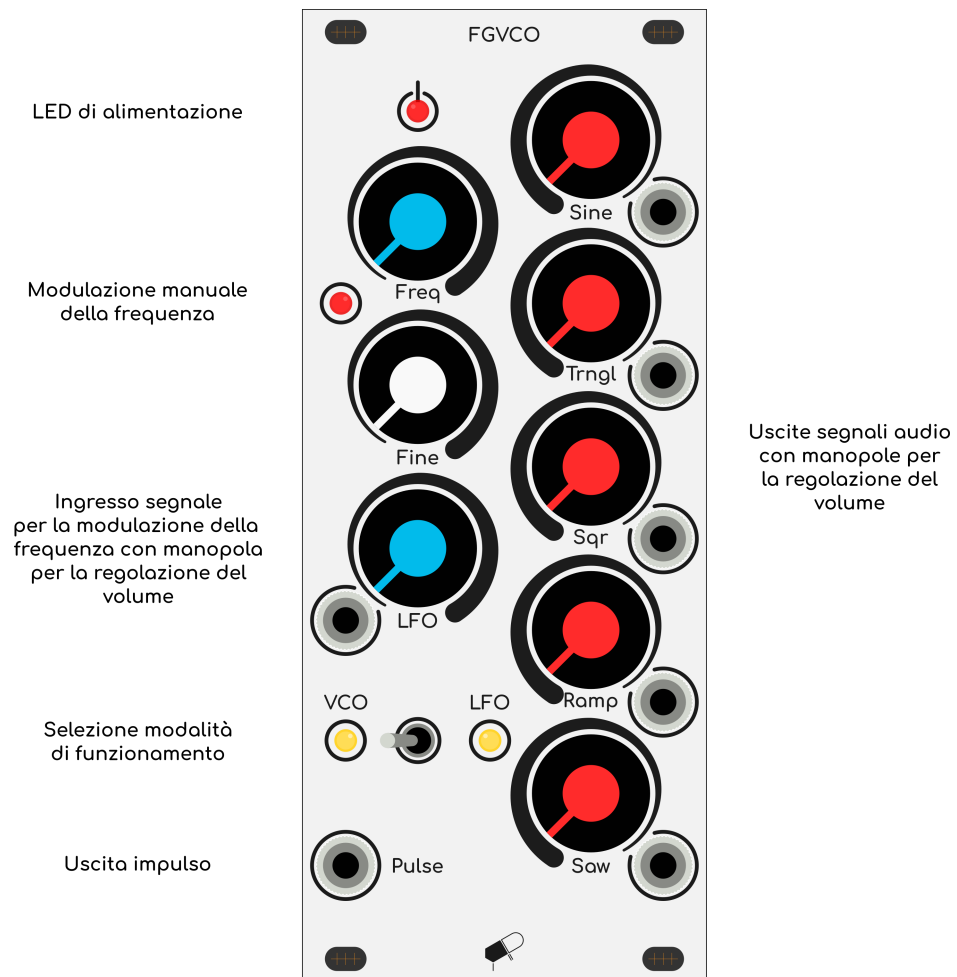


Figura 2: Pannello frontale del modulo

1. Generazione dei Segnali Principali

Per la generazione dei segnali a rampa e a triangolo si decide di procedere in ogni caso per via digitale, utilizzando dei contatori binari abbinati ad un convertitore digitale-analogico.

1.1 Rampa

Principio di Funzionamento

Per il segnale a rampa si fa uso di un contatore unidirezionale, ovvero un dispositivo in grado di contare automaticamente da 0 a 2^n (con n numero di bit) semplicemente fornendo un segnale di clock adeguatamente dimensionato. Maggiore il numero di bit, maggiore la precisione del nostro segnale, quindi minore l'intensità del rumore generato.

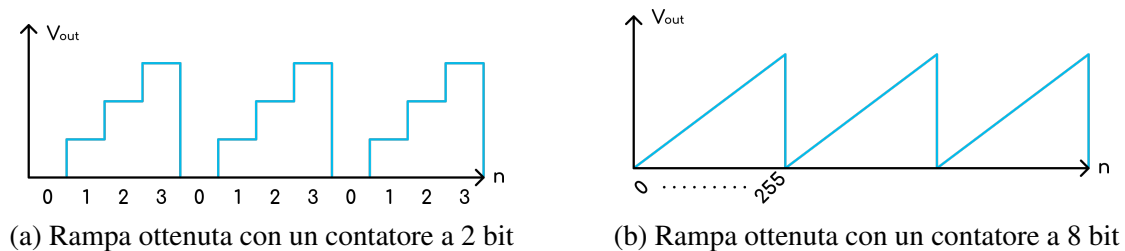


Figura 1.1: Confronto tra contatori unidirezionali con diverso numero di bit

Tuttavia aumentando il numero di bit del contatore è facile intuire che, a parità di frequenza del segnale in uscita, la frequenza del segnale di clock debba necessariamente aumentare, vale infatti la seguente relazione:

$$f_{signal} = \frac{f_{clk}}{2^n} [Hz] \quad (1.1)$$

poichè il contatore deve effettuare un conteggio completo durante un periodo del segnale in uscita. Questo implica dunque un limite massimo al numero di bit del contatore.

Il numero di bit utilizzati per la nostra applicazione è pari a 8, valore che ci consente di limitare al MHz la frequenza di clock, contare fino a 255 e dividere l'intervallo di tensione d'uscita in altrettanti livelli, ottenendo quindi una variazione di

$$V_{step} = \frac{2 \cdot V_{ref}}{2^n} = \frac{10}{256} \approx 39 \text{ mV} \quad (1.2)$$

per ogni singolo bit (scegliendo $V_{ref} = +5 \text{ V}$).

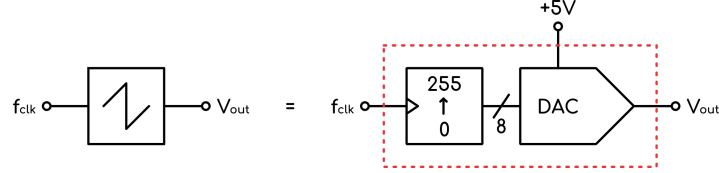


Figura 1.2: Schema a blocchi del sottosistema per la generazione della rampa

A questo punto possiamo calcolare le specifiche del segnale di clock da generare, andando a vedere quali sono le frequenze desiderate per i segnali audio:

- Valore minimo (nota A0): $f_{signal-min} = 27.5 \text{ Hz} \rightarrow f_{clk-min} \approx 7 \text{ kHz}$ a cui corrisponderà un ingresso di 0 V ;
- Valore massimo (nota A8): $f_{signal-max} \approx 7 \text{ kHz} \rightarrow f_{clk-max} \approx 1.8 \text{ MHz}$ a cui corrisponderà un ingresso di $+8 \text{ V}$;

quindi un range di funzionamento esteso lungo 8 ottave.

Componenti Utilizzati e Schemi Elettrici

I componenti utilizzati per la realizzazione del circuito sono un 74HC590 [2], contatore binario a 8 bit, e un DAC0800 [3], convertitore digitale-analogico sempre a 8 bit.

Per il circuito DAC si utilizza lo schema a pg.10 del relativo datasheet del componente. Tale configurazione ci permette di convertire il dato binario in un valore compreso nell'intervallo $\pm V_{ref}$, tuttavia si utilizzano un amplificatore operazionale e dei resistori di valore differente (rispettivamente TL074 [6] e $R_L = \bar{R}_L = 3.3 \text{ k}\Omega$) per questioni di disponibilità. Si noti che anche V_{ref} viene scelta diversa rispetto allo schema nel datasheet (ovvero $+5 \text{ V}$), in modo da garantire le specifiche di progetto sul segnale in uscita.

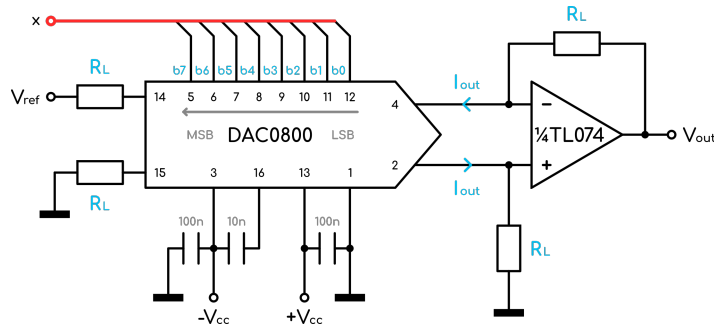


Figura 1.3: Schema elettrico del DAC ($\pm V_{cc} = \pm 12 V$)

Il DAC eroga una corrente I_{out} proporzionale all'ingresso digitale x , che viene poi convertita in una tensione con un operazionale. Le due grandezze sono legate dalla relazione:

$$V_{out} = V_{ref} \left(\frac{2x - 255}{256} \right) = 5 \left(\frac{2x - 255}{256} \right) [V] \quad (1.3)$$

Il contatore invece viene collegato nel seguente modo:

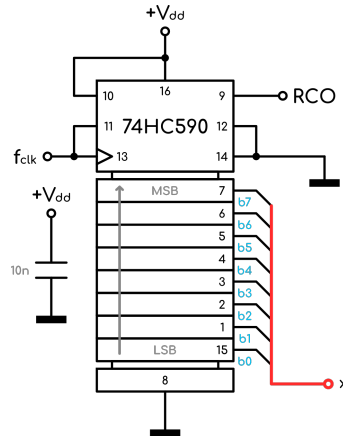


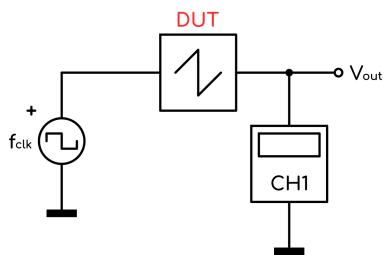
Figura 1.4: Schema elettrico del contatore per l'onda a rampa ($+V_{dd} = +5 V$)

Si noti l'uscita RCO in figura 1.4 dalla quale viene prelevato il segnale per la generazione dell'impulso, che verrà discusso più in dettaglio nel capitolo 5.

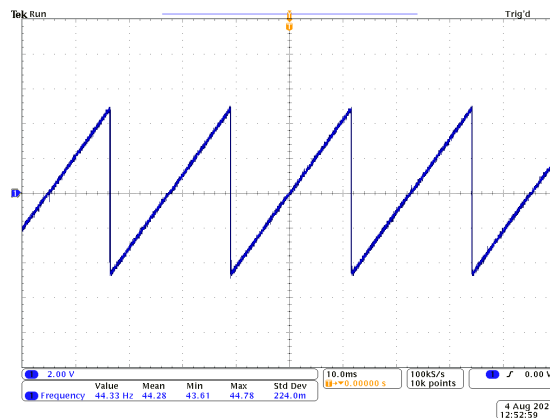
Infine, collegando i due blocchi insieme, l'andamento di V_{out} sarà simile a quello rappresentato in figura 1.1b, e ad ogni impulso di clock corrisponderà un gradino di tensione di circa $40 mV$ come calcolato con la formula 1.2.

Risultati Pratici

Verifichiamo quindi la correttezza del circuito realizzato.



(a) Setup di misura



(b) Acquisizione del segnale ottenuto

Figura 1.5: Funzionamento del circuito per il segnale a rampa

Si apprezza come l'onda generata abbia esattamente la forma voluta, come descritto nel principio di funzionamento.

1.2 Triangolo

Principio di Funzionamento

Il ragionamento è del tutto analogo a quello del contatore per la rampa, tuttavia in questo caso il contatore utilizzato è bidirezionale (quindi in grado di contare da 0 a 2^n e viceversa) e necessita di un segnale che determini la direzione di conteggio (Up o Down).

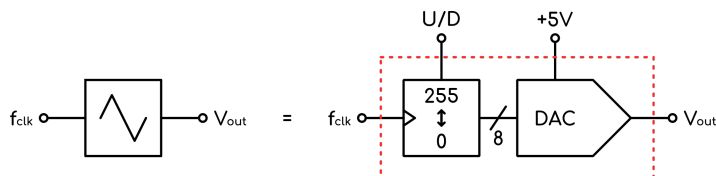
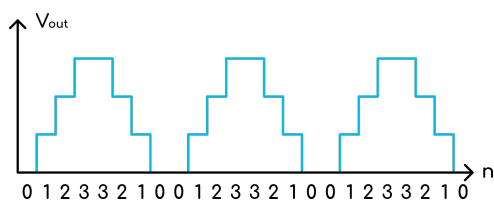
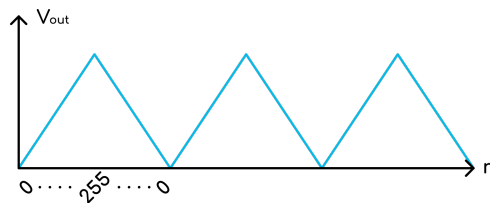


Figura 1.6: Schema a blocchi del sottosistema per la generazione del triangolo



(a) Triangolo ottenuto con un contatore a 2 bit



(b) Triangolo ottenuto con un contatore a 8 bit

Figura 1.7: Confronto tra contatori bidirezionali con diverso numero di bit

La configurazione del DAC rimane quella utilizzata per la rampa e rappresentata in figura 1.3. In questo caso tuttavia il numero di cicli di clock utilizzati è doppio rispetto a quello per la rampa, poichè dovranno essere eseguiti 256 conteggi verso l'alto e 256 conteggi verso il basso

per ottenere un singolo periodo di onda triangolare. Ne consegue quindi che anche la frequenza di clock in ingresso a questo sottosistema dovrà essere doppia rispetto alla rampa, come risulta evidente in figura 1.8.

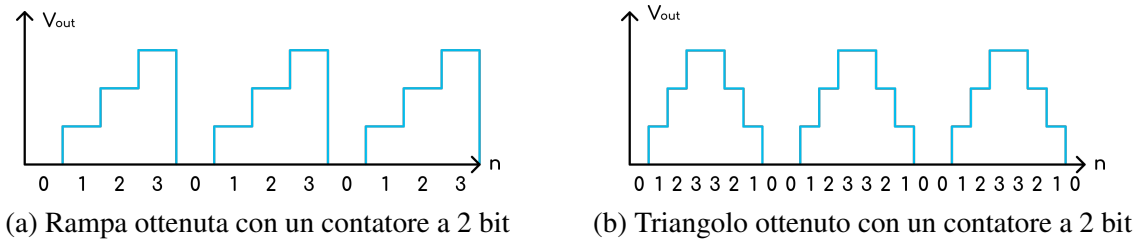


Figura 1.8: Confronto del conteggio tra contatori unidirezionali (a) e bidirezionali (b)

Componenti Utilizzati e Schemi Elettrici

L'unico componente diverso rispetto al circuito per la rampa è il contatore, che come già detto deve essere bidirezionale. Si utilizzano due 74LS169 [9] in cascata nella seguente configurazione:

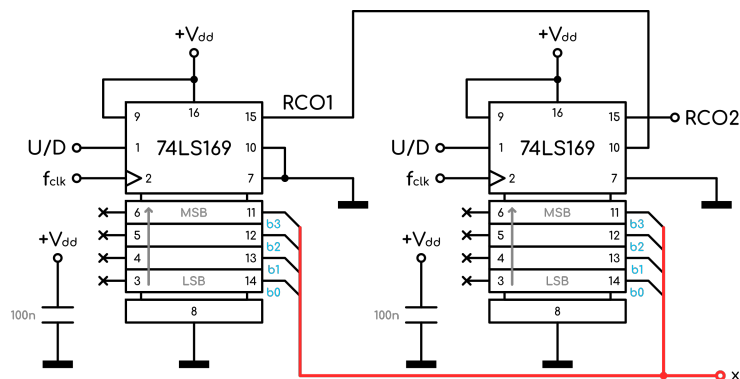


Figura 1.9: Schema elettrico dei contatori per l'onda triangolare ($+V_{dd} = +5\text{ V}$)

Il componente utilizzato presenta anche degli ingressi per il preset del numero di partenza (pin da 3 a 6), che però nel nostro caso non vengono utilizzati.

L'uscita denominata *RCO2* verrà utilizzata per pilotare il verso del conteggio, essa infatti commuta durante il ciclo di clock corrispondente al conteggio precedente all'overflow, ovvero 255 in modalità "Up" e 0 in modalità "Down".

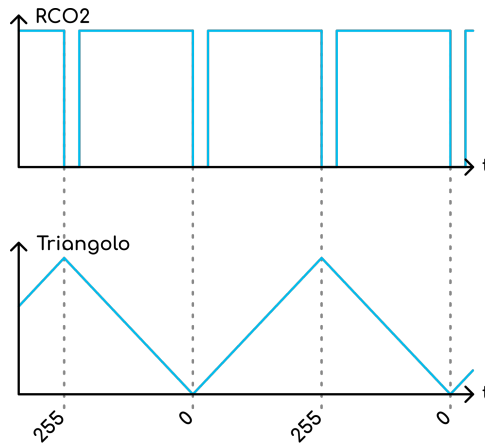


Figura 1.10: Andamento teorico del segnale $RCO2$ in funzione del conteggio

Risultati Pratici

Si verifica ora la correttezza del circuito realizzato.

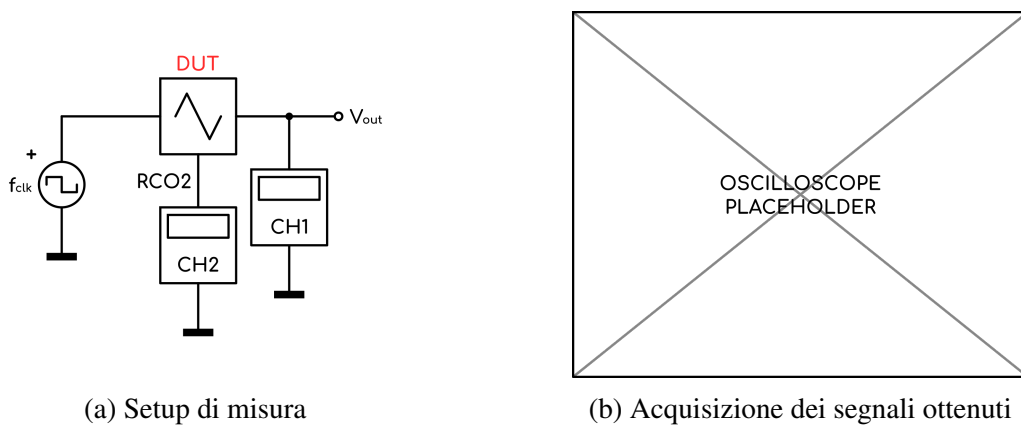


Figura 1.11: Funzionamento del circuito per il segnale a triangolo

Ancora una volta si apprezza che quanto discusso finora corrisponde al reale comportamento del circuito.

1.3 Adattamento dei Segnali di Clock e Pilotaggio

Si è visto come, per avere la stessa frequenza di segnale d'uscita, il contatore del triangolo deve avere una frequenza di clock doppia rispetto a quella del contatore della rampa. Questo problema si risolve facilmente inserendo prima del contatore unidirezionale un divisore di frequenza, ottenuto con un semplice toggle flip-flop (TFF).

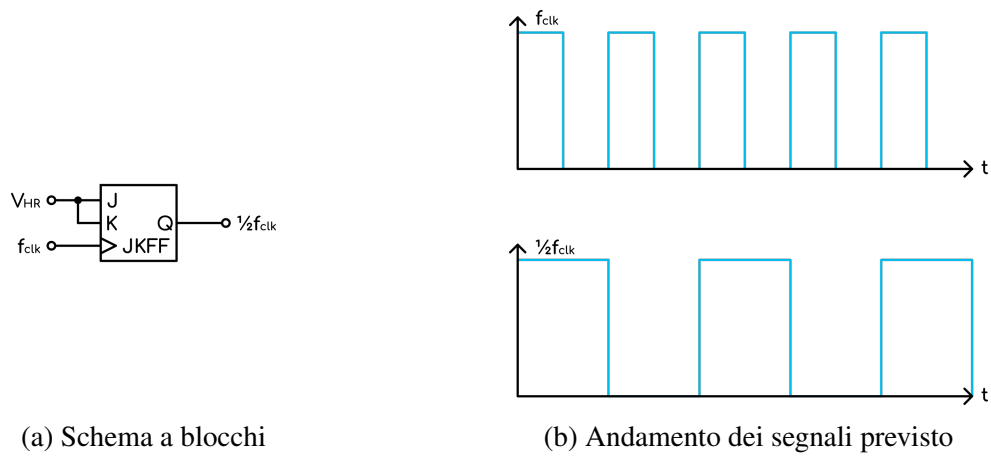


Figura 1.12: Divisore di frequenza

Le specifiche sul segnale di clock ci impongono allora di generare un segnale a onda rettangolare con frequenza variabile nel range ($14\text{ kHz} \div 3.6\text{ MHz}$), in modo che $\frac{1}{2}f_{clk}$ abbia i valori di frequenza inizialmente calcolati.

Invece, per fare in modo che il contatore del triangolo cambi effettivamente verso di conteggio è necessario impiegare un altro TFF utilizzando come ingresso $\overline{RCO2}$ (poichè attivo a livello logico basso) e connesso all'ingresso U/D del contatore.

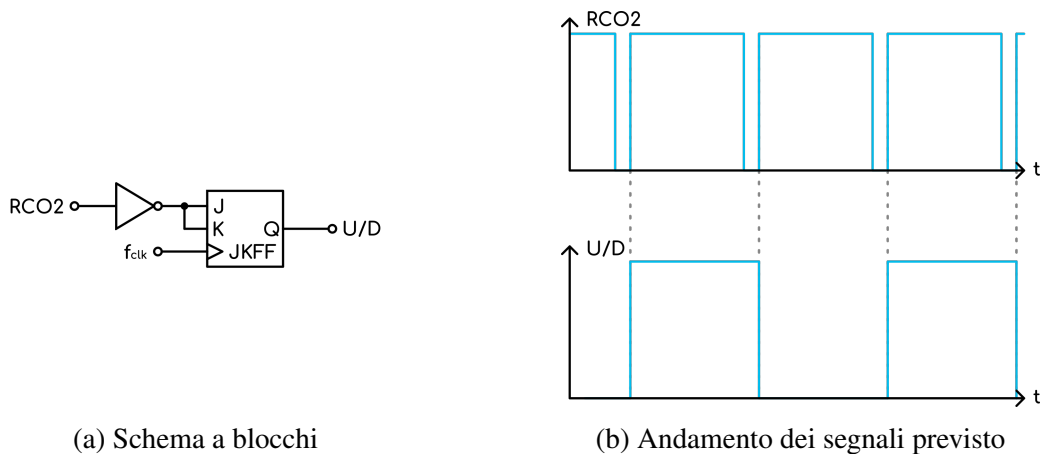


Figura 1.13: Pilotaggio del contatore

I componenti utilizzati scopo sono un 74HC73 [5], che fornisce i due flip-flop necessari, e un 2N7000 [13], mosfet a canale N con tensioni di soglia compatibili ai livelli di tensione presenti nel circuito (+5 V).

Lo schema elettrico per l'inverter è rappresentato in figura 1.14.

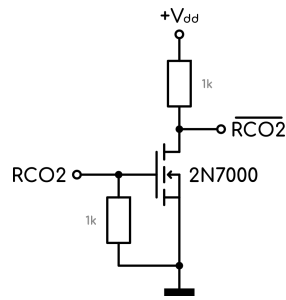
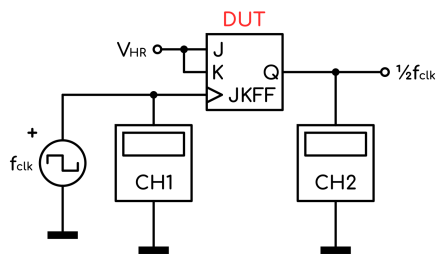


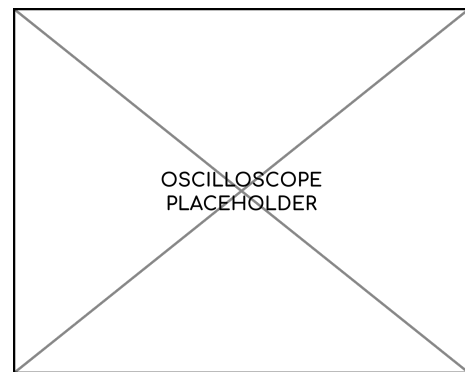
Figura 1.14: Schema elettrico dell'inverter logico ($+V_{dd} = +5\text{ V}$)

Risultati Pratici

Si verifica la correttezza dei circuiti:

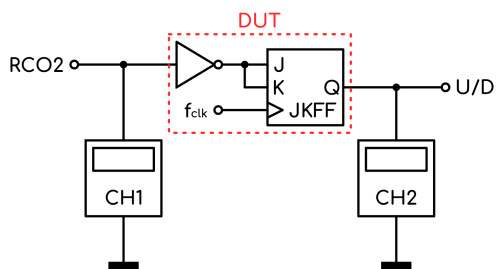


(a) Setup di misura

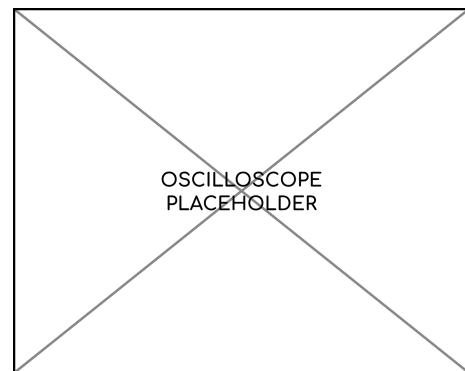


(b) Acquisizione dei segnali f_{clk} e $\frac{1}{2}f_{clk}$

Figura 1.15: Funzionamento del circuito divisore di frequenza



(a) Setup di misura



(b) Acquisizione dei segnali $RCO2$ e U/D

Figura 1.16: Funzionamento del circuito di pilotaggio del contatore up-down

I comportamenti coincidono con quanto descritto nelle figure 1.12b e 1.13b.

2. Convertitore Tensione-Frequenza

Si vuole ora progettare il circuito per la generazione del segnale f_{clk} , con le specifiche ottenute dai capitoli precedenti, ovvero:

- Frequenza minima: $\approx 14 \text{ kHz}$;
- Frequenza massima: $\approx 3.6 \text{ MHz}$;
- Livello logico basso: 0 V ;
- Livello logico alto: $+5 \text{ V}$;

Principio di Funzionamento

Ciò di cui abbiamo bisogno è un circuito in grado di convertire una tensione in un segnale a onda rettangolare con frequenza proporzionale alla tensione stessa, ovvero un convertitore tensione-frequenza.

In commercio è possibile trovare diversi chip in grado di svolgere questa funzione semplicemente aggiungendo una manciata di componenti di contorno, anche se la maggior parte di questi non arriva a coprire l'intero range di funzionamento di cui abbiamo bisogno (come ad esempio il noto LM331 [7]). Nel nostro caso si utilizza un VFC110 [4], circuito integrato specializzato che vanta un'ottima linearità e la capacità di fornire una frequenza massima di 4 MHz in uscita con una corrispondente tensione in ingresso di $+10 \text{ V}$, esattamente ciò che la nostra applicazione richiede.

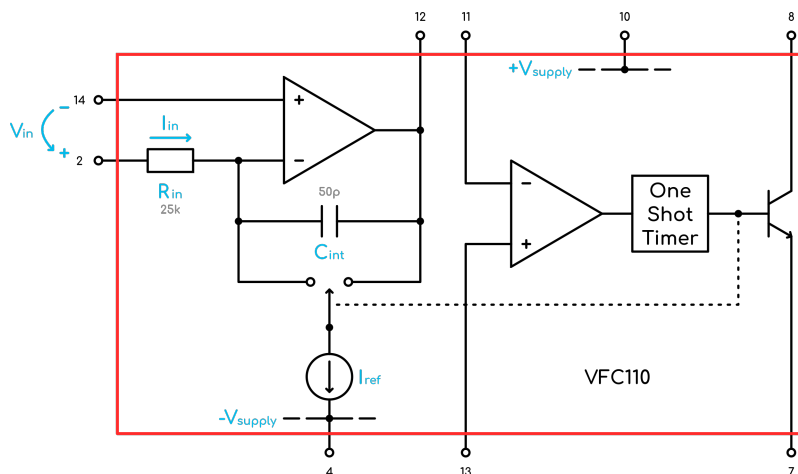


Figura 2.1: Estratto utile della struttura interna di un VFC110

Il cuore del circuito (figura 2.1) consiste in un operazionale configurato come integratore, con tensione di uscita proporzionale alla carica immagazzinata nella sua capacità di feedback C_{int} . Una tensione in ingresso V_{in} sviluppa una corrente $I_{in} = \frac{V_{in}}{R_{in}}$ che viene forzata in C_{int} , causando quindi una rampa decrescente in uscita. Arrivati a 0 V il comparatore scatta, attivando il timer one-shot. Quindi un generatore di corrente I_{ref} (dal valore di circa 1 mA) viene connesso all'ingresso dell'integratore per un periodo di durata pari a T_{OS} , causando una rampa crescente in uscita. Infine il ciclo ricomincia.

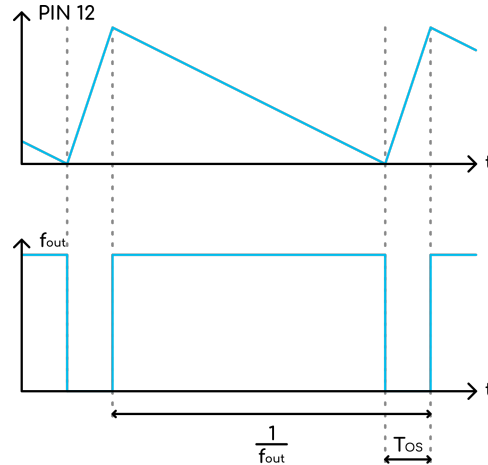


Figura 2.2: Forme d'onda teoriche del VFC110

Per uno studio più approfondito sul funzionamento del VFC110 si consiglia la lettura del datasheet del componente, dal quale si ricava anche la configurazione del circuito utilizzato per sfruttare l'intero range offerto (figura 2.3). Si modificano solo i valori di alimentazione, sostituendoli con quelli dello standard scelto.

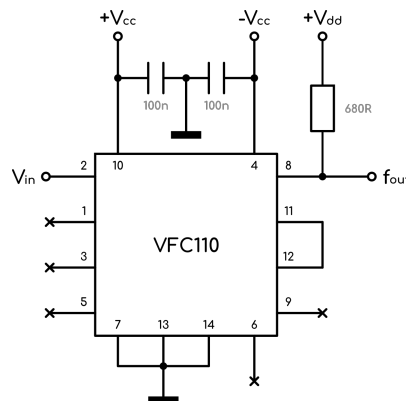


Figura 2.3: Schema elettrico del circuito utilizzato ($\pm V_{cc} = \pm 12 V$, $+V = +5 V$)

Si noti che gli unici componenti aggiunti sono condensatori di filtro e un resistore di pull-up per l'uscita a collettore aperto.

Si riportano le relazioni tra le grandezze in gioco:

$$I_{in} = I_{ref} \cdot \delta [A] \quad \rightarrow \quad \delta = \frac{I_{in}}{I_{ref}} = \frac{V_{in}}{R_{in} \cdot I_{ref}} \quad (2.1)$$

$$\frac{V_{in}}{R_{in}} = I_{ref} \cdot f_{out} \cdot T_{OS} [A] \quad \rightarrow \quad f_{out} = \frac{V_{in}}{R_{in} \cdot I_{ref} \cdot T_{OS}} = \frac{\delta}{T_{OS}} [Hz] \quad (2.2)$$

Risultati Pratici e Misure

Si procede allora alla verifica del corretto funzionamento del circuito. Il setup di misura utilizzato viene riportato in figura 2.4.

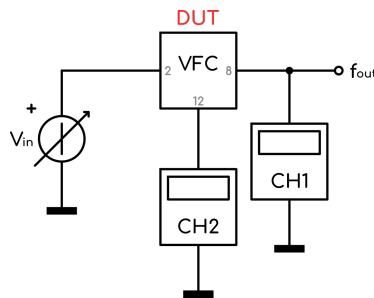


Figura 2.4: Setup di misura del VFC

Possiamo anzitutto verificare che il comportamento dell'integratore corrisponde a quello descritto nel paragrafo precedente, e si nota che la durata del periodo basso di f_{out} si estende lungo il tratto di rampa crescente come in figura 2.2, ovvero durante il periodo in cui il timer risulta attivo.

Possiamo anche notare che la durata di T_{OS} non varia in funzione di V_{in} o f_{out} , ma rimane pressoché costante a circa 100 ns.

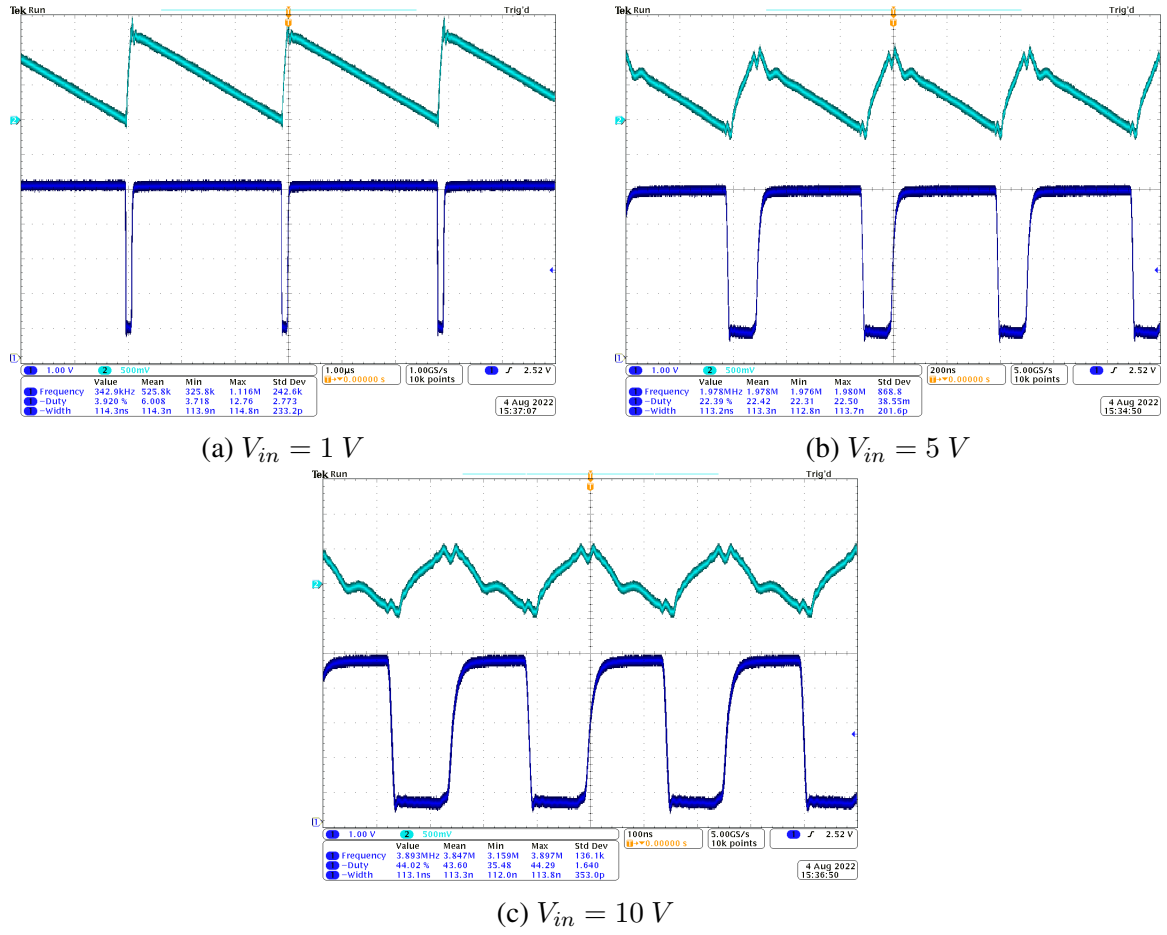


Figura 2.5: Acquisizioni dei segnali di interesse per diversi valori di V_{in}

Vengono ora riportati nella tabella 2.1 e a grafico (figura 2.6) i dati raccolti dallo studio del circuito:

$V_{in} [V]$	$\delta [\%]$	$f_{out} [kHz]$
0	0	0
1	3.90	342
2	9.20	805
3	13.60	1192
4	17.99	1580
5	22.40	1978
6	26.83	2377
7	31.38	2776
8	35.55	3165
9	40.12	3568
10	44.23	3883

Tabella 2.1: Valori misurati del blocco VFC

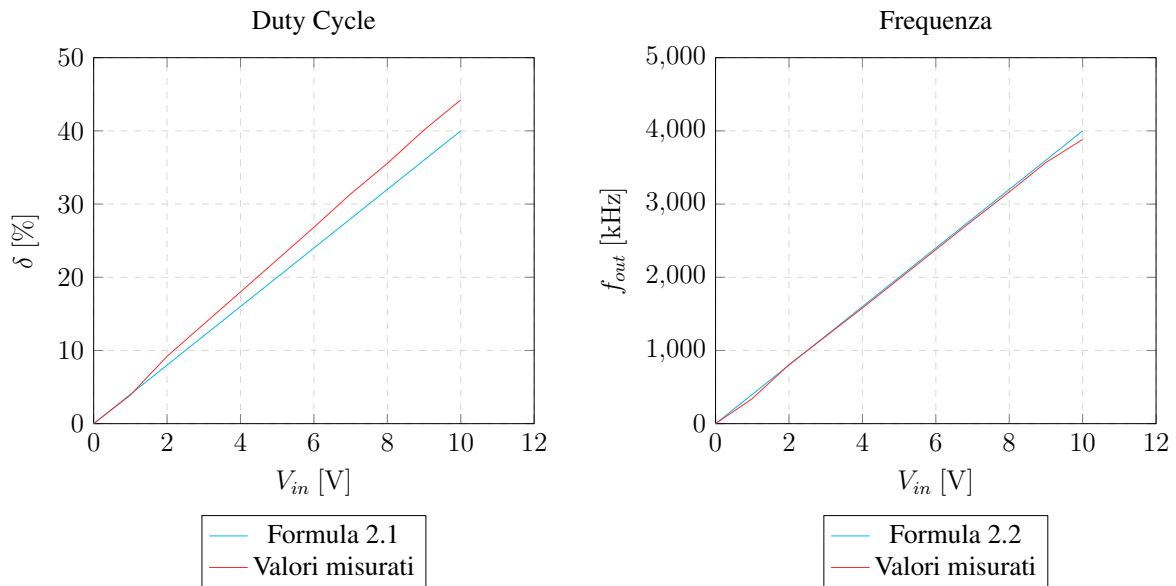


Figura 2.6: Grafici delle grandezze riportate in tabella 2.1

Si nota che l'andamento del duty cycle si distacca leggermente dalla teoria, pur avendo comunque un comportamento lineare. Questo è dovuto probabilmente a causa di diverse non-idealità del componente, tuttavia il parametro di maggiore interesse in questo caso è f_{out} , che invece risulta quasi uguale ai valori calcolati, come evidente in figura 2.6b.

3. Condizionamento dell'Ingresso

3.1 Convertitore Lineare-Esponenziale

Vogliamo ora analizzare il circuito che soddisfa la specifica sulla modalità 1 V/Octave dell'ingresso, ovvero il circuito in grado di convertire una tensione lineare in una esponenziale.

La soluzione utilizzata è molto diffusa in questo tipo di applicazioni, si può infatti trovare in molti siti di DIY come ad esempio quello di René Schmitz [11], personaggio molto noto tra gli appassionati di sintetizzatori musicali fai-da-te.

Analisi del Circuito

Per l'applicazione si sfrutta la caratteristica esponenziale intrinseca del transistor bipolare, ovvero:

$$I_e \approx I_c = I_s e^{\left(\frac{V_{be}}{V_T} - 1\right)} \approx I_s e^{\left(\frac{V_{be}}{V_T}\right)} [A] \quad (3.1)$$

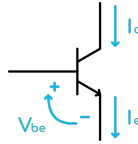


Figura 3.1: BJT

dove V_T (potenziale termico) e I_s (corrente di saturazione) sono variabili in funzione della temperatura. Nella nostra analisi V_T verrà considerato di valore costante pari a 26 mV , mentre si rimuove dall'equazione I_s collegando una coppia di transistor (idealmente nello stesso chip, in modo che siano il più possibile simili tra loro e termicamente accoppiati) in configurazione differenziale:

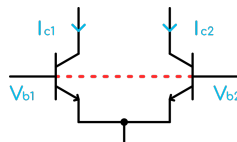


Figura 3.2: BJT a coppia differenziale

in questo modo possiamo scrivere la seguente relazione:

$$\frac{I_{c2}}{I_{c1}} = \frac{I_s e^{\left(\frac{V_{be2}}{V_T}\right)}}{I_s e^{\left(\frac{V_{be1}}{V_T}\right)}} \rightarrow I_{c2} = I_{c1} e^{\left(\frac{V_{be2}-V_{be1}}{V_T}\right)} = I_{c1} e^{\left(\frac{V_{b2}-V_{b1}}{V_T}\right)} [A] \quad (3.2)$$

dove risulta evidente che la dipendenza da I_s viene completamente rimossa.

A questo punto, rinominiamo le grandezze come segue:

$$\begin{cases} I_{c2} = I_{freq} \\ I_{c2} = I_{ref} \end{cases} \rightarrow I_{freq} = I_{ref} e^{\left(\frac{V_{b2}-V_{b1}}{V_T}\right)} [A] \quad (3.3)$$

e aggiungiamo al circuito

- un amplificatore invertente per portare V_{in} in un range appropriato alla base di Q_1 (operazionale di sinistra, figura 3.3)

$$V_{b1} = -V_{in} \cdot s = -V_{in} \cdot \frac{R_f}{R_{in}} \cdot \frac{\%R_{pot} + R}{R_{pot} + R} [V] \quad (3.4)$$

- un anello di controllo per mantenere la corrente di riferimento I_{ref} costante (operazionale centrale, figura 3.3)

$$I_{ref} = \frac{V_{HR} - V_{LR}}{R_{ref}} [A] \quad (3.5)$$

- un convertitore corrente-tensione al collettore di Q_2 (operazionale di destra, figura 3.3)

$$V_{exp} = I_{freq} \cdot R_{conv} [V] \quad (3.6)$$

ottenendo quindi il seguente circuito con la relativa relazione ingresso/uscita:

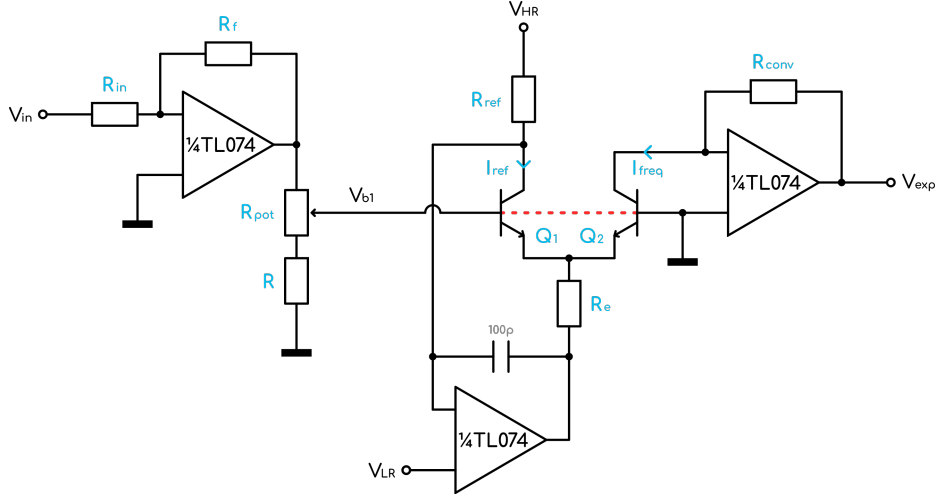


Figura 3.3: Schema elettrico del convertitore tensione lineare-esponenziale

$$V_{exp} = R_{conv} \cdot \frac{V_{HR} - V_{LR}}{R_{ref}} e^{\left(\frac{s \cdot V_{in}}{V_T}\right)} [V] \quad (3.7)$$

Dimensionamento e Scelta dei Componenti

Passiamo quindi al dimensionamento dei componenti, in modo da imporre al circuito il comportamento voluto.

Come prima cosa calcoliamo il valore del guadagno s dell'amplificatore invertente. Si vuole:

$$I_{freq} = I_{ref} e^{\left(\frac{s \cdot V_{in}}{V_T}\right)} \xrightarrow{+\Delta V_{in}} 2I_{freq} = I_{ref} e^{\left(\frac{s \cdot (V_{in} + \Delta V_{in})}{V_T}\right)} \quad (3.8)$$

quindi un raddoppio della corrente I_{freq} per ogni variazione $\Delta V_{in} = 1 \text{ V}$. Allora possiamo riscrivere la relazione nel seguente modo:

$$\frac{2I_{freq}}{I_{freq}} = \frac{I_{ref} e^{\left(\frac{s \cdot (V_{in} + \Delta V_{in})}{V_T}\right)}}{I_{ref} e^{\left(\frac{s \cdot V_{in}}{V_T}\right)}} \rightarrow 2 = e^{\left(\frac{s \cdot \Delta V_{in}}{V_T}\right)} \rightarrow \ln(2) = \frac{s \cdot \Delta V_{in}}{V_T} \rightarrow s = \frac{V_T \cdot \ln(2)}{\Delta V_{in}} \quad (3.9)$$

$$s = \frac{26 \text{ mV} \cdot 0.6931}{1 \text{ V}} \approx 0.018 \approx \frac{1}{55.5} \quad (3.10)$$

$$s = \frac{R_f}{R_{in}} \cdot \frac{\%R_{pot} + R}{R_{pot} + R} = \frac{2 \text{ k}\Omega}{100 \text{ k}\Omega} \cdot \frac{440 \Omega}{490 \Omega} \approx 0.018 \quad (3.11)$$

quindi:

- $R_f = 2 \text{ k}\Omega$;
- $R_{in} = 100 \text{ k}\Omega$;
- $R_{pot} = 100 \text{ }\Omega$;
- $R = 390 \text{ }\Omega$;

Scegliamo poi $R_{conv} = 3.3 \text{ k}\Omega$, per avere come massimo valore di corrente $I_{freq} = 3 \text{ mA}$ (ovvero $V_{exp} \approx +10 \text{ V}$ in uscita dal convertitore corrente-tensione), in corrispondenza di una tensione di ingresso $V_{in} = +8 \text{ V}$. Da qui possiamo calcolare il valore di I_{ref} :

$$I_{ref} = I_{freq} e^{\left(-\frac{s \cdot V_{in}}{V_T}\right)} = 0.003 e^{\left(-\frac{0.018 \cdot 8}{0.026}\right)} \approx 11.8 \text{ }\mu\text{A} \quad (3.12)$$

Poi impostando $V_{HR} = +12 \text{ V}$ e $V_{LR} = 0 \text{ V}$ calcoliamo R_{ref} :

$$R_{ref} = \frac{V_{HR}}{I_{ref}} = \frac{12}{11.8 \cdot 10^{-6}} \approx 1 \text{ M}\Omega \quad (3.13)$$

La scelta di R_e sarebbe ora condizionata dalla tensione di saturazione dell'operazionale, poichè altrimenti il circuito smetterebbe di comportarsi come desiderato, cambiando il riferimento di V_{LR} e quindi anche I_{ref} . Avendo collegato la base di Q_2 a massa il potenziale agli emettitori dovrà rimanere costante a circa $-V_{be}$ per qualsiasi valore di tensione in ingresso, quindi la tensione in uscita dall'operazionale avrà valore

$$V_{op} = -V_{be} - R_e(I_{c1} + I_{c2}) = -V_{be} - R_e \cdot I_{ref} \left(1 + e^{\left(\frac{s V_{in}}{V_T}\right)}\right) [V] \quad (3.14)$$

che assumerà il valore massimo a $V_{in} = +8 \text{ V}$, con una corrente di circa 3 mA in R_e . Volendo imporre una tensione di saturazione di valore $-V_{sat} = -10.5 \text{ V}$ calcoliamo il valore di R_e .

$$R_e = \frac{V_{op} + V_{be}}{-I_{ref} \left(1 + e^{\left(\frac{s V_{in}}{V_T}\right)}\right)} = \frac{-10.5 + 0.7}{-12 \cdot 10^{-6} \left(1 + e^{\left(\frac{0.018 \cdot 8}{0.026}\right)}\right)} = \frac{9.8}{0.003} \approx 3.3 \text{ k}\Omega \quad (3.15)$$

Se però andiamo a calcolare la caduta di potenziale ai capi di R_e corrispondente a $V_{in} = 0 \text{ V}$, ovvero:

$$V_{R_e} = 2R_e \cdot I_{ref} = 3.3 \cdot 10^3 \cdot 24 \cdot 10^{-6} \approx 79.2 \text{ mV} \quad (3.16)$$

notiamo che un valore di resistenza maggiore aumenterebbe la linearità del circuito per bassi livelli di V_{in} , in quanto incrementerebbe la caduta di potenziale sul resistore, risultando quindi meno influenzata dal rumore. Si modifica allora il circuito cosicché la resistenza di emettitore sia variabile in modo non-lineare, a seconda della corrente richiesta in uscita. Questo è reso possibile sostituendo ad R_e un parallelo tra due resistori di diverso valore, di cui quello più piccolo collegato in serie ad un diodo, l'elemento che si occuperà effettivamente di modificare il valore di resistenza.

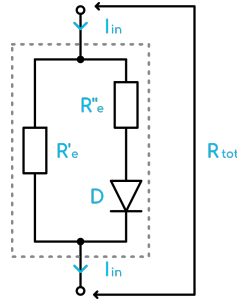


Figura 3.4: Schema elettrico del resistore di emettitore equivalente

Si scelgono $R'_e = 10 \text{ k}\Omega$ e $R''_e = 1.2 \text{ k}\Omega$.

$$R_{tot} = \begin{cases} R'_e & \text{con diodo spento, ovvero } I_{ref} + I_{freq} \leq \frac{V_d}{R'_e} \\ R'_e // R''_e & \text{con diodo acceso, ovvero } I_{ref} + I_{freq} > \frac{V_d}{R'_e} \end{cases} \quad (3.17)$$

Per quanto riguarda i componenti, ancora una volta gli amplificatori operazionali utilizzati sono dei TL074, mentre si sceglie un MPQ3904 [12] per i transistor, chip che ospita 4 unità molto simili tra loro e termicamente accoppiati, e vista la disponibilità, il diodo viene sostituito con uno dei 4 transistor del chip configurato come diodo, quindi collegando base e collettore assieme.

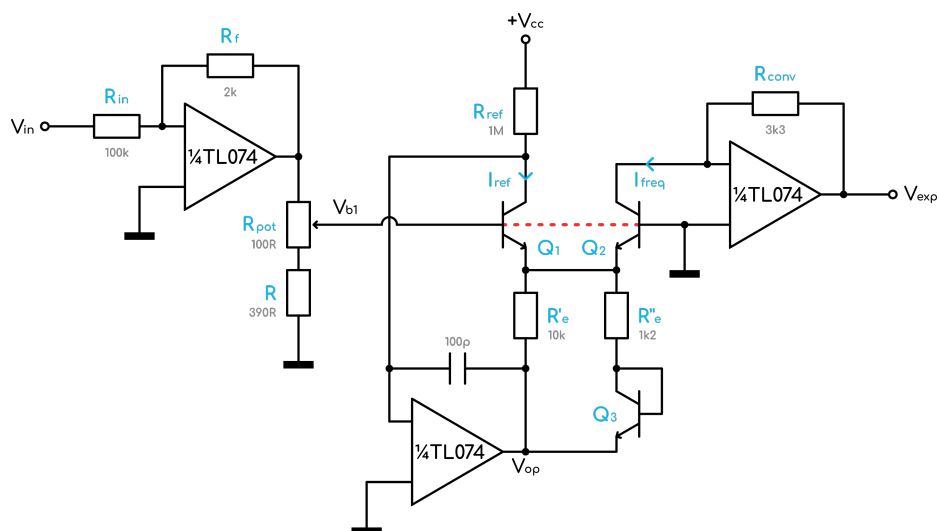


Figura 3.5: Schema elettrico completo del convertitore tensione lineare-esponenziale ($+V_{cc} = +12\text{ V}$)

Risultati Pratici e Misure

Analizziamo ora il comportamento del circuito.

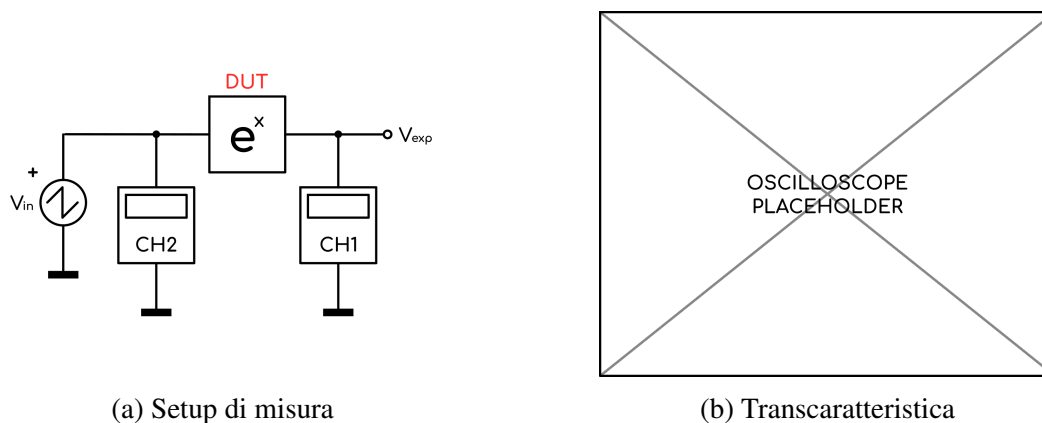


Figura 3.6: Misura della transcaratteristica con oscilloscopio

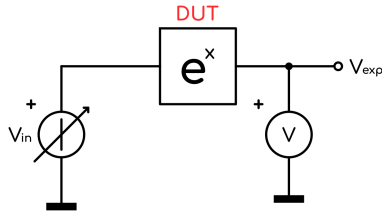


Figura 3.7: Setup di misura

V_{in} [V]	V_{exp} [V]	$2^{V_{in}}$ [V]
0	0.052	0.052
1	0.100	0.105
2	0.203	0.209
3	0.413	0.418
4	0.827	0.837
5	1.678	1.674
6	3.37	3.347
7	6.81	6.694
7.64	10.45	10.43
8	10.45	13.389
9	10.45	26.778
10	10.45	53.555

Tabella 3.1: Valori misurati

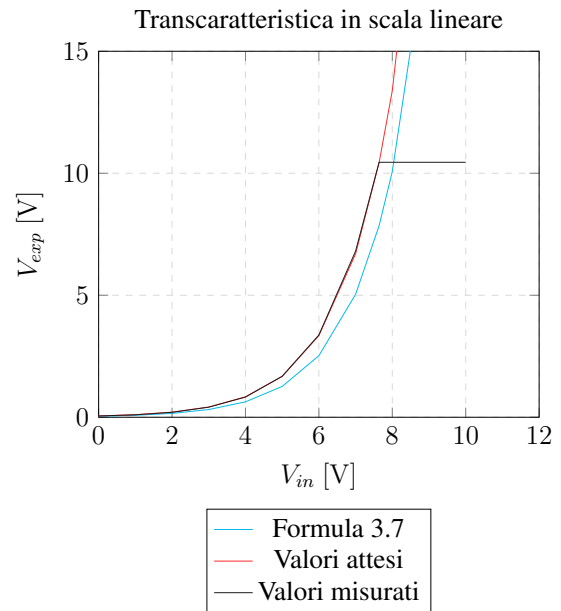
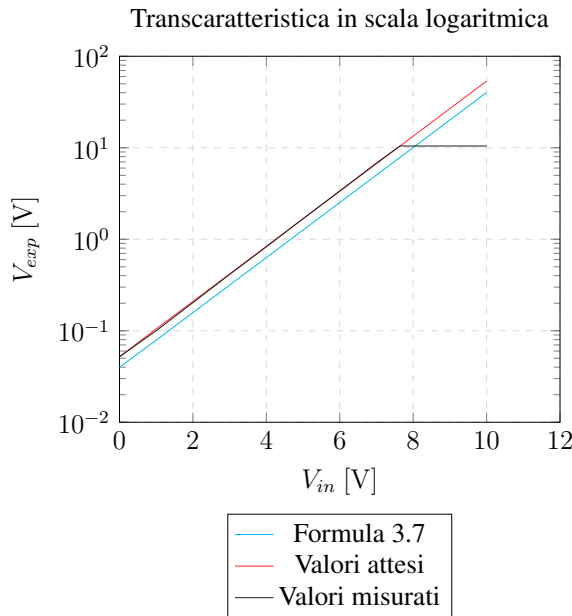


Figura 3.8: Grafici delle misure riportate in tabella 3.1

In azzurro possiamo vedere i valori calcolati tramite la formula 3.7, in rosso invece i valori ottenuti moltiplicando il dato misurato a 0 V per $2^{V_{in}}$ e infine in nero i valori effettivamente misurati. Si vede che rispetto a quanto calcolato c'è un lieve discostamento dovuto con ogni probabilità alla tolleranza dei valori dei componenti utilizzati, tuttavia le misure risultano quasi coincidenti con la curva esponenziale di pendenza 2 (in rosso), quindi possiamo affermare che il circuito funziona come desiderato.

Il ginocchio presente subito dopo i 10 V è dovuto alla saturazione dell'operazionale nel convertitore corrente-tensione, che con una alimentazione di ± 12 V presenta dei valori di saturazione di circa ± 10.5 V.

Si verifica anche che la curva della transcaratteristica in scala lineare coincide con la transcaratteristica tracciata con l'oscilloscopio (figura 3.6b).

3.2 Somma di più Ingressi

Per fare in modo che possa essere utilizzato un segnale in tensione come modulante (ingresso LFO), si aggiunge un resistore uguale a R_{in} all'ingresso invertente dell'amplificatore, modificando quindi la relazione 3.4 nel seguente modo:

$$V_{b1} = -s \cdot \sum_0^n V_n [V] \quad (3.18)$$

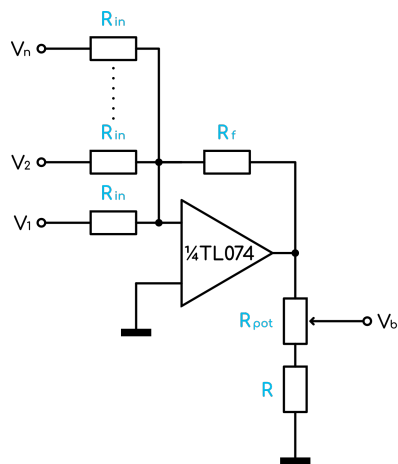


Figura 3.9: Circuito sommatore invertente

e rendendo quindi l'amplificatore un sommatore invertente. Si noti che non c'è un limite al numero di ingressi che è possibile aggiungere.

Per la modulazione manuale si utilizzano due potenziometri, uno per una regolazione grossolana e uno per una più fine, e li si collega ad uno degli ingressi del sommatore nel seguente modo:

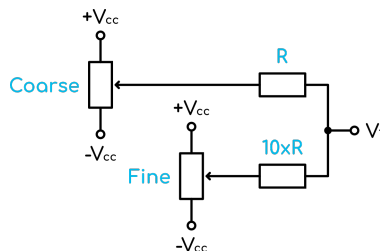


Figura 3.10: Circuito per la regolazione manuale della frequenza ($\pm V_{cc} = \pm 12 V$)

questo circuito permette di sommare (o sottrarre) una tensione compresa nel range di alimentazione, inoltre la manopola "Fine" consente di regolare la tensione in modo più preciso attorno

al punto selezionato con "Coarse".

Infine, il segnale modulante d'ingresso viene portato ad un altro degli ingressi del sommatore, attraverso un potenziometro per la regolazione del volume.

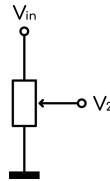


Figura 3.11: Circuito di ingresso del segnale modulante

3.3 Raddrizzatore

Come visto dalla formula 3.7, la tensione in ingresso V_{in} deve essere di valore positivo per polarizzare correttamente il transistor, e volendo inserire nel circuito un nodo sommatore per avere la possibilità di utilizzare un segnale in tensione come modulante, dobbiamo assicurarci che V_{b1} non diventi mai positiva (il segno viene invertito dall'amplificatore). Si aggiunge quindi un blocco raddrizzatore, realizzato con un diodo e un operazionale, che compenserà per la caduta di tensione sul diodo. Lo schema utilizzato è il seguente:

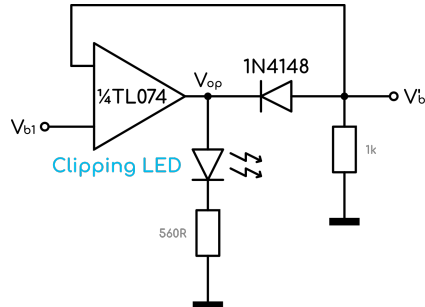


Figura 3.12: Circuito raddrizzatore

Il resistore collegato a V'_{b1} è necessario per il ricircolo della corrente di polarizzazione del diodo, che altrimenti non si accenderebbe mai. Viene inoltre aggiunto un LED per visualizzare quando il raddrizzatore è in funzione, in modo da permettere all'utente di correggere eventuali errori nel segnale modulante in ingresso.

Quindi in uscita si avrà la stessa tensione in ingresso se negativa, mentre un valore molto prossimo a 0 se positiva.

$$V_{out} = \begin{cases} V_{in} & \text{con } V_{in} \leq 0 \\ 0 & \text{con } V_{in} > 0 \end{cases} \quad (3.19)$$

$$V_{op} = \begin{cases} V_{in} + V_d & \text{con } V_{in} \leq 0 \Rightarrow \text{LED spento} \\ +V_{sat} & \text{con } V_{in} > 0 \Rightarrow \text{LED acceso} \end{cases} \quad (3.20)$$

Il diodo utilizzato per lo scopo è un 1N4148 [14], un comunissimo diodo per piccoli segnali, mentre l'operazionale è sempre un TL074.

Risultati Pratici e Misure

Verificando il circuito appena discusso vediamo che si comporta esattamente come desiderato, a meno della tensione di saturazione dell'operazionale, cosa certamente trascurabile in quanto permette comunque l'accensione del LED.

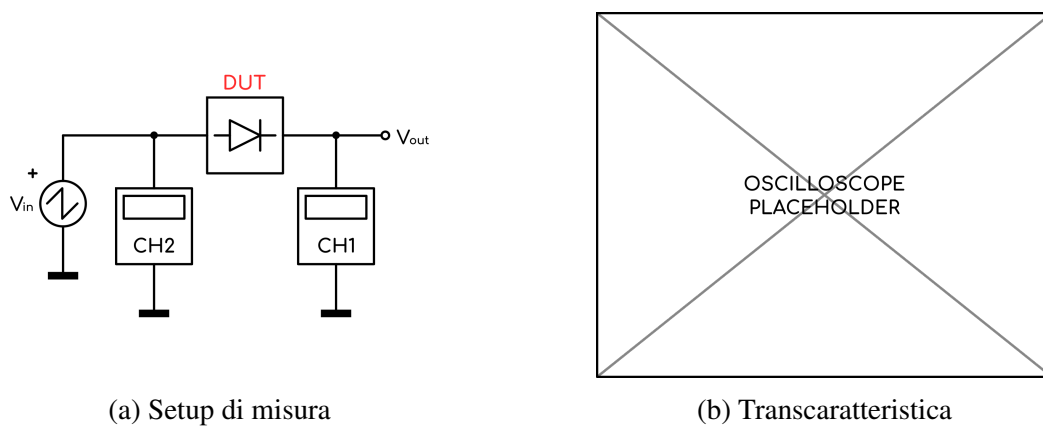


Figura 3.13: Misura della transcaratteristica con oscilloscopio

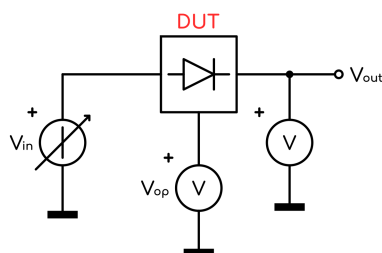
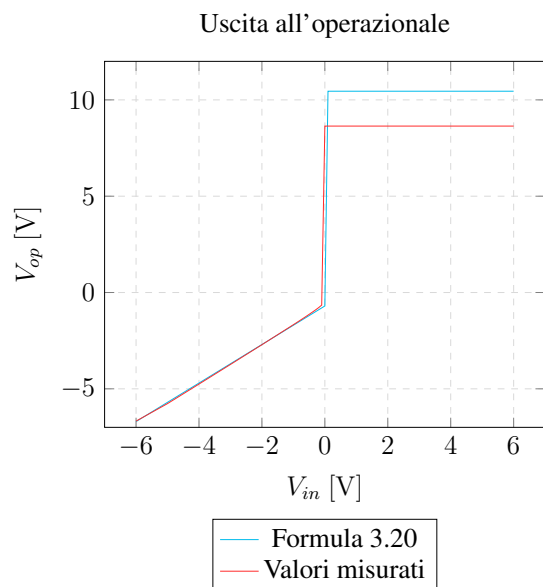
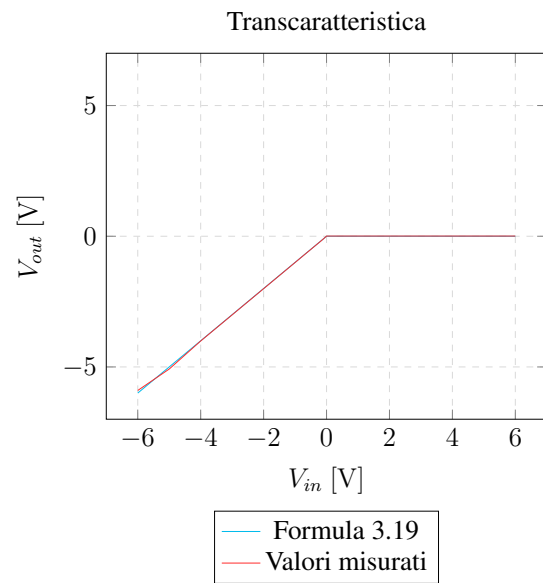


Figura 3.14: Setup di misura

V_{in} [V]	V_{out} [V]	V_{op} [V]
-6	-5.9	-6.676
-5	-5.08	-5.767
-4	-4.007	-4.753
-3	-3.007	-3.735
-2	-2.006	-2.71
-1	-1.005	-1.671
-0.9	-0.905	-1.566
-0.8	-0.804	-1.46
-0.7	-0.704	-1.353
-0.6	-0.604	-1.245
-0.5	-0.504	-1.135
-0.4	-0.404	-1.023
-0.3	-0.304	-0.909
-0.2	-0.204	-0.789
-0.1	-0.103	-0.654
0	0.00742	8.64
0.1	0.00742	8.64
0.2	0.00742	8.64
0.3	0.00742	8.64
0.4	0.00742	8.64
0.5	0.00742	8.64
0.6	0.00742	8.64
0.7	0.00742	8.64
0.8	0.00742	8.64
0.9	0.00742	8.64
1	0.00742	8.64
2	0.00742	8.64
3	0.00742	8.64
4	0.00742	8.64
5	0.00742	8.64
6	0.00742	8.64

Tabella 3.2: Tabella dei dati raccolti



4. Modalità di Funzionamento

Per quanto riguarda la selezione della modalità di funzionamento, è facile intuire che basta dividere f_{clk} ulteriormente per avere un range di frequenze diverso, come già visto nel capitolo 1. Quindi aggiungiamo un blocco divisore di frequenza prima che il segnale arrivi ai contatori e facciamo in modo che la scelta della frequenza di f_{out} sia determinata da un segnale logico.

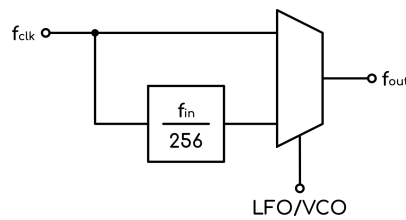


Figura 4.1: Schema a blocchi del sottosistema per la selezione della modalità

Lo schema a blocchi sopra riportato si traduce nel seguente circuito, in cui f_{clk} viene divisa per 256, traslando il range di funzionamento nell'intervallo ($\approx 0.11 \text{ Hz} \div 27.5 \text{ Hz}$).

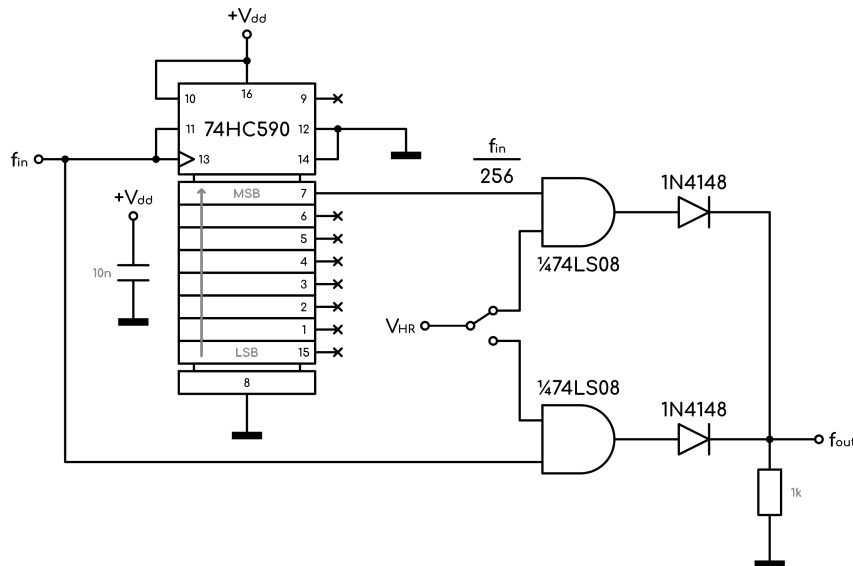


Figura 4.2: Circuito per la selezione della modalità ($+V_{dd} = V_{HR} = +5 \text{ V}$)

L'unico componente nuovo è un circuito integrato che ospita 4 porte logiche AND, il 74LS08 [8], utilizzate per il multiplexing del segnale di clock.

Si aggiungono anche dei LED per la visualizzazione dello stato e delle resistenze di pull-down all'ingresso abilitante delle porte logiche (non rappresentati nello schema in figura 4.2).

5. Generazione dei Segnali Secondari

Ora si passa a estrarre i segnali mancanti da quelli principali generati al capitolo 1.

5.1 Dente di Sega

Il più facile da generare è sicuramente il dente di sega in quanto tutto quello che serve è un semplice amplificatore invertente con guadagno pari a uno.

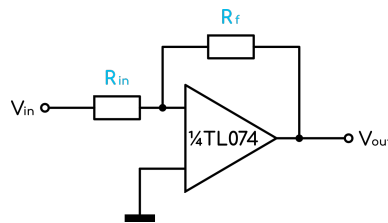


Figura 5.1: Schema dell'amplificatore invertente

Come sempre l'operazionale utilizzato è un TL074.

Dalla relazione dell'amplificatore invertente vediamo che per avere un guadagno unitario si deve porre la resistenza di feedback uguale a quella di ingresso, $R_{in} = R_f$.

$$V_{out} = -V_{in} \frac{R_{in}}{R_f} = -V_{in} [V] \quad (5.1)$$

Questo è quanto ottenuto in uscita:

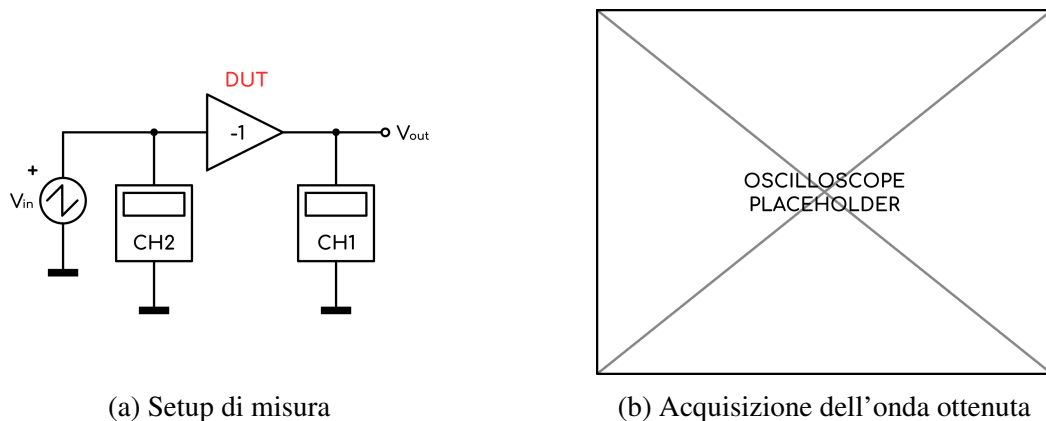


Figura 5.2: Misura del segnale a dente di sega

5.2 Onda Quadra

Anche l'onda quadra risulta piuttosto semplice da generare, in quanto è necessario solo aggiungere un offset e un guadagno al segnale utilizzato per il pilotaggio del contatore bidirezionale, ovvero U/D . Tale segnale infatti ha già forma e frequenza desiderate, è però compresa solo tra 0 V e $+5\text{ V}$, e si deve estendere fino a -5 V . Si utilizza quindi un altro amplificatore invertente con riferimento diverso da massa, lo schema è il seguente:

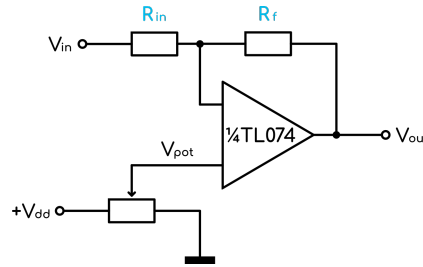


Figura 5.3: Schema dell'amplificatore invertente con offset ($+V_{dd} = +5\text{ V}$)

in cui si utilizzano due trimmer per la regolazione precisa di guadagno e offset.

La relazione ingresso/uscita è:

$$V_{out} = V_{pot} \left(1 + \frac{R_f}{R_{in}} \right) - V_{in} \frac{R_f}{R_{in}} \quad [V] \quad (5.2)$$

dove si vede chiaramente che $-\frac{R_f}{R_{in}}$ è il guadagno e $V_{pot} \left(1 + \frac{R_f}{R_{in}} \right)$ l'offset.

La forma d'onda osservata in uscita è quindi la seguente:

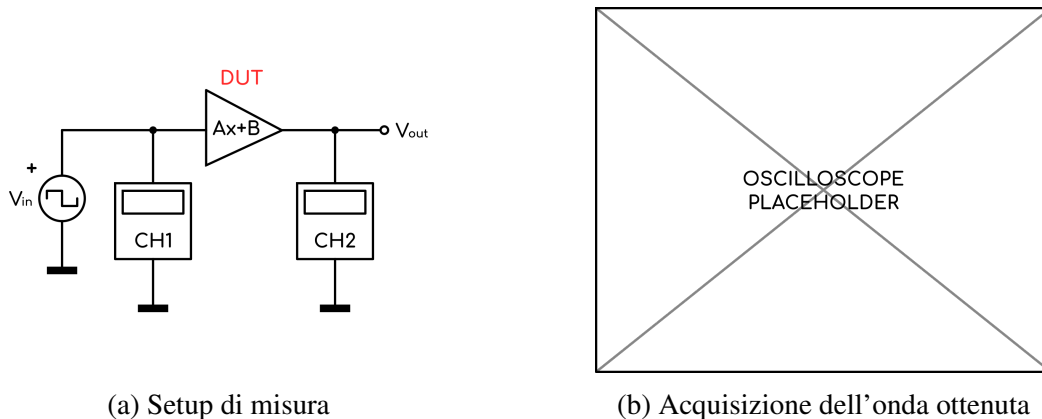


Figura 5.4: Misura del segnale a onda quadra ottenuto

5.3 Impulso

Per quanto riguarda l'impulso invece, facciamo uso del segnale RCO ricavato al capitolo 1, figura 1.4. Tale segnale viene portato in ingresso ad un circuito monostabile realizzato con un celebre NE555 [10] che si occuperà di aumentare la durata dell'impulso per valori di frequenza più elevati. Lo schema utilizzato, è riportato in figura 5.5 e viene preso da pg.10 del datasheet.

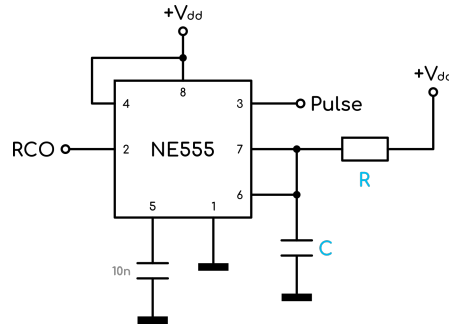


Figura 5.5: Schema circuito monostabile ($+V_{dd} = +5\text{ V}$)

La relazione sul periodo dell'impulso in uscita (anch'essa ricavata dal datasheet) è la seguente:

$$t_w = 1.1RC \text{ [s]} \quad (5.3)$$

Si scelgono $R = 10\text{ k}\Omega$ e $C = 100\text{ pF}$ per ottenere un periodo di impulso di circa $1.1\text{ }\mu\text{s}$.

Si osservano quindi le forme d'onda così ottenute:

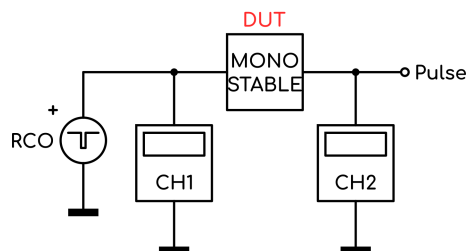


Figura 5.6: Setup di misura del circuito monostabile

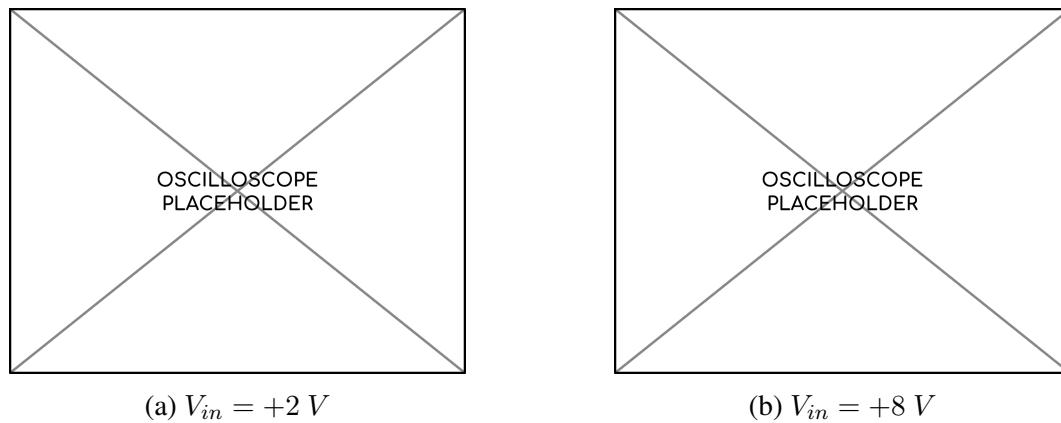


Figura 5.7: Acquisizioni dei segnali *RCO* e *Pulse* per diversi valori di V_{in}

5.4 Sinusoide

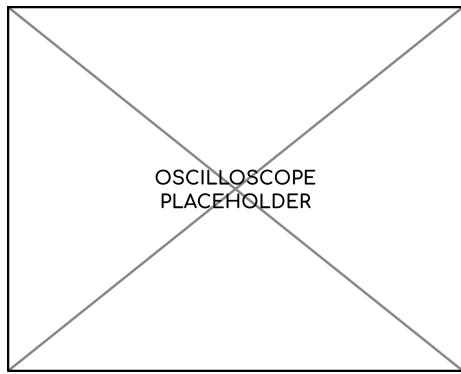
Infine, l'onda più complicata da generare, ma più semplice per caratteristiche è la sinusoide. Un modo piuttosto semplice per generarla sarebbe filtrare al massimo una qualsiasi delle onde già generate, e lasciare solo l'armonica fondamentale. Tuttavia questo metodo risulta scomodo se la frequenza del segnale varia in un ampio spettro, come appunto nel nostro caso, perchè la frequenza di taglio del filtro dovrebbe seguire di pari passo quella dell'oscillatore.

La soluzione utilizzata quindi è un circuito con guadagno variabile in base al livello di tensione fornito in ingresso, realizzato con un operazionale e dei diodi, sia normali che di tipo zener, i quali si occupano di modificare la resistenza di feedback e quindi il valore di guadagno dell'amplificatore. A questo circuito viene poi fornito in ingresso il triangolo, l'onda più simile alla sinusoide tra quelle generate, e in uscita si ottiene un segnale abbastanza approssimato di una sinusoide.

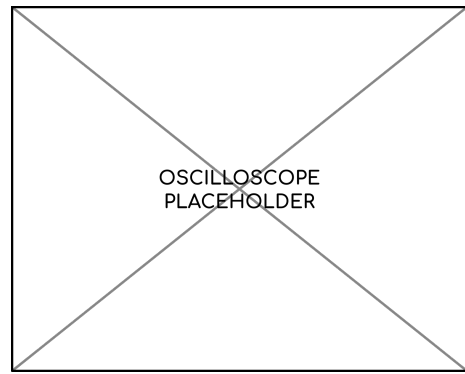
Per ricavare la relazione ingresso uscita...

Poichè in questo passaggio la tensione massima ottenuta è limitata al valore di breakdown dei diodi zener nell'anello di feedback, quindi 3.3 V nel nostro caso, è anche necessario uno stadio amplificatore in cascata per riportare l'onda ai livelli di tensione specificati dallo standard.

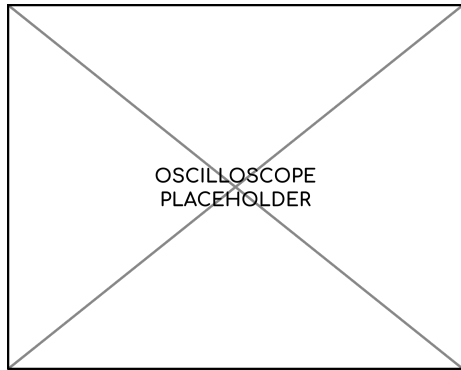
Osserviamo quindi l'onda e verifichiamo quanto risulta buona come approssimazione:



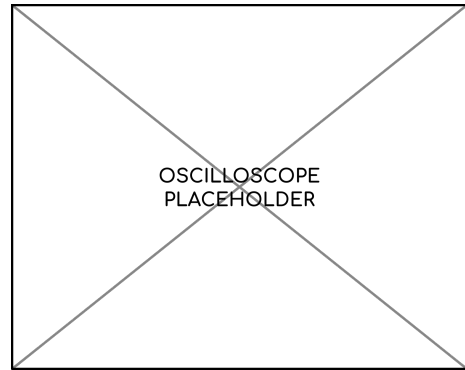
(a) $V_{in} = +2\text{ V}$



(b) $V_{in} = +8\text{ V}$



(c) $V_{in} = +2\text{ V}$



(d) $V_{in} = +8\text{ V}$

Figura 5.8: Sinusoide ottenuta per diversi valori di V_{in} nel dominio del tempo e della frequenza

E la transcaratteristica tracciata tramite oscilloscopio risulta abbastanza simile a quella teorica in figura.

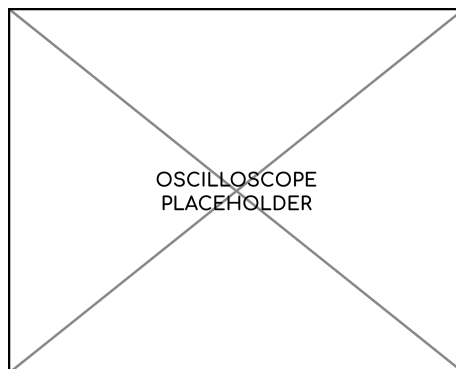


Figura 5.9: Transcaratteristica tracciata con l'oscilloscopio

6. Stadi di Uscita

Per quanto riguarda gli stadi di uscita, si collega in serie un filtro passa-basso attivo, che avrà anche lo scopo di isolare l'assorbimento di corrente dai circuiti che generano i segnali.

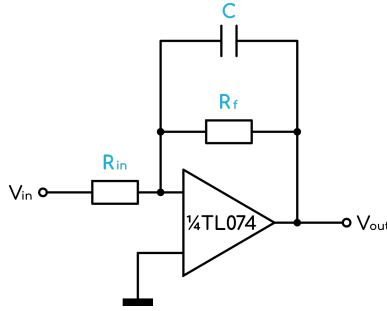


Figura 6.1: Circuito del filtro attivo utilizzato

sfruttando questa soluzione circuitale infatti, tutta la corrente prelevata dal circuito in uscita verrà fornita dagli amplificatori operazionali. Le relazioni del circuito sono le seguenti:

$$V_{out} = -V_{in} \frac{R_f}{R_{in}} \cdot \frac{1}{1 + j\omega R_f C} [V] \quad (6.1)$$

$$f_{cut} = \frac{1}{2\pi R_f C} [Hz] \quad (6.2)$$

$$A_{dB} = 20 \log_{10} \left(\left| \frac{R_f}{R_{in}} \cdot \frac{1}{1 + j\omega R_f C} \right| \right) [dB] \quad (6.3)$$

oppure, dai valori misurati:

$$A_{dB} = 20 \log_{10} \left(\frac{V_{rms.out}}{V_{rms.in}} \right) [dB] \quad (6.4)$$

La frequenza di taglio viene presa attorno ai 50 kHz per conservare tutto lo spettro audio e rimuovere invece disturbi in alta frequenza dovuti ad esempio ai segnali di clock. Scegliendo $R_f = 100 \text{ k}\Omega$ quindi, il valore del condensatore va preso di circa 30 pF , mentre R_{in} deve avere valore pari a R_f , in questo modo si ha guadagno unitario e

$$f_{cut} = \frac{1}{2\pi \cdot 100 \cdot 10^3 \cdot 30 \cdot 10^{-12}} \approx 53 \text{ kHz} \quad (6.5)$$

Misurando il valore del guadagno con il setup di misura riportato in figura 6.2, vediamo che il comportamento del circuito teorico viene rispettato.

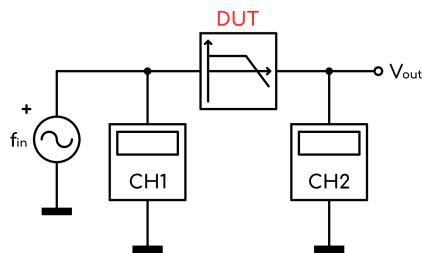
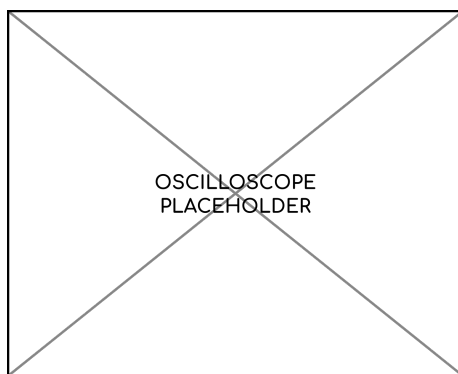
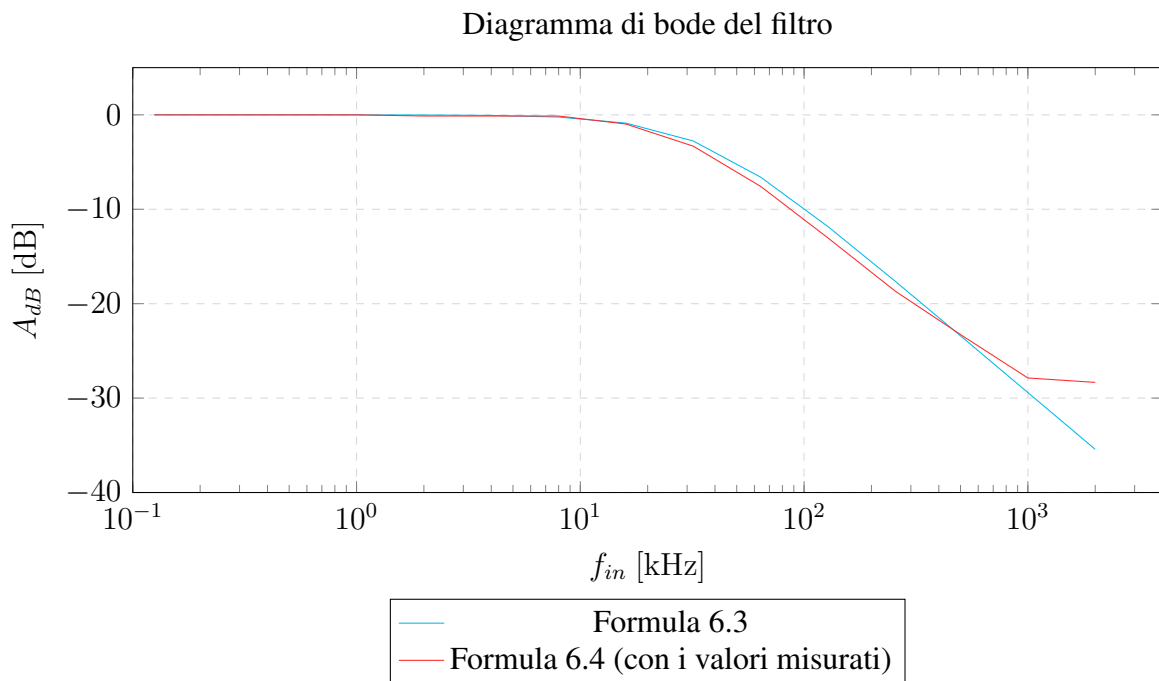


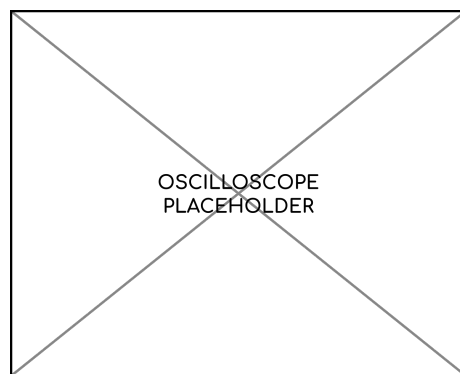
Figura 6.2: Setup di misura

$f_{in} [kHz]$	$V_{rmsin} [V]$	$V_{rmsout} [V]$	$A_{dB} [dB]$
0.125	1.410	1.410	0.000
0.250	1.410	1.410	0.000
0.500	1.410	1.410	0.000
1	1.410	1.410	0.000
2	1.410	1.390	-0.124
4	1.410	1.390	-0.124
8	1.410	1.390	-0.124
16	1.410	1.260	-0.977
32	1.410	0.962	-3.321
64	1.410	0.589	-7.582
128	1.410	0.314	-13.046
256	1.410	0.164	-18.688
512	1.410	0.095	-23.430
1000	1.410	0.057	-27.867
2000	1.410	0.054	-28.337

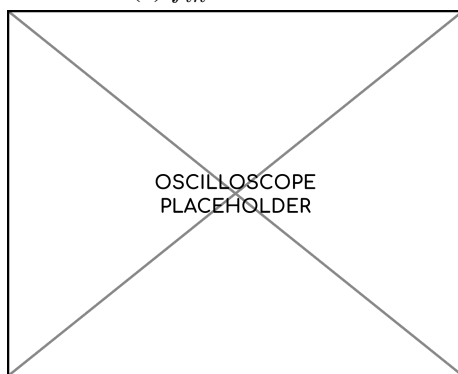
Tabella 6.1: Misure del guadagno del filtro attivo



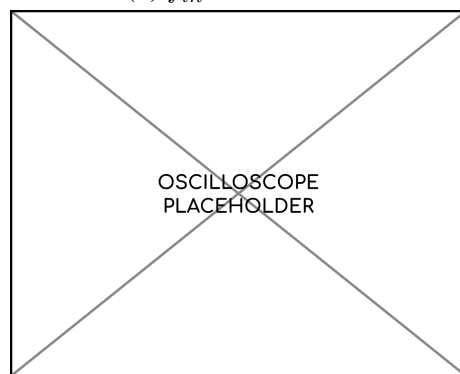
(a) $f_{in} = 10 \text{ kHz}$



(b) $f_{in} = 100 \text{ kHz}$



(c) $f_{in} = 500 \text{ kHz}$

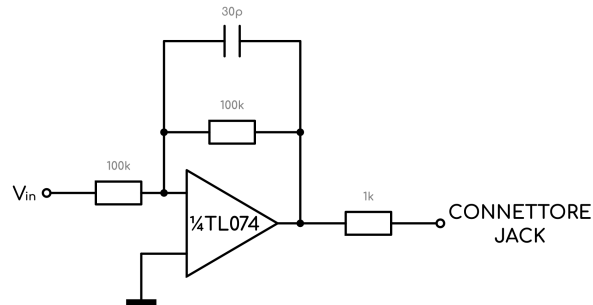


(d) $f_{in} = 1 \text{ MHz}$

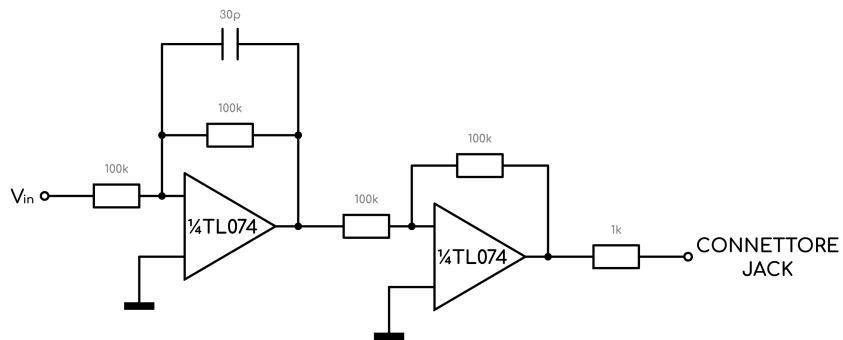
Figura 6.3: Acquisizioni dei segnali in ingresso e uscita al filtro per diversi valori di f_{in}

In serie ai filtri per le onde a rampa e dente di sega viene anche collegato un amplificatore invertente con guadagno unitario, con schema uguale a quello rappresentato in figura 5.1 per riportare le onde alla loro forma originale, in quanto non sono simmetriche.

Infine, in serie a tutte le uscite degli ultimi operazionali prima del connettore, si collegano delle resistenze di protezione, dal valore di circa $1\text{ k}\Omega$ per limitare la corrente in uscita in caso di eventuali cortocircuiti, che potrebbero provocare danni agli amplificatori operazionali.



(a) Circuito utilizzato per triangolo, senoide e onda quadra



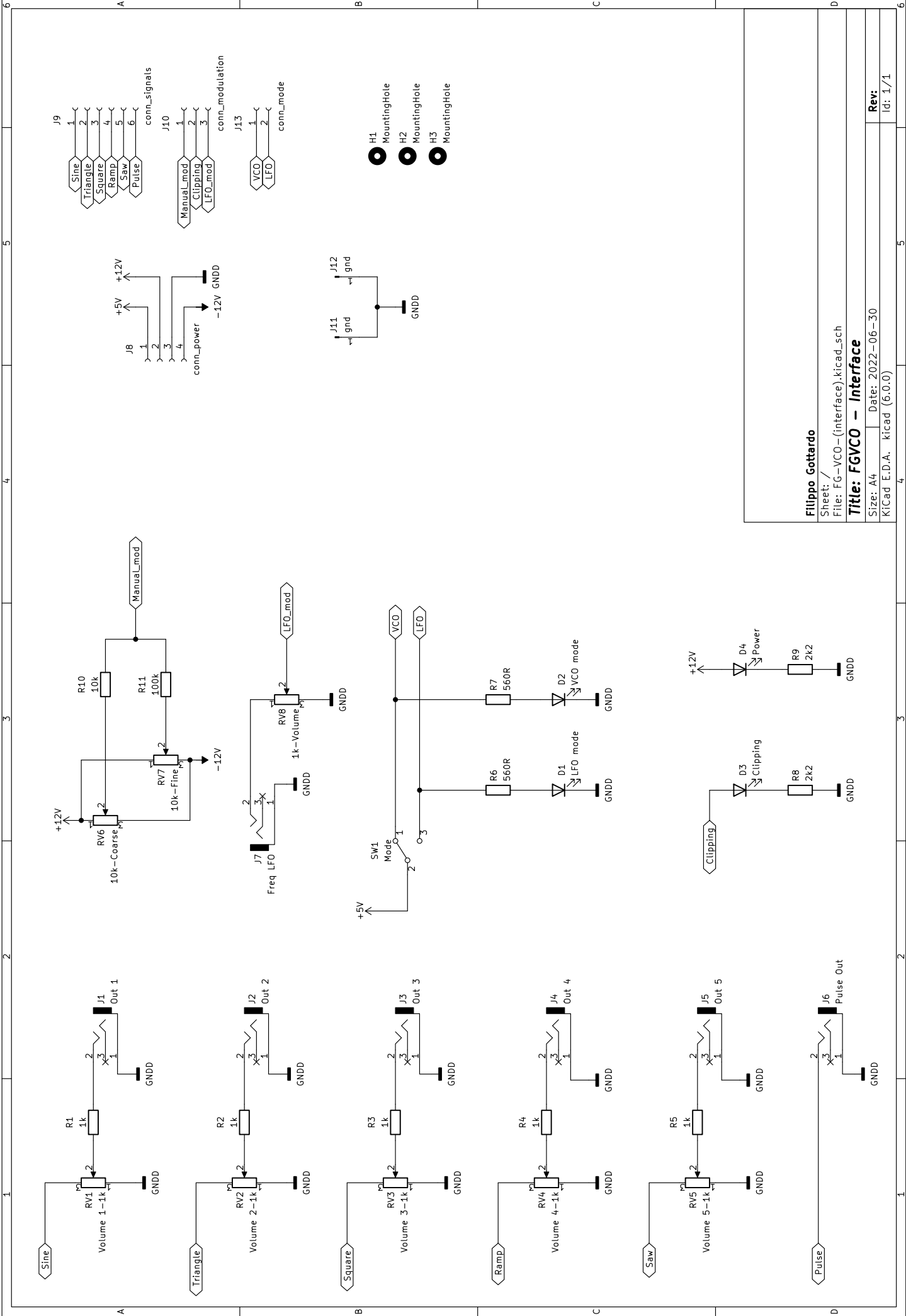
(b) Circuito utilizzato per rampa e dente di sega

Figura 6.4: Stadi d'uscita completi

Considerazioni Finali e Conclusioni

TODO

A. Schemi Elettrici delle Schede



Filippo Gottardo

Sheet: /
File: FG-VCO-(interface).kicad_sch

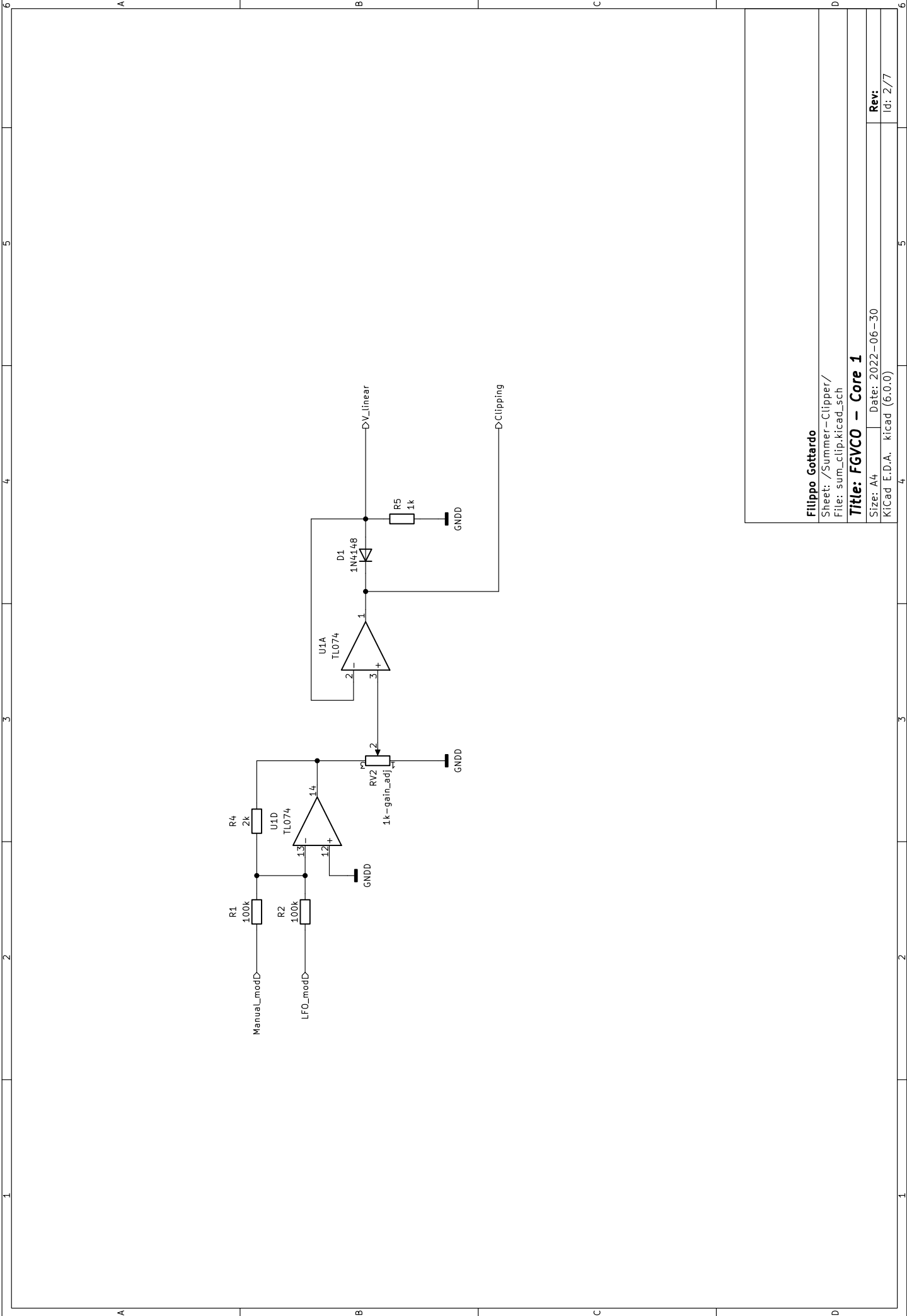
Title: FGVC0 - Interface

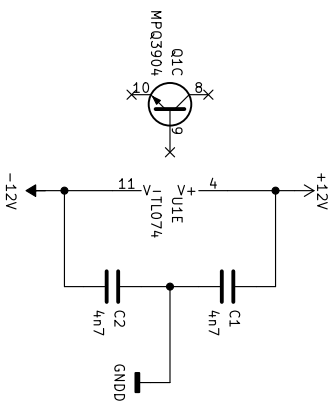
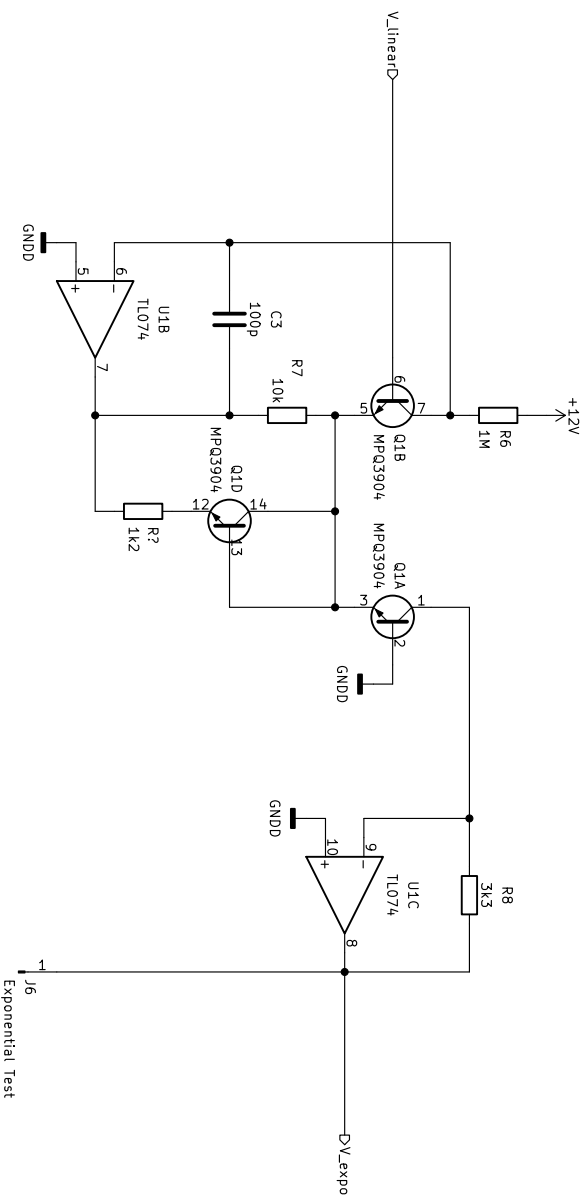
Size: A4 | Date: 2022-06-30

KiCad E.D.A. kicad (6.0.0)

Rev:

Id: 1/1





Filippo Gottardo

Sheet: /Volt-Octave Converter/
File: v_oct_conv.kicad_sch

Title: FGVCO - Core 1

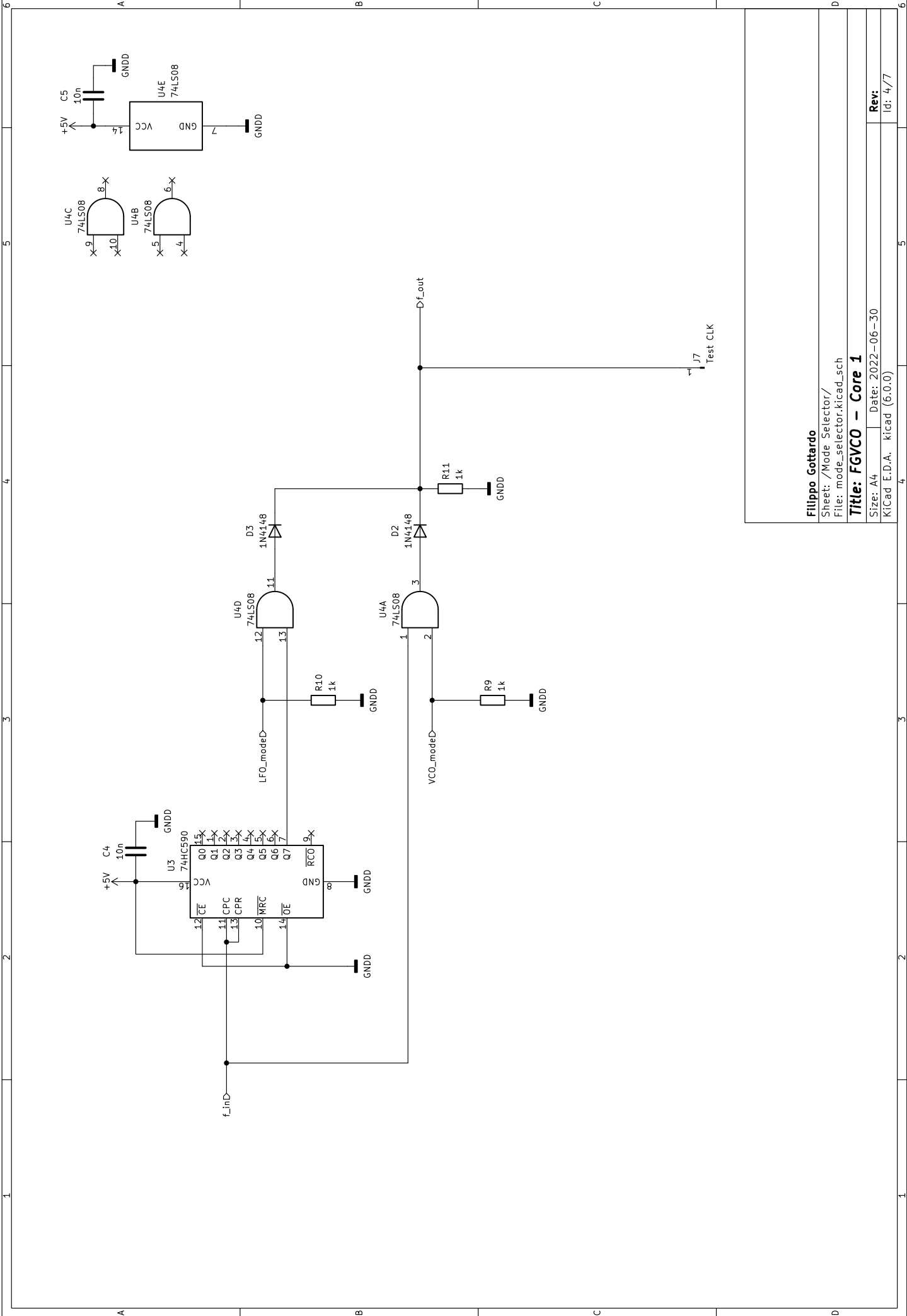
Size: A4

Date: 2022-06-30

KiCad E.D.A. KiCad (6.0.0)

Rev:

Id: 3/7



Filippo Gottardo

Sheet: /Mode Selector/
File: mode_selector.kicad_sch

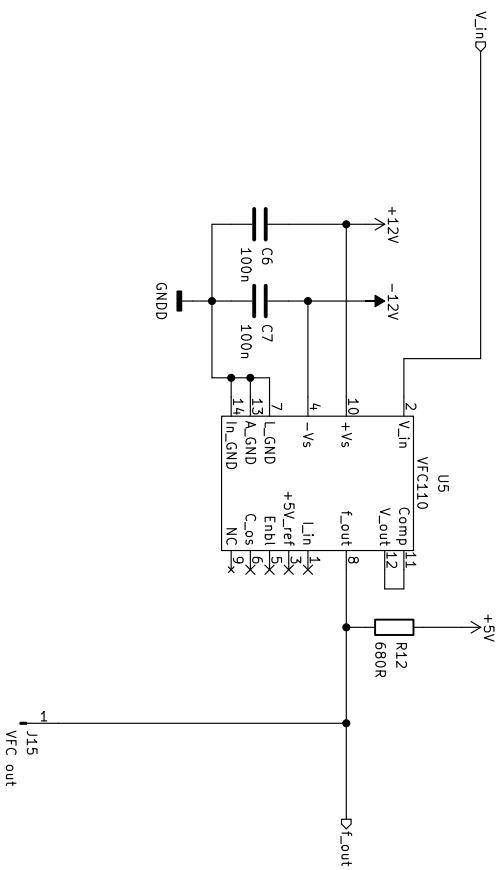
Title: FGVC0 – Core 1

Size: A4 | Date: 2022-06-30

KiCad E.D.A. kicad (6.0.0)

Rev:

Id: 4/7



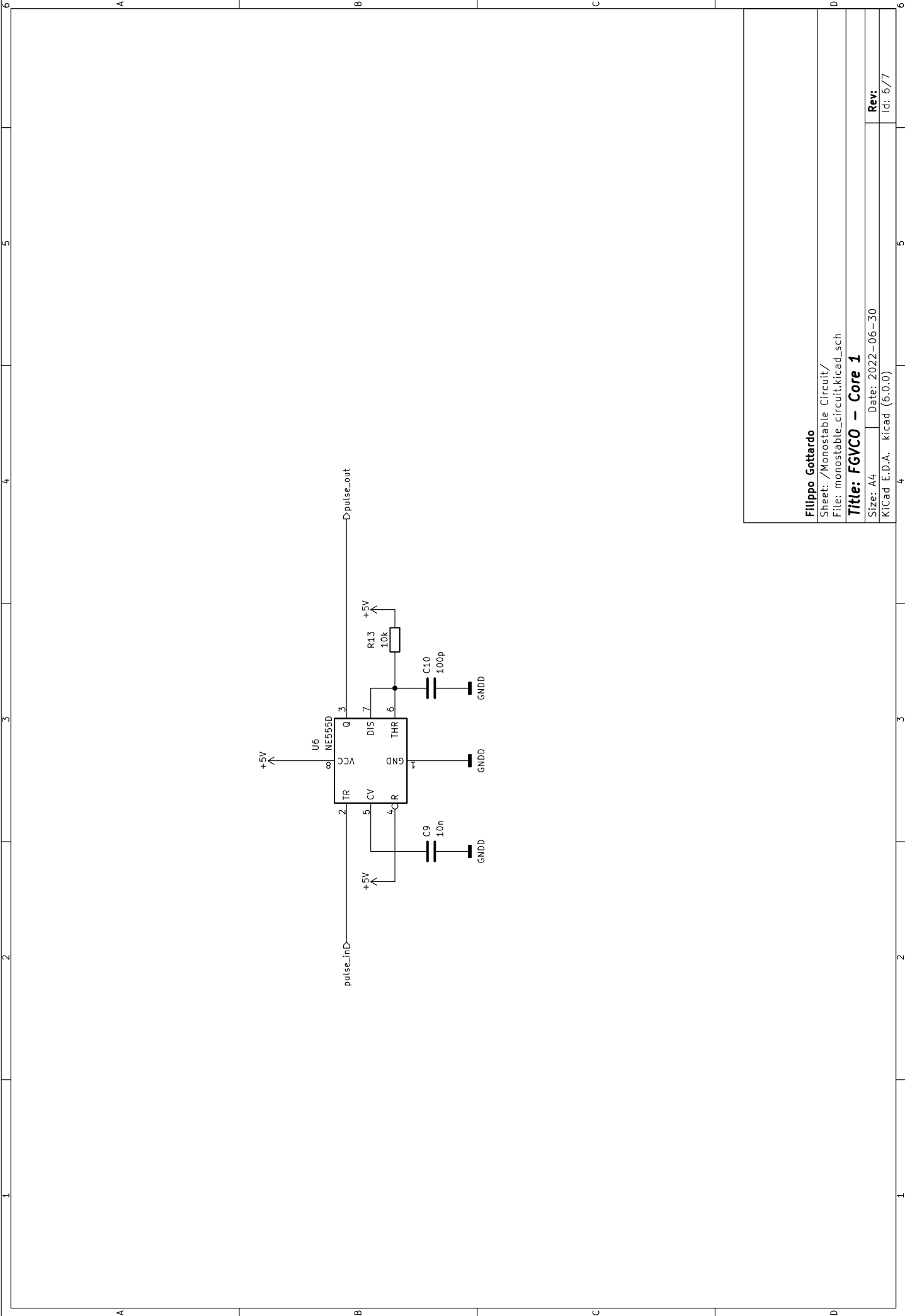
Filippo Gottardo

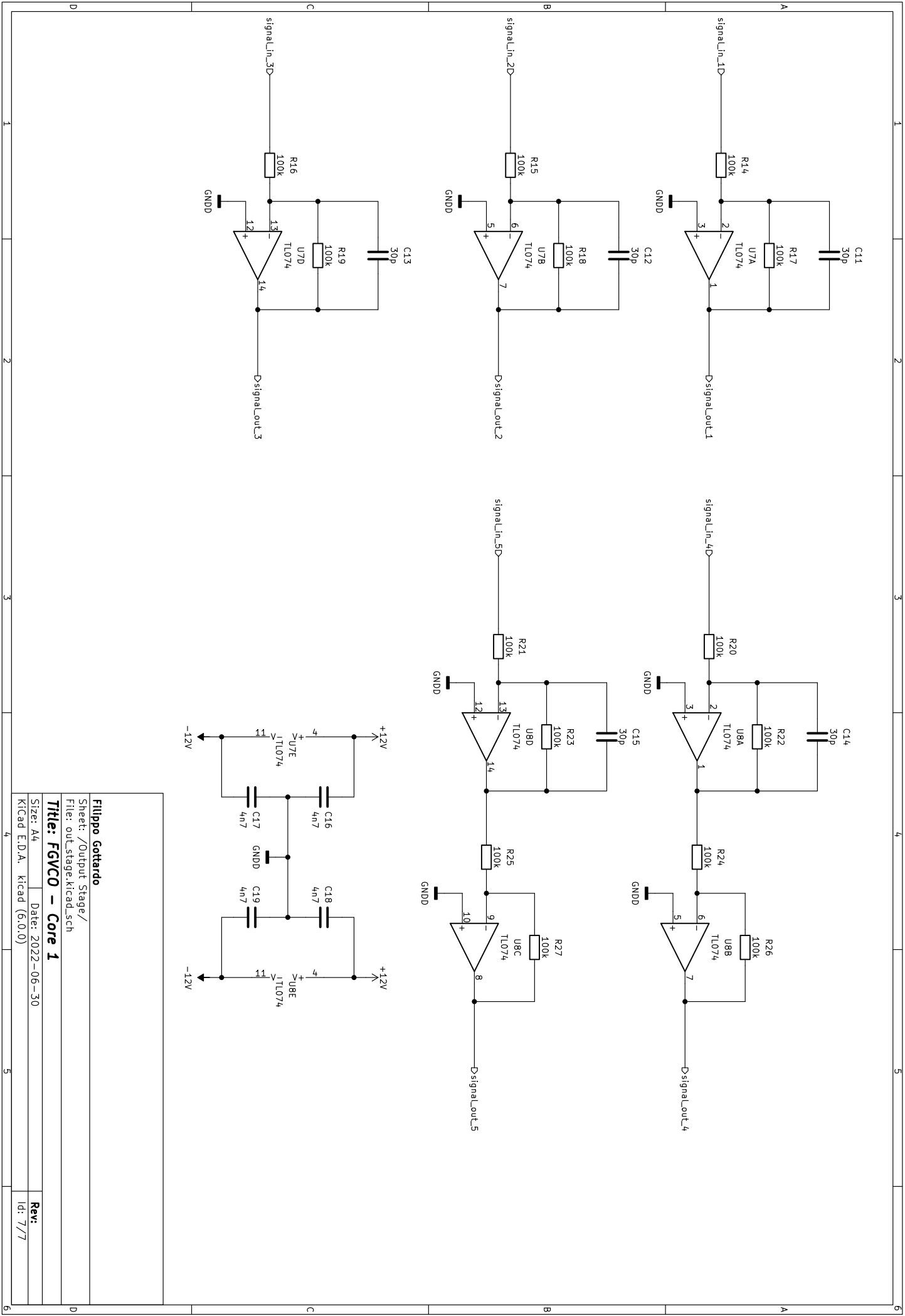
Sheet: /Voltage-Freq Converter/
File: v_f_conv.kicad_sch

Title: FGVCO - Core 1

Size: A4	Date: 2022-06-30
KiCad E.D.A. KiCad (6.0.0)	

Rev:	
Id: 5/7	





Filippo Gottardo

Sheet: /Output Stage/
File: out_stage.kicad_sch

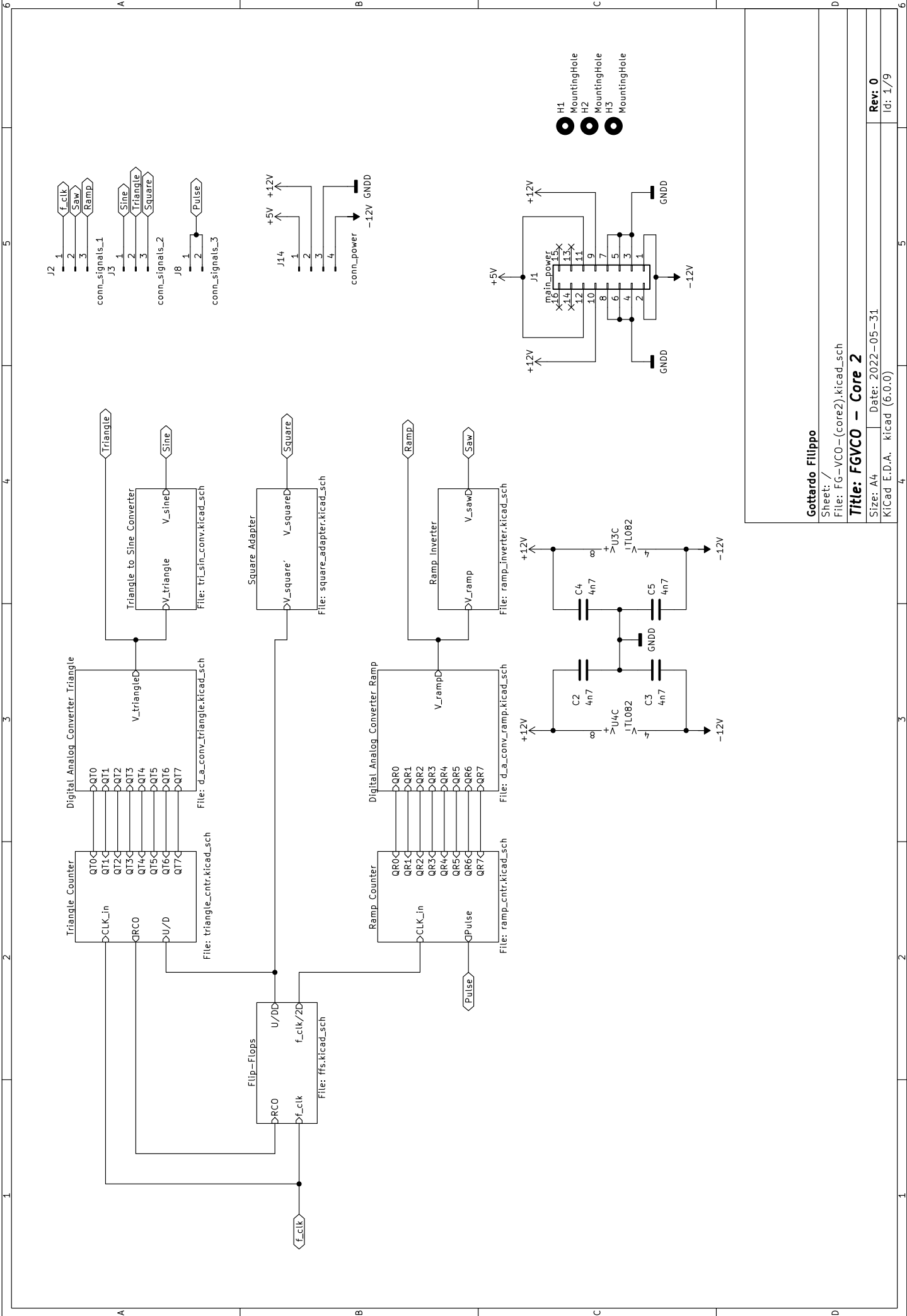
Title: FGVC0 - Core 1

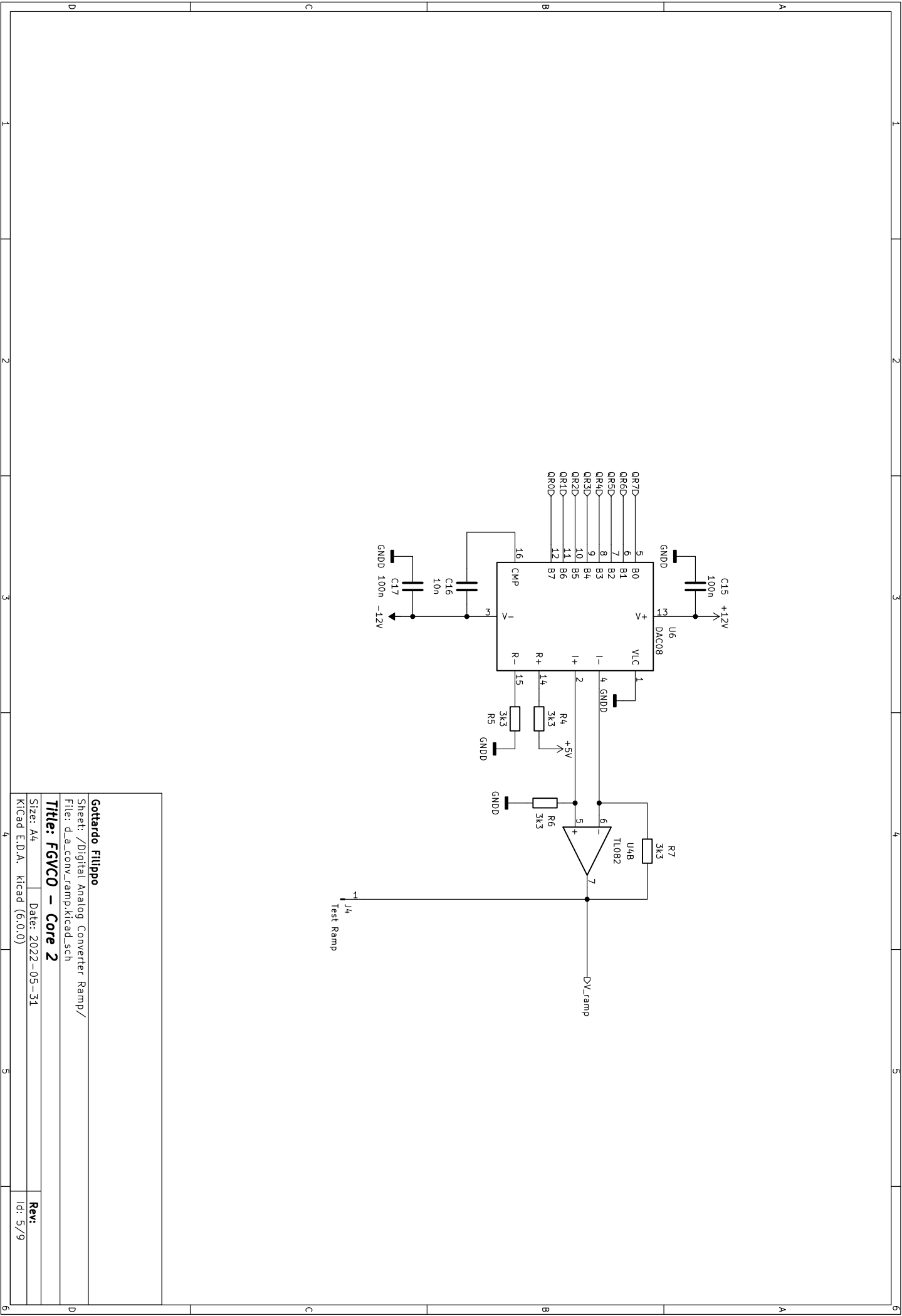
Size: A4 Date: 2022-06-30

Kicad E.D.A. kicad (6.0.0)

Rev:

Id: 7/77





Gottardo Filippo

Sheet: /Digital Analog Converter Ramp/

File: d_a_conv_ramp.kicad_sch

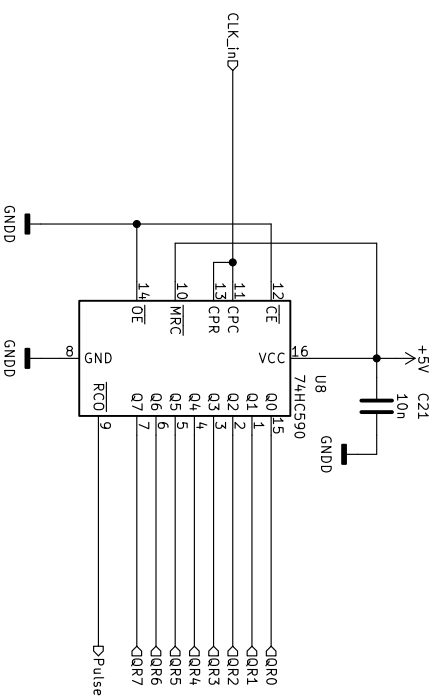
Title: FGVCO – Core 2

Size: A4	Date: 2022-05-31
----------	------------------

KiCad E.D.A.	kiCad (6.0.0)
--------------	---------------

Rev:	
------	--

Id: 5/9



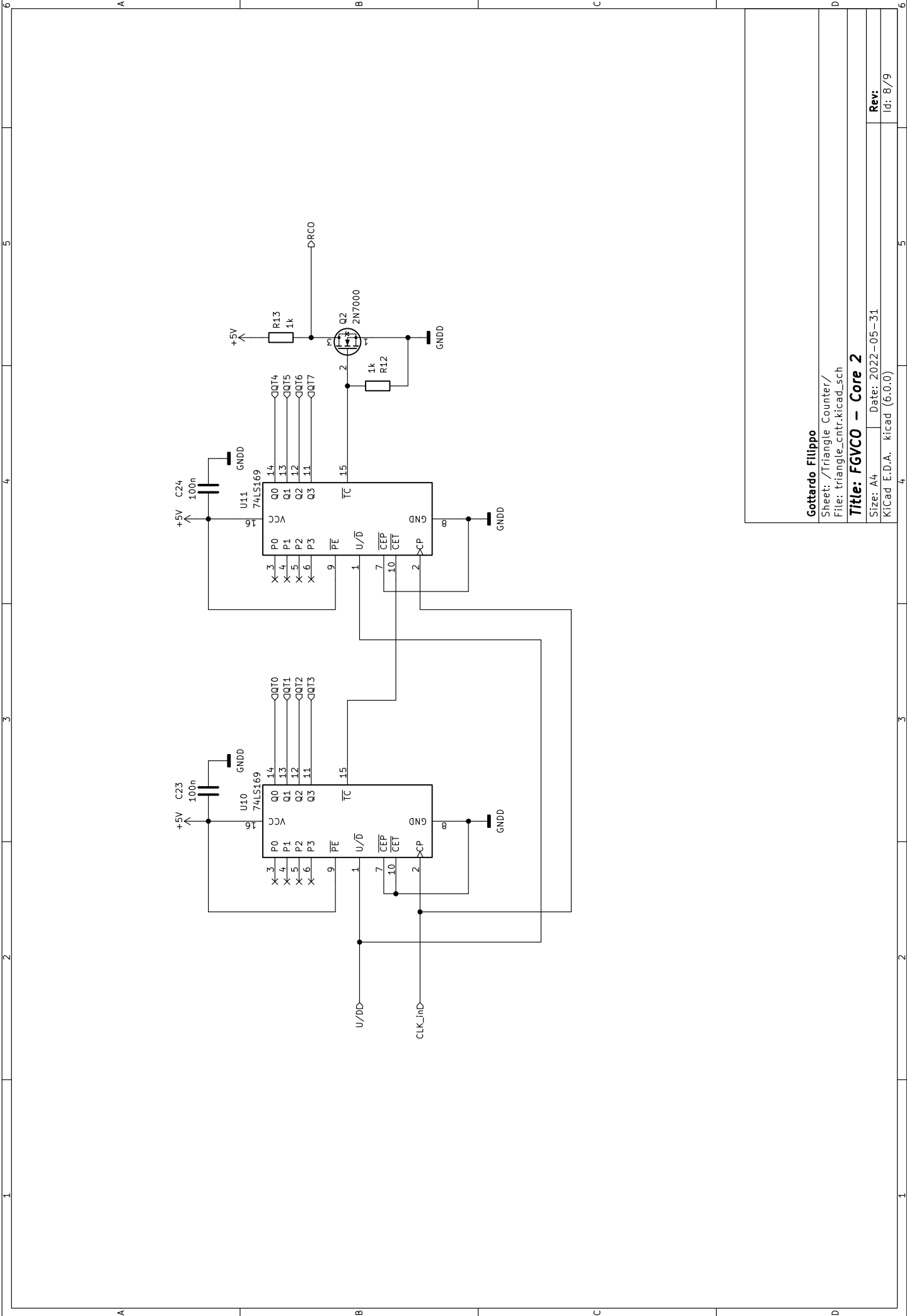
Gottardo Filippo

Sheet: /Ramp Counter/
File: ramp_ctr.kicad_sch

Title: FGVCO – Core 2

Size: A4	Date: 2022-05-31
KICad E.D.A. kicad (6.0.0)	

Rev:
Id: 7/9



Gottardo Filippo

Sheet: /Triangle Counter/
File: triangle_cntr.kicad_sch

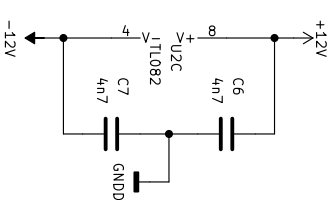
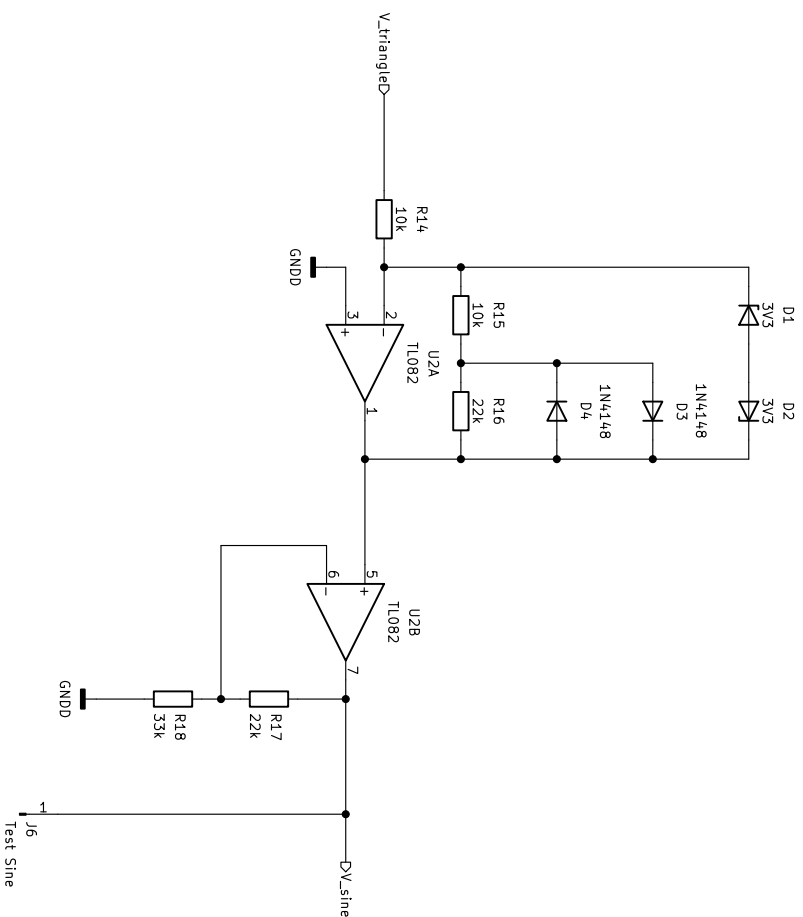
Title: FGVCO – Core 2

Size: A4 | Date: 2022-05-31

KiCad E.D.A. kicad (6.0.0)

Rev:

Id: 8/9



Gottardo Filippo

Sheet: /Triangle to Sine Converter/
File: trf_sin_conv.kicad_sch

Title: FGVC0 - Core 2

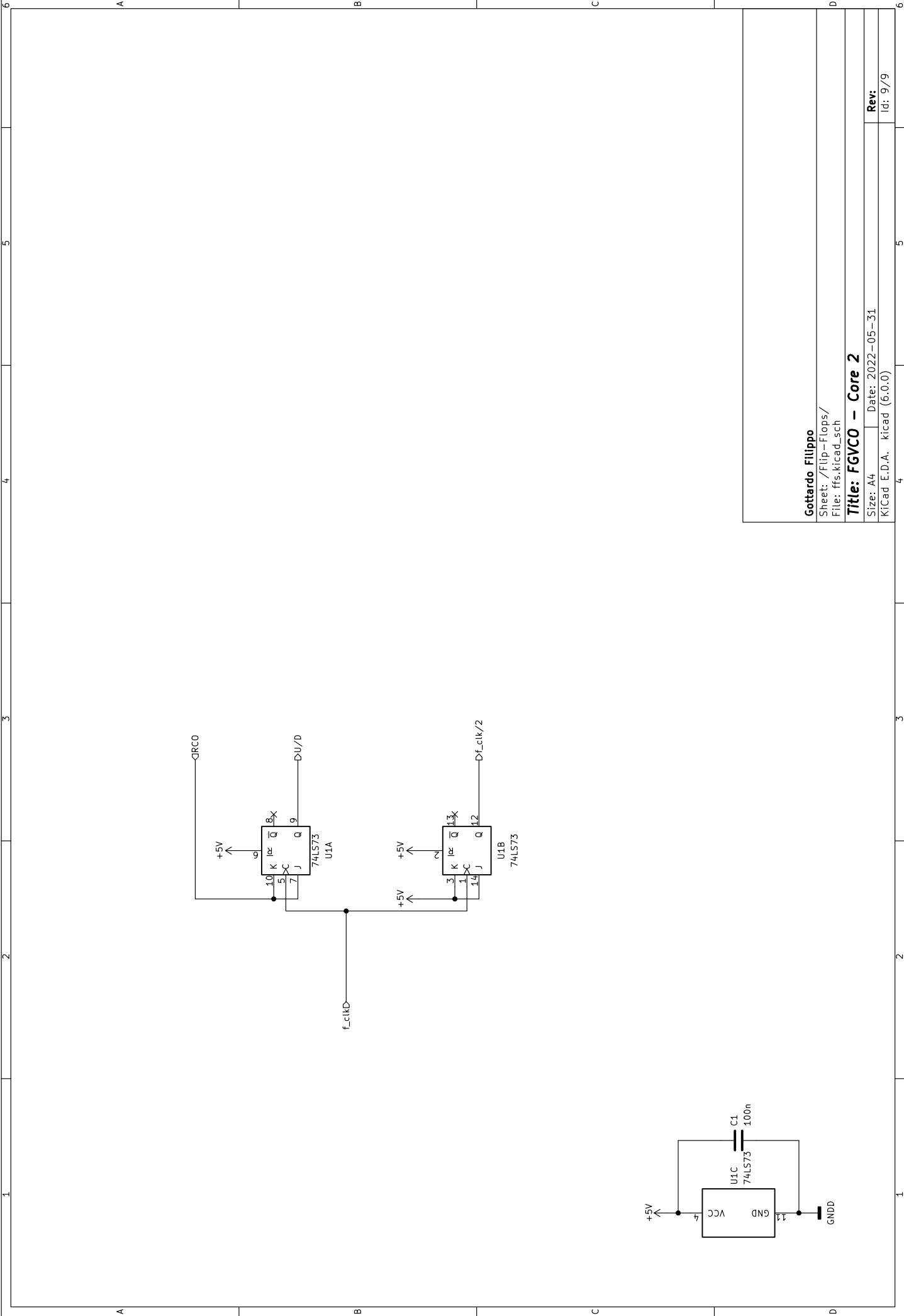
Size: A4

Date: 2022-05-31

KiCad E.D.A. kicad (6.0.0)

Rev:

Id: 8/9



Gottardo Filippo

Sheet: /Flip-Flops/
File: ffs.kicad_sch

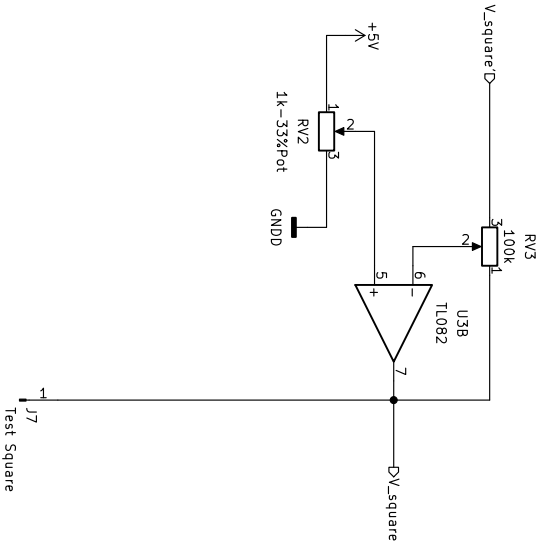
Title: FGVC0 - Core 2

Size: A4 Date: 2022-05-31

KiCad E.D.A. kicad (6.0.0)

Rev:

Id: 9/9



Gottardo Filippo

Sheet: /Square Adapter/
File: square_adapter.kicad_sch

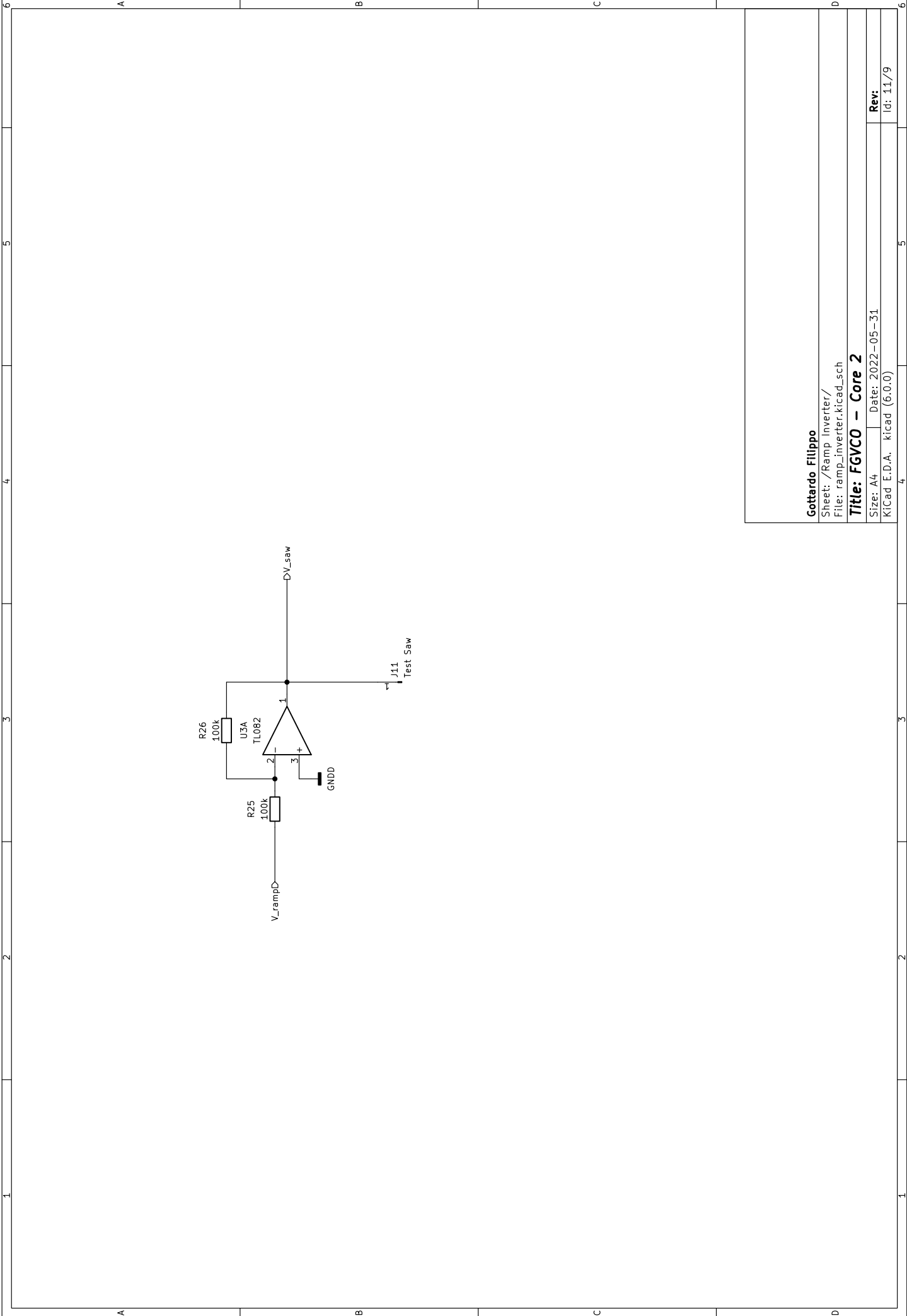
Title: FGVC0 - Core 2

Size: A4
Kicad E.D.A. Kicad (6.0.0)

Date: 2022-05-31

Rev:

Id: 10/9



Bibliografia

- [1] Doepfer. *Technical Details A-100*. Ultimo accesso: 10 agosto 2022. URL:
https://doepfer.de/a100_man/a100t_e.htm.
- [2] Texas Instruments. *8-Bit Binary Counter With 3-State Output Registers*. SN54HC590A, SN74HC590A. Rev. F. 15 Sep 2003. URL:
https://www.ti.com/lit/ds/symlink/sn74hc590a.pdf?ts=1660052021803&ref_url=https%253A%252F%252Fwww.ti.com%252Fproduct%252FSN74HC590A%253FDCM%253Dyes%2526utm_source%253Dsupplyframe%2526utm_medium%253DSEP%2526utm_campaign%253Dnot_alldatasheet%2526clid%253DCjkKEQjwi8iXBhCH4qTo0eHB5a4BEiQAcEheL4orR2IcXezk9QUTg0VBEO06AO8X78kbvVsHNjYh-K7w_wcB.
- [3] Texas Instruments. *8-Bit Digital-to-Analog Converters*. DAC0800/DAC0802. Rev. C. 19 Feb 2013. URL: https://www.ti.com/lit/ds/symlink/dac0800.pdf?ts=1660056823024&ref_url=https%253A%252F%252Fwww.google.com%252F.
- [4] Texas Instruments. *High Frequency Voltage-to-Frequency Converter*. VFC110. Rev. A. 25 Apr 2007. URL: https://www.ti.com/lit/ds/symlink/vfc110.pdf?ts=1660083698490&ref_url=https%253A%252F%252Fwww.ti.com%252Fproduct%252FVFC110%253FkeyMatch%253DVFC110.
- [5] Texas Instruments. *High Speed CMOS Logic Dual Negative-Edge-Triggered J-K Flip-Flops with Reset*. CDx4HC73, CD74HCT73. 31 Jan 2022. URL:
https://www.ti.com/lit/ds/symlink/cd74hc73.pdf?ts=1660083349727&ref_url=https%253A%252F%252Fwww.ti.com%252Fproduct%252FCD74HC73%253FkeyMatch%253DCD74HC73%2526tisearch%253Dsearch-everything%2526usecase%253DGPN.
- [6] Texas Instruments. *Low-Noise FET-Input Operational Amplifiers*. TL07xx. Rev. T. 13 Dec 2021. URL:
https://www.ti.com/lit/ds/symlink/tl074a.pdf?ts=1660083674764&ref_url=https%253A%252F%252Fwww.ti.com%252Fproduct%252FTL074A%253FkeyMatch%253D%2526tisearch%253Dsearch-everything%2526usecase%253Dpartmatches.
- [7] Texas Instruments. *Precision voltage-to-frequency converter with 1-Hz to 100-kHz full scale frequency*. LMx31x. Rev. C. 29 Sep 2015. URL: <https://www.ti.com/lit/ds/symlink>

/lm331.pdf?ts=1660083454622&ref_url=https%253A%252F%252Fwww.ti.com%252Fproduct%252FLM331%253FkeyMatch%253DLM331.

- [8] Texas Instruments. *QUADRUPE 2-INPUT POSITIVE-AND GATES*. SN5408, SN54LS08, SN54S08, SN7408, SN74LS08, SN74S08. 1Mar 1988. URL: https://www.ti.com/lit/ds/symlink/sn74ls08.pdf?ts=1661379490726&ref_url=https%253A%252F%252Fwww.ti.com%252Fproduct%252FSN74LS08%253Futm_source%253Dgoogle%2526utm_medium%253Dcpc%2526utm_campaign%253Dti-null-null-xref-cpc-pf-google-ww%2526utm_content%253Dxref%2526ds_k%253D%257B_dssearchterm%257D%2526DCM%253Dyes%2526gclid%253DCjwKCAjwmJeYBhAwEiwAXlg0Aa_9D-sACXc-gpl01iURjVXQdWT2ZSrZghJtczUhFIQMyQ-B2xQ6IRoCQXoQAvD_BwE%2526gclidsrc%253Daw.ds.
- [9] Texas Instruments. *Synchronous 4-Bit Up/Down Binary Counters*. SN54LS169B, SN54S169, SN74LS169B, SN74S169. 1Mar 1988. URL: https://www.ti.com/lit/ds/symlink/sn74ls169b.pdf?ts=1660083375741&ref_url=https%253A%252F%252Fwww.ti.com%252Fproduct%252FSN74LS169B%253FkeyMatch%253DSN74LS169B%2526tisearch%253Dsearch-everything%2526usecase%253DGP.
- [10] Texas Instruments. *xx555 Precision Timers*. NA555, NE555, SA555, SE555. Rev. I. 15 Sep 2014. URL: https://www.ti.com/lit/ds/symlink/ne555.pdf?ts=1661442775145&ref_url=https%253A%252F%252Fwww.ti.com%252Fproduct%252FNE555.
- [11] Schmitz René. *Voltage controlled oscillators*. Ultimo accesso: 10 agosto 2022. March 1999. URL: <https://www.schmitzbits.de/vco2.html>.
- [12] Central Semiconductor. *SILICON NPN QUAD TRANSISTOR*. MPQ3904. Rev. 2. 25 September 2018. URL: <https://my.centralsemi.com/datasheets/MPQ3904.PDF>.
- [13] ON Semiconductor. *N-Channel Enhancement Mode Field Effect Transistor 60V, 200mA, 5 ohm*. 2N7000, 2N7002, NDS7002A. Rev. 7. July 2022. URL: <https://www.onsemi.com/pdf/datasheet/nds7002a-d.pdf>.
- [14] NXP Semiconductors. *High-speed diodes*. 1N4148; 1N4448. 2004 Aug 10. URL: https://assets.nexperia.com/documents/data-sheet/1N4148_1N4448.pdf.