



طراحی کامپیوتری سیستم‌های دیجیتال
دانشکده مهندسی برق و کامپیوتر
پاییز ۱۴۰۲

پروژه دوم: مروری بر logic design و مقدمه سنتز بر روی FPGA

دستیاران آموزشی: هادی بابالو، مریم بحرینی‌زاد، علی عطااللهی

توضیحات پروژه

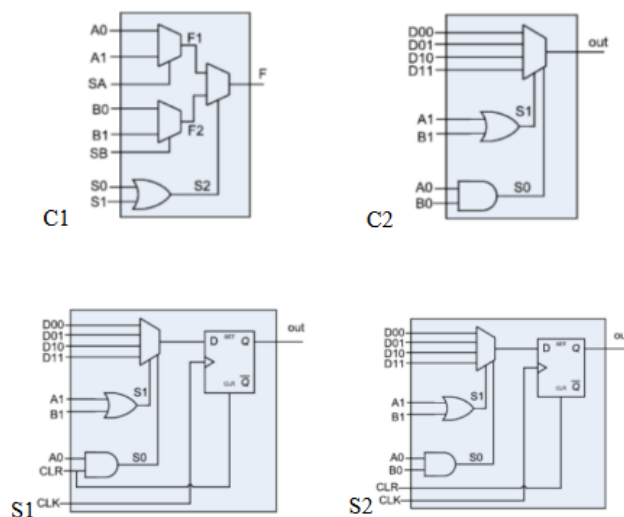
در تمرین‌های یک و دو، شبکه MaxNet با چهار نورون را در جهت پیدا کردن عدد با بیشترین مقدار در میان چهار عدد را پیاده‌سازی کرده‌اید. بنابراین:

الف) ابتدا کد وریدلاگ ماژول‌های نشان داده شده در شکل 1 بنویسید و از عملکرد صحیح آن مطمئن شوید.

ب) سپس مسیر داده و کنترلر مدار تمرین قبل را بر روی کاغذ و در سطح ماژول‌های نشان داده شده در شکل-1 طراحی کنید (فقط مجاز هستید از همین ماژول‌ها استفاده کنید).

ج) سپس با استفاده از instantiate-کردن ماژول‌های وریدلاگ قسمت الف مدار طراحی شده در قسمت ب را با استفاده از زبان وریدلاگ پیاده‌سازی و سپس شبیه‌سازی کنید.

برای یادآوری و درک بهتر پروژه، توصیه می‌شود که توضیحات مربوط به پروژه اول و نحوه کارکرد این شبکه MaxNet را حتما مرور کنید.



شکل ۱: سلول‌های منطقی قابل برنامه‌ریزی مربوط به ماژول منطقی Actel

هدف این تمرین، پیاده‌سازی و سنتز طراحی بر روی بخش‌های قابل برنامه‌ریزی یک FPGA است. بنابراین ضروری است تا مسیرهای داده و کنترل را ابتدا به صورت ساختاری یا همان structural طراحی کنید و سپس طرح را بر روی سلول‌های منطقی قابل برنامه‌ریزی معرفی‌شده، سنتز کنید. سلول‌های منطقی در دسترس در شکل-۱ نمایش داده شده‌اند. دقت کنید که برای طراحی مسیر داده و کنترلر (FSM) شما تنها مجاز به استفاده از سلول‌های S1، C2، C1 و S2 هستید.

در واقع در این پروژه برای آشنایی با روند سنتز کردن طرح بر روی FPGA، باید component-های طراحی استفاده شده در مسیر داده مربوط به پروژه یک را با بلوک‌های برنامه‌پذیر معرفی‌شده جایگزین کنید. همچنین کنترلر هم باید فقط توسط همین بلوک‌ها طراحی و ساخته شود.

برای تحویل این تمرین تا شنبه ۲۵ آذر ماه فرصت دارید. چنانچه عملکرد ماژول ذکر شده صحیح باشد، نمره کامل به شما تعلق خواهد گرفت و بهینه‌سازی و استفاده از کمترین ماژول نمره امتیازی خواهد داشت.

مواردی که در حین پیاده‌سازی باید در نظر بگیرید:

1. نحوه گرفتن ورودی‌ها و خروجی دادن برنامه، باید دقیقا مطابق با پروژه اول درس باشد.
2. رجیسترها را متناسب با نیاز خود، با حداقل بیت مورد نیاز تعریف کنید.
3. اکیدا توصیه می‌شود طراحی به صورت سلسله مراتبی انجام شود. یعنی در ابتدا هر یک از بلوک‌های C1، C2، S1، S2 را به صورت یک ماژول تعریف کرده و سپس با استفاده از آنها سایر ماژول‌ها را به صورت سلسله مراتبی پیاده‌سازی و استفاده کنید.

4. تا جای ممکن کنترلر خود را ساده تعریف کنید تا در ساده کردن جدول کارنوی مربوطه و سپس پیاده‌سازی آن با ماژول‌های تعریف شده به مشکل نخورید.

مواردی که باید تحویل دهید:

- طراحی کنترلر و مسیر داده به صورت دستی
- کدهای مربوط به زبان ورپلاگ (تمامی ماژول‌ها)
- مشابه تمرین دوم، متناسب با پوشه‌ی trunk، فایل‌های گزارش و کدها و ... را در پوشه‌ی متناظر آن قرار دهید.

توجه: انجام این تمرین به صورت گروه‌های دونفره خواهد بود.

نکات پایانی

- برای تمرین دوم، لازم است فایل‌های HDL و testbench خود را مطابق ساختار توضیح داده شده در trunk/doc subdirectory های trunk آپلود کنید. همچنین، اطمینان حاصل کنید که با اجرای trunk/sim/sim_top.tcl تست‌بنچ شما اجرا می‌شود. برای اجرای این اسکریپت می‌توانید از دستور زیر در Modelsim استفاده کنید:

```
>> do <sim_file>
```

- لازم است فرمت خروجی مدار شما دقیقاً مطابق ساختار مطرح شده برای ورودی باشد. توجه کنید که صحت کارکرد مدار شما با تست‌های آماده بررسی خواهد شد.
- فایل‌ها و گزارش خود را تا قبل از موعد تحویل هر فاز، با نام CAD_HW2_<SID>.zip در محل مربوطه در صفحه درس آپلود کنید.
- هدف از این تمرین، یادگیری شماسست! در صورت کشف تقلب، مطابق با قوانین درس با آن برخورد خواهد شد.
- در صورت داشتن هرگونه سوال یا ابهام از طریق ایمیل‌های زیر با دستیاران آموزشی در ارتباط باشید.

m.h.babalu@gmail.com

aliataollahi40@gmail.com