



# 噪声的起源

## V 1.0

2013.11.10

—— By: Mythink



## 目 录

<b>1、本章出发点与适用的读者 .....</b>	<b>1</b>
1.1、本章出发点.....	1
1.2、适用读者.....	1
<b>2、论述的前提条件与主要内容.....</b>	<b>2</b>
2.1、前提条件.....	2
2.2、主要内容.....	2
2.3、名词解释.....	2
<b>3、什么是噪声 .....</b>	<b>3</b>
3.1、什么是噪声 .....	3
3.2、数字信号线上的噪声 .....	3
<b>4、数字芯片工作时，产生数字噪声的走向 .....</b>	<b>7</b>
4.1 什么是传导噪声 .....	7
4.2、直流地线信号电流分布.....	7
4.3、单负载情况下，交流电源噪声的走向与危害 .....	8
4.4、多负载情况下，电源端交流噪声的走向与隔离 .....	9
<b>5、应对芯片间的信号传输地噪声 .....</b>	<b>11</b>
5.1、信号线要尽量短 .....	11
5.2、地线要粗.....	11
5.3、要铺地.....	12
<b>6、原理推论与延伸 .....</b>	<b>13</b>
6.1、参考地.....	13
6.2、地隔离.....	14
<b>7、本章精要 .....</b>	<b>16</b>



## 1、本章出发点与适用的读者

### 1.1、本章出发点

希望读者着重挖掘其思想，其次才是原理，最后才是应用的实践方法。

思想读通了，才会相对容易地把道理灵活变通到其他高频、微小信号的电路中，即使它们的条件和原理稍微不同。

### 1.2、适用读者

首先，这个题目有点泛，准确来讲应该是“低频数字噪声的起源”比较恰当。而且本章论述的都是作者的个人观点，不代表权威性，所以请读者自行批判性学习。

读本章前提：你了解三极管、运放、编码译码器等原件，用电子电路搭建过简单的单运放、编码译码器电路，准备向难度更大一点的系统进军——即：你已经具备了最基本的电子基础。

假如你符合了前提，而且你想学习的是：要了解什么是噪声、了解自己的PCB 电路布线布局有什么潜在的干扰、低频噪声如何存在、如何减小传导干扰。那么很幸运，本章适合你。

假如你已经对以上有较深的了解，想从这章看看作者有没有什么新的思想、或者挑出作者的错误，我也非常赞同你！

但是，假如你做产品的是辐射型的空间传播信号、波导等高频信号，那么请绕道，因为本章只会浪费你的宝贵时间。



## 2、论述的前提条件与主要内容

### 2.1、前提条件

基于低频数字信号、数模混合电路、有敏感信号源的系统进行论述。主要针对的是传导性的信号，从传导性干扰噪声着手逐步深入分析。

### 2.2、主要内容

读了本章，你将会知道什么是噪声、数字电路工作时为什么会出现噪声、信号为什么会振铃、地噪声是如何分布和存在的、电源噪声会流向何处、为什么有“参考地平面”、敏感元件的布局位置、地隔离的优劣性。从而，会从原理上明白日常看到的 PCB 设计规则：数字芯片电源端要加去耦电容、电源端加电感或磁珠隔离、布线是信号线要尽量短、地线要粗且要铺地、敏感元件不要布局在 PCB 板边缘、地线隔离等等。

无论如何，作者的目的是让读者了解原理，让原理和日常的 PCB 布线规则融会贯通。

### 2.3、名词解释

#### 2.3.1、低频的数字信号

对于高低频有很多定义，有些是公认的。本章的“低频的数字信号”并不是公认的定义方式，而是指其波形特征满足：IO 口翻转频率在 10MHz 以下，其特征是一般 PCB 尺寸上基波不会发生辐射或者辐射能力弱，但数字波形的边缘可能会产生过冲、振铃，高次谐波往往容易产生辐射，而且容易对附近的敏感信号源造成干扰。

#### 2.3.2、数模混合电路

本章讨论电路的数模混合电路指的是：数字电路部分不超过 10MHz 的 IO 翻转频率，模拟是 mV 级以上的音频信号。

当你的系统的数字电路频率超过本范围，模拟信号在 uV 级以下，则切勿套用本章现象和理论。

#### 2.3.3、敏感信号源

指放大前的音频信号，且它将在电路中被放大 10 倍以上。或者指 FM 等接收电路的接收端信号。

#### 2.3.4、传导性信号

与辐射性相对，指其传播主要依靠导线传导。

#### 2.3.5、电容和电感的串联谐振效应

电容和电感串并联都会有一个谐振频点，对于这个频率的波形：理想状态下串联谐振会让 LC 串联相当于一个阻抗无穷大的电阻，而在 LC 的连接点处电压会远大于输入信号。所以该特性会导致数字信号振铃。

#### 2.3.6、振铃、信号过冲、基波、高频谐波、传输线效应、分布参数等

请百度，呵呵！.....



### 3、什么是噪声

读了本节，你将会知道：什么是噪声、信号为什么会振铃、为什么不应该长距离并行走线、数字电路为什么会产生噪声、为什么数字电路电源端一般都要加去耦电容。

#### 3.1、什么是噪声

日常我们说的噪声是——“除了我想听到的声音”以外的声音，就是噪声。比如我想听 A 君讲话，但是 B 和 C 君在旁边喋喋不休，他们两说的话是“我不想听到的声音”，那么他们两个的声音就是噪声。

而在电路中，噪声是指：“我不想得到的电压或电流波形”。

例如：我们想要的信号是 1V-vpp 1KHz 的正弦波。但是假设电路中同时存在 10KHz 的 0.1Vpp 的干扰的存在，而且这个干扰在某个环节“偷偷混进”了 1KHz 的波形中。导致最终我们看到的信号不是 1V-vpp 1KHz 的信号，而是 1V-vpp 1KHz 与 0.1Vpp 10KHz 波形的叠加。那么，这个 0.1Vpp 10KHz 的波形就是我们在电路所说的“噪声”（因为它不是我们得到的波形）。

#### 3.2、数字信号线上的噪声

数字信号上的噪声，可分 2 种情况

##### 3.2.1、信号本身产生的噪声干扰自己。

理想状态下，AC 模块发出的波形 1 和在 BD 模块接收到的波形 2 是一样的。都是干净的方波，这种情况下，BD 肯定能够正常识别波形。

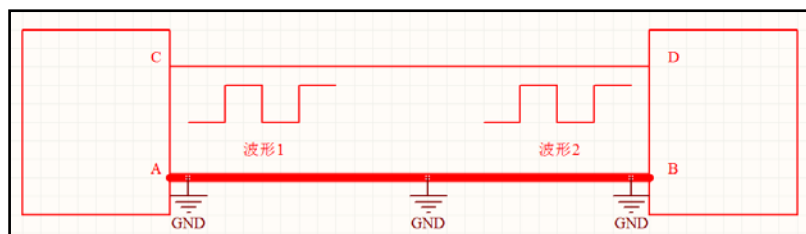


图 3.2-1

但是现实中，导线的特征如图 3.2-2 所示，不可避免地存在电阻 R1、等效电感 L1、分布电容 C1，由于电感和电容的“谐振效应”，使实际波形振铃。可以看到，AC 发出的波形是干净的正弦波，但是 BD 接收端的波形却是在信号边缘有过冲、振铃的波形。如下图中的 F1 处，当振铃幅度比较大时，那么高电平周期内有可能被误认为再次产生了低电平。所以，在较长的导线中，由于存在传输线效应，波形本身的存在的振铃对自己造成干扰——即：信号产生的噪声干扰了自己。

不过，在频率较低的情况下，一般不会出现该情况。

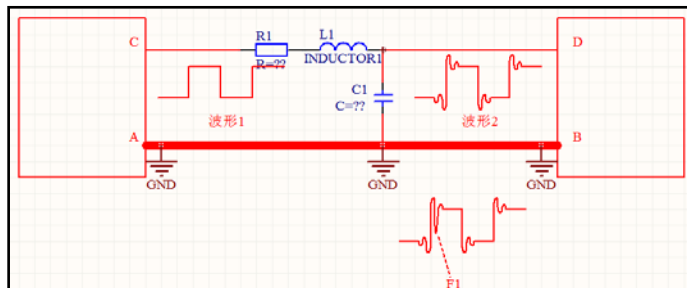


图 3.2-2

### 3.2.2、波形受到其他噪声的干扰

如图 3.2-3，当 PCB 上 EG 与 CD 这两根信号线长距离平行走线时，2 线间等效电容耦合效应较强。

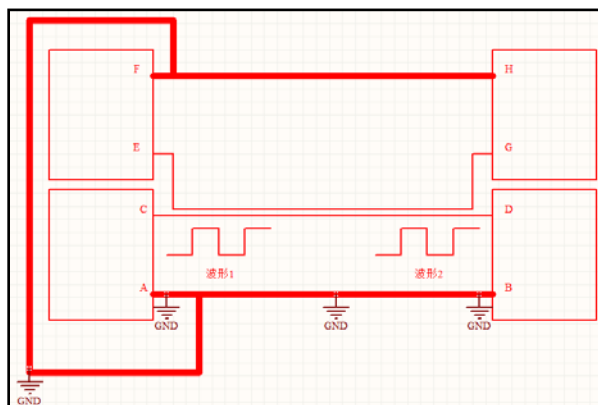


图 3.2-3

等效电路如图 3.2-4 所示。

当将 E、G 设置为“高阻输入状态，那么在 EG 这条 PCB 线上将很可能出现类似图中虚线的波形。当 E、G 有一端为输出、另一端为输入，那么耦合的波形将会大大减小（甚至在示波器上见不得波形），但是耦合干扰依然存在。假设 E、G 是一条音频输入线，那么经过功放放大后，喇叭输出时将会听到非常明显的噪声！

这是平行走线造成分布电容较大，使信号线受到其他噪声干扰的形式。当然，信号还可能通过产生地噪声来干扰另外的电路，这个此处不再详解。

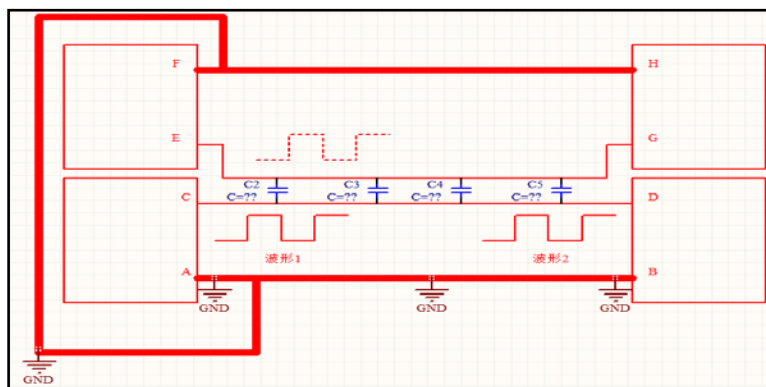


图 3.2-4

## 3.3、地线上的数字噪声从何而来？

### 3.3.1、理想状态，无地噪声可言

理想状态下，由于导线没有任何分布参数（导线电阻、感抗、分布电容），故当开关 S2 闭合时，A、E 两点不存在任何电压差。那么从物理角度上看，地线上的任何位置间电势差为零。**当地线任意点都是零电位时，地线上无干扰可言。**

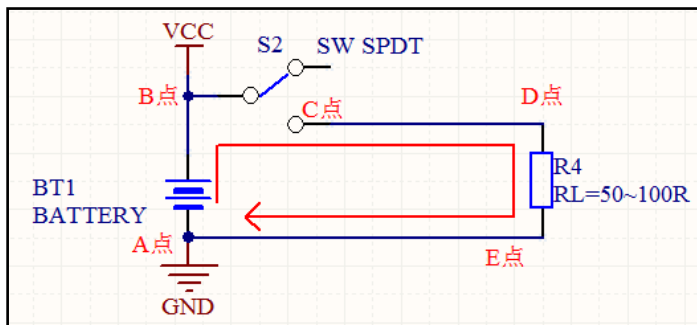


图 3.3-1

### 3.3.2、实际地线上不同的位置存在电势差，这是地线干扰的原因

实际所有能看到的 PCB 中，连接电池与用电器的导线存在电阻，等效电路如下图 3.3-2 所示。R2 代表电源正端与用电器间的电阻，R6 代表电池地与用电器的地引脚间的连接。（实际上这些导线的电阻没有那么大，但是为了形象说明问题，特意用夸张的方法来表示说明。）

假设  $VCC=10V$ 、 $RL=50R$ ，当 S1 开关闭合时，由于电源内阻、导线电阻的存在，图 3.3-2 中 RL 间的电压只有  $1/2 VCC$ ，而不是  $VCC$ ！同样是地线，但若以 A 点为 0 电势参考点势，则 A 点电压为 0、E 点电压为 1，地线上存在电势差！

试想下，假如这个电势差不是一个固定的值将是什么状况？3.3.3 将分析！

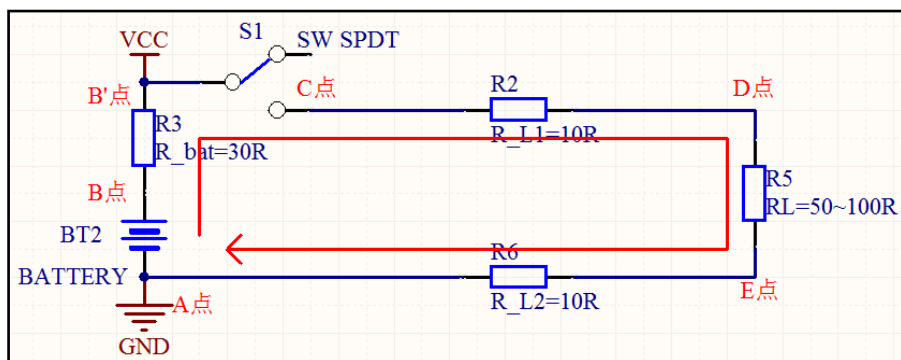


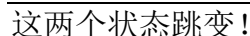
图 3.3-2

### 3.3.3、数字电路工作时地线上产生噪声

当把上面的图 3.2-2 的 RL 换成数字电路模块，如图 3.3-3 所示。当 0 时刻，该数字模块有 1 千万的门电路是“接通”的，假设等效为 S5 接了 R13；而 1 时刻，该数字电路有 2 千万的门电路是“接通”的，假设等效为 S5 接了 R12。

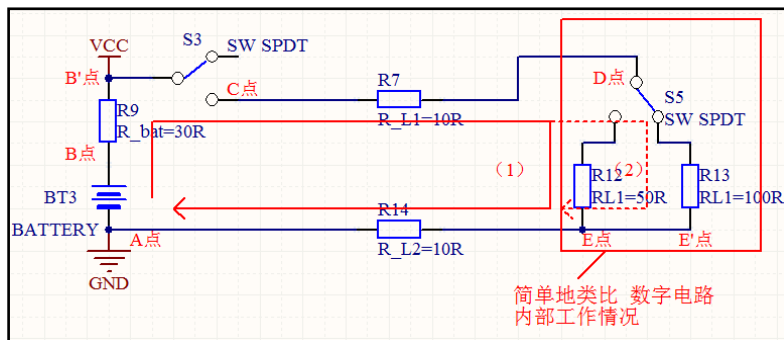
那么，假设  $VCC=10V$ 、以 A 点为 0 电势参考点时。由电阻分压原理得：0 时刻，E 点电压约为： $V_e = 0.67V$ ；1 时刻，E 点电压为： $V_e = 1V$ 。

当开关 S5 不断地交替接通 R12 和 R13 时，E 点电压就不断地在 0.67V 和 1V



可见，A 点、E 点同样是地线上的两个点，仅由于 A、E 间的铜箔存在电阻，在数字电路工作情况下，地线间居然有  $1-0.67=0.33V$  的和开关频率相同的方波！这个方波将干扰到所有连接到 E 接地点的元件，这就是“地线数字干扰”！这种干扰波形在电子学中称为“地噪声”。

哦！原来地噪声是这么产生的！



### 3.2.4、将地线上的交流噪声“干掉”（减小）

实际应用中，往往地线上的交流噪声对整个电路系统影响非常大，而固定的地线电位差却影响较小。所以我们会思考：假如有一个方法，将图 3.3-3 中产生的地线交流噪声“干掉”，那该多好啊！

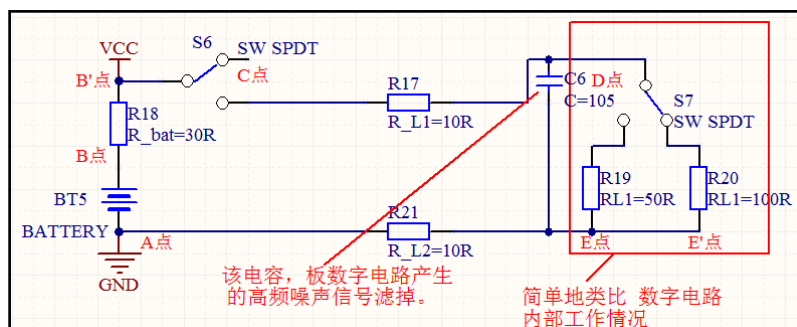
天随人愿，真有这种办法！如图 3.3-4，在数字电路的电源与地就近接一个电容。那么情况变成怎样？分析如下：

假设开关变化非常非常慢！那么，0时刻， $V_{c6} = 6.67V$ ， $V_e = 0.67V$ ；1时刻， $V_{c6} = 5V$ ， $V_e = 1V$ 。

假设开关在“0”和“1”的这两个状态的时间是相等的，且开关切换非常快，以至于无穷快！那么由于 C6 的电压不可突变，Vc6 保持  $V_{c6} = (6.67 + 5) / 2 = 5.835V$  不变！而 Ve 则保持  $V_e = (10 - 5.835) / (30 + 10 + 10) * 10 = 0.833V$  不变！

所有 C6 使 E 点的交流地噪声消失了，固定的电势差！

C6 的作用是在妙不可言！





## 4、数字芯片工作时，产生数字噪声的走向

读了本节，你将会知道：地线上噪声电流的分布情况、为何芯片电源端加电感或磁珠隔离。

### 4.1 什么是传导噪声

任何外部造成的噪声不外乎两种情况。一是噪声信号通过导线传导过来，例如后面提到的“共阻干扰”；二是噪声信号通过空间辐射的形式干扰到我们的电路。

我们本节将要讨论的是：通过地线、电源线等 PCB 上的导线传导过来的干扰信号引起的噪声，在这里我们叫它为传导噪声。

传导噪声其实也就是电信号，可能主要表现为电压信号，也可能主要表现为电流信号。要知道它将跑去哪里，必须得先弄清“它有什么喜好特征”？

**做电子的人必须清楚，电信号的特征是：无论何时何地，电信号任一时刻都将往阻力最小的地方跑！**

有了这个常识，很多问题都可以分析了！

### 4.2、直流地线信号电流分布

要了解交流地噪声的走向，得先从最简单的直流电路中的地线电流分布入手。

如图 4.2-1，R11 是负载，假设 R11 的地与电池端在 PCB 上有两条走线（实际的 PCB 上，地线与 PCB 板接电池的接地点往往有很多条地线相连）。R10 等效于电池内阻，R8 等效于电源正极导线电阻，R15 和 R16 分别代表两条地线电阻。

**思考：直流状态下，经过负载 R11 的电流在 R15 和 R16 这两条导线上如何分配的呢？**

如果  $R15=R16=0$ ，那么我也不知道电流如何分配。但是，大自然的神奇之处在于：通过让每根导线都有“电阻”这个特性，从而让电流自动分配在导线上。

图 4.2-1 用夸张的方式设定  $R15=R16=10R$ 。那么通过分压原理，可以求得 E 点电压为  $V_e$ ，然后： $R15$  的电流= $V_e / (R15 \text{ 的电阻})$ ，同理可得  $R16$  电流。而  $I_{r15} + I_{r16} = I_{r1}$ ！所以电流在每条 PCB 线上的分布比较明显了。

实际上，我们不知道每条 PCB 线的电阻，因为它的电阻小到用万用表最小的档位也测不准。但是，同一块 PCB 的铜皮厚度是相等的，那么导线的电阻必定与铜平的宽度成反比、与其长度成正比。**我们只要知道地线铜皮的宽度、长度比值，就可以知道每条地线直流电流的分布情况。知道地线电流分布，将利用地噪声分析。**

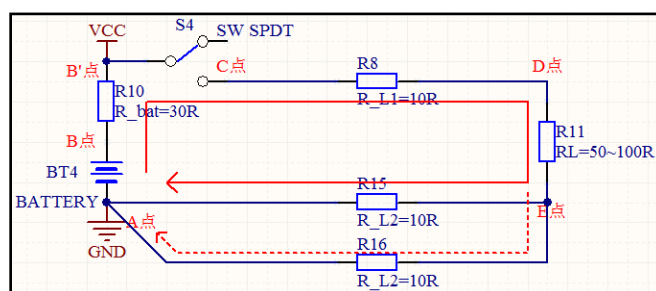


图 4.2-1



### 4.3、单负载情况下，交流电源噪声的走向与危害

#### 4.3.1、单负载无去耦电容电路

如图 4.3-1，该电路中，红色框内代表数字电路芯片在工作（等效于 S5 不断切换）。可见由于其电源端没有电源去耦电容，所以在 D、E 点产生的电压波动（噪声）将毫不保留地通过 R7、R14 传向电池端，最终，整电路都有很大的电源噪声、地噪声。（实际上，还会造成整个环路的电磁辐射）

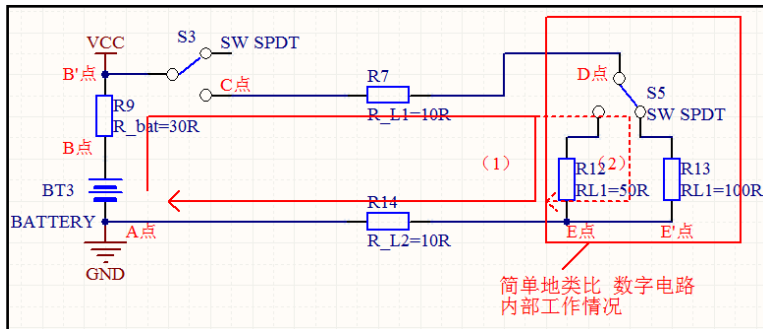


图 4.3-1

当图 4.3-1 的 VCC=10V，开关频率等于 1MHz 时，数字电路两端将产生 1MHz 的噪声方波。其电路等效于图 4.3-2：等效于信号源分别向 D 点、E 点发送如图中右端所示的 2 个 1MHz 的方波信号！这 2 个 1MHz 的方波将严重干扰整个电路网络！

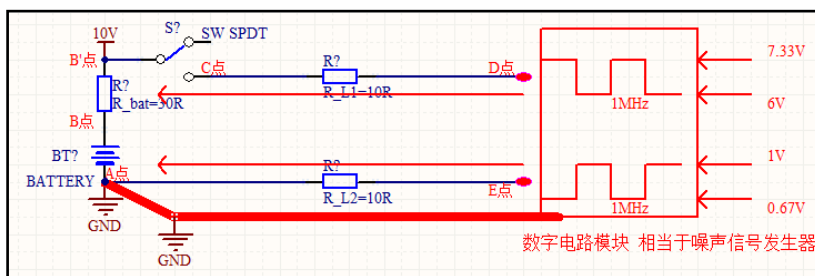


图 4.3-2

#### 4.3.2、单负载有去耦电容电路

实际上，为了减小 1MHz 对整个电路的干扰，我们在 D、E 点间加入去耦电容 C7。如图 4.3-3 所示。那么，这个电容的作用是什么？

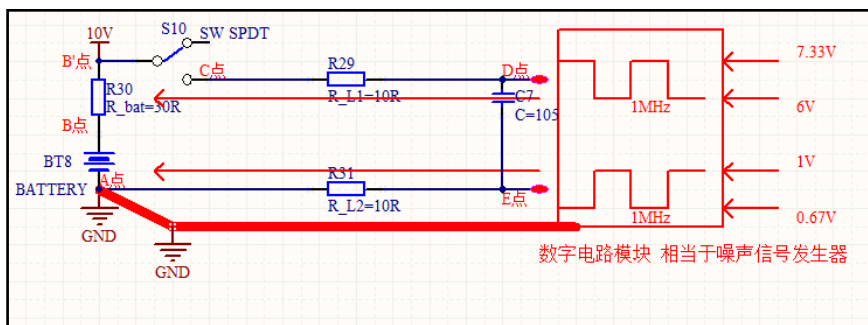


图 4.3-3

其等效电路分析如下（注意，该等效电路不是非常准确，但是能说出大致原



理，精确的模型请读者在技术上进阶后自行思考分析)：

由于 C 的容抗为： $Z_c = 1 / (2 \pi f c)$ ，故对于电源和地的 1MHz 的噪声而言，等效为图 4.3-4 的 R34。由于 R34 的阻抗远远小于 ( $R_{32} + R_{33} + R_{35}$ )，而“噪声信号源”(即：图中的数字电路模块)又有相当大的“内阻”，所以会产生 2 个效果：  
1、“噪声信号源”的大部分能量将通过 R34，从而大部分噪声能量通过图中的“(1)”环路构成较小的环流路径而消失掉，这部分能量虽然强，但是不会干扰“(1)”以外的电路；只有小部分能量“逃出”“(1)”环路，以较弱的能量干扰其他电路。  
2、“噪声信号源”的 1MHz 方波干扰将不复存在，将被 C7 滤成图中实线表示的类似正弦波的变化平滑的波形。

这样的好处是：1、环路面积减小，高频的辐射能量减轻，EMC 干扰将大大减小；2、方波干扰变成正弦波干扰，其高次谐波分量将大大减小，所以其干扰能力也大大减弱！

哈哈，太和谐了！

现在，你是否明白了：为什么数字芯片电源端一般要得接一个电源去耦电容？

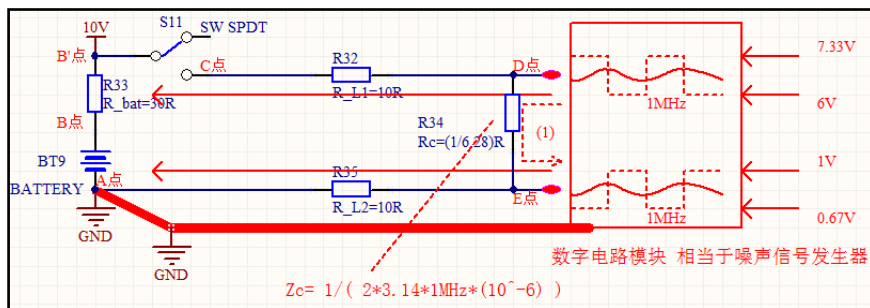


图 4.3-4

#### 4.4、多负载情况下，电源端交流噪声的走向与隔离

借鉴上面单负载情况下的数字电路噪声分析，那么多负载情况下的交流电源噪声就变得更加容易了。

如图 4.4-1，这个电路中有芯片 1 和芯片 2 两个电路系统。现在先以芯片 2 产生的数字干扰噪声进行分析。

很多讲解 PCB 布线的书都提到“减小环路面积”，很大部分意思是减小图 4.4-1 中“(1)”的环路面积。但是实际情况下，数字芯片 2 产生的噪声还会有图示“(2)和(3)”的噪声环流路径。“(2)和(3)”环流路径的危害是：增加了环路面积，从而加大电磁辐射（由法拉第电磁感应定律可知 磁通量与环路面积成正比）。

本来，假如没有数字芯片 1 的去耦电容 C8，“(3)”这条回流是不存在的。可惜，加上了 C8 后，使芯片 2 的环路面积增大，即使电源纹波的幅度被 C8 滤得更小，但是由于环路的增大，也有可能增加整个系统的电磁辐射！

可见，多加电容不一定能够减轻干扰，不恰当的去耦电容会在电路中扮演一个“吃力不讨好”的角色——加重干扰！（当然在一般的数字电路中极少会出现加多电容，然后加大辐射的情况，这里只是从单面板的原理性推论。在双面板中，由于有了“参考地”，所以情况又不太一样。）

但是，在如图的电路中，由于有 2 个芯片同时工作，任何一个芯片不加去耦



电容都会造成“依靠另一个芯片的去耦电容作为电源纹波的回流路径”，这样干扰反而会更大。

所以我们不得不思考——如何能够满足：既让多个芯片同时工作，又不会产生图中“(3)”这种回流路径？

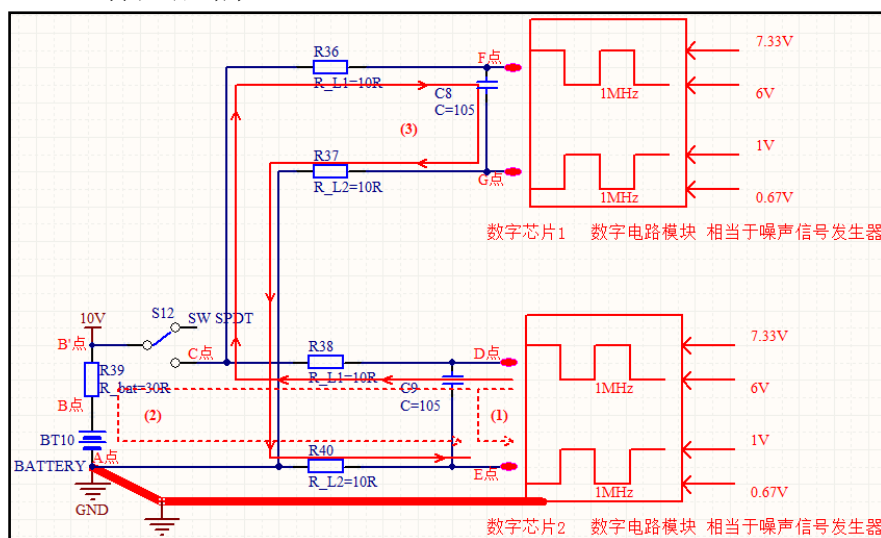


图 4.4-1

如下图 4.4-2，因为要隔掉交流纹波信号，如图总在 C11 附近加上 L3，可以把交流隔离掉，从而大大减小“(2)和(3)”这种环流路径，进而大大减小因环流而引起的辐射干扰。

同理，对于数字芯片 1 也同样采用这种处理方法。

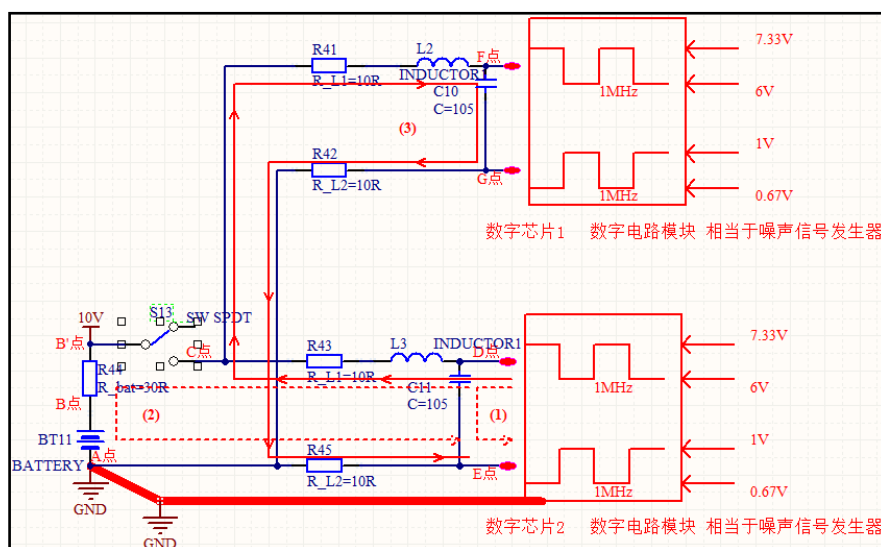


图 4.4-2

## 5、应对芯片间的信号传输地噪声

读了本节，你将会知道：为何信号线要尽量短、为啥地线要粗、为啥要铺地？

### 5.1、信号线要尽量短

回到第 3 节的两个图，如下。

左边的图可以看到，导线本身存在的电感和分布电容会导致信号的振铃。而从物理的角度去分析可知：导线的电感与其长度成正比。所以，从左边的图片可知：信号线越短越好！

而右边的图中，是我们日常使用的 PCB 都无法避免的。一个电路系统中，往往有很多线，所以总会“逼不得已地”有几根信号线是平行走线的。但是，为了达到较佳的性能，我们时常通过减小信号走线长度，从而减小两条线的等效分布电容，进而减小串扰。所以，从右边的图也可知：信号线越短越好！

所以得出的结论是：信号线越短越好！

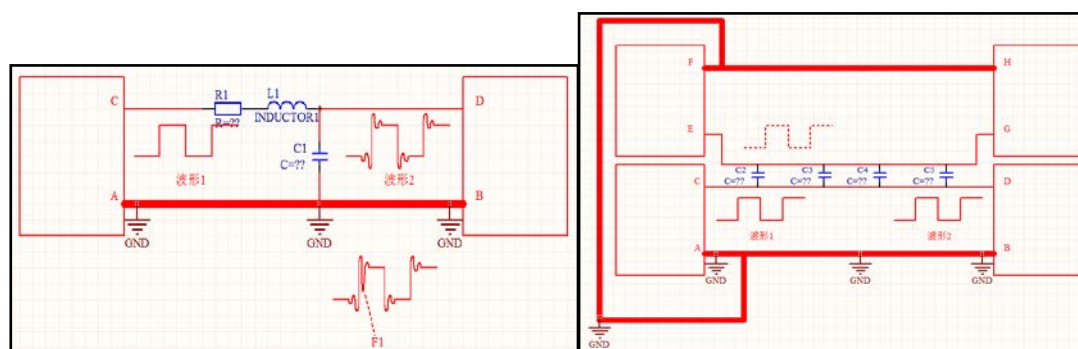


图 5.1-1

### 5.2、地线要粗

我们对付数字芯片工作时发生的噪声，可以用“增加去耦电容、隔离电感”的方式减少向外传播的噪声。当两个芯片之间存在数字通讯时，通讯的地回流噪声将不可避免！

对于此，我们如何应对？

如图 5.2-1 上边的图片，假设 A 模块向 B 模块发送数字信号，由于 B 模块必定存在内阻。那么，A 模块的信号能量将通过地线回流到自己的地引脚处。

由于地线存在电阻、电感，这将严重影响信号质量、且将产生地噪声，当有第三个电路模块连接到这个 B 模块的接地点时，将会受到地噪声的干扰。

从物理的角度出发，当地线增大时，其电阻和电感会减小，从而成功减小地噪声。这样，连接到这块地上的其他电路模块将最大程度地减小了地噪声的影响！

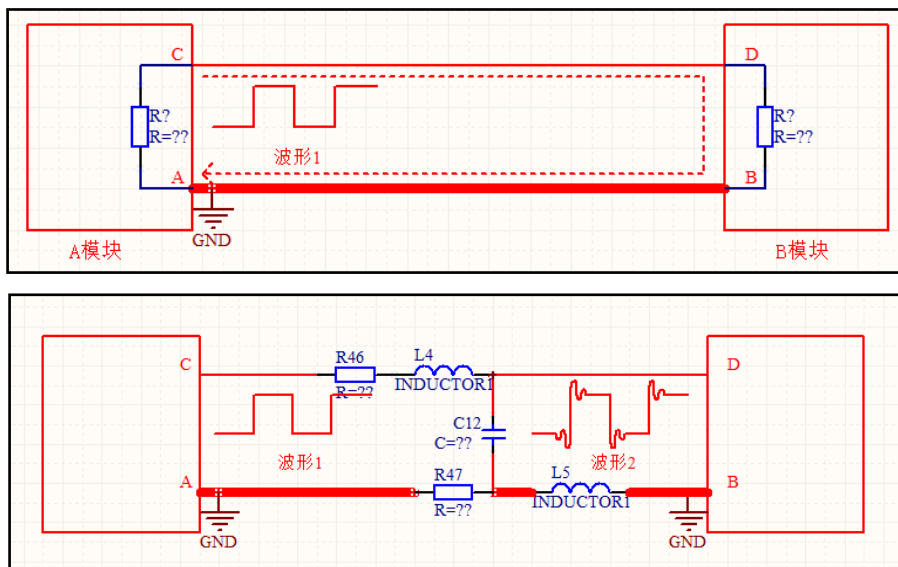


图 5.2-1

### 5.3、要铺地

我们要进一步优化电路，减小我们电路的辐射，怎么办？

回归到第 4 节的电路图，如下面图 5.3-1。由于电感隔离的能力有限，且这种类型的电路中总会有“(2) 和 (3)”这种环流存在。所以如果想进一步减小环路辐射，只能通过以下方法：“减小环路面积来减小电磁辐射”。而铺地是一种非常简便的减小环路面积的方法。当地线“铺铜”后，地线增粗，PCB 上原无铜箔的平面被盖住，信号线与地间的环路、电源纹波与地间的环路都会相应减小，所以成功地减小了环路辐射问题。

所以前辈说：要大面积铺地——就是这个道理！

（注意：这只适合于数字模块电路；如果是数模混合电路，那么要铺地与单点接地混合使用。模拟、数字电路的接地点要“单点接地”，而且这个单点接地点有一定的讲究。这个在后面章节将会详解）

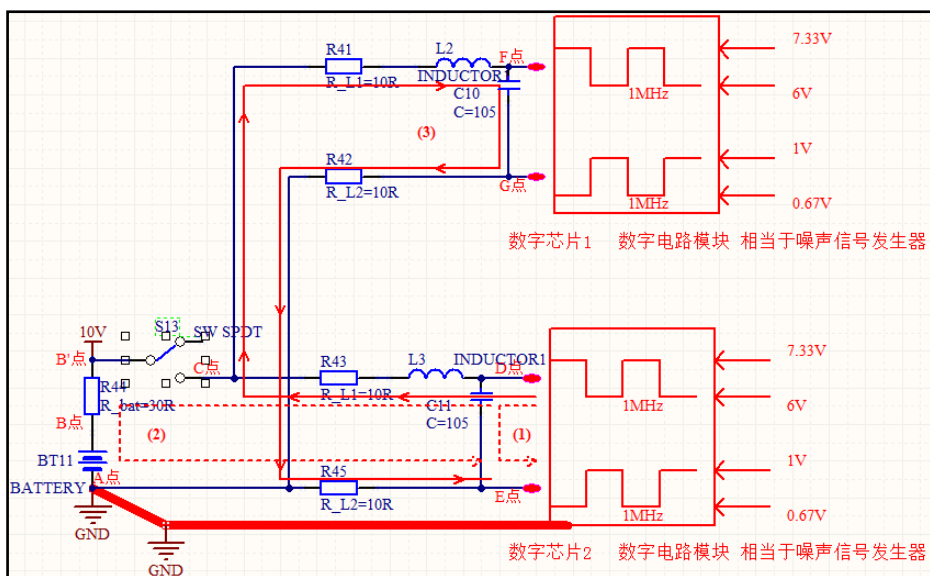


图 5.3-1





## 6、原理推论与延伸

读了本节，你将知道：为什么常以地平面作为参考面，而不是其他电源或信号线做参考面？PCB 设计经验的书籍上为什么会说“电池敏感元器件不要放在 PCB 板边缘？地线隔离的前提是什么？

### 6.1、参考地

以上论述了噪声的起源、噪声的流向等，这些都脱不了不了“PCB 走线是有阻抗和感抗的”和“电信号是永远往阻力最小的地方跑的”这两个经典的前提。

这里还想提一个经典的应对噪声的措施：设定参考地平面。

#### 6.1.1、为什么是参考地？

为了应对辐射干扰噪声，低频的数字电路中，为什么通常设定的是参考地，不是参考电源？在作者看来原因有以下几个：

(1) 一直以来很多数字芯片的触发等参考电平是以地为基准的，模拟信号芯片以地为参考基准的也不少（例如，功放的 Bypass 电容接到地，这个接地点就是 Bypass 电路的“地”基准）。所以，当以地为参考时，包含各种各样芯片的系统都能顺利地相互通讯。即大家公认“地”是零电位（但是每个芯片都会认为自己的地引脚是零电位，这才会有“地噪音”的存在）。

(2) 不同芯片工作电压不同。很多系统中，有些芯片工作的电压是 3.3V、有些是 1.8V、有些是 5V …… 那么，假设以电源作为参考面，那会出现问题：以哪个电源作为参考面为好？

(3) 在低频数字电路里面，不像一些高速的数字电路。由于电源的去耦电容对低频噪声的滤波效果有限，故电源的低频波动相对较大，而且这个波动频率可能比较接近“芯片内部数字门电路”的开关频率。但是，高速数字电路往往可以以电源层作参考面，原因是高频信号噪声已经被滤掉殆尽，对于高频信号来说，电源层构成的平面基本可以像地平面那样“安静”，不存在“波动”了。

这就是为何我们在一般的高频电路上看到往往可以以电源作为参考平面，而在一般的电路中，却往往以地作为参考平面的原因。

#### 6.1.2、为什么容易造成电磁敏感的元素不要放在 PCB 板边缘？

容易造成电磁敏感的元素包括 2 个：一是容易受电磁辐射干扰的元素；二是容易发射电磁波干扰其他电路的元素（或电路模块）。

如图 6.1-1，假设易受干扰的元素分布放在 A 和 B 位置，它在顶层的 PCB 布线都是一个闭合的环路，Bottom 层是它的参考地平面，是一整块接地的铜箔。

那么，由于 PCB 具有厚度，Top 与 Bottom 的铜箔间存在非金属空隙。如下图 6.1-1 的三个红色箭头所示，外界的电磁干扰信号将通过 Top 与 Bottom 铜箔的间隙进入 B 位置的敏感电路区，对敏感电路造成干扰。但是，位于板中心 A 位置的敏感电路模块却因为有地平面的保护，而又“无隙可乘”，干扰信号将会被反射或被地参考面吸收，不会受到外界干扰。

同理，假如图中 A、B 位置的是电池辐射能力强的元件，那么 B 位置的辐射能量容易离开地平面，传播到自由空间去，造成对其他电路的干扰。而 A 位置由



于被地平面所包围，辐射能量会被地平面几乎吸收殆尽，不会对别的电路造成干扰。（为何地平面会吸收辐射？从物理的角度看，铜箔是良导体，在电场中会成为“等势面”）

所以，一些讲解 PCB 布线的书提到“敏感元件不要放在 PCB 板边缘”自有其道理，只是他们都没有跟我们讲明前提——这个敏感元件是布线于双面的 PCB 铜箔上的，而且其中一面是有一整块铜箔作为屏蔽地平面。

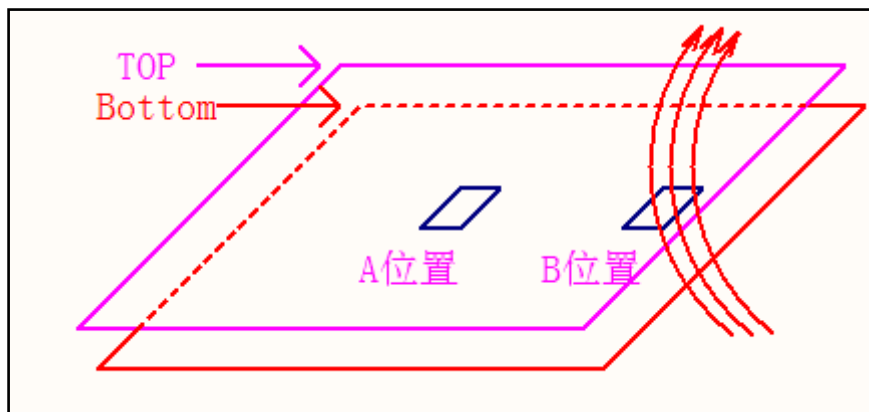


图 6.1-1

## 6.2、地隔离

有时候，某些电路会在地线上产生较大的噪声，严重干扰到电路板其他电路模块的正常工作。这时，一般得在芯片的“地”引脚加上磁珠或者电感作为噪音的隔离。以让整个电路安静下来。

### 6.2.1、隔离出了噪声

任何问题都不可以“一刀切”地去处理，地线隔离也是，不恰当的地线隔离，将会“隔离”出更强的干扰噪声。

如图 6.2-1 所示，由于 B 模块是数字与模拟音频模块共用一条地线，那么，由于地线存在等效电感  $L_6$ ，高频数字噪声将产生  $V_1$  的压降。所以 A 模块接收到的模拟音量将存在噪声。

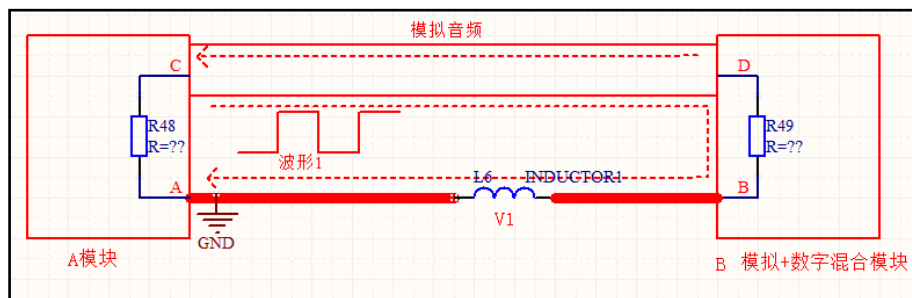


图 6.2-1

但是，假设我们因为听到 A 接收到的模拟音频有数字噪声，然后就对 B 模块的地进行“加电感隔离”。那么，如图 6.2-2，由于增加了电感，地线上在的噪音在  $V_1$  的基础上，又加多了个  $V_2$  的地噪声。所以最终的后果是：噪声更加明





显了！

所以，地线隔离不是万能的，要恰当的地线隔离才会对电路带来好处。

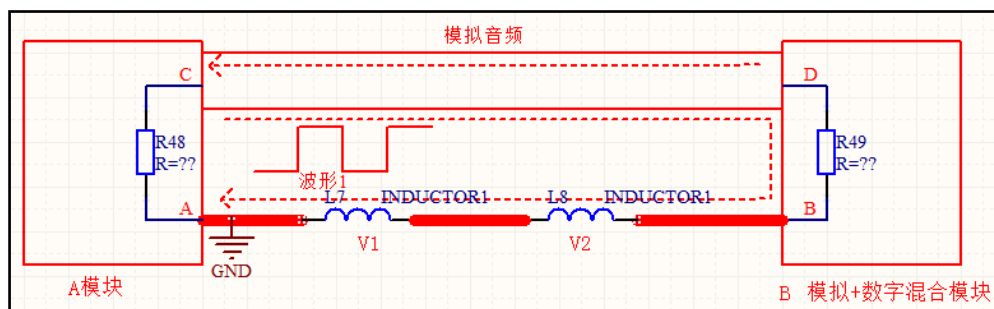


图 6.2-2

### 6.2.2、为什么是隔离地？

上面的论述可知，地线隔离有可能加重噪声。那么，为什么有些电路依然采用地线隔离？

地线隔离不是绝对的。出现噪声时，不一定采用地线隔离都比电源隔离好。但是在某种特定情况下，某些电路对地噪声更加敏感，所以我们才采用地线隔离而不是电源隔离的方法来排除干扰。

举一个夸张的例子：

如图 6.2-3，当电源线上和地线上分别出现相同的  $V_{niose}$  时。由于运放有放大作用，所以地线的噪声将会在输出端变为： $V_{gnd\_niose} = V_{niose} * 100$ ；而假如运放的电源抑制比为 40dB，则电源线噪声在输出端变为： $V_{vcc\_niose} = V_{niose} / (40dB) = V_{niose} / 100$ 。

可见，即使是同样大小的噪声，地线的干扰最终被放大了 100 倍，而电源线上的干扰则被衰减了 100 倍。所以，该电路对地线的干扰更加敏感，所以得减小地线上的干扰。而减小地线的干扰，地的隔离是其中一个办法。

由此可见，隔离地的方法并不是“一刀切”的隔离地，而是因为地线对干扰更加敏感才采取该措施。同理可推断，有某些电路系统将会在采取电源的隔离，才会更有效果。

**注意：**这里只是为了说明“存在‘对地噪声比电源噪声更敏感的电路’”才采取的例子，并不是说对于该例子中的干扰可以用“地线隔离”的方式去除干扰。实际中，要去除该例子中的干扰只能通过单点接地实现，在后面的“共阻干扰”章节中会详细论述。

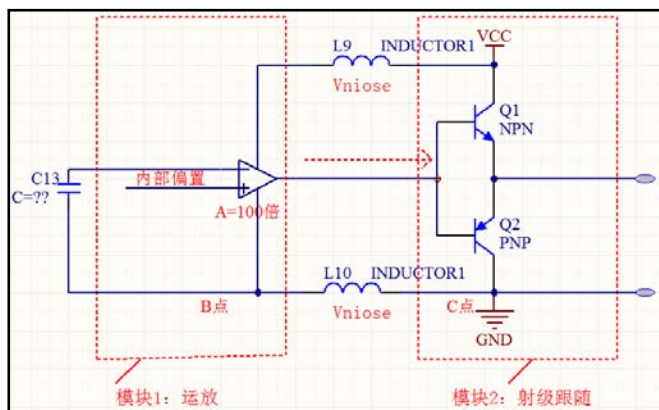


图 6.2-3



## 7、本章精要

此处作者将不再概括 PCB 布线的经验法则，只概括作者希望读者明白的一些原理性的内容，这些内容也许可以帮助读者解释“为什么很多 PCB 布线书籍叫我们要这样布线？”这一问题。

- (1) 希望读者着重挖掘其思想，其次才是原理，最后才是应用的实践方法。
- (2) 由于电感和电容的“谐振效应”，使实际波形振铃。
- (3) 当振铃幅度比较大时，那么高电平周期内有可能被误认为再次产生了低电平。
- (4) 当地线任意点都是零电位时，地线上无干扰可言。
- (5) 做电子的人必须清楚，电信号的特征是：无论何时何地，电信号任一时刻都将往阻力最小的地方跑！
- (6) 我们只要知道地线铜皮的宽度、长度比值，就可以知道每条地线直流电流的分布情况。
- (7) 一些讲解 PCB 布线的书提到“敏感元件不要放在 PCB 板边缘”自有其道理，只是他们都没有跟我们讲明前提——这个敏感元件是布线于双面的 PCB 铜箔上的，而且其中一面是有一整块铜箔作为屏蔽地平面。
- (8) 地线隔离不是万能的，要恰当的地线隔离才会对电路带来好处。