



数字、模拟信号 敏感度的理解

V1.0

2013.12.02

--By: Mythink

目 录

1、书本上说的数字、模拟信号	1
2、我眼中的数字、模拟信号	1
2.1、数字信号的特征.....	1
2.2、模拟信号的特征.....	2
3、本章精要	3



注意：本章只适合初学硬件的学

1、书本上说的数字、模拟信号

书本上说：数字信号不是敏感信号，不容易受到干扰，相对不怕干扰；模拟信号是敏感信号，容易受干扰。所以在 PCB 设计时必须得保护好模拟信号。

2、我眼中的数字、模拟信号

2.1、数字信号的特征

2.1.1、数字信号不是敏感信号

的确，多数的数字信号不是敏感信号。

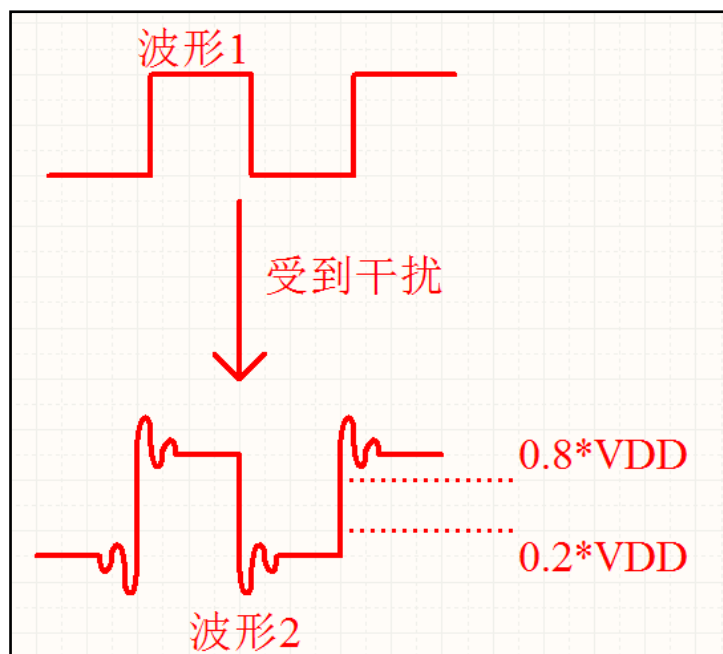
理想状态下，在一个 3.3V 的单片机系统中，我们认为数字“0”对应的是 0V，数字“1”对应的是 3.3V。

而现实中，芯片设计时取小于 $0.3 \times V_{DD}$ 的电压区间为数字 0，大于 $0.7 \times V_{DD}$ 的电压区间为数字 1。为保险起见，应用时我们用的是 $0.2 \times V_{DD}$ 以下的电压区间为数字 0， $0.8 \times V_{DD}$ 以上的电压区间为数字 1。（ V_{DD} 即为单片机的 3.3V）

落在 $0.2 \sim 0.8 V_{DD}$ 间的电压，我们认为是“不知芯片认为它是‘0’还是‘1’的电压区间”。

所以，如下图所示。即使波形 1 受到很大的干扰，只要最终信号没有波动过大，落进 $0.2 \sim 0.8 V_{DD}$ 之间，那么波形即使变了形状，但是对于数字信号的最终识别不会有任何影响。

这是数字很常见的：受到干扰，但是不影响使用结果。所以平时说的：数字信号不是敏感信号——是从这个“不影响使用结果”这个角度出发的。



2.1-1



2.1.2、数字信号不易受到干扰

大多数数字信号不容易受到干扰。确实如此。

为什么？

因为数字信号一般是推挽输出的形式传递信号，传输“0”时，数字芯片内部构成的电路单元——CMOS管饱和导体输出“0”，阻抗非常低，可以认为是零到几十欧姆。同理，输出“1”时亦如此。

由“噪声的起源”章节中“RC”耦合的模型可知，阻抗低时，自然很难受到外界诸如“平行走线串扰”之类的干扰！

所以，数字信号是不容易受到干扰的。上面图中的波形大多是振铃造成的，10MHz 以下的应用中，至少我见过这么强的串扰。

注意：OC 和 OD 门电路在弱上拉输出“1”状态时，还是相对容易受到干扰的。原理自行分析，呵呵。（什么是 OC、OD 门？什么是弱上拉？请百度去吧，孩子。）

2.1.3、数字信号相对不怕干扰

由 2.1.1 和 2.1.2 小结可以得出结论：数字信号相对不怕干扰！

相对？对比的对象是什么？当然是模拟信号！

2.2、模拟信号的特征

2.2.1、模拟信号是敏感信号

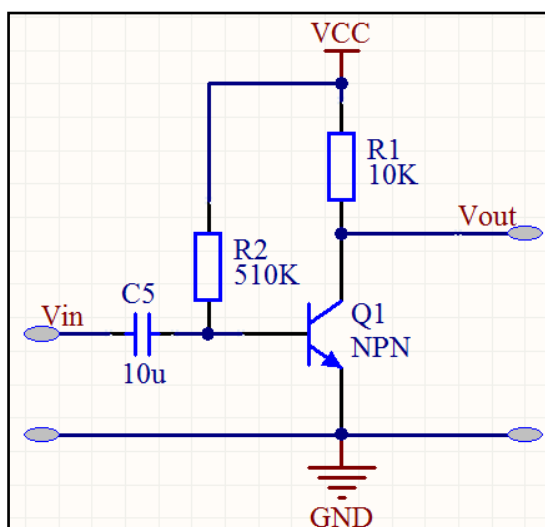
假设模拟信号是 1K-1Vpp 的正弦波信号，经过放大后从喇叭输出。当有一个 10K 的波形混进 1K 里面，那么 10K 同样会在喇叭输出。所以最终的效果是：输出既有 1K 波形的声音，也有 10K 波形的声音。但是 10K 不是我们要的。

可见，模拟信号只要被轻微干扰，就好影响“最终结果”（声音变了）。

我们平时说的“模拟信号是敏感信号”是从“最终结果容易受到影响这个角度讲的。

2.2.2、模拟信号容易受干扰

如下图的共射放大电路中，Vout 的输出阻抗很大，为 10K。那么由“噪声的起源”中的“RC 耦合效应”基本模型可知，Vout 很容易受到干扰。



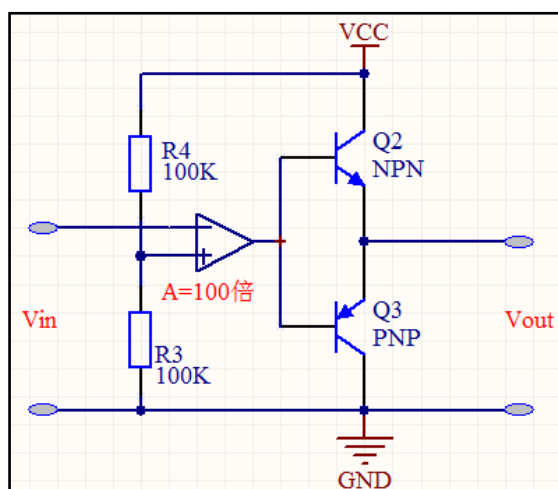
2.2-1



所以，现在很多芯片做成如下图所示。在电压放大后级加入“射级跟随”的推挽式电路，使得输出驱动力变强、阻抗减小，因而输出信号的 RC 耦合效应减小，从而不易受到干扰。

但是，由于模拟信号受到干扰后直接影响输出结果，所以即便如此，它还是相对敏感的信号。

值得注意的是：晶振电路虽然通常在数字电路中，但是它属于数字电路的“模拟部分”，它是相对容易受干扰的。所以很多 PCB 书籍将晶振电路当做“敏感电路”来论述，要求读者布线时要对它进行保护——就是这个道理。



2.2-2

3、本章精要

数字信号相对不敏感，原因有二：一是推挽式输出阻抗低，不易受干扰；二是 $0.2 \sim 0.8V_{DD}$ 区间才会误判，受到干扰也不一定会出错，抗干扰电压裕量大、能力强。

模拟信号相对是敏感信号，原因有二：一是信号的输出阻抗相对较大；二是信号受到干扰后会直接影响最终结果。