



Google Summer of Code

# Documentation

## Index

1. Creating projects and design flow on Xilinx Vivado.
2. Creating projects and design flow on Lattice Diamond.
3. Schematics and design analysis of transmitter for Zynq.
4. Schematics and design analysis of receiver for Zynq.
5. Schematics and design analysis of transmitter for MachXO2.
6. Schematics and design analysis of receiver for MachXO2.

## Creating projects and design flow on Xilinx Vivado

Software Version : Xilinx Vivado 2018.1

Product Family : Zynq-7000

Project part : xc7z020clg400-1

Target Language : VHDL

[Link](#) to github repository

## Creating projects and design flow on Lattice Diamond

Software Version : Lattice Diamond Version (64-bit) 3.10.2.115

Device : LCMXO2-1200HC-5TG144C ( Commercial )

Package Type : TQFP144

Performance Grade : 5

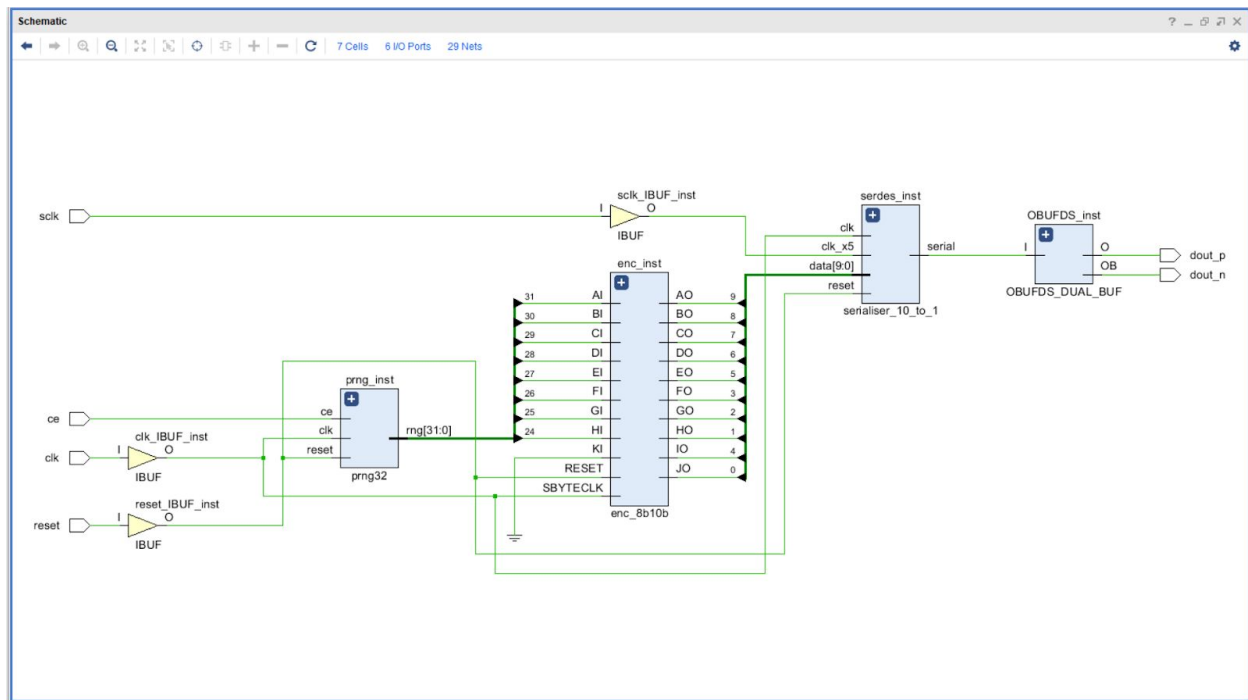
Synthesis Tool : Lattice LSE

Target Language : VHDL

[Link](#) to github repository

# Schematics of Transmitter for Zynq

[Link](#) to the schematic



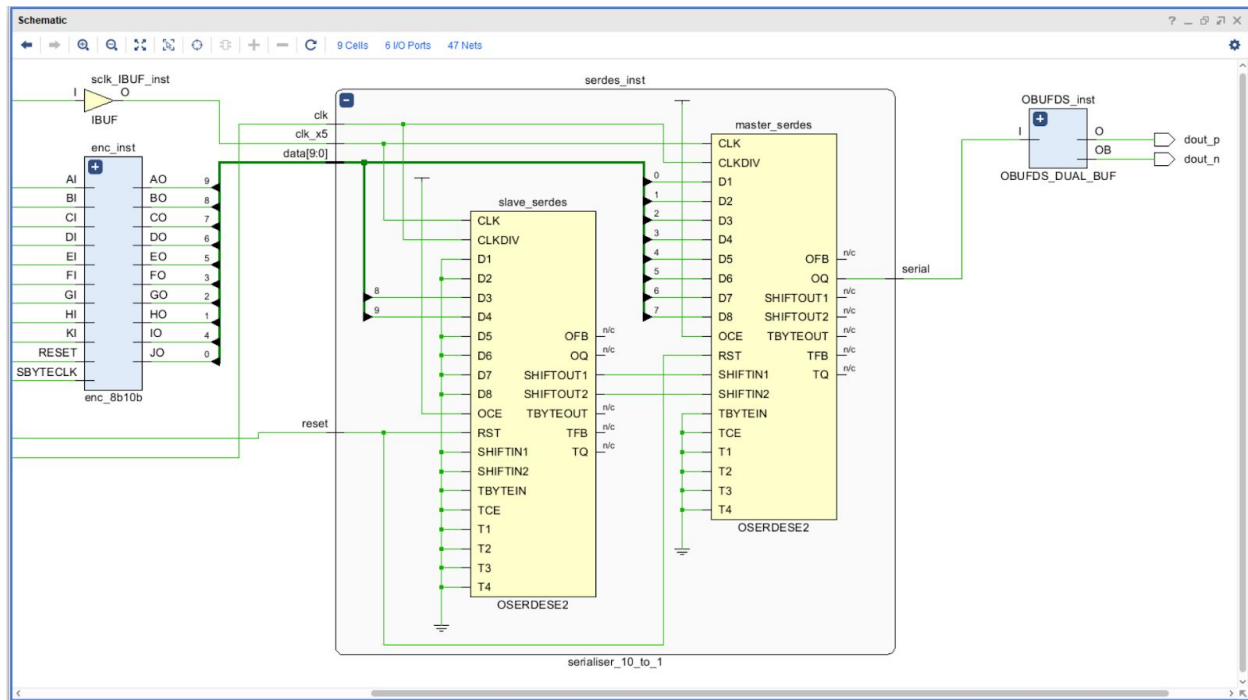
prng\_inst : Instantiation of LFSR PRNG. [Link](#) to code.

enc\_inst : Instantiation of 8b10b encoder. [Link](#) to code.

OBUFDS\_inst : Instantiation of primitive OBUFDS. [Link](#) to xilinx library guide.

The design has to be reset first. Serial clock (“sclk”) that is supplied during testing phase is 100MHz and “clk” is 20MHz. A clock divider can be incorporated into the design to avoid supplying two separate clocks. The 8 bit parallel data from prng module is encoded with 8b10b encoding scheme which makes it necessary for us to find means to serialize 10 bits of data.

## Schematic of serializer



In the design for the transmitter a pair of OSERDESE2 primitives have been used in a master slave configuration in DDR mode for 10:1 serialization ratio.

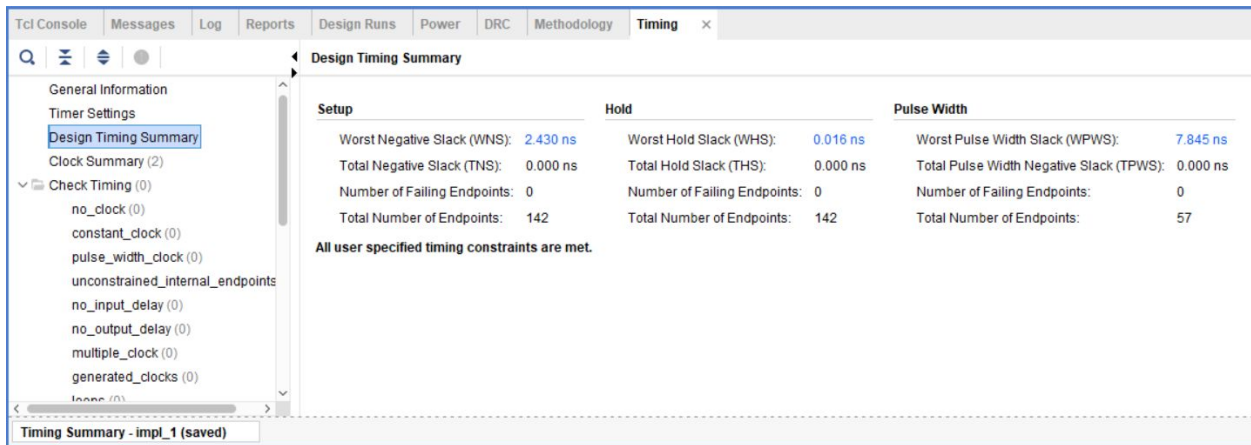
serdes\_inst : Instantiation of serializer module. [Link](#) to code.

The output of the serializer is converted into a differential signal (LVDS) by the primitive OBUFDS.

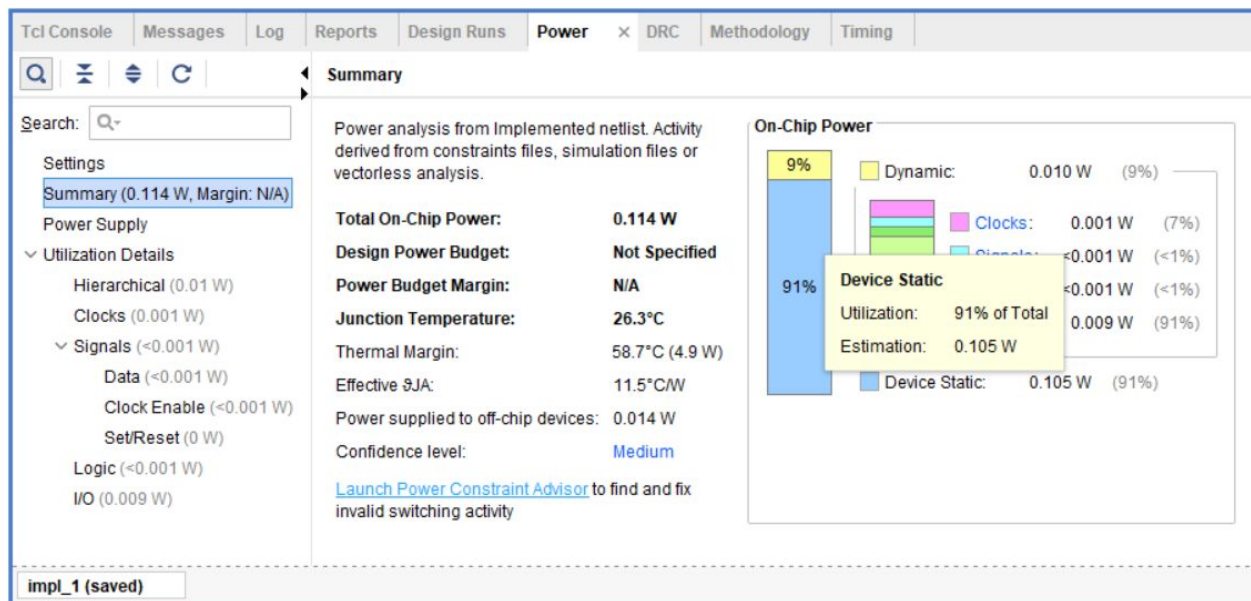
[Link](#) to Vivado project.

# Analysis of Design

## Timing Analysis



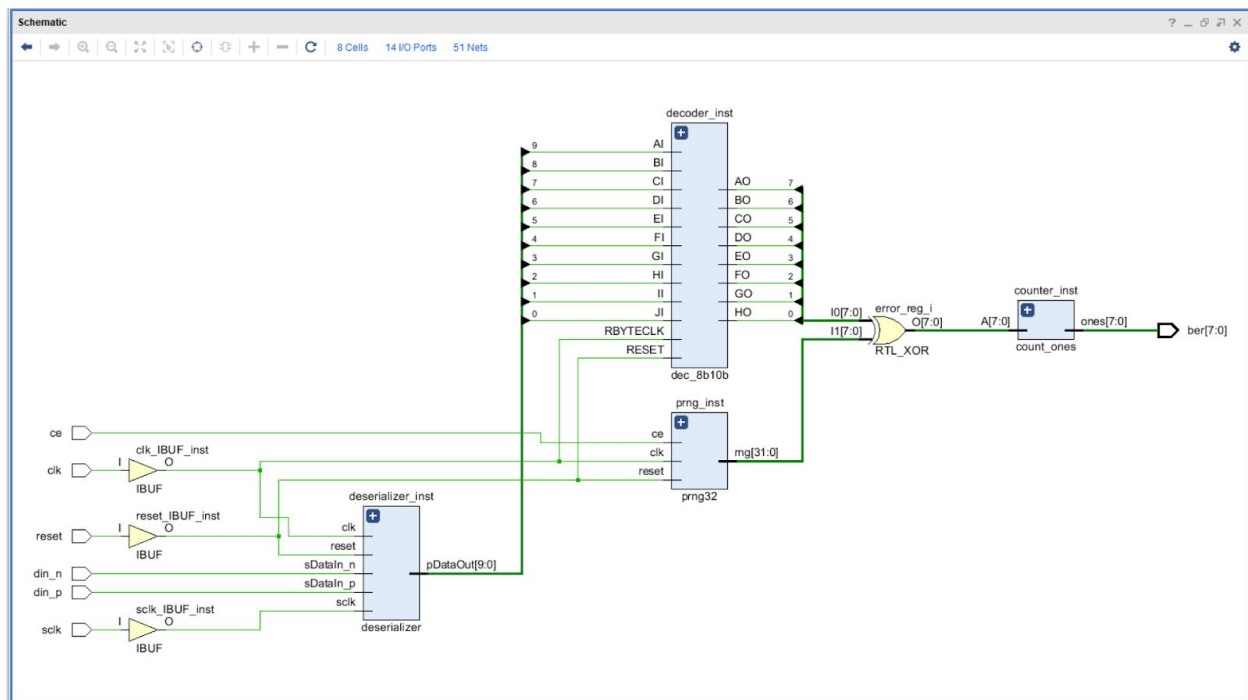
## Power Consumption



# Schematics of Receiver for Zynq

[Link](#) to the schematic

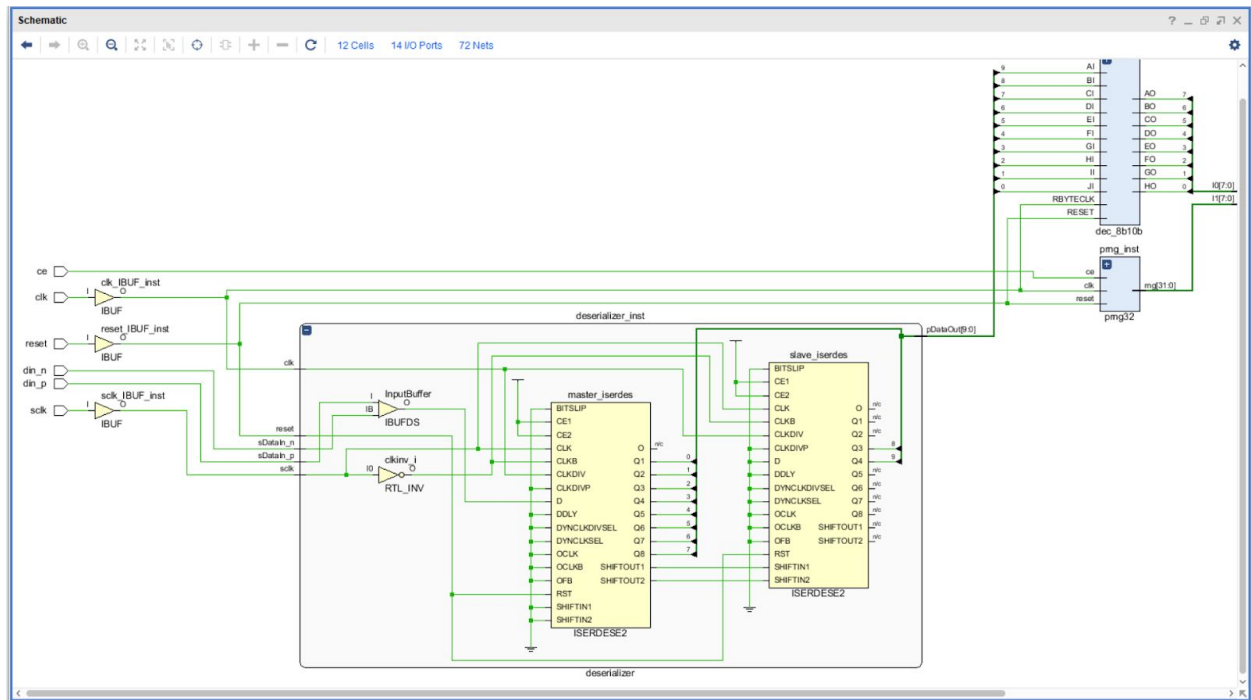
The deserializer module consists of a pair of ISERDESE2 primitives in a master slave configuration for 10:1 deserialization and the 10 bit data consequently gets decoded by 8b10b decoding scheme. This data, for BER calculation purposes is xored with data from the same LFSR PRNG module with the same seed and the “counter\_inst” module counts the number of wrongly transmitted bits. The designed can be improved by removing the “ce” input pin and modify the “decoder\_inst” so that it can supply the “ce” signal to the PRNG.



`decoder_inst` : Instantiation of 8b10b decoder. [Link](#) to code.

`counter_inst` : Instantiation of counter module. [Link](#) to code.

## Schematic of deserializer



deserializer\_inst : Instantiation of deserializer module. [Link](#) to code.

The design has to be reset first. Serial clock (“sclk”) that is supplied during testing phase is 100MHz and “clk” is 20MHz. A clock divider can be incorporated into the design to avoid supplying two separate clocks.

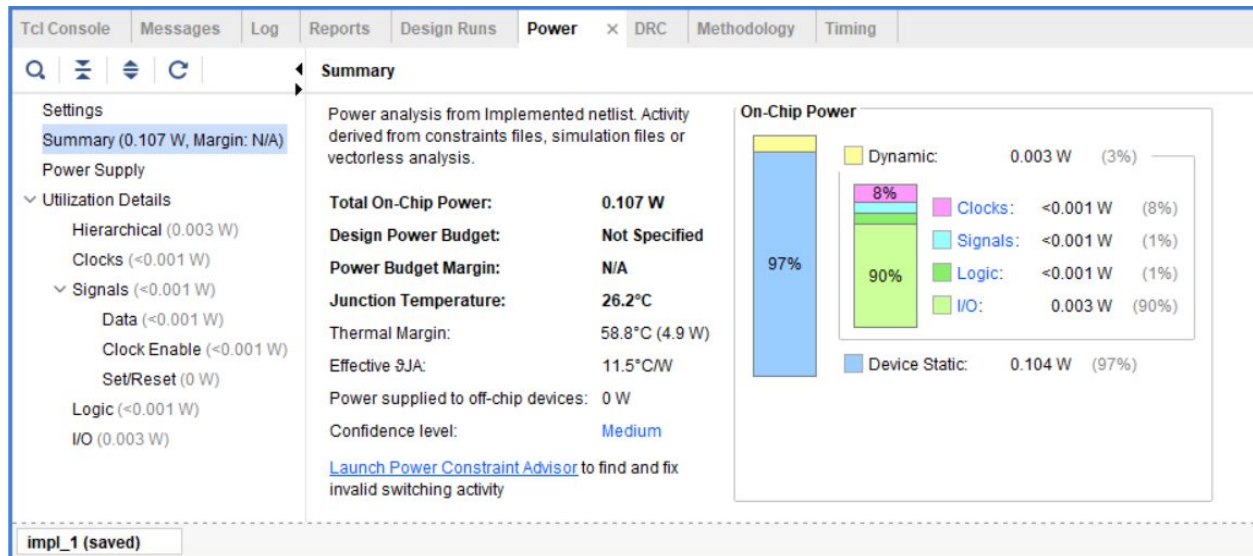
[Link](#) to Vivado project.

# Analysis of Design

## Timing Analysis

Timing			
Design Timing Summary			
General Information			
Timer Settings			
Design Timing Summary			
Clock Summary (2)			
> Check Timing (0)			
> Intra-Clock Paths			
Inter-Clock Paths			
> Other Path Groups			
User Ignored Paths			
Unconstrained Paths			
Timing Summary - impl_1 (saved)			
Setup			
Worst Negative Slack (WNS):	1.359 ns	Worst Hold Slack (WHS):	0.207 ns
Total Negative Slack (TNS):	0.000 ns	Total Hold Slack (THS):	0.000 ns
Number of Failing Endpoints:	0	Number of Failing Endpoints:	0
Total Number of Endpoints:	120	Total Number of Endpoints:	120
Hold			
Pulse Width			
Worst Pulse Width Slack (WPWS):	8.333 ns	Total Pulse Width Negative Slack (TPWS):	0.000 ns
Number of Failing Endpoints:	0	Number of Failing Endpoints:	0
Total Number of Endpoints:	48	Total Number of Endpoints:	48
All user specified timing constraints are met.			

## Power Consumption



## Schematics of transmitter for MachXO2

Generating random numbers is achieved by using the same LFSR PRNG module and the first 8 bits are encoded using the 8b10b encoding scheme. Since MachXO2 doesn't have a primitive with 10:1 SERDES ratio the 10 bit data, we try to match it 8 bits using a register of length equal to the least common multiple which in this case is 40. The 10 bits are stored in the 40 bit register and the 8 bits are sent to the serializer. There is clock domain crossing and the design can be improved with synchronizer circuits as the clock frequency is 1.25 times the parallel clock. This is because the time taken to store four 10 bit words in the 40 bit register must equal reading of 5 bytes.

[Link](#) to Lattice library guide.

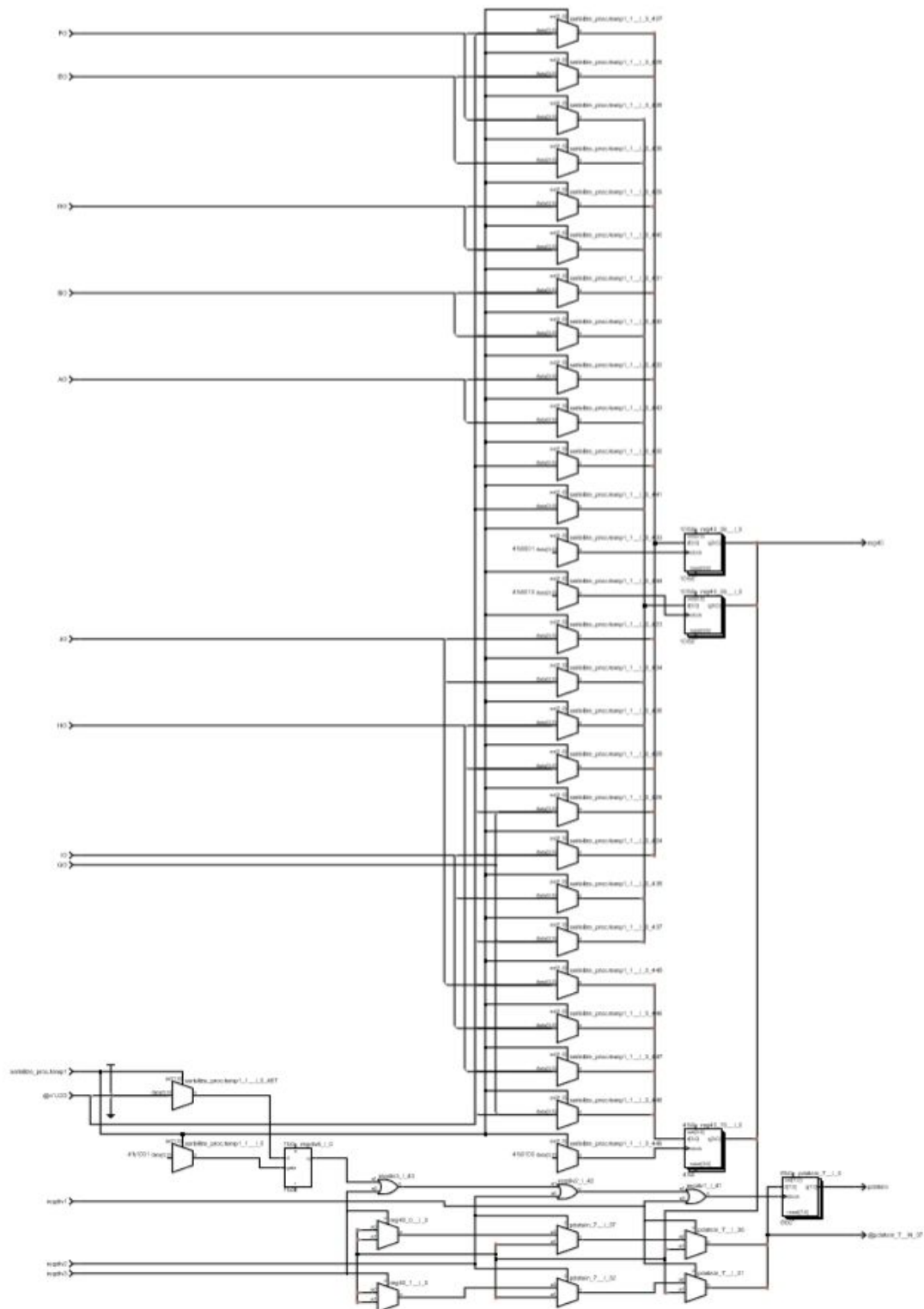
[Link](#) to code.

[Link](#) to Diamond project.

[Link](#) to output log of project.

This design has been tested at 100MHz serial clock and 20MHz parallel clock. "fclk" clock frequency is 31.25MHz. There are setup time and hold time violations in the design which have to be resolved before testing it on the actual hardware.

## Schematic of serializer

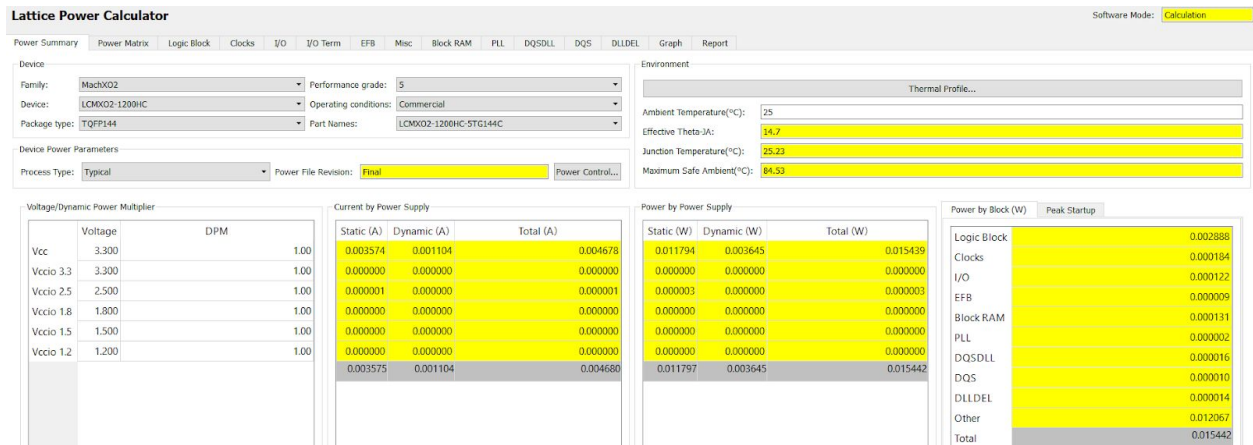




[Link](#) to timing analysis spreadsheet.

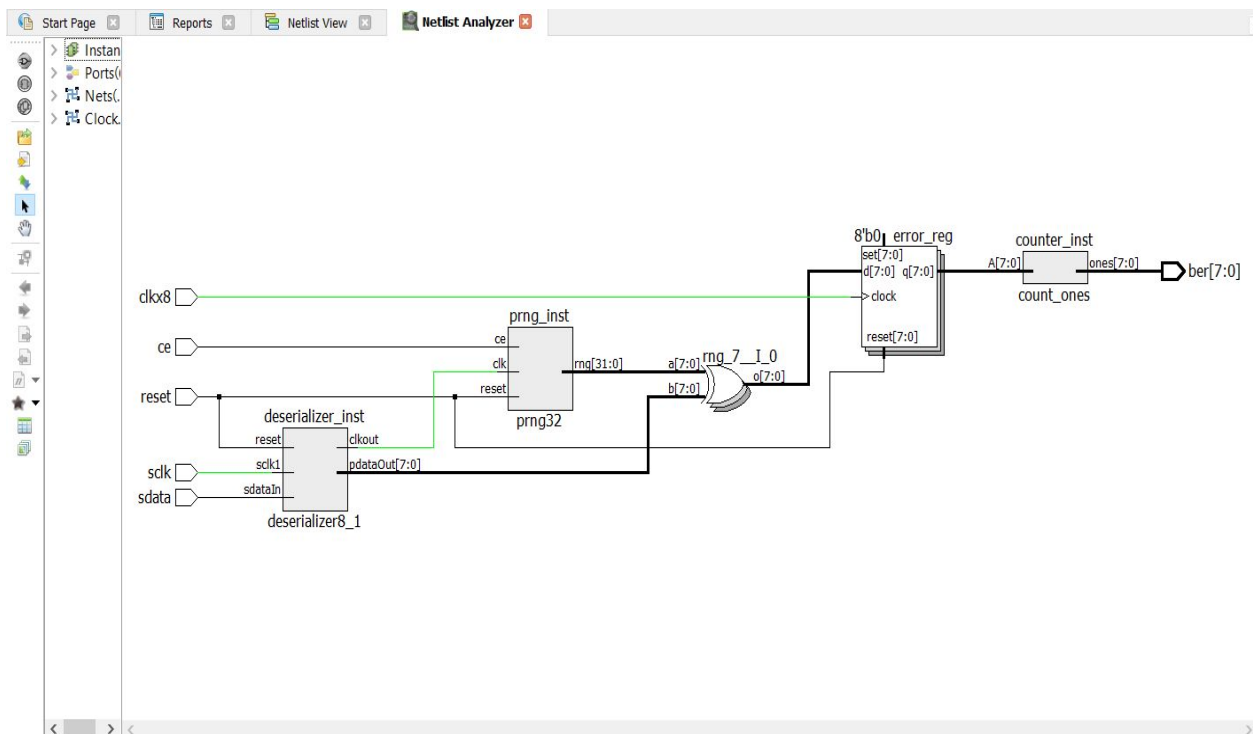
[illegible]

## Power Consumption



[Link](#) to power consumption analysis file.

## Schematics of Receiver for MachXO2



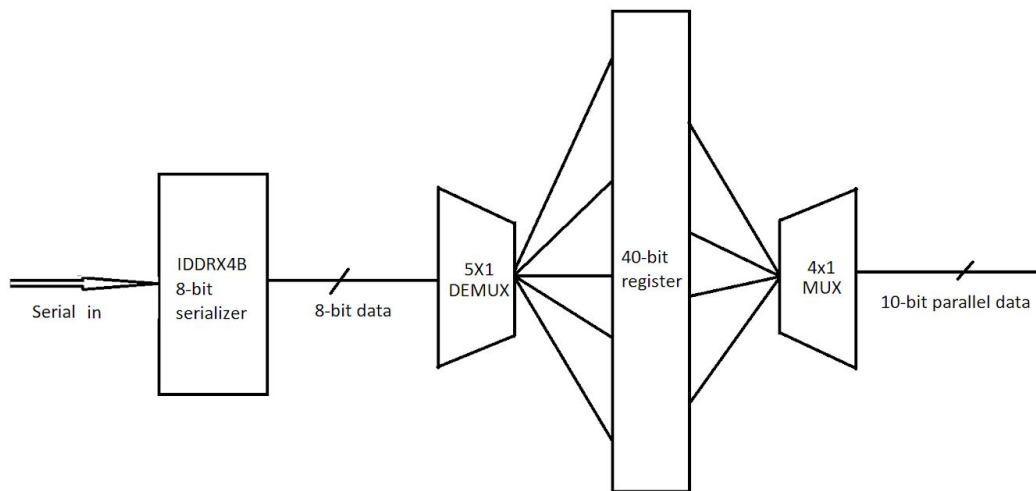
[Link](#) to Lattice library guide.

[Link](#) to code.

[Link](#) to Diamond project.

[Link](#) to output log of project.

The SERDES design of the receiver is similar to the transmitter, albeit reverse in mechanism. Decoding and BER calculation modules are equivalent to their Zynq counterparts.



Addition of synchronous circuits would make the design much more stable and reliable as the “fclk” supplied to the 4x1 MUX has 1.25 times the frequency of parallel clock. The primitive “IDDRX4B” is a DDR deserializer with 8:1 SERDES ratio. There are setup time and hold time violations in the design which have to be resolved before this design can be tested on the actual hardware.

# Analysis of Design

## Timing Analysis

timing\_analysis.csv - LibreOffice Calc

FileEditViewInsertFormatSheetDataToolsWindowHelp

LibreOffice Calc 10

Liberation Sans

A1

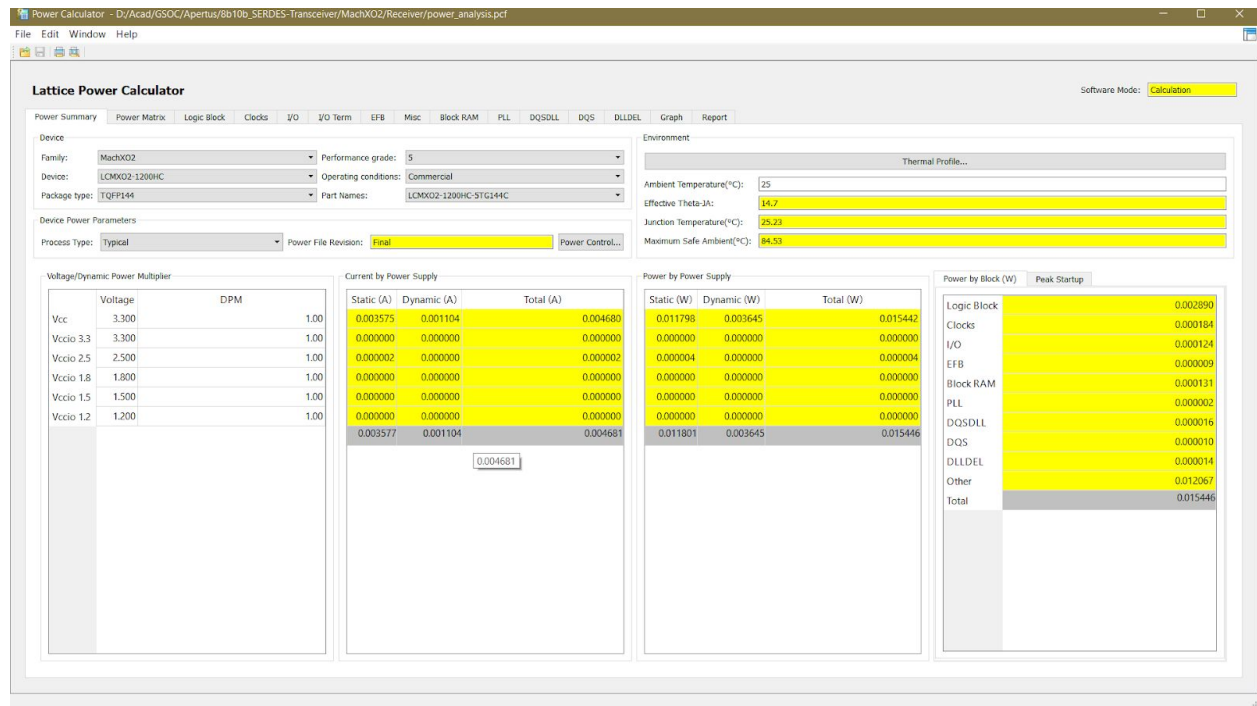
Device Family

1	Device Family	MachXO2																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																										</
---	---------------	---------	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	----

timing_analysis.csv - LibreOffice Calc										
File Edit View Insert Format Sheet Data Tools Window Help										
LibreOffice Calc 10										
A1	Device Family									
38	Data Path Details									
39										
40	Name	Fanout	Delay	Source	Destination	Resource				
41	C2INP_DEL		0	0.391 IOL_B11A.CLK	IOL_B11A.RXDA3	sdataIn_MGIOL				
42	ROUTE		5	0.716 IOL_B11A.RXDA3	R8C10B.M1	pdata2mux_3				
43			Total=1.107							
44										
45										
46	Source Clock									
47										
48	Name	Fanout	Delay	Source	Destination	Resource				
49	PADI_DEL		0	0.482 49.PAD	49.PADDI	sc1k1				
50	ROUTE		1	0.362 49.PADDI	BECLKSYNCO.ECLKI	sc1k1_c				
51	C2OUT_DEL		0	0BECLKSYNCO.ECLKI	BECLKSYNCO.ECLKO	ECLKSYNCA_inst				
52	ROUTE		2	0BECLKSYNCO.ECLKO	BCLKDIV0.CLKI	clkout_c				
53	CLKOUT_DEL		0	0.13 BCLKDIV0.CLKI	BCLKDIV0.CDIVX	clkdiv_inst				
54	ROUTE		10	0.683 BCLKDIV0.CDIVX	IOL_B11A.CLK	clkout_c				
55			Total=1.662							
56										
57										
58	Destination Clock									
59										
60	Name	Fanout	Delay	Source	Destination	Resource				
61	PADI_DEL		0	0.482 49.PAD	49.PADDI	sc1k1				
62	ROUTE		1	0.362 49.PADDI	BECLKSYNCO.ECLKI	sc1k1_c				
63	C2OUT_DEL		0	0BECLKSYNCO.ECLKI	BECLKSYNCO.ECLKO	ECLKSYNCA_inst				
64	ROUTE		2	0BECLKSYNCO.ECLKO	BCLKDIV0.CLKI	clk				
65	CLKOUT_DEL		0	0.13 BCLKDIV0.CLKI	BCLKDIV0.CDIVX	clkdiv_inst				
66	ROUTE		10	0.634 BCLKDIV0.CDIVX	R7C11A.CLK	clkout_c				
67	REG_DEL		0	0.154 R7C11A.CLK	R7C11A.Q0	SLICE_0				
68	ROUTE		22	0.366 R7C11A.Q0	R7C10D.A1	deserializer_proc.temp1_0				
69	CTOF_DEL		0	0.177 R7C10D.A1	R7C10D.F1	SLICE_27				
70	ROUTE		4	0.619 R7C10D.F1	R8C10B.CLK	reg40_23_N_27				
71			Total=2.924							
72										
73										
74										
75										
76										
Sheet 1 of 1										
Average: Sum: 0										

[Link](#) to timing analysis spreadsheet.

# Power Analysis



[Link](#) to power consumption analysis file.