

Disciplina: CIC 116394 - Organização e Arquitetura de Computadores: Turma A

Professor: Marcus Vinicius Lamar

Laboratório 4

-CPU *femto*RISC-V MULTICICLO-

André Dornelas Sanches - 17/0099369

Eduardo de Souza Felix de Almeida - 17/0102254

Yuri Fleury Pereira - 15/0024061

Introdução

O software Deeds (Digital Electronics Education and Design Suite) é uma plataforma educativa que permite a simulação de circuitos lógicos. Por meio dos elementos fornecidos pelo software (portas lógicas, multiplexadores, circuitos aritméticos etc), será implementado um processador multiciclo com suporte as seguintes operações da ISA RV32I: add, sub, and, or, slt, xor, lw, sw, addi, slli, lui, jal, beq e jalr. Existem outras opções de programas para este fim, como o Quartus Prime 18.1 da Intel ,por exemplo, que oferece suporte a linguagem de descrição de Hardware SystemVerilog, porém, optou-se pelo uso do Deeds por ser mais “leve” em relação ao concorrente.

O que difere o multiciclo do uniciclo é que ao invés de uma instrução ser executada em apenas um ciclo de clock, a instrução é dividida em etapas e executada ao decorrer de uma sequência de ciclos de período bem menor do que o período do uniciclo. Dessa forma, o processador consegue executar apenas as etapas necessárias para cada tipo instrução e, assim, evita tempo gasto com etapas desnecessárias. A expectativa, nesse sentido, é de que o tempo de execução diminua. Entretanto, outros fatores podem diminuir ou até anular a vantagem de tempo esperada, sendo elas: o CPI médio do workload, que por definição será maior que o do uniciclo, e o tempo gasto em etapas simples pelo período ser necessariamente maior ou igual ao tempo gasto pela etapa mais lenta.

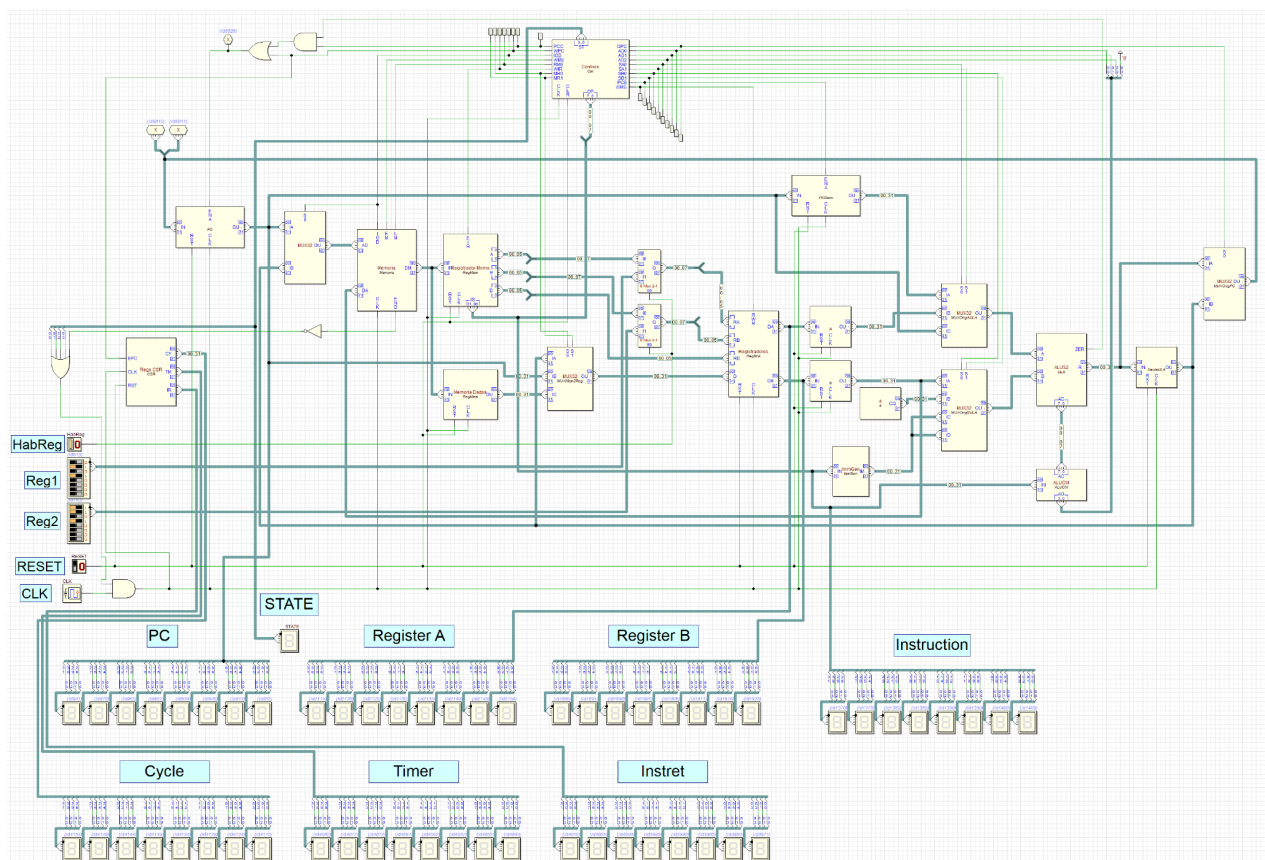
Objetivos

- Implementar um processador multiciclo compatível com a ISA RISC-V 32I no programa de Simulação Deeds;
- Analisar o desempenho do processador construído;

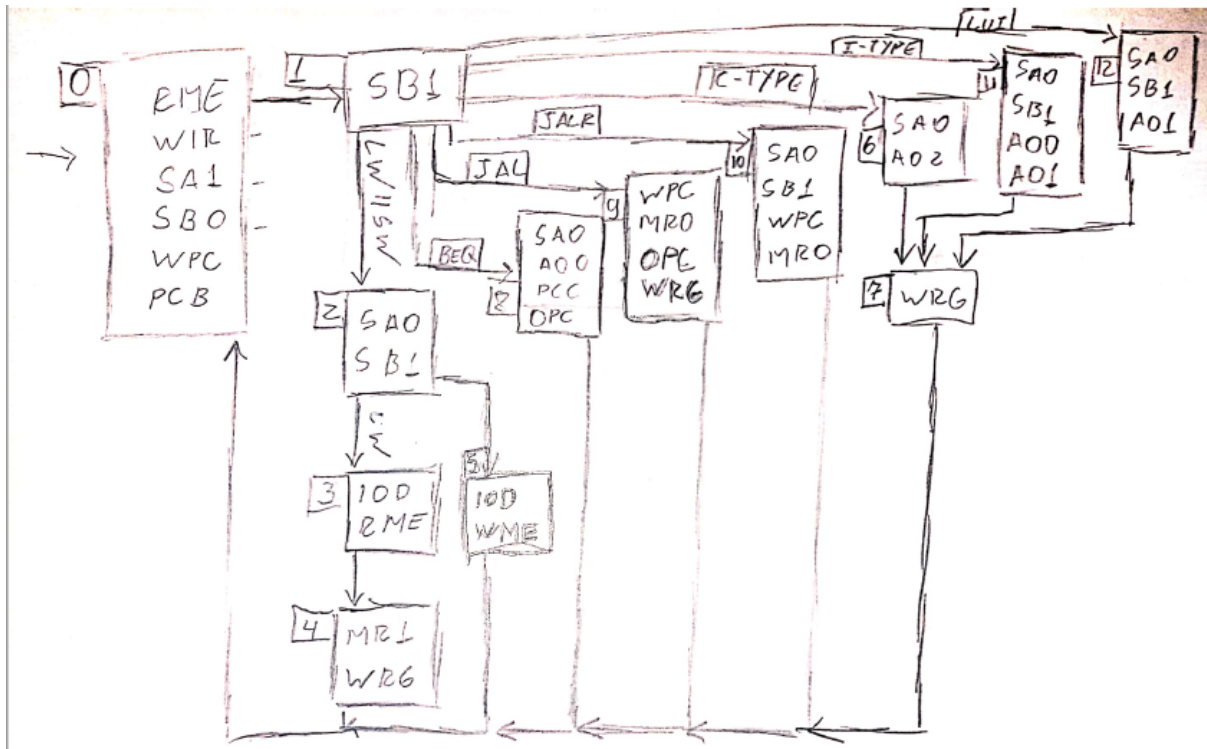
Procedimentos e Análise de Dados

Com base nos componentes e no caminho de dados desenvolvidos em aula, projetamos um processador multiciclo capaz de executar a ISA RISC-V reduzida proposta no laboratório 4.

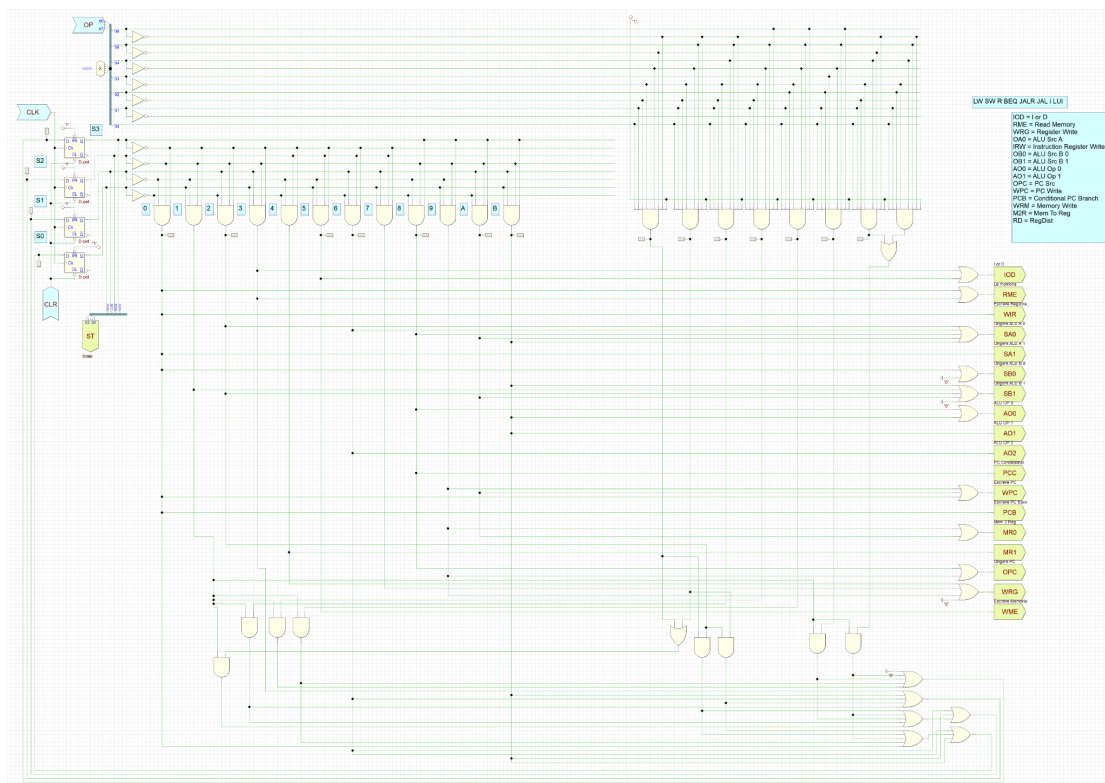
1.1) O circuito que implementa o caminho de dados segue abaixo. Não foi preciso fazer nenhuma alteração no caminho de dados apresentado em sala de aula, já que ele já suportava as instruções jal e jalr, e as outras instruções são feitas apenas na ULA.



Entretanto, um novo bloco de controle foi necessário, este, uma máquina de estados. O seguinte diagrama de estados foi feito para descrever o seu funcionamento.



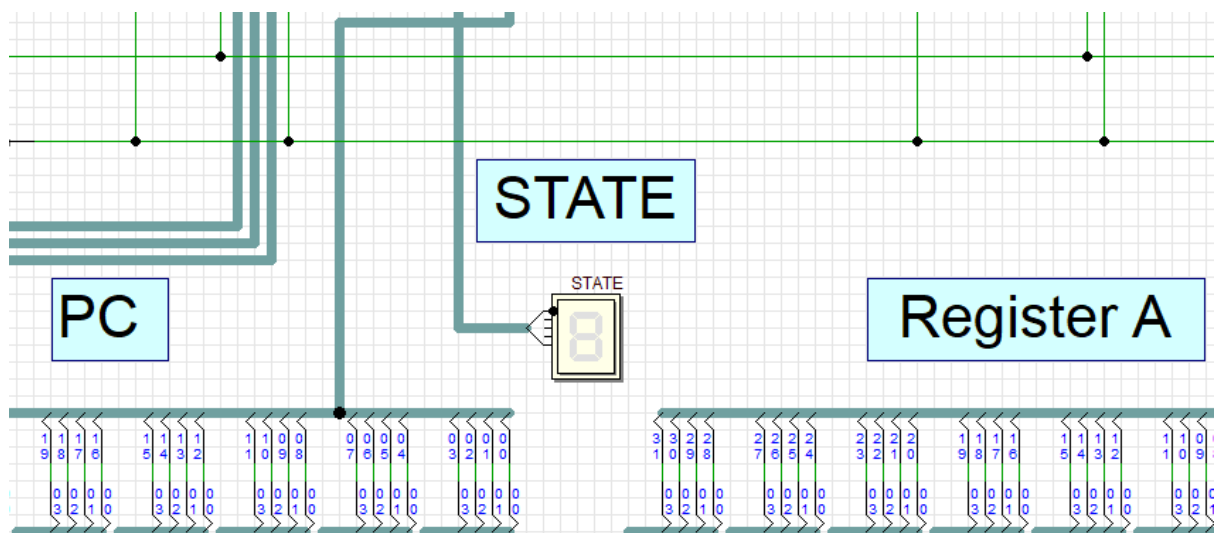
Abaixo segue o circuito implementado para a unidade de controle:



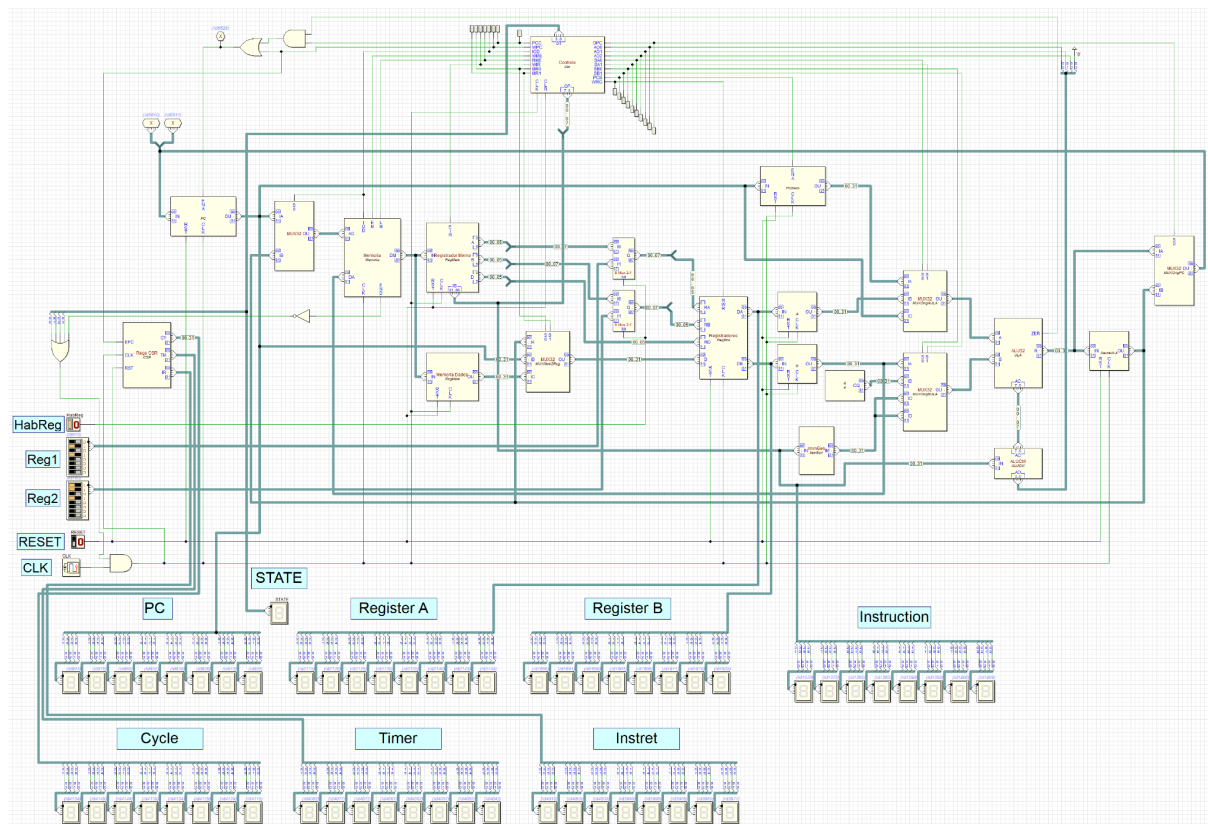
Os sinais da unidade de controle podem ser identificados através da seguinte relação de siglas:

IOD = I or D
 RME = Read Memory
 WRG = Register Write
 OA0 = ALU Src A
 IRW = Instruction Register Write
 OB0 = ALU Src B 0
 OB1 = ALU Src B 1
 AO0 = ALU Op 0
 AO1 = ALU Op 1
 OPC = PC Src
 WPC = PC Write
 PCB = Conditional PC Branch
 WRM = Memory Write
 M2R = Mem To Reg
 RD = RegDist

1.2) Para a representação do estado foi utilizado um display de 7 segmentos com o label “STATE”:

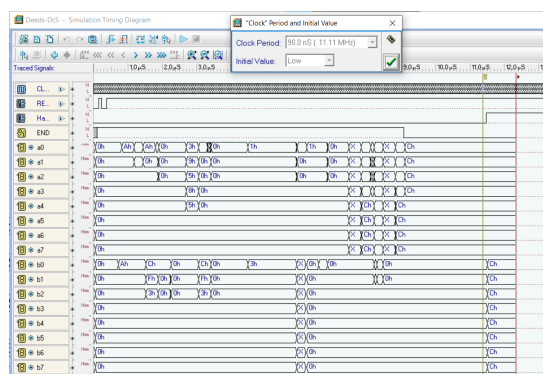


1.3) O processador *femtoRISC-V*, incluindo uma entrada de clock e um sinal de reset se encontra abaixo:

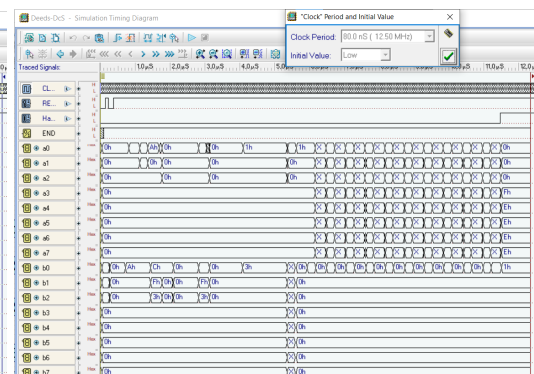


Analisando a etapa mais lenta implementada na máquina de estados multiciclo, pudemos estimar a frequência máxima utilizável no *femtoRISC-V*. Com base nesse valor, executamos a simulação e forma de onda e testamos frequências próximas até que fosse possível determinar a frequência máxima. No nosso caso, essa frequência é 11,11 MHz. Para confirmar o resultado, foi feito outro teste, numa frequência ligeiramente maior, e pudemos verificar que nessa frequência o processador não funcionava da forma esperada. Abaixo se encontram os resultados:

Freq 11,11 MHz:



Freq 12,50 MHz:



1.4) O vídeo com a execução do TestBench.s pode ser conferido no link abaixo:

<https://drive.google.com/file/d/16jaAGfcM28ko5HDmuUSv5YISC5iQj7Q0/view?usp=sharing>

1.5) A CPI média do programa seria calculada dividindo o valor dos registradores de Cycle pelo de Instret, caso o processador estivesse funcionando como esperado.