

بسمه تعالی

درس ساختار کامپیوتر

استاد: دکتر موحدیان عطار

دانشکده مهندسی برق



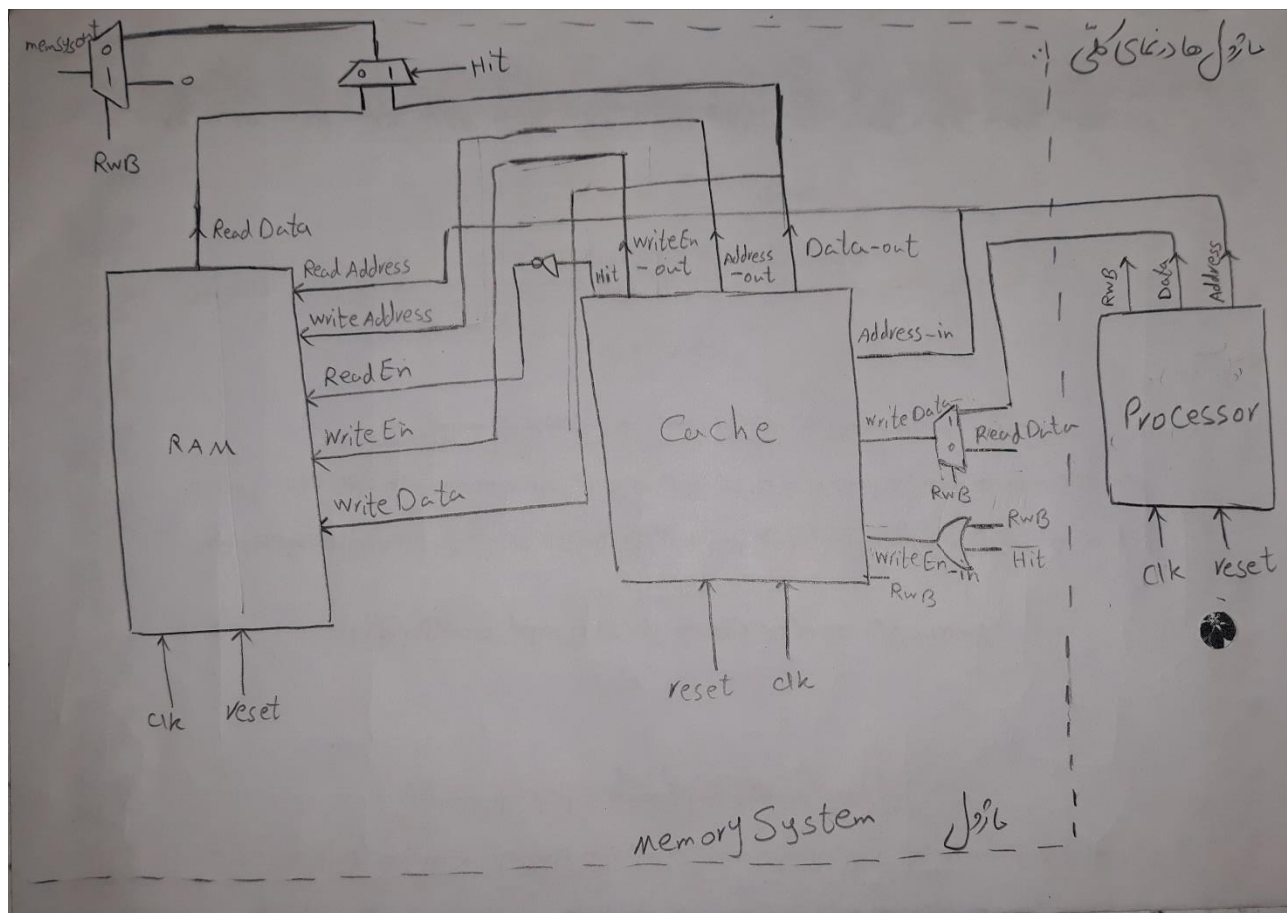
گزارش فاز چهارم (امتیازی) امتیازی درس

امیرحسین صفری

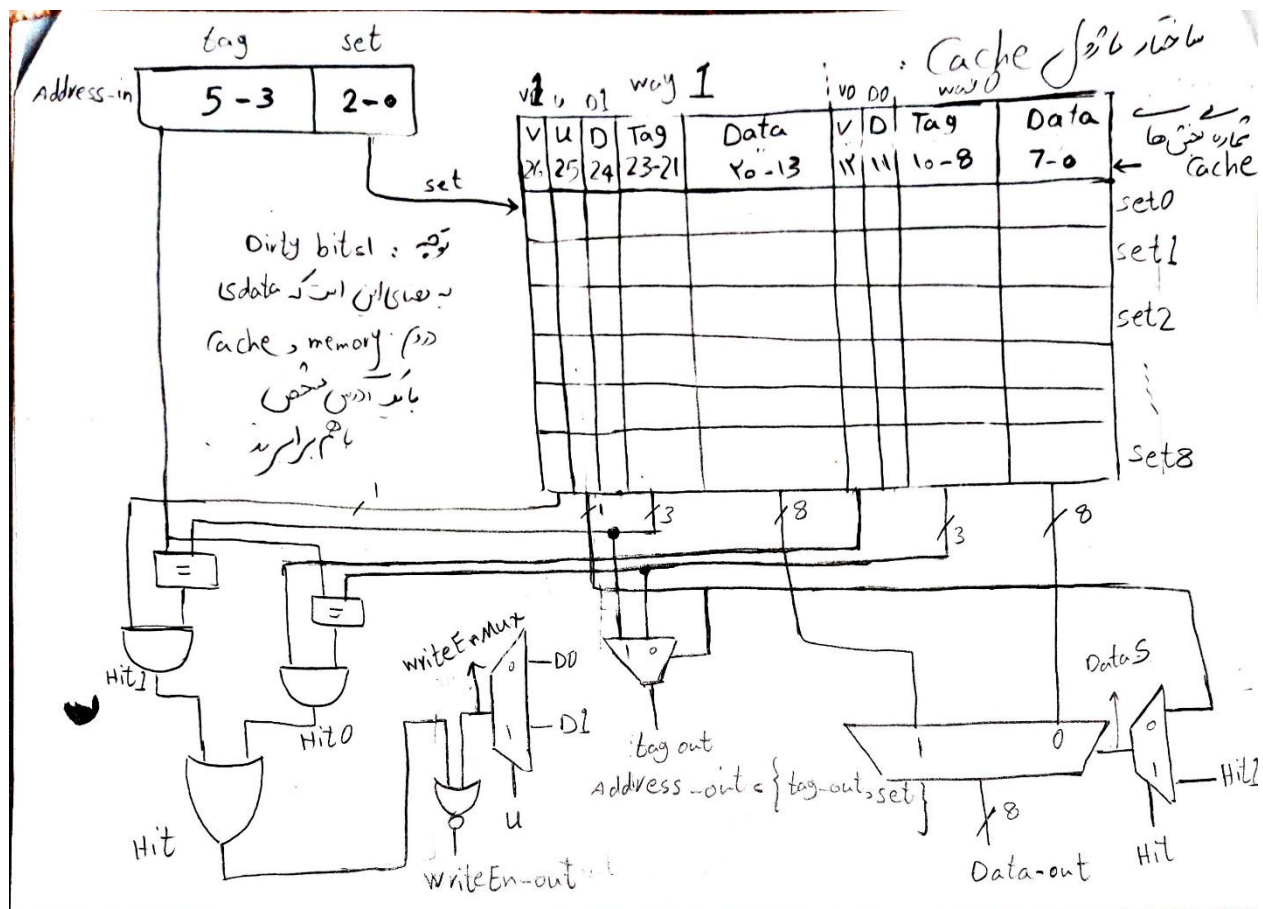
۹۷۱۰۱۹۹۴

(۱)

دو واحد Processor و MemorySystem مطابق با دستور پروژه و به شکل زیر به هم متصل شده اند ، هم چنین تعداد hit های این cache در زمان 1000 ns ، ۲۸ عدد می باشد .



ساختار cache نیز از روی مدار زیر طراحی شده است ، هم چنین می توان گفت که حافظه ی cache را یک آرایه ی دو بعدی ۸×۲۷ در نظر گرفتیم که در هر ست ، خانه ی ۰ تا ۱۲ مربوط به way0 آن ست و خانه ی ۱۳ تا ۲۶ مربوط به way1 می باشد . هم چنین از LRU بیت در این حافظه استفاده شده است که در خانه ی ۲۵ هر ست قرار گرفته که نشان می دهد کدام way از دیگری قدیمی تر می باشد . و برای writeback نیز از dirty_bit استفاده شده است که در صورت یک بودن آن نشان می دهد که data ی درون یک آدرس مشخص در cache با داده ای که در همان آدرس در ram قرار دارد ، برابر می باشد و نحوه ی استفاده از آن نیز در شکل مشخص می باشد .



با توجه به اینکه با استفاده از data و address ای که در کلاک از پردازنده خارج می شود می توان address مورد استفاده ی بعدی را متوجه شد ، می توان cache را با همین اندازه ولی به جای 2 way به صورت بلوکی در نظر گرفته شود تا در هر کلاک علاوه بر داده ی آدرس فعلی ، داده ی آدرس بعدی نیز با هم و در یک بلوک آورده شوند .