



پروژه درس ساختار کامپیوتر و میکروپروسسور

دکتر موحیدیان

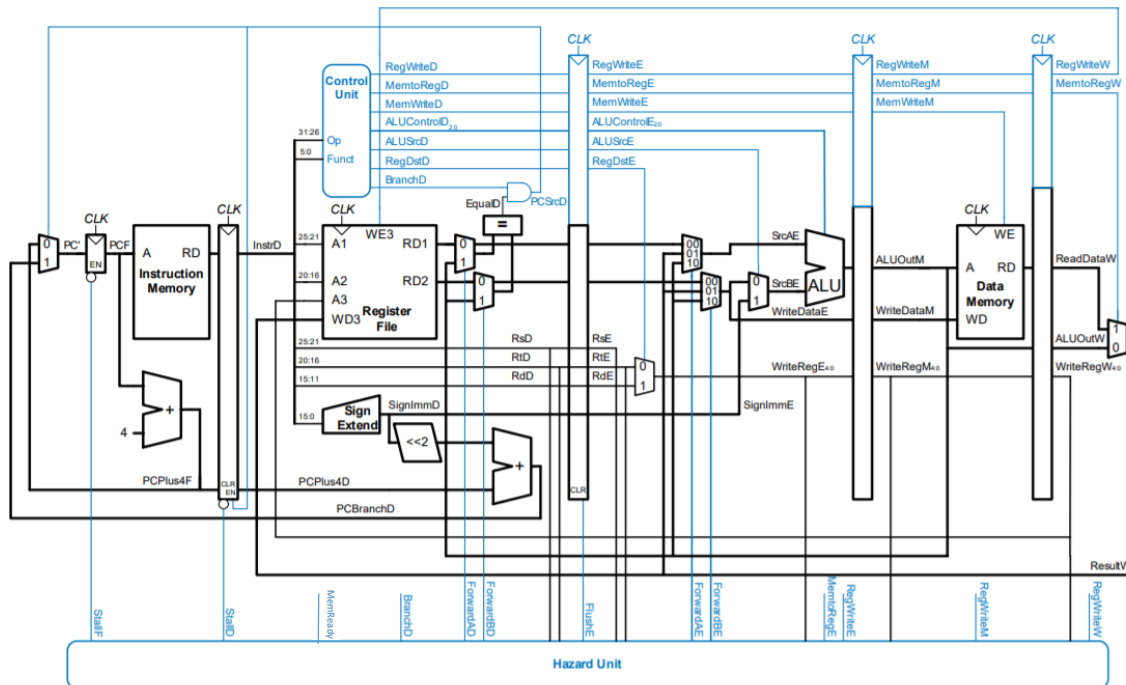
فاز سوم

**Pipeline** کردن پردازنده طراحی شده

بهار 99

هدف در این فاز Pipeline کردن پردازنده طراحی شده در قسمت قبل است.

ساختار مورد نظر به شکل زیر است:



## قسمت اول: پیاده سازی رجیسترهای مسیر Pipeline

هدف در این قسمت پیاده سازی رجیسترهای پایپ لاین به صورت زیر می باشد:

```
always@(posedge clock) begin
    regwriteM<=regwriteE;
    memwriteM<=memwriteE;
    memtoregM<=memtoregE;
    ...
    ...
end
```

همچنین دقت شود، با توجه به شکل، برای برخی رجیسترها، بیت های کنترلی Flush و Stall در نظر گرفته

شده است که به ترتیب رجیستر را خالی و یا مقدار قبلی را در آن نگه می دارند.

## قسمت دوم: پیاده سازی ماژول Hazard Unit

هدف در این قسمت پیاده سازی ماژولی با ورودی های کنترلی لازم برای مشخص کردن انواع بیت های کنترلی مربوط به Flush ها و Stall ها و خطوط کنترلی مربوط به Data Forwarding های لازم برای مدار است. برای آشنایی با نحوه حل مشکل Hazard می توانید به منابع درس و فصل 7 کتاب Harris مراجعه کنید.

## قسمت سوم: تست عملکرد پردازنده

پس از در کنار هم قرار دادن ماژول های نوشته شده و طراحی ساختار بالا و عملکرد آن را با تست های isort و Fibonacci از قسمت قبل بررسی کنید.

در این بخش تاخیر حافظه دیتا (ND) که در فاز 1 طراحی کردید را صفر بگیرید (مشابه فاز قبل). پس از تایید صحت عملکرد پردازنده خود با تست بنچ ها، زمان اجرا را اندازه گرفته و تعداد کلاک اجرای هر یک را در گزارش خود بیاورید. اعداد را با نتایج فاز قبل مقایسه کرده و مزایا و معایب این ساختار را بررسی کنید.

تست امتیازی : در این بخش فرض کنید حافظه دیتا در خواندن تاخیر زیادی دارد و پارامتر ND را 3 سیکل کلاک بگیرید. در این حالت تست ها انجام داده و تعداد کلاک اجرا را اندازه بگیرید. توجه کنید که تا آماده شدن دیتا (MemReady) تمام مراحل پایپ لاین باید stall شوند. نتایج دو تست را با حالت قبلی مقایسه کنید.

## خواسته های پروژه:

- 1- تحویل کد وریلاگ پردازنده و کارکرد صحیح این مدار با تست بنچ هایی که در اختیارتان قرار داده شده است.
  - 2- گزارشی کوتاه در مورد نحوه نوشتن واحد ها و کارکرد کلی مدار و نتایج و زمان اجرای تست ها ارائه دهید. مقایسه های خواسته شده در تست ها را انجام داده و نتایج را تحلیل کنید. همچنین ایده های خود در مورد رفع hazard ها و طراحی Data Forwarding را در گزارش شرح دهید.
  - 3- همچنین توضیح دهید که در صورتی که تاخیر خواندن حافظه Memory چند کلاک باشد چه راه حلی برای اصلاح و بهبود عملکرد آن در نظر دارید.
- کل فایل های خود را در فایل Pipeline\_#studentNumber.rar آپلود کنید.
- زمان تحویل آنلاین در CW اعلام می شود.