

بسمه تعالی

درس ساختار کامپیوتر و میکروپروسسور

استاد: دکتر موحدیان عطار

دانشکده مهندسی برق



گزارش فاز سوم پروژه درس (پیاده سازی پردازنده Pipeline بر اساس دستور العمل mips)

امیرحسین صفری

۹۷۱۰۱۹۹۴

طراحی پردازنده :

در طراحی ماژول Hazard Unit ، که در واقع برای سه عملکرد data forwarding ، Stall و early branch resolution مطابق با قسمت های مرتبط در فصل ۷ کتاب هریس نوشته شده است .

هم چنین رجیسترهای data path نیز که در واقع داده های هر مرحله از ۵ مرحله اجرای یک دستور با یک تاخیر به مرحله ی بعد می برند ، مطابق با تصویر زیر نوشته شده است که در واقع به ترتیب مراحل با نام های Fetch2Decode ، Decode2Execute ، Execute2Memory ، Memory2Writeback و datapath قرار دارند و هم در control unit وجود دارند لذا در ادامه ی نام آن ها d (که مربوط به datapath) و c (که مربوط به control unit می باشند) آمده است .

نتایج و زمان اجرای تست ها

علی رغم این که کد مطابق با کتاب هریس و هم چنین اسلاید های درس در قالب ماژول های مختلف نوشته شده است و در نهایت این ماژول ها به هم مرتبط شده است ، اما در هنگام اجرای testbench ها متأسفانه هیچ خروجی ای دریافت نشد و هم چنین در نهایت با وجود تلاشی که برای debug کد کردم ، اما متوجه اشکال کد نشدم و متأسفانه و به ناگزیر نتوانستم که کد ها را اجرا کنم و خروجی ها را مشاهده کنم .

