

# Интерфейсы и периферийные устройства

Тема 8. Графическая подсистема ПЭВМ, дисплейные устройства (мониторы) и проекторы, интерфейсы подключения дисплейных устройств

## Лекция 14. Шина AGP

Топология. Протокол, сигналы и линии AGP.

Конвейерные транзакции AGP. два метода подачи запроса. Графическая апертура.



# Графическая подсистема ПК

Графическая подсистема изначально входила в архитектуру ПК в виде отдельной платы расширения.

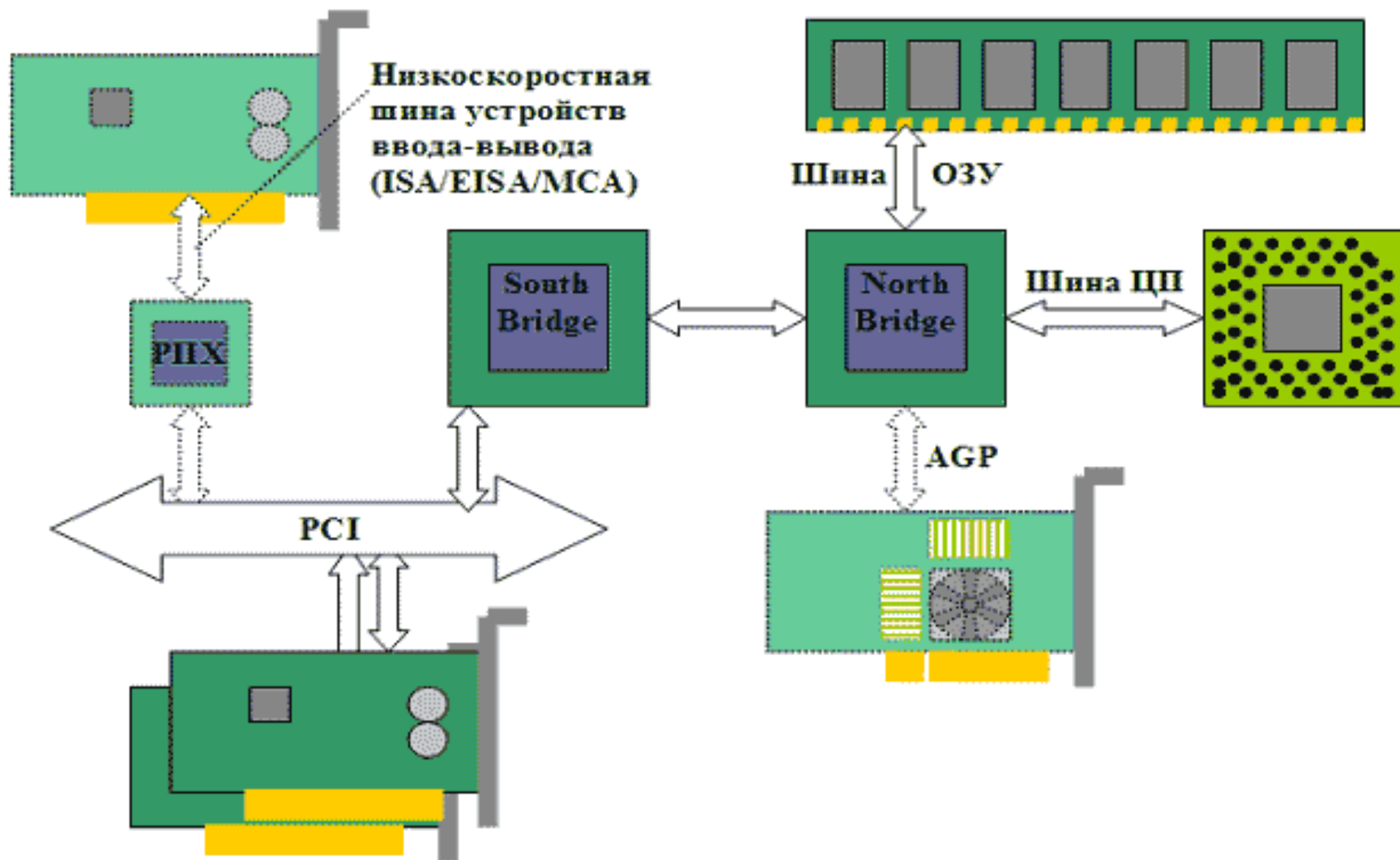
Впоследствии графическую подсистему удалось **интегрировать в состав микросхем системной логики**. Встроенная графическая карта обычно подключается к контроллеру памяти по внутреннему интерфейсу, но может быть реализована та или иная шина «на кристалле».

В связи с развитием технологий 3D-графики, понадобилось перенести это устройство на отдельную высокоскоростную шину, которая смогла бы обеспечить требуемую ширину канала между графическим процессором и системной памятью.

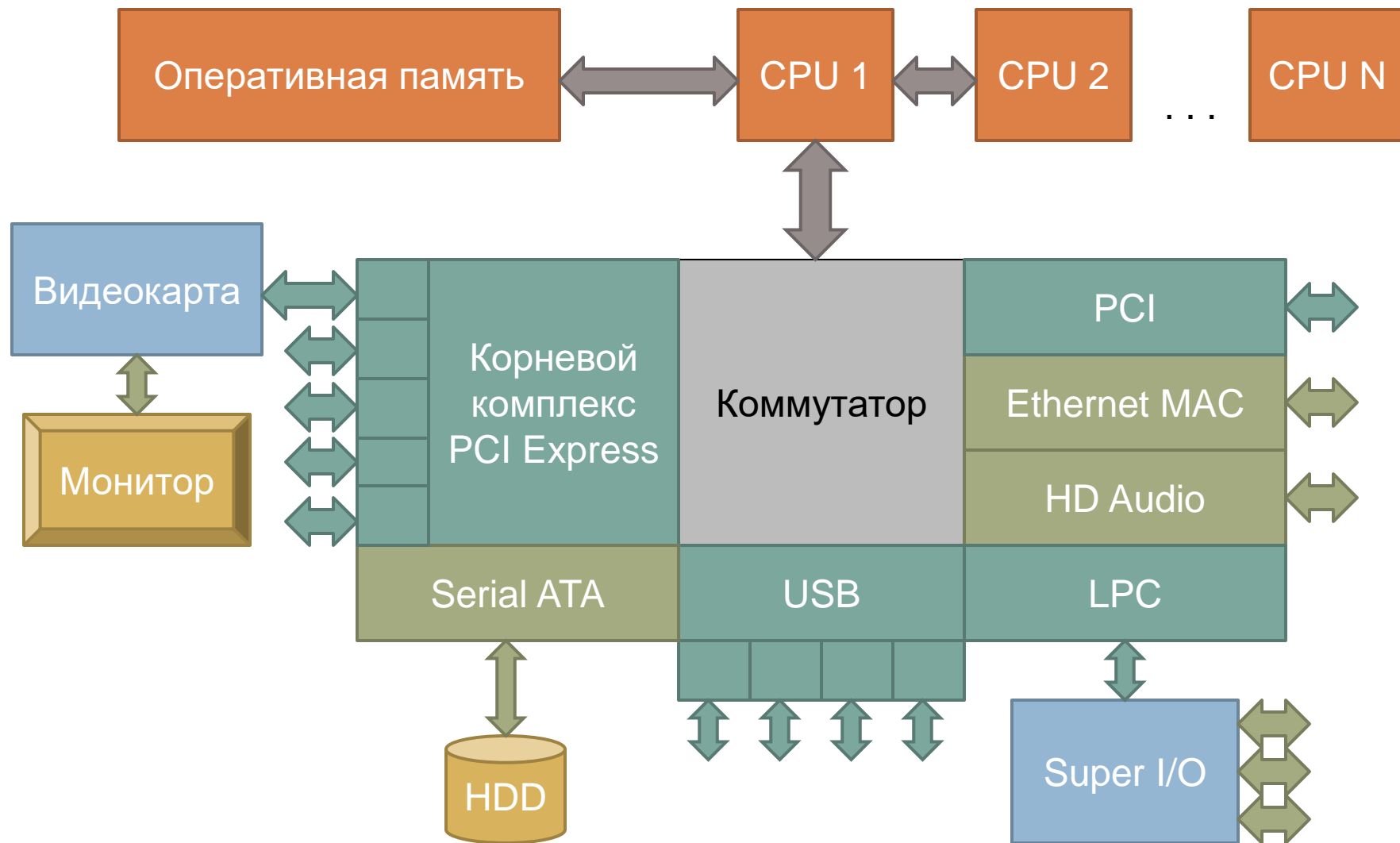
Для задач, требовательных к быстродействию в 3D и видео, предлагаются **отдельные карты расширения**. Более того, выпускаются «двойные» карты, реализованы возможности объединения карт в единый конвейер и поочередного использования двух карт. Изначально к ПК можно было подключать одно устройство отображения, сегодня - до двух независимых дисплеев на один адаптер.

Внешние видеокарты (eGPU). Порт ExpressCard или mPCIe или порт Thunderbolt .

# Система на основе PCI



# Архитектура современного ПК



# Шина AGP

AGP (Accelerated Graphic Port, ускоренный порт для графической карты) – это специализированный интерфейс для подключения видеокарты. Идея, лежащая в основе AGP, заключается в том, чтобы предоставить графической карте с 2D/3D-ускорителем высокоскоростной доступ к системной памяти по выделенному каналу.

**Шина AGP – 32-битная параллельная синхронная шина с частотой 66 МГц, рассчитанная на топологию «точка-точка».**

Большинство сигналов позаимствовано у PCI, поддерживается протокол этой шины наряду с собственным. Физически и электрически не совместима с PCI, однако интегрируется в единую системную шину посредством контроллера.

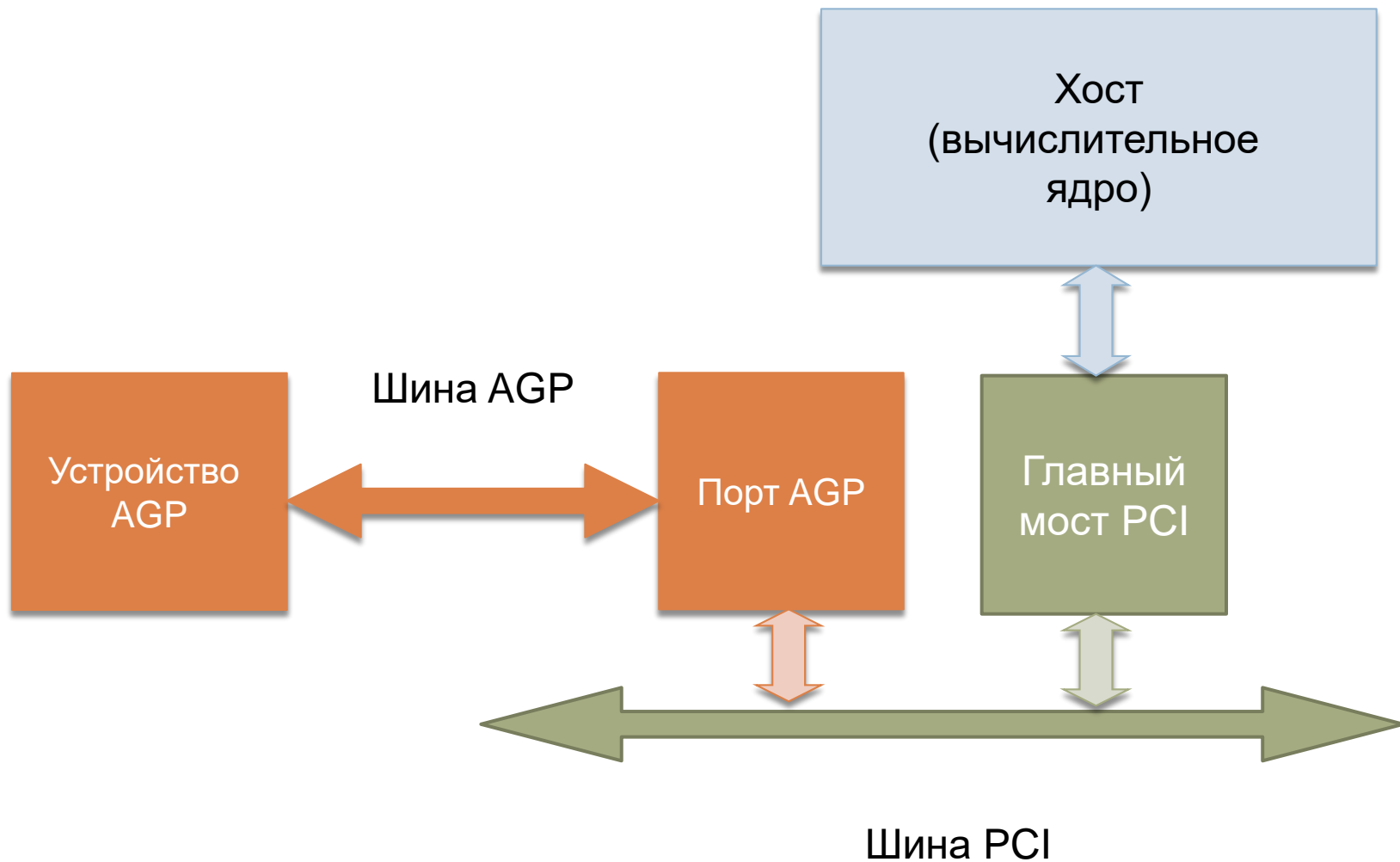
Первая версия спецификации была разработана Intel в 1996 г., последняя, AGP 3.0 (AGP 8x), появилась в 2002 году.

Заменена шиной PCI Express, но продолжает поддерживаться.

# Отличия AGP от PCI

- Конвейеризация обращений к памяти: запросы (фазы адреса) могут выдаваться до получения всех данных предыдущих запросов.
- Демультимплексирование шины адреса и данных, наличие выделенной шины подачи запросов (Sideband addressing). (По SBA – адрес нового запроса, по AD - - данные пред. запроса) Данная функция опциональна для устройств AGP 1.0/2.0 и обязательна для AGP 3.0.
- Умножение частоты передачи данных относительно базовой частоты синхронизации, до 8 раз (AGP 3.0) - предусмотрена возможность передавать данные с помощью специальных сигналов, используемых как стробы, вместо сигнала тактовой частоты 66 МГц )
- Наличие собственного протокола транзакции и набора команд.
- Дополнительные сигнальные линии.
- Поддержка в общем случае только одного устройства, отсутствие механизма адресации нескольких устройств.
- Иное механическое и электрическое исполнение.

# Топология AGP



# Топология AGP

Интерфейс AGP предполагает наличие в системе только одного порта AGP (встроенной логики поддержки шины AGP). Для рабочих станций возможна реализация нескольких портов AGP.

**Порт AGP логически является мостом между первичной шиной PCI и вторичной (шиной AGP).** Физически он может быть реализован по-разному.

Шина AGP по своим электрическим характеристикам допускает подключение только одного устройства AGP, реализуя топологию **«точка-точка»**.

Дополнительные устройства можно подключать посредством специальных мостов (Fan-out bridges-трансиверный умножитель, многопортовый трансивер), которые устанавливаются на системной плате при необходимости.

Устройство AGP допускает работу только в качестве инициатора транзакций AGP (AGP Master) и PCI (PCI Master).

Для работы в качестве целевого устройства необходимо использовать протокол PCI.



# Протокол AGP

Шина AGP в каждый момент времени может находиться в одном из 4 состояний:

- IDLE – покой
- DATA – передача данных конвейеризированных транзакций
- AGP – постановка в очередь команды AGP
- PCI – выполнение транзакции в режиме PCI

Устройство AGP полностью поддерживает протокол PCI, имеет соответствующие линии и сигналы,

может выступать в качестве как инициатора, так и целевого устройства. При этом транзакции PCI могут прерывать транзакции DATA, они выполняются в обычном порядке, по фазам.

# Протокол AGP

Для транзакций, инициированных AGP-портом, предусмотрено расширение протокола PCI – режим Fast Writes (**Быстрая запись AGP**), который предусматривает выполнение операции записи (от хоста к 3D-ускорителю) с тактированием на повышенной частоте (до 8х).

В обычных условиях любые данные для устройства AGP должны быть записаны в основную память, чтобы устройство смогло их считать. Функция Fast Write позволяет устройству AGP работать аналогично устройству PCI. Благодаря этому устройство получает прямой доступ к данным, что существенно улучшает производительность AGP при чтении. Данные записываются напрямую на устройство AGP, а не в системную память. ( Эта функция экономит время и улучшает производительность AGP при чтении. Производительность AGP при записи не изменяется, так как опция Fast Write пользуется обычным протоколом AGP для записи в память).

AGP Fast Write - Этот параметр разрешает быструю запись, при которой процессор отправляет данные непосредственно в память видеоадаптера, минуя системную память.

**Собственные транзакции AGP имеют иной протокол и предусматривают конвейерную обработку запросов на чтение (состояние AGP).**

# Протокол AGP

**Состояние AGP** – это постановка в очередь запроса на обмен данными. Транзакцию AGP может инициировать только AGP-устройство **для выполнения доступа к системной памяти**. Работа с другими устройствами PCI (Peer-to-peer, P2P) опциональна и не рекомендуется.

Транзакция DATA выполняется учетверенными словами (qword, 8 байт), ее длина явно указывается и не должна превышать 64 байта. Тактирование – от источника (Source Synchronous), на повышенной частоте относительно общего CLK. Сигналы IRDY/TRDY используются для введения холостых тактов.

Существуют два метода подачи команд (постановка запросов в очередь):

- Подача адреса и команды по общей шине AD (не поддерживается в AGP 3.0) с помощью сигнала PIPE#.
- Подача адреса и команды по внеполосной (независимой от шины AD) 8-битной шине SBA (Side Band Addressing).

# Запросы AGP, метод 1

Сигнал PIPE# используется для обозначения фазы постановки запроса в очередь.

**Код команды подается по линиям C/BE#, адрес – по линиям AD [31:3]. По линиям AD[2:0] подается длина транзакции (+ 1), измеренная в qword.**

Команды:

- 0000: Read
- 0001: High-Priority Read (упразднено в AGP 3.0)
- 0100: Write
- 0101: HP Write (упразднено в AGP 3.0)
- 1000: Long Read, длину транзакции нужно умножить на 4 (упразднено в AGP 3.0)
- 1001: HP Long Read (упразднено в AGP 3.0)
- 1101: Dual Address Cycle
- 1010: Flush

## Запросы AGP, метод 2

Шина SBA[7:0] в состоянии покоя передает все единицы (команда NOP)

При подаче запроса по шине SBA могут передаваться одна из 4 типов

**ПОСЫЛОК:**

- Посылка типа 1:

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	Младшие биты адреса: A[14:3]												длина		

- Посылка типа 2:

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1	0	Код команды				X	Средние биты адреса: A[23:15]								

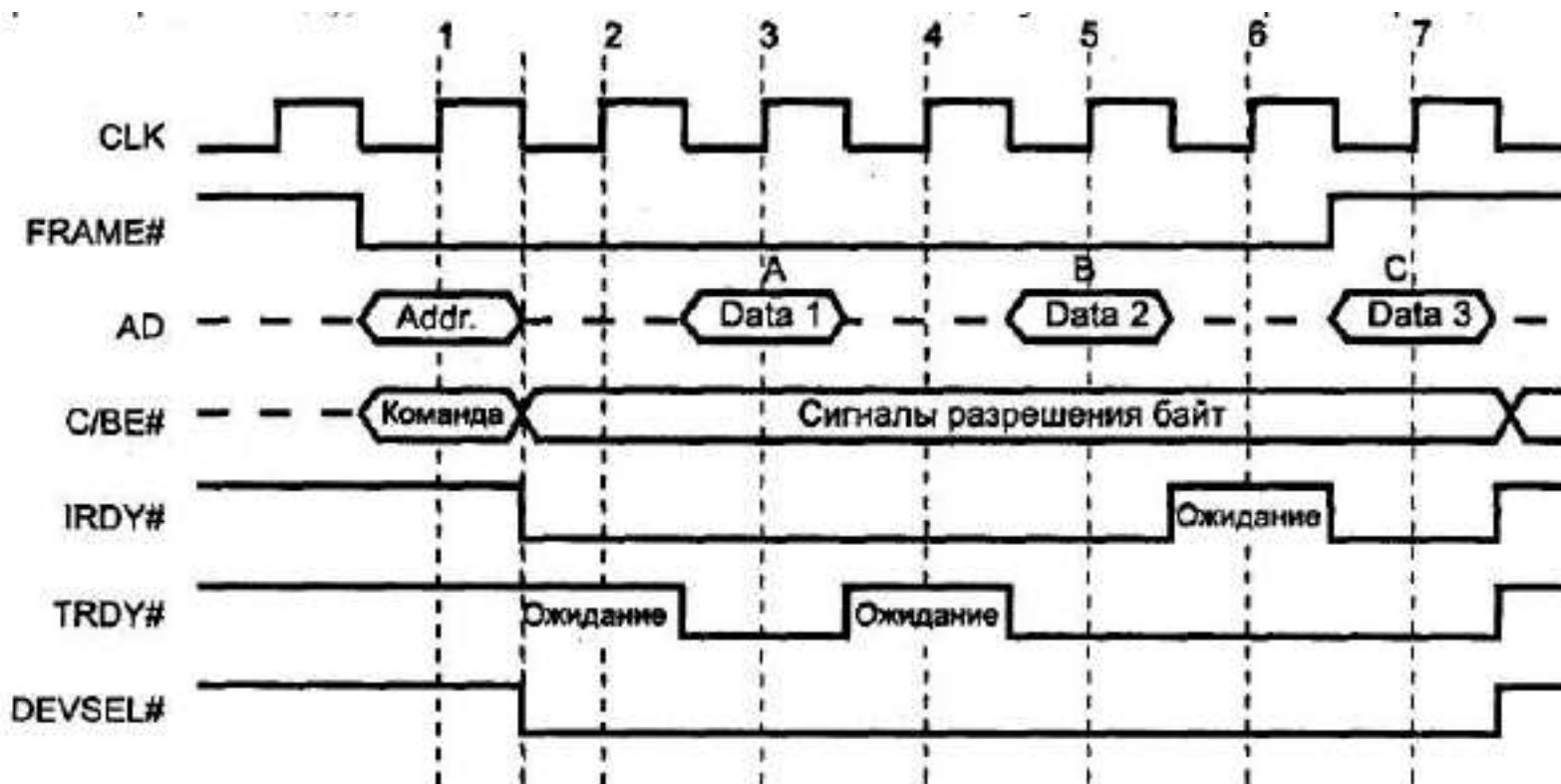
- Посылка типа 3:

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1	1	0	X	Старшие биты адреса: A[31:24]											

- Посылка типа 4:

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1	1	1	0	Старшие биты 64-битного адреса: A[43:32]											

# Транзакции в режиме PCI



# Посылки по шине SBA

**Посылки типов 2, 3 и 4 являются «липкими»,** то есть на них можно экономить, если старшие части адреса не изменились по сравнению с предыдущим запросом.

Тактирование SBA зависит от режима обмена:

- В режиме 1x тактирование выполняется по фронту CLK, команда может подаваться каждые 2 такта
- В режиме 2x тактирование выполняется **сигналом SB\_STB, по частоте совпадающему с CLK**; первый байт передается по спаду, второй – по следующему фронту, итого 1 такт на команду
- В режиме 4x тактирование выполняется по SB\_STB и **SB\_STB#, с частотой в 2 раза выше CLK**; первый байт передается по спаду SB\_STB, второй – по спаду SB\_STB#, итого 2 команды за 1 такт
- В режиме 8x используются сигналы с другими названиями (**SB\_STBF и SB\_STBS**) и частотой (**4x от CLK**)

Замечание: за один такт можно сформировать не более 1 запроса, даже если он требует всего одной посылки типа 1.

# Посылки по шине SBA Пиковые скорости

- В режиме 1x данные фиксируются по положительному перепаду такта CLK. Пиковая скорость  $66,6 \times 4 = 266$  Мбайт/с
- В режиме 2x приемник фиксирует данные и по спаду, и по фронту строка (по такому же принципу, к примеру, работает DDR память). Пиковая скорость  $66,6 \times 2 \times 4 = 533$  Мбайт/с
- В режиме 4x частота стробов в 2 раза выше чем CLK. Пиковая скорость  $66,6 \times 2 \times 2 \times 4 = 1066$  Мбайт/с ( SDRAM PC133)  
TNT2 и Voodoo 3      GeForce (T&L)  
Rambus RDRAM 800 (1600) и DDR SDRAM 266 (2700).
- В режиме 8x частота стробов в 4 раза выше чем CLK. **Стробы сдвинуты относительно друг друга на половину периода.** Пиковая скорость  $66,6 \times 4 \times 2 \times 4 = 2132$  Мбайт/с



# Состояние DATA, обмен данными

Если запросы AGP выставляет только устройство (3D-ускоритель), то обмен данными, то есть управление шиной AD в режиме AGP, начинает только порт AGP.

После выдачи сигнала GNT# в ответ на REQ# порт AGP может подать код операции сигналом ST[2:0]:

- 000: передаются данные обычного запроса чтения системной памяти
- 001: то же, но для высокоприоритетного (HP) запроса (упразднено в AGP 3.0)
- 010: устройство должно начать выдачу данных обычного запроса на запись в системную память
- 011: то же, но для HP запроса
- 111: устройство может подать запрос методом 1 или начать транзакцию PCI
- 110: цикл калибровки приемопередатчиков (AGP 3.0)

# Доступ к памяти DMA

DMA (Direct Memory Access) — доступ к памяти, в этом режиме основной памятью считается встроенная **видеопамять** на карте, текстуры копируются туда перед использованием из системной памяти компьютера. (По тому же принципу работают звуковые карты, некоторые контроллеры и т. п.)

Попросту говоря, PCI bus mastering подходит для передачи небольших порций данных (от сотен байт до нескольких килобайт). Во время программирования PCI bus master'a система/драйвер записывает физический адрес данных, предназначенных для передачи. Для маленьких объемов данных система с легкостью может сделать так, чтобы логически смежные адреса переносились бы в физически смежные. Это становится трудным и неэффективным для больших структур данных, таких как многомегабайтные текстуры и огромные списки показа, так как система загружает эти структуры в свое логическое адресное пространство, которое случайно распределено по физическим адресам.

# Доступ к памяти DME

**DME** (Direct in Memory Execute) — в этом режиме основная и видеопамять находятся как бы в общем адресном пространстве.

Общее пространство эмулируется с помощью таблицы отображения адресов ( Graphic Address Remapping Table, GART) блоками по 4 Кб.

Таким образом копировать данные из основной памяти в видеопамять уже не требуется, этот процесс называют AGP-текстурированием.

# Доступ к памяти DME

Главная задача AGP в том, чтобы карта могла **"видеть"** часть **системной памяти как свою собственную память**, которую можно использовать для хранения текстур и списков показа. Чтобы использовать возможности AGP более эффективно, система должна предоставлять механизм, который позволял бы переносить "логические" адреса, используемые графическим AGP-чипом, в действительные физические адреса способом, подобным используемому процессорами x86.

В процессоре Intel 8086 поддерживается простейшая модель сегментированной памяти. Использование сегментации позволяет, во-первых, сделать машинные программы инвариантными к месту их конкретной привязки (загрузки) в физической памяти, и, во-вторых, расширить объем физического адресного пространства до 1Мбайта (2<sup>20</sup> байт) по сравнению с возможностями 16-битной адресации, которая обеспечивает адресное пространство всего 2<sup>16</sup> байта = 64 Кбайта.

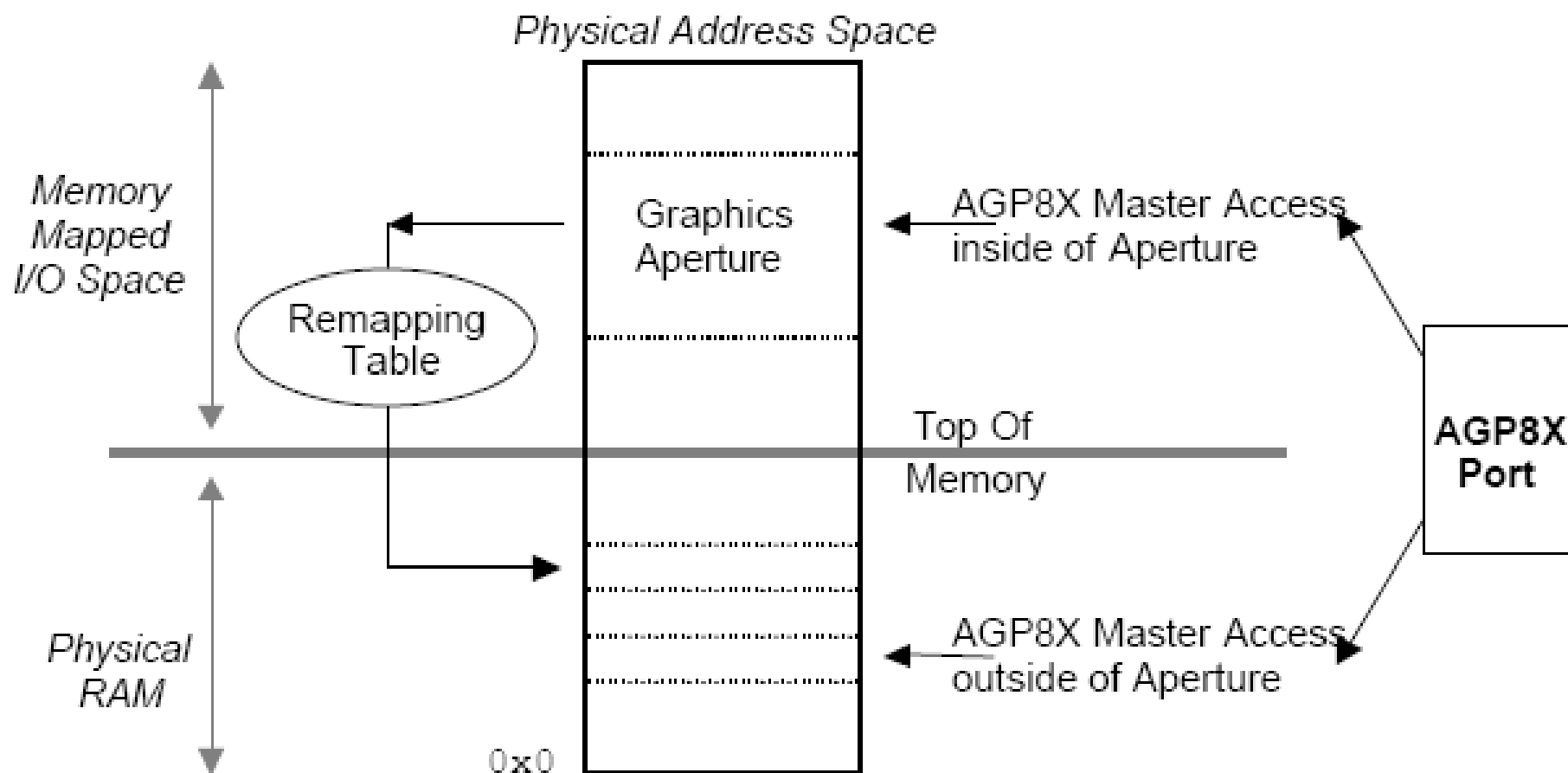
# Графическая апертура. GART

Графическая карта требует высокоскоростного доступа к системной памяти. Однако ядро системы зачастую не может предоставить устройствам непрерывный блок памяти большой длины из-за сильной фрагментации, связанной с активным использованием механизма виртуальных страниц. В качестве решения был предложен **механизм ремаппинга памяти, выделенной графической карте.**

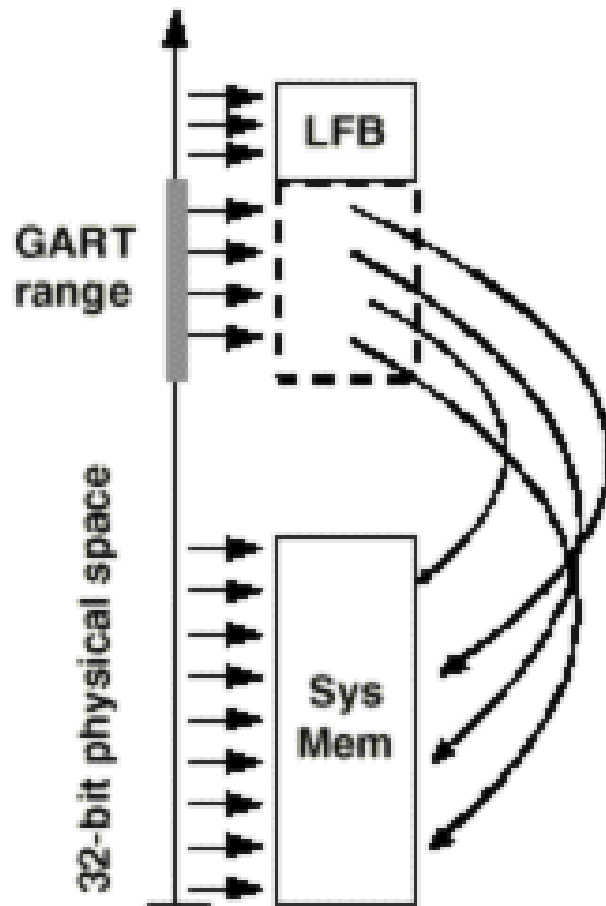
Графической карте выделяется непрерывный блок адресов памяти, который называется AGP-апертурой (AGP Aperture). Блок делится на страницы. Каждая страница отображается на непрерывный блок физической памяти с помощью таблицы **GART (Graphics Address Remapping Table - таблица переопределения графических адресов).**

**Обращение AGP-устройства к апертуре вызывает автоматическую замену одного физического адреса на другой, подкрепленный реальной памятью.**

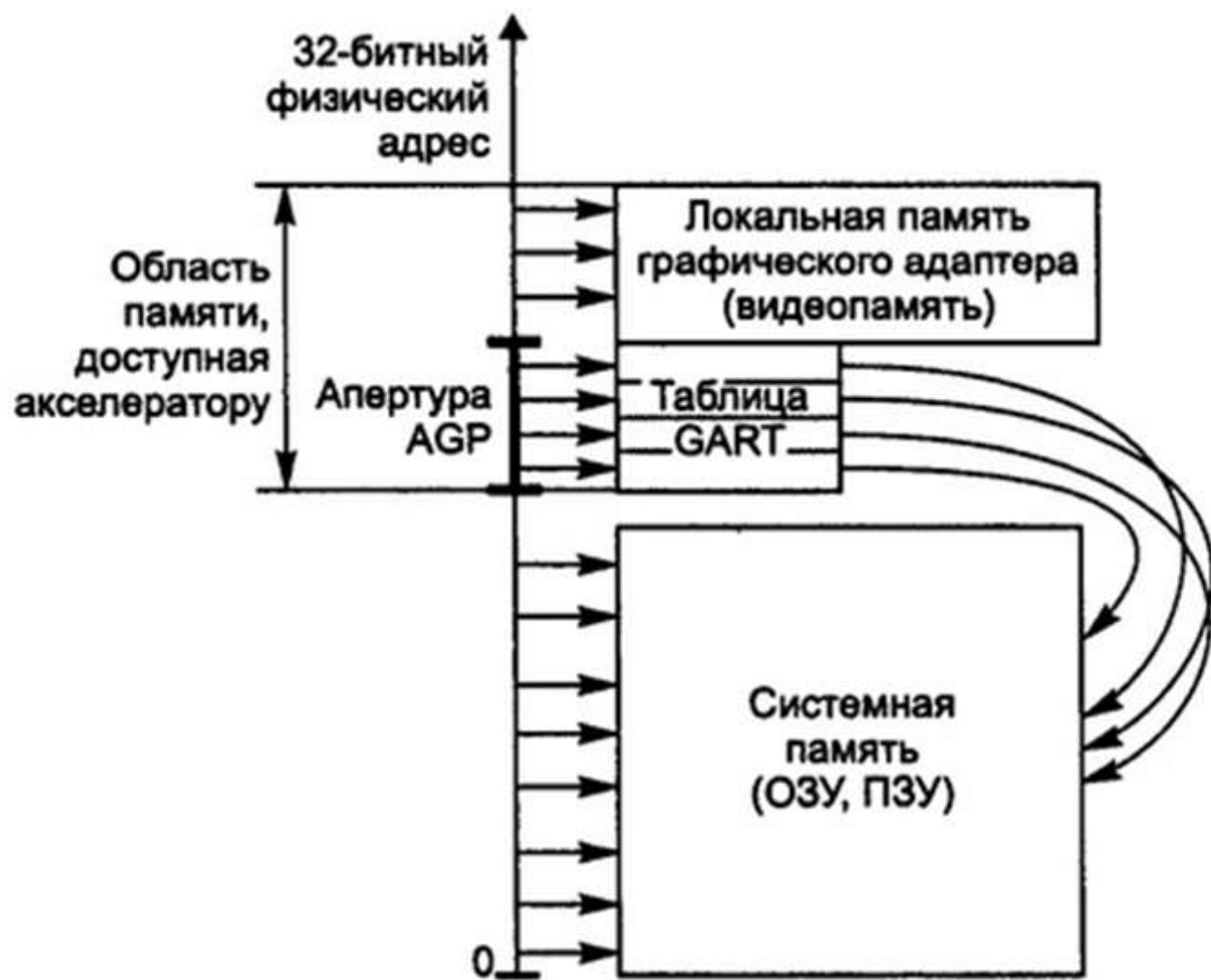
# Графическая апертура




# В режиме Execute



**Локальная и системная память для видеокарты логически равноправны.** Текстуры не копируются в локальную память, а выбираются непосредственно из системной. Таким образом, приходится выбирать из памяти относительно малые случайно расположенные куски. Поскольку системная память выделяется динамически, блоками по 4К, в этом режиме для обеспечения приемлемого быстродействия и используется механизм GART, отображающий последовательные адреса на реальные адреса 4-х килобайтных блоков в системной памяти. При этом адреса, не попадающие в диапазон GART (GART range), не изменяются и непосредственно отображаются на системную память или область памяти устройства (device specific range). На рисунке в качестве такой области показан локальный фрейм-буфер карты (Local Frame Buffer или LFB).







Порт AGP обеспечивает трансляцию логических адресов, фигурирующих в запросах акселератора к системной памяти, в физические адреса, согласуя видение ОЗУ программой, выполняемой акселератором, и программой, выполняемой ЦП. Трансляция осуществляется в постраничном базисе (по умолчанию размер страницы 4 Кбайт), принятом в системе виртуальной памяти с подкачкой страниц по запросу, используемой в процессорах x86 (и других современных процессорах). Трансляции подлежат обращения, попадающие в апертуру AGP, — область физических адресов памяти, лежащую выше границы ОЗУ и, как правило, примыкающую к области локальной памяти адаптера. Таким образом, при работе в режиме DIME акселератору доступна непрерывная область памяти, часть которой составляет локальная память адаптера. Остальная часть адресуемой им памяти отображается на системное ОЗУ через апертуру с помощью таблицы GART. Каждый элемент этой таблицы описывает свою страницу в области апертуры. В каждом элементе GART есть признак его действительности; в действительных элементах указывается адрес страницы физической памяти, на которую отображается соответствующая область апертуры.

**Таблица GART физически находится в системном ОЗУ, она выровнена по границе 4-килобайтной страницы, на ее начало указывают конфигурационные регистры порта AGP.**

# Конфигурационные регистры AGP


Конфигурирование устройств с интерфейсом AGP выполняется так же, как и для обычных устройств PCI, — через обращения к регистрам конфигурационного пространства.

В процессе инициализации распределяются только системные ресурсы, при этом операции AGP запрещены. Работу AGP разрешает загруженная ОС, предварительно установив требуемые параметры AGP: режим обмена, поддержку быстрой записи, возможность адресации свыше 4 Гбайт, способ подачи и допустимое число запросов.

**В конфигурировании системы с AGP фигурируют два PCI-устройства со своими конфигурационными пространствами:**

- **собственно порт AGP (Core Logic) — целевое устройство в транзакциях AGP;**
- **графический адаптер — инициатор транзакций AGP.**

Их специфические конфигурационные регистры частично совпадают по назначению.



Регистр APBASELO (только в порте) задает местоположение апертуры AGP:  
Положение остальных регистров определяется значением CAP\_PTR, который указывает адрес регистра NCAPID.

Регистр NCAPID (в порте и адаптере) содержит номер версии спецификации AGP:  
Регистр состояния AGP — AGPSTAT (в порте и адаптере) сообщает основные возможности AGP: допустимое число запросов в очередях, поддержку внеполосной адресации, быстрой записи, адресации свыше 4 Гбайт, режимы 1x, 2x, 4x, 8x:

Регистр команд AGP — AGPCMD (в порте и адаптере) служит для разрешения этих свойств и содержит следующие поля:

- биты [31:24] — RQ\_DEPTH, задание глубины очереди команд;

Регистр NISTAT (в порте и адаптере) определяет возможности изохронных передач (только в AGP 3.0):

Регистр NICMD (в порте и адаптере) управляет изохронными передачами (только в AGP 3.0):

Регистр AGPCTRL (в порте) управляет собственно портом AGP:

Регистр NEPG (в порте AGP 3.0) задает размер страницы, описываемой в GART, из списка поддерживаемых:

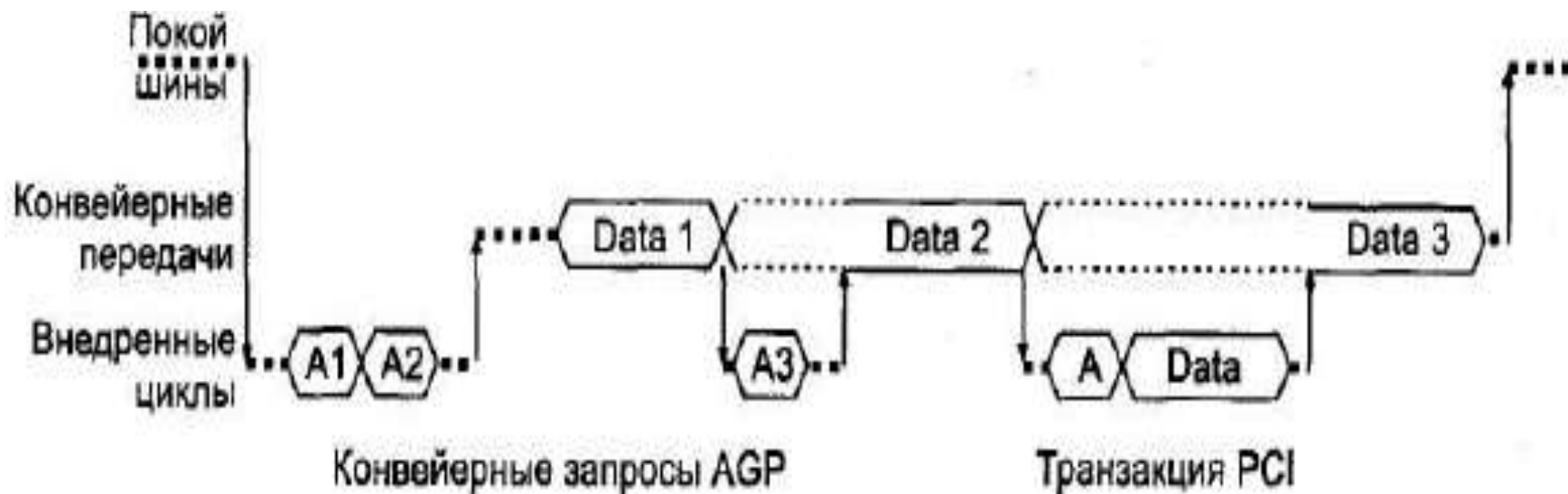
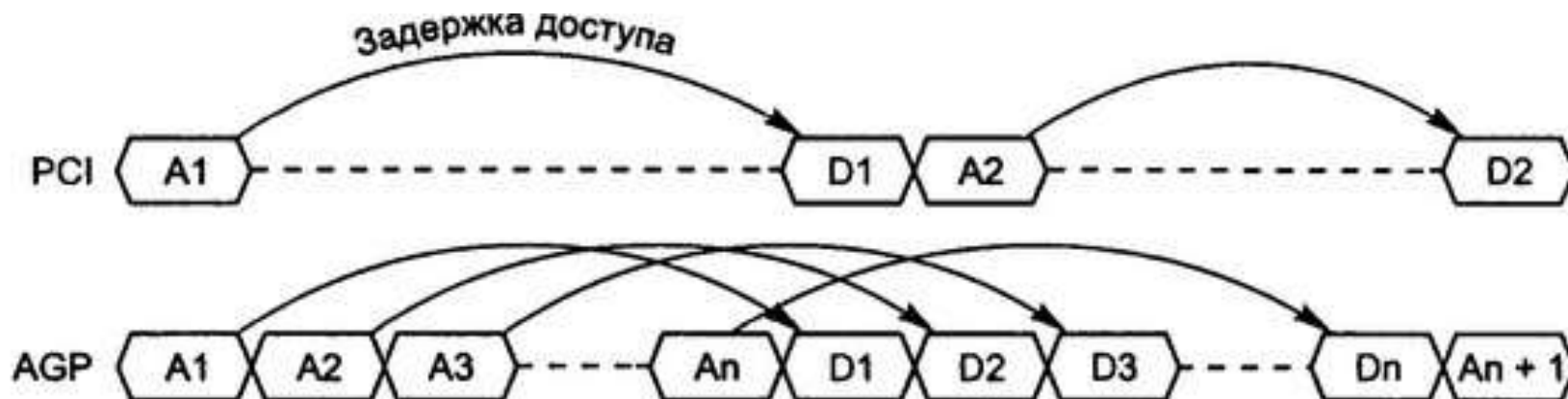
Регистры GARTLO[31:12] и GARTHI (в порте) задают начальный адрес таблицы GART.

APBASELO	10h
APBASEHI *	14h
...	...
CAP_PTR	34h
...	...

31	24	23	16	15	8	7	0	
		AGP_ver		Next_PTR		CAP_ID = 2		CAP_PTR + 00h
AGPSTAT								+ 08h
AGPCMD								+ 0Ch
NISTAT								+ 10h
AGPCTRL								+ 14h
NEPG *				APSIZE				+ 18h
GARTLO								+ 1Ch
GARTHI *								+ 20h
				NICMD *				+ 24h...+ 2Fh

Специфические конфигурационные регистры порта и карты AGP

# Конвейерные транзакции AGP



# Конвейер AGP

Из состояния покоя IDLE порт может вывести запрос транзакции PCI или запрос AGP.

В состоянии PCI транзакция PCI выполняется целиком, от подачи адреса и команды до завершения передачи данных.

В состоянии AGP ведущее устройство передает только команду и адрес для транзакции, ставящийся в очередь, т.е. несколько запросов могут следовать сразу друг за другом.

В состоянии DATA порт переходит, когда у него в очереди имеется необслуженная команда, готовая к исполнению. В этом состоянии происходит передача данных для команд, стоящих в очереди. Это состояние может прерываться запросами PCI или AGP, но **прерывание возможно только на границах данных транзакций AGP.**

Когда порт AGP обслужит все команды, он снова переходит в состояние покоя. Все переходы происходят под управлением арбитра порта AGP, реагирующего на поступающие запросы REQ# и ответы контроллера памяти.

# Конвейер AGP

Передача данных AGP выполняется когда шина находится в состоянии DATA.

Фазы данных вводит порт AGP (системная логика), исходя из порядка ранее пришедших к нему команд от ускорителя. Ускоритель узнает о назначении шины AD в последующей транзакции по сигналам ST[2:0], которые действительны только во время сигнала GNT#:

- 100-110 – коды зарезервированы;
- 000 – ведущему устройству будут передаваться данные низкоприоритетного запроса чтения, ранее поставленного в очередь или выполняется очистка;
- 001 – ведущему устройству будут передаваться данные высокоприоритетного запроса чтение;
- 010 – ведущее устройство должно будет предоставлять данные низкоприоритетного запроса записи;
- 011 – ведущее устройство должно будет предоставлять данные высокоприоритетного запроса записи;
- 111 – ведущему устройству разрешается поставить а очередь команду AGPсигналом PIPE# или начать транзакцию PCI сигналом FRAME#.

# Изохронность

ПО, наоборот, нужен постоянный поток информации, состоящей из малых пакетов (streaming), и, как следствие, необходима высокая **латентность** операций.

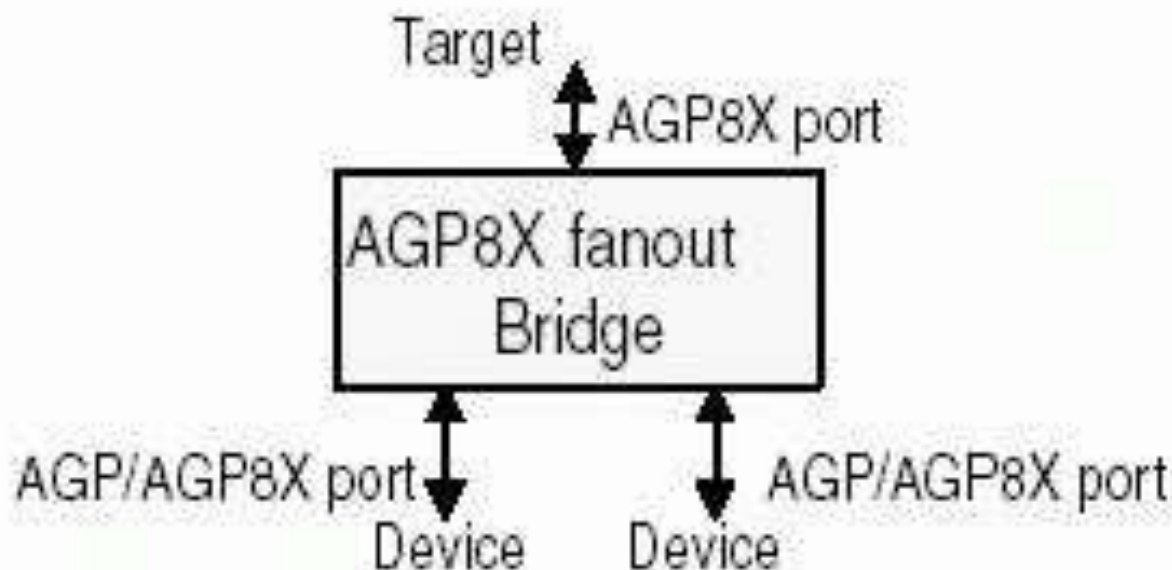
В AGP 3.0, чтобы снизить задержку при выполнении потоковых операций и уменьшить необходимость буферизации информации, применена технология - изохронный режим. При этом был сохранен и старый асинхронный режим передачи данных.

**Для изохронных данных система гарантирует определенное количество операций чтения и записи блоков информации (N) определенного размера (Y) за период (T).** Период для устройств стандарта AGP 8X равен 1 мкс.

Устройство, совместимое со стандартом AGP 3.0, позволяет делить общее число транзакций между операциями чтения и записи. По AGP информация далее передается с учетом латентности (L). В итоге получаем ширину шины  $BANDWIDTH = (N * Y) / T$  и повышение производительности как игровых, так и мультимедийных приложений. Размеры пакетов могут варьироваться, в зависимости от запросов устройства, от 32 до 256 байт для чтения и 32 или 64 байта для записи.



# Изохронный мост



Изохронность позволяет создать изохронный мост (Fan-Out Bridge) и подключить к одному порту AGP 3.0 (не путайте с разъемом) два устройства, делящие между собой общую шину по мере необходимости. А самих портов AGP в системе может быть несколько.

# Разделение операций (split).

Шина AGP полностью поддерживает операции шины PCI, поэтому AGP-траффик может представлять из себя смесь чередующихся AGP и PCI операций чтения/записи. Операции шины AGP являются раздельными (split). **Это означает, что запрос на проведение операции отделен от собственно пересылки данных.**

Такой подход позволяет AGP-устройству генерировать очередь запросов, не дожидаясь завершения текущей операции, что также повышает быстродействие шины.

# Электрический интерфейс и конструктив

Устройства AGP могут располагаться на материнской плате, входить в состав системной логики (виртуальный порт AGP) либо подключаться к материнской плате через щелевой разъем. Разъем имеет два ряда по 66 контактов, контакты располагаются в «два этажа».

Питание компонентов графической карты AGP выполняется по линиям  $V_{cc}$  (3.3 В), подается также 5.0 В, но используется редко.

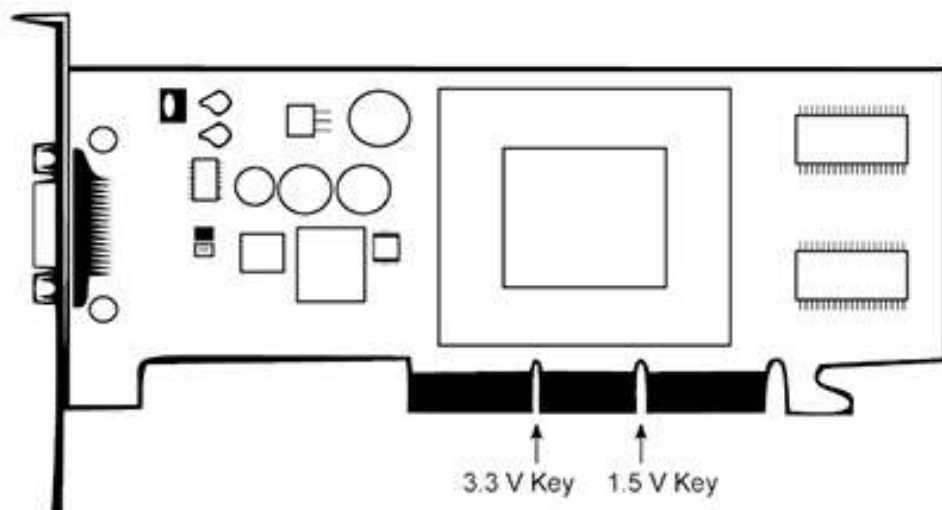
Интерфейсные схемы ( $V_{ddq}$ ) и уровни сигналов:

- 3.3 В: AGP 1.0, AGP 2.0 1x/2x
- 1.5 В: AGP 2.0 2x/4x, AGP 3.0 2x/4x
- 0.8 В: AGP 3.0 8x

Для защиты от неправильного подключения имеются ключи:

- Контакты 22-25: поддержка только 3.3 В
- Контакты 42-45: поддержка только 1.5 В
- Отсутствие ключей в слоте, обе прорези на карте: универсально.

# Разъемы AGP



С обеих сторон к слоту добавлены контакты для подачи питания 3.3 В и 12 В, контакт детектирования карты AGP Pro (PRSNT1#) и контакт определения мощности – PRSNT2# (заземлен – потребление более 50 Вт).

AGP Pro рассчитан на установку в рабочие станции

Всего карта AGP может потреблять до 110 Вт, используя линии AGP, AGP Pro и два соседних слота PCI.

AGP 3.3 V



AGP 1.5 V



AGP Universal



AGP Pro 3.3 V



AGP Pro 1.5 V





Стандарт AGP	Скорость передачи данных, Мб/с	Напряжение разъема питания, В	Частота, МГц
1×	266	3,3	66
2×	533	3,3	133
4×	1066	1,5 или 0,8	266
8×	2132	0,8	533