

БГУИР
кафедра ЭВМ

доцент Воронов Александр Анатольевич

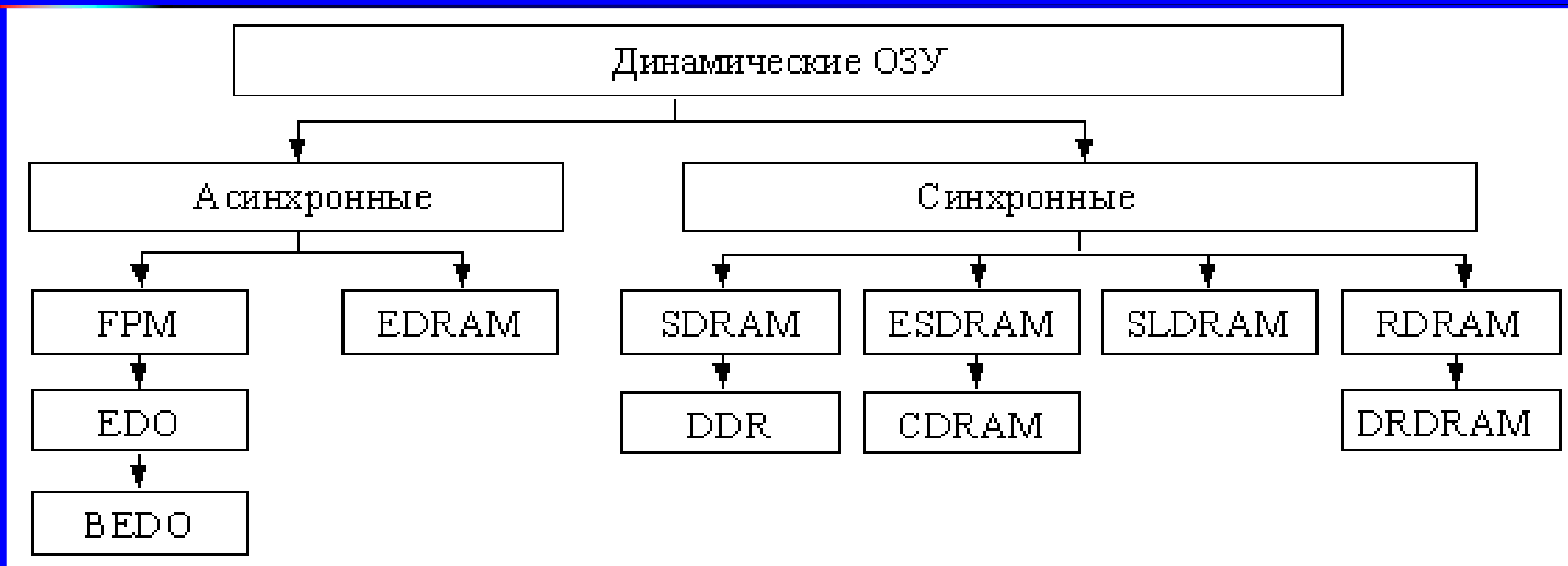
Лекция
«Организация памяти-III»

2019

План лекции

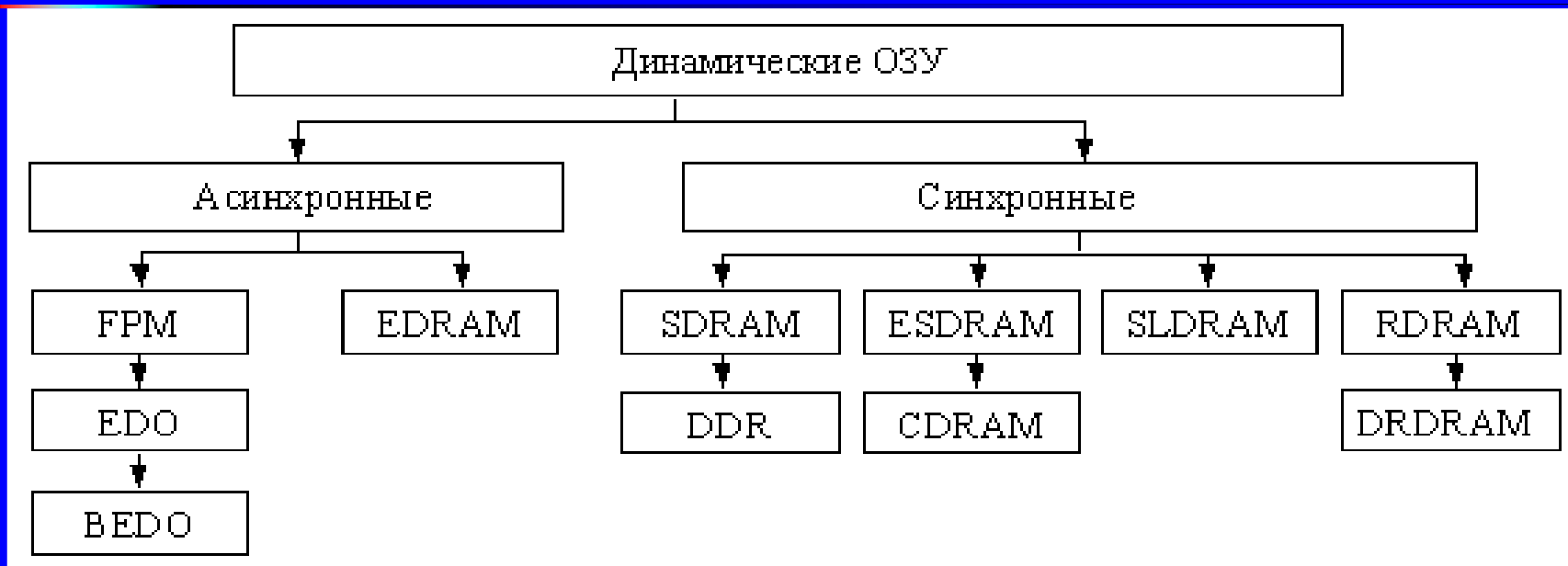
1. Классификация динамической памяти
2. Синхронные и асинхронные микросхемы памяти

Динамические ОЗУ



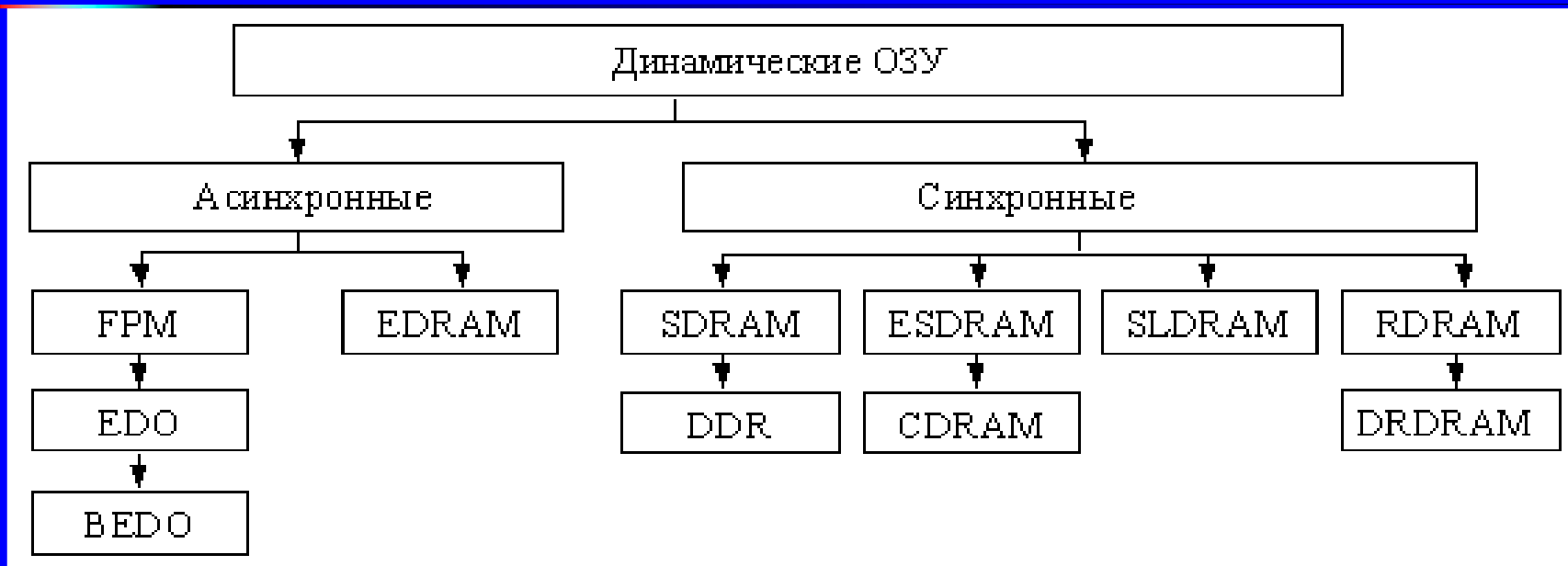
Динамическая память состоит из ядра (массива ЗЭ) и интерфейсной логики (буферных регистров, усилителей чтения данных, схемы регенерации и др.), Хотя количество видов DRAM уже превысило два десятка, ядро у них организовано практически одинаково. Главные различия связаны с интерфейсной логикой, причем различия эти обусловлены также и областью применения микросхем – помимо основной памяти ЭВМ, микросхемы памяти входят, например, в состав видеоадаптеров.

Динамические ОЗУ



Микросхемы DRAM. В первых микросхемах динамической памяти применялся наиболее простой способ обмена данными. Он позволял считывать и записывать строку памяти только на каждый пятый такт. Традиционной DRAM соответствует формула **5-5-5-5**. Микросхемы данного типа могли работать на частотах до 40 МГц и из-за своей медлительности (время доступа составляло около 120 нс) просуществовали недолго.

Динамические ОЗУ



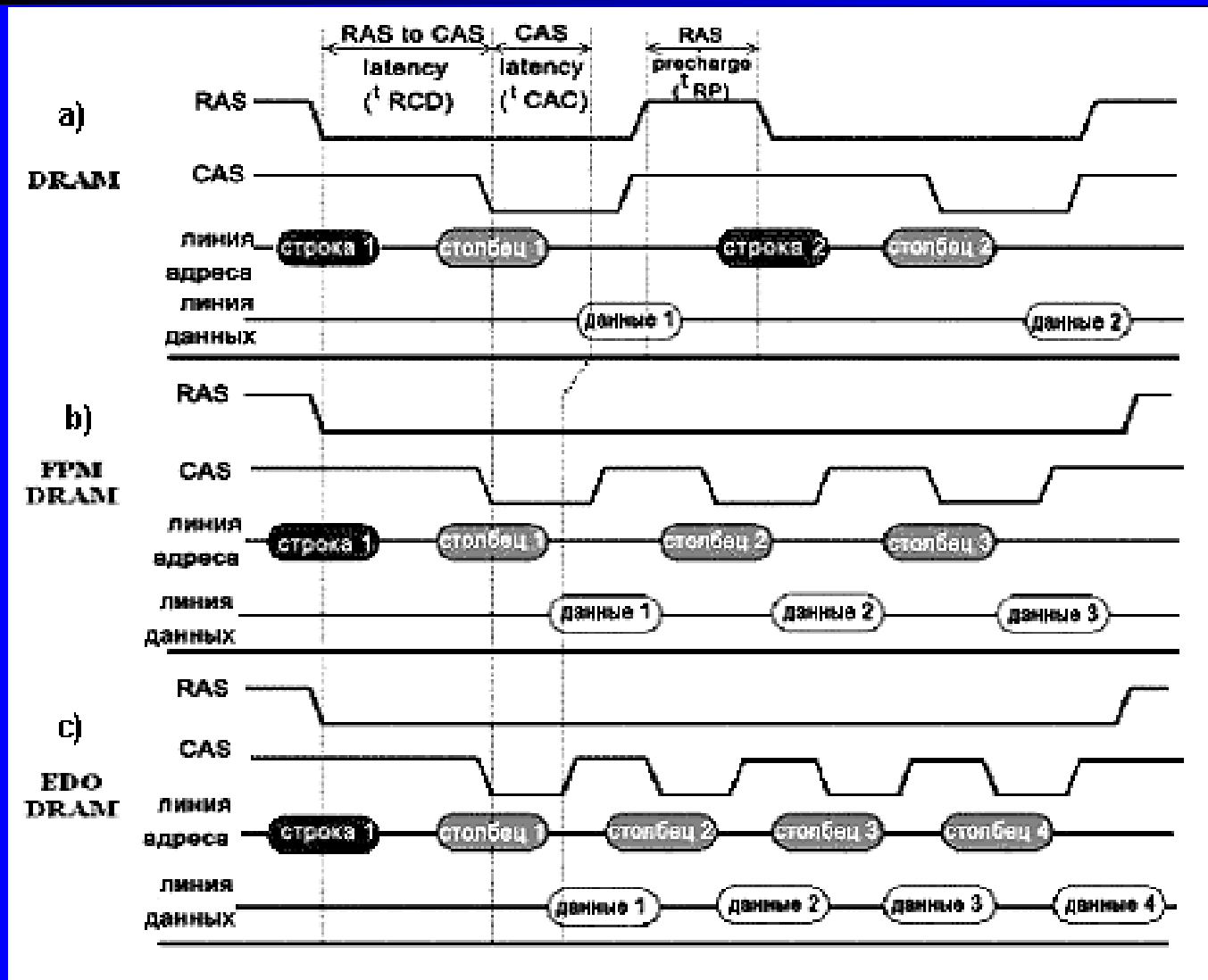
Микросхемы FPM DRAM (Fast Page Mode), также - ранний тип DRAM. Реализует логику быстрого страничного доступа (полный адрес передается только при первом обращении к строке). Сигнал RAS остается активным на протяжении всего страничного цикла и позволяет заносить в регистр адреса столбца новую информацию не по спадающему фронту CAS, а как только адрес на входе стабилизируется, то есть практически по переднему фронту сигнала CAS. Схема чтения для FPM DRAM - **5-3-3-3 (14 тактов)**. Применение FPM позволило сократить время доступа до 60 нс.

Динамические ОЗУ

Микросхемы EDO DRAM – след. этап развития DRAM - (HPM, Hyper Page Mode) или EDO (Extended Data Output - расширенное время удержания данных на выходе).

Главная особенность - **увеличенное по сравнению с FPM DRAM время доступности данных на выходе микросхемы.** В микросхемах FPM DRAM выходные данные остаются действительными только при активном сигнале CAS, за счет чего во втором и последующих доступах к строке нужно три такта: такт переключения CAS в активное состояние, такт считывания данных и такт переключения CAS в неактивное состояние. В EDO DRAM по активному (спадающему) фронту сигнала CAS данные запоминаются во внутреннем регистре, где хранятся еще некоторое время после того, как поступит следующий активный фронт сигнала. Это позволяет использовать хранимые данные, когда CAS уже переведен в неактивное состояние. Схема чтения у EDO DRAM уже 5-2-2-2 - на 20% быстрее, чем у FPM. Время доступа - 30-40 нс. Частота системной шины не должна быть >66 МГц.

Динамические ОЗУ

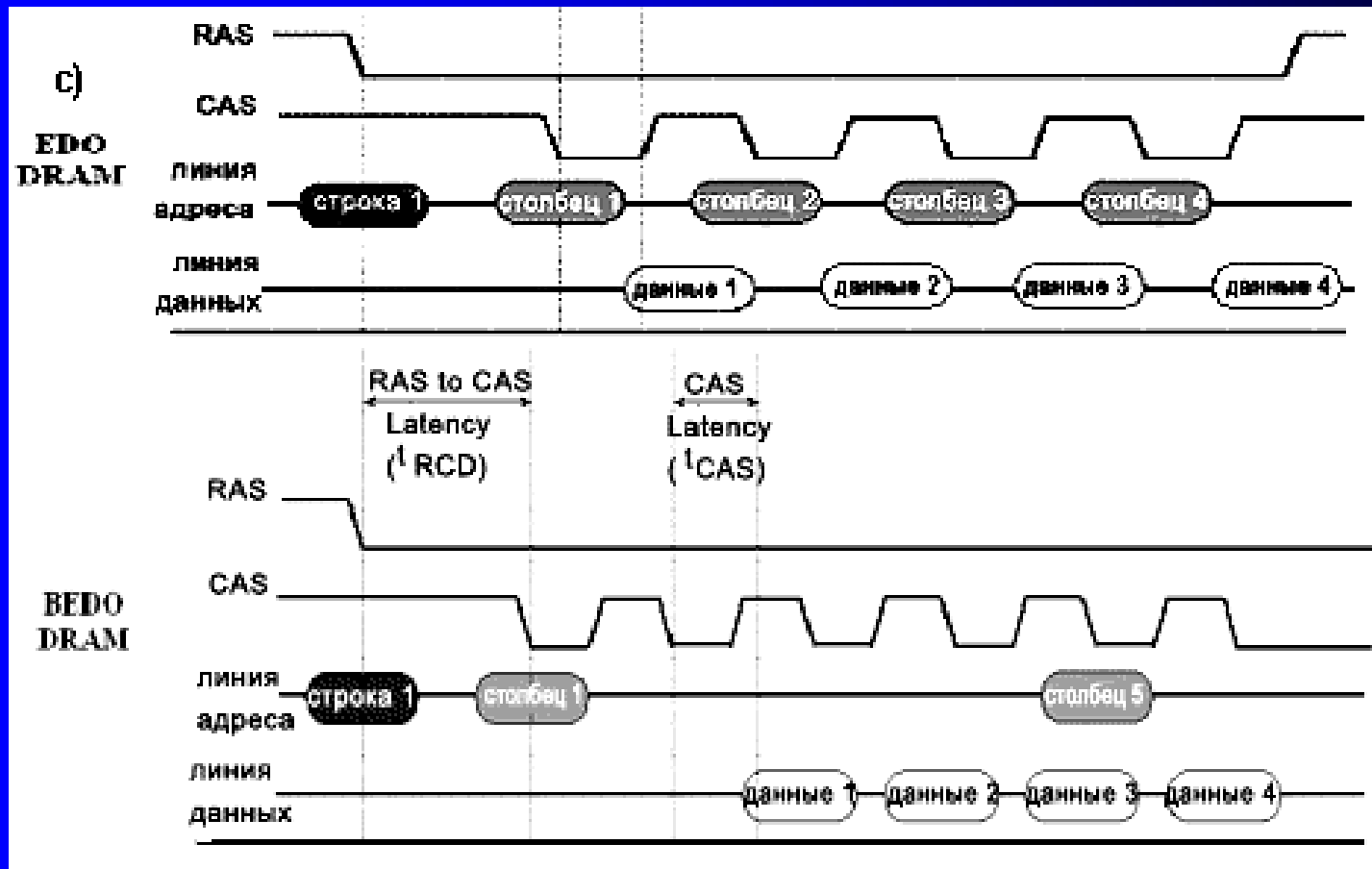


Динамические ОЗУ

Микросхемы BEDO DRAM. Технология EDO была усовершенствована компанией VIA Technologies -BEDO (Burst EDO - пакетная EDO).

Новизна метода в том, что при первом обращении считывается вся строка микросхемы, в которую входят последовательные слова пакета. За последовательной пересылкой слов (переключением столбцов) автоматически следит внутренний счетчик микросхемы. Это исключает необходимость выдавать адреса для всех ячеек пакета, но требует поддержки со стороны внешней логики. Способ позволяет сократить время считывания второго и последующих слов еще на один такт, благодаря чему формула приобретает вид 5-1-1-1.

Динамические ОЗУ



Технология EDO была усовершенствована компанией VIA Technologies -BEDO (Burst EDO - пакетная EDO).

Динамические ОЗУ

Микросхемы EDRAM – вариант от компании Ramtron (Enhanced Memory Systems), реализованы как FPM, EDO и BEDO. Имеют более быстрое ядро и внутреннюю кэш-память(!). В роли кэш – SRAM 2048 бит. Ядро EDRAM имеет 2048 столбцов, каждый из которых соединён с внутренней кэш-памятью. При обращении считывается вся строка и заносится в SRAM. При дальнейшем считывании – данные из кэш. Технология эффективна при последовательном обращении к памяти и приближается к времени доступа SRAM – 10 нс.

Минус – не совместима с контроллерами, которые используются с другими видами DRAM.

Динамические ОЗУ

Синхронные DRAM – обмен информацией синхронизируется только ТИ -> улучшается КПД шины «ЦП-память». Время ожидания данных процессор может использовать для других действий, не связанных с обращением к памяти.

В синхронных DRAM вместо продолжительности цикла доступа оперируют минимально допустимым периодом тактовой частоты – время порядка 8-10 нс.

Микросхемы SDRAM. Аббревиатура SDRAM (Synchronous DRAM - Синхронная DRAM) используется для обозначения микросхем "обычных" синхронных динамических ОЗУ. Кардинальные отличия SDRAM от рассмотренных выше асинхронных динамических ОЗУ можно свести к четырем положениям:

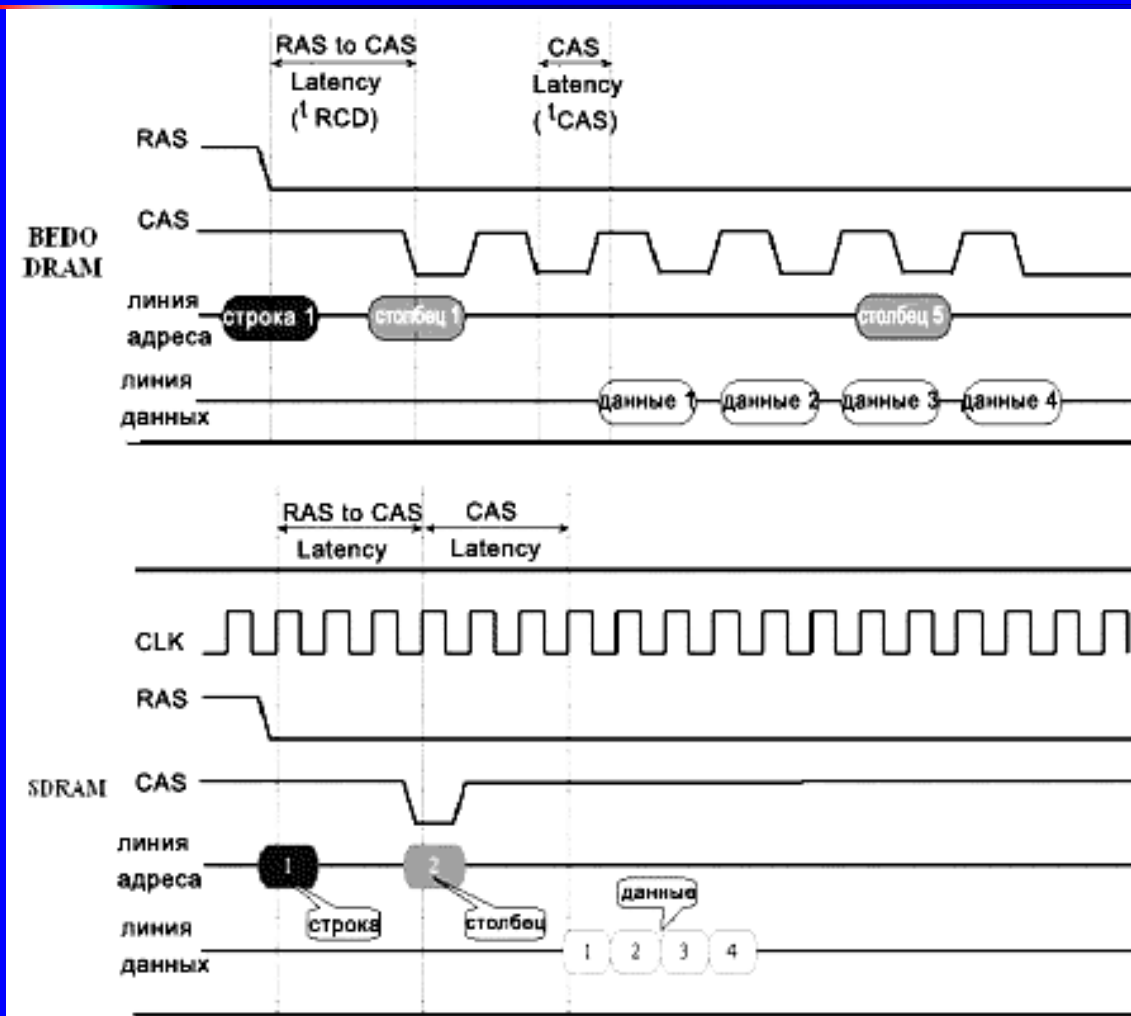
Динамические ОЗУ

Кардинальные отличия SDRAM от рассмотренных выше асинхронных динамических ОЗУ можно свести к четырем положениям:

- синхронный метод передачи данных на шину;
- применение нескольких (двух или четырех) внутренних банков памяти;
- конвейерный механизм пересылки пакета;
- передача части функций контроллера памяти логике самой микросхемы.

Синхронность памяти позволяет контроллеру памяти "знать" моменты готовности данных, за счет чего снижаются издержки циклов ожидания и поиска данных.

Динамические ОЗУ



В отличие от BEDO конвейер позволяет передавать данные пакета по тактам, благодаря чему ОЗУ может работать бесперебойно на более высоких частотах, чем асинхронные ОЗУ.

Так как данные появляются на выходе микросхемы одновременно с тактовыми импульсами, упрощается взаимодействие памяти с другими устройствами ЭВМ.