

Интерфейсы и периферийные устройства

Тема 6. Специализированные интерфейсы подключения накопителей

Лекция 8. Интерфейс ATA

Архитектура, конфигурация. Протоколы обмена. Электрический интерфейс. Регистры устройства ATA. Протокол взаимодействия хоста и устройства. Взаимоотношения между BIOS и схемой физической адресации секторов режимы PIO, DMA и UDMA . Версии интерфейса.

ATA (Advanced Technology Attachment)

также называемый IDE (Integrated Drive Electronics) - стандарт на интерфейс между компьютером (контроллером) и накопителем на жестких магнитных дисках (дисководом, HDD), включая

- физический уровень (разъёмы, кабели),
- электрические и логические характеристики сигналов,
- регистры устройства,
- команды и
- протоколы.

Интерфейс АТА

Появился в 1990 году в результате переноса стандартного контроллера жесткого диска в архитектуру IBM PC AT на плату самого жесткого диска (такая архитектура получила название IDE).

Назначение интерфейса АТА – обмен данными с вынесенным на внешнее устройство контроллером: передача и прием данных, подача команд, отслеживание ошибок, доступ к управляющим и статусным регистрам.

Включает АТАПИ (AT Attachment interface with Packet Interface).

Имеет также множество маркетинговых названий:

- EIDE (ATA-2 и Enhanced BIOS),

- FASTATA (урезанный ATA-2),

- FASTATA-2 (просто ATA-2),

- UltraDMA (ATA-4 в режиме UDMA mode 3),

- UltraATA/33 (ATA-4),

- UltraATA/66 (ATA-5),

- UltraATA/100 (ATA-6) и др.

Интерфейс АТА

По сути АТА с электрической точки зрения представляет собой упрощенный вариант шины ISA.

ISA (Industry Standard Architecture, ISA bus)

Первоначально представлял собой АТ-совместимый дисковый контроллер, встроенный в дисковод и подсоединённый упрощённой 16-битной шиной ISA (AT bus).

Сохранены следующие механизмы и сигналы ISA:

- 16-битная шина данных;
- шины адреса для адресации регистров (урезана до 3 бит);
- аппаратный сброс, готовность, разрядность обмена;
- сигнал прерывания;
- сигналы чтения/записи портов;
- сигналы DMA.

По мере развития всё больше и больше напоминает SCSI (терминаторы, очередь команд, АТАPI).

Циклы шины ISA

Циклы шины ISA всегда **асинхронны по отношению к SYSCLK**.

Различные сигналы разрешаются и запрещаются в любое время; внутри допустимых интервалов сигналы отклика могут также быть выработаны в любое время. Исключением является только сигнал - OWS, который должен быть синхронизирован с SYSCLK.

На шине существуют 4 индивидуальных типа циклов:

доступ к ресурсу,

ПДП,

регенерация,

захват шины.

Структурно циклы отличаются по типу задатчика на шине (ЦП, контроллер ПДП, контроллер регенерации памяти (КРП), внешняя плата) и видами ресурсов доступа на ней. Внутри типа цикла существуют различные виды его, обусловленные различной продолжительностью каждого вида.

Циклы шины ISA

Цикл доступа к ресурсу выполняется, если центральный процессор или внешняя плата в качестве задатчиков обмениваются данными с различными ресурсами на шине.

Существуют три типа цикла доступа к ресурсу:

цикл с 0 тактов ожидания - этот цикл наиболее короткий из всех возможных;

нормальный цикл - при выполнении такого цикла ресурс доступа не запрещает сигнал готовности I/O CH RDY;

удлиненный цикл - при выполнении такого цикла ресурс доступа запрещает сигнал готовности I/O CH RDY на время, необходимое ресурсу для приема или передачи данных - далее цикл такого вида будет называться удлиненным.

Циклы шины ISA

Цикл ПДП выполняется, если контроллер ПДП является задатчиком на шине и выполняет циклы передачи данных между памятью и УВВ.

Цикл Регенерации выполняется только контроллером регенерации для регенерации микросхем динамической памяти.

В циклах ПДП и Регенерация тоже существуют два вида: нормальный и удлиненный, исходя из таких же, описанных выше

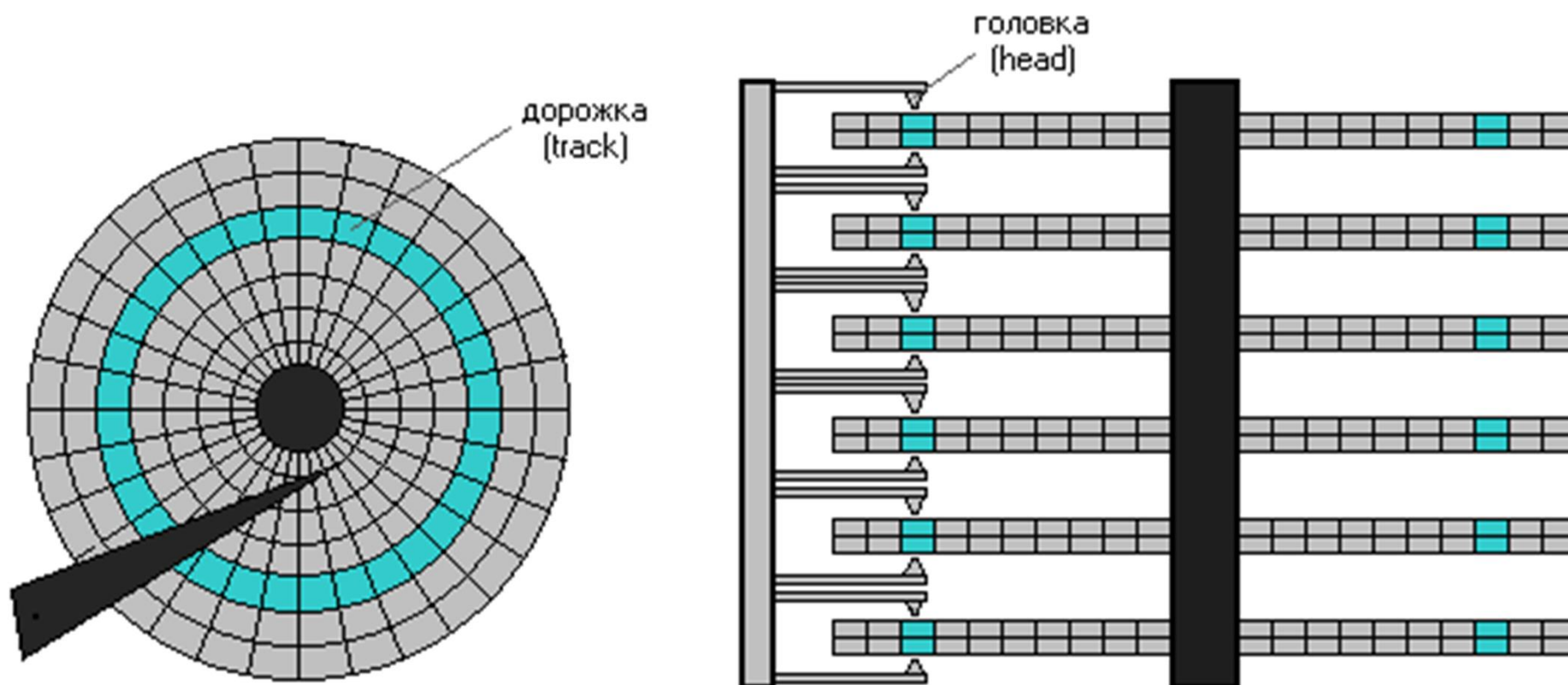
Цикл Захвата Шины выполняется внешней платой для того, чтобы стать задатчиком на шине.

Внутреннее устройство первых IDE-дисков

IDE - integrated drive electronics

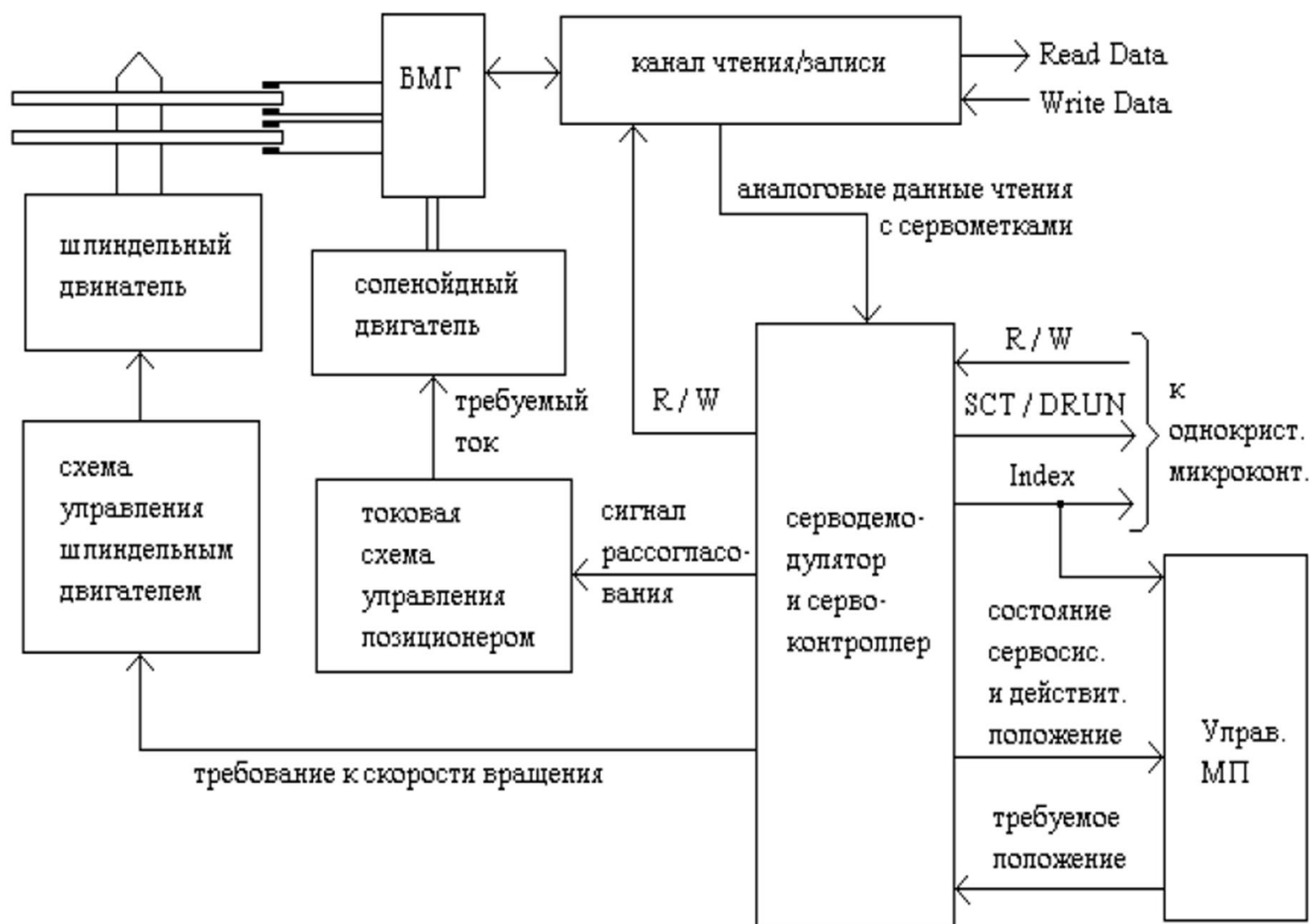
Интерфейс ATA рассчитан только на устройства дискового типа, поскольку использует адресацию по секторам.

Набор команд интерфейса ATA ориентирован на жесткие диски

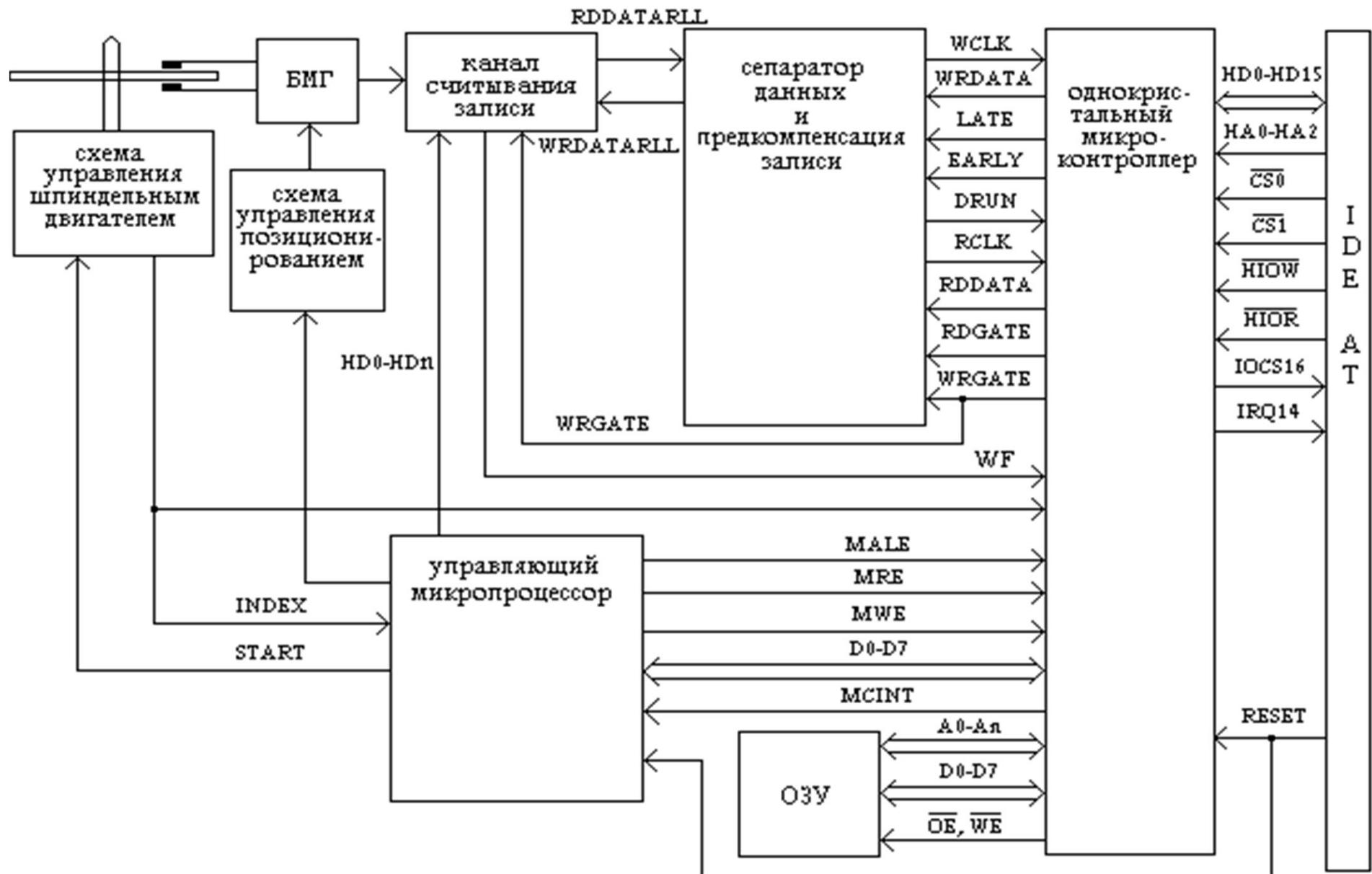


ПОВТОРЕНИЕ

Схема упр. со встроен. сервоформат.



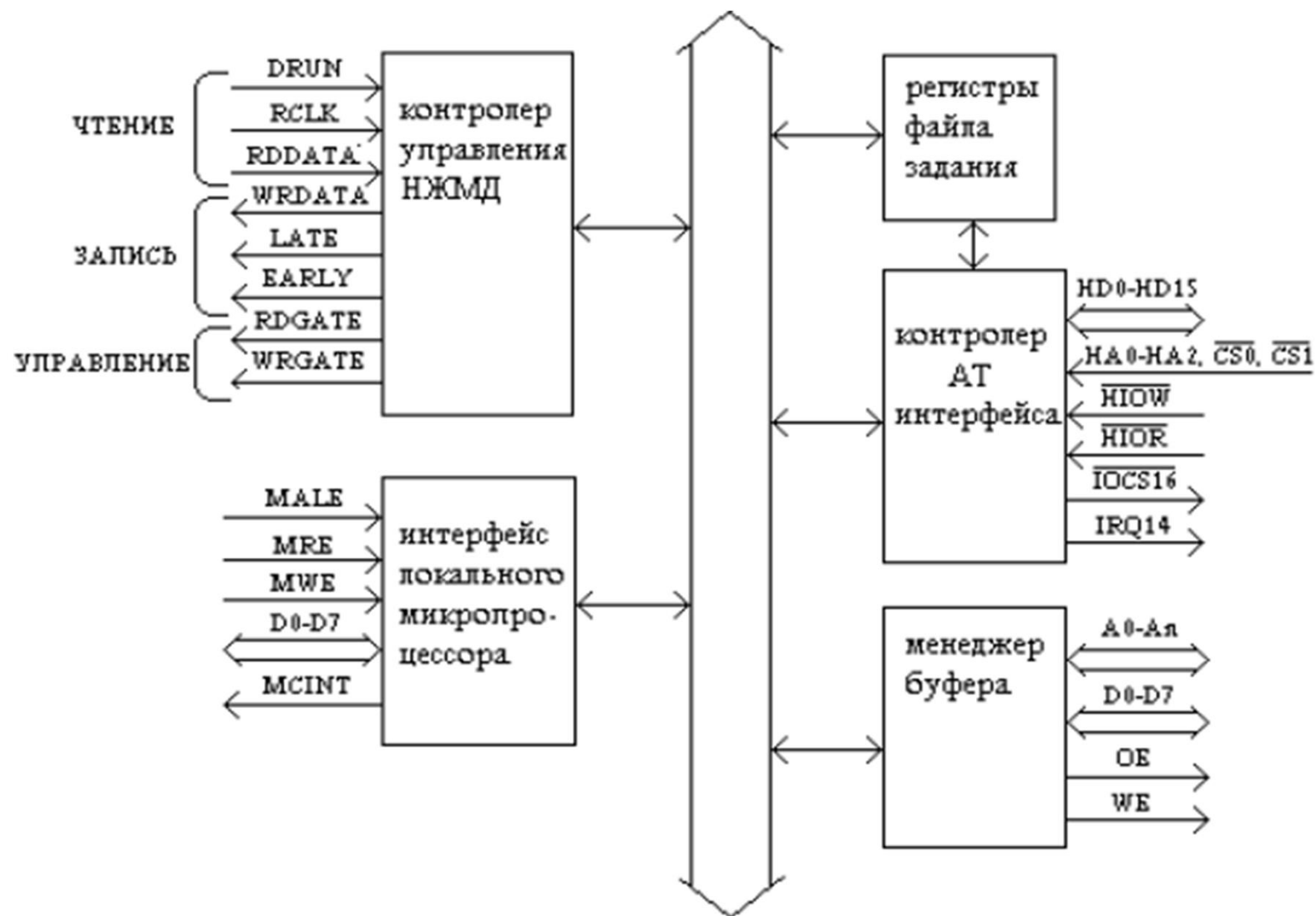
Структурная схема IDE-дисков




Сигналы на структурной схеме IDE-дисков

INDEX – сигнал, вырабатываемый схемой управления шпиндельного двигателя;
START - разрешение на запуск шпиндельного двигателя;
HD0-HDn - двоичный код выбора головки считывания/записи;
RDDATARLL - данные чтения RLL;
WRDATARLL - данные записи RLL;
WF - сигнал, вырабатываемый схемой записи при ошибке;
WCLK - синхроимпульсы записываемых данных;
WRDATA - данные записи в коде NRZ;
LATE, EARLY - сигналы управления режимом предкомпенсации;
DRUN - выход детектора поля синхронизации;
RCLK - синхроимпульсы считываемых данных;
RDATA - считываемые данные в коде NRZ;
RDGATE - строб чтения;
WRGATE - строб записи;
MALE - строб адреса управляющего микропроцессора;
MRE - строб чтения управляющего микропроцессора;
MWE - строб записи управляющего микропроцессора;
D0-D7 - внутренняя шина данных накопителя;
MCINT - сигнал прерывания от однокристального микроконтроллера;
/OE - строб чтения для буферного ОЗУ;
/WE - строб записи для буферного ОЗУ;
HD0-HD15, HA0-HA2, /CS0, /CS1, /H0W, /H0R, /OCS16, IRQ14,
RESET - интерфейсные сигналы.

Однокристальный микроконтроллер





Микроконтроллер имеет четыре порта, с помощью которых он подключается к HOST, локальному микропроцессору, RAM буферу и каналу обмена данными с НЖМД. Микроконтроллер представляет собой конечный автомат, управляемый со стороны локального микропроцессора, со стороны HOST доступны только стандартные регистры файла задания. Программирование однокристалльного микроконтроллера производится на этапе инициализации со стороны локального микропроцессора, при этом происходит настройка на один из трех методов кодирования MFM, RLL или NRZ, выбирается режим CRC или ECC [3], устанавливается режим гибкого или жесткого разбиения на сектора (гибкий режим используется в НЖМД IDE AT с зонно-секционной записью, см. ниже). Локальный микропроцессор управляет менеджером буфера, контроллером НЖМД и режимом работы контроллера интерфейса (некоторые микроконтроллеры могут работать в режиме AT или XT). Как правило, локальный микропроцессор находится в состоянии ожидания, пока не активизи-

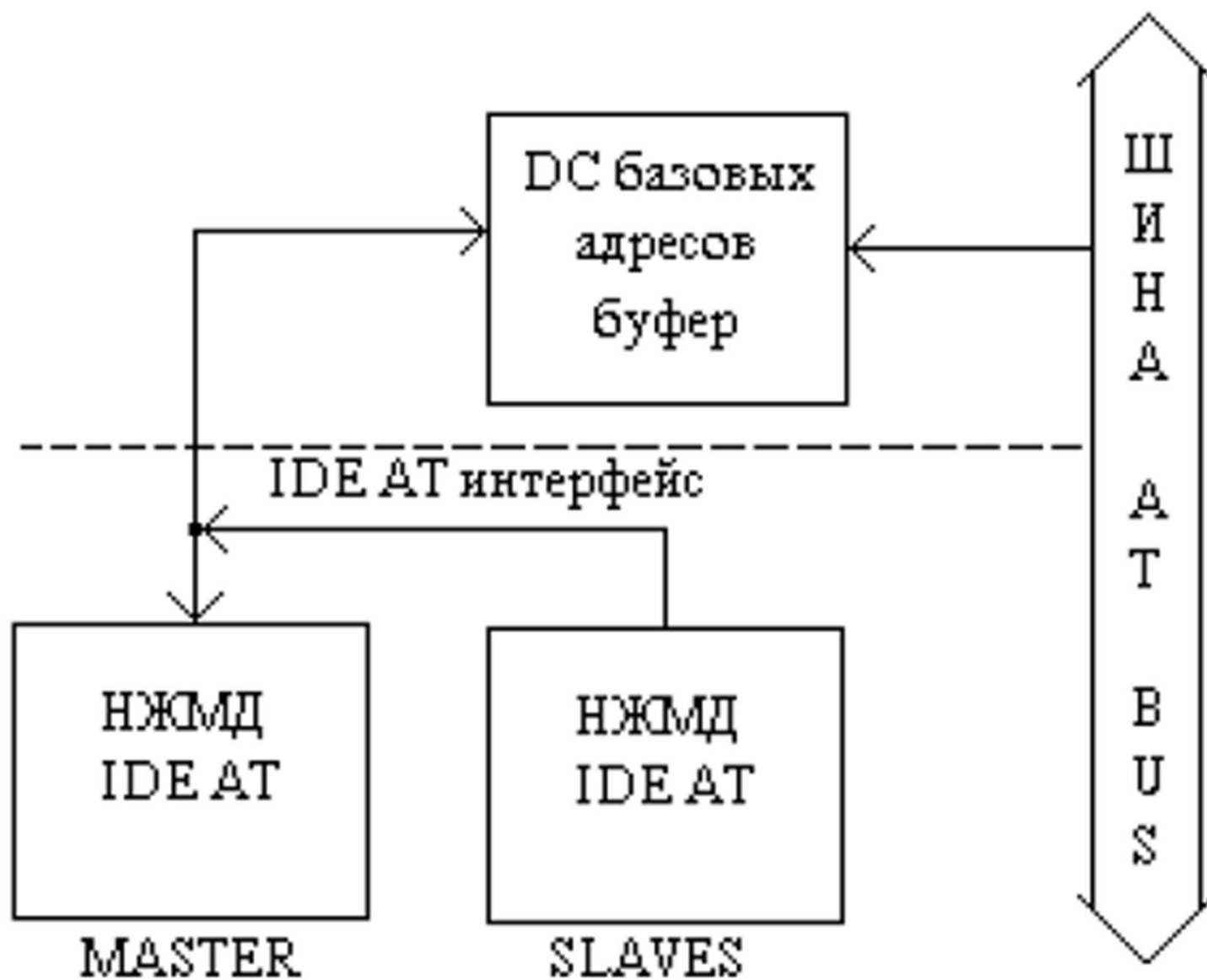
Архитектура АТА – подключение двух дисков


АТА предусматривает подключение к одному контроллеру (или каналу многоканального контроллера) двух устройств: Device 0 называется Master (ведущее), Device 1 – Slave (ведомое). Оба устройства отображают одинаковый набор регистров на общее адресное пространство, поэтому работать одновременно не могут.

Для выборки устройства предусмотрен особый механизм: регистр DH содержит бит DEV, обращение к которому отслеживают оба устройства. Запись значения в регистр DH означает выбор либо устройства Device 0, либо Device 1. До смены бита DEV предполагается, что контроллер работает с одним и тем же устройством.

Адрес сектора может задаваться двояко:
либо как набор адресов Cylinder:Head:Sector,
либо как «плоский» 28- или 48-битный номер (Logical Block Address).

Конфигурация АТА



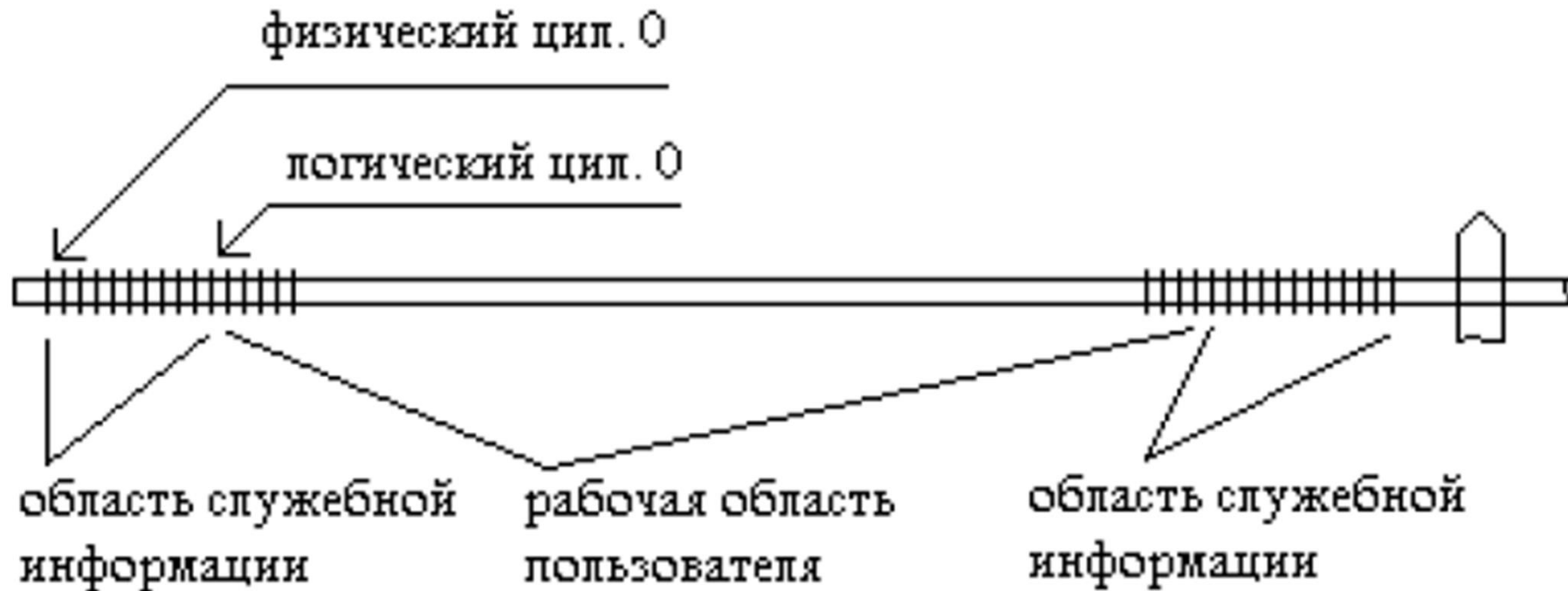


Bus masters - это устройства, способные управлять работой шины,
т.е инициировать запись/чтение и т.д.

Bus slaves - соответственно, устройства, которые могут только
отвечать на запросы

Пример логической организации диска IDE

Микроконтроллер, зная логическую структуру, пересчитывает логические адреса в физические



Адресация секторов

Существуют два метода – CHS и LBA, а также расширение LBA – 48-битная адресация. Современные винчестеры все еще поддерживают CHS, но лишь для совместимости со старыми BIOS и операционными системами. Выбор адресации может выполняться перед каждой командой независимо (через регистр DH).

Адресация CHS позволяет работать с теоретическим количеством секторов не более 267 тыс., что накладывает ограничение на объем диска – 137 Гб.

Адресация LBA в базовом варианте имеет те же ограничения – 137 Гб.

Адресация LBA48 расширяет диапазон до 281 трлн. секторов, или 144 Пб.

Адресация CHS

Адресация CHS задает сектор в виде трехзначного кода

Cylinder:Head:Sector, имеющего размерность 16+4+8 бит. Номер сектора начинается с 1, цилиндра и головки – с 0.

Чтобы использовать адресацию CHS, необходимо знать *геометрию* используемого диска:

общее количество цилиндров, головок и секторов в нем.

Особенности геометрии

Зонирование

Резервные секторы

Логическая геометрия

Особенности геометрии диска

Зонирование

На пластинах современных «винчестеров» дорожки сгруппированы в несколько зон (*Zoned Recording*). Все дорожки одной зоны имеют одинаковое количество секторов. Однако, на дорожках внешних зон секторов больше, чем на дорожках внутренних. Это позволяет, используя бóльшую длину внешних дорожек, добиться более равномерной плотности записи, увеличивая ёмкость пластины при той же технологии производства.

Особенности геометрии диска

Резервные секторы

Для увеличения срока службы диска на каждой дорожке могут присутствовать дополнительные резервные секторы. Если в каком-либо секторе возникает неисправимая ошибка, то этот сектор может быть подменён резервным (*remapping*). Данные, хранившиеся в нём, при этом могут быть потеряны или восстановлены при помощи ЕСС, а ёмкость диска останется прежней. Существует две таблицы переназначения: одна заполняется на заводе, другая — в процессе эксплуатации. Границы зон, количество секторов на дорожку для каждой зоны и таблицы переназначения секторов хранятся в ПЗУ блока электроники.

Особенности геометрии диска

Логическая геометрия

По мере роста емкости выпускаемых жёстких дисков их физическая геометрия перестала вписываться в ограничения, накладываемые программными и аппаратными интерфейсами. Кроме того, дорожки с различным количеством секторов несовместимы со способом адресации CHS. В результате контроллеры дисков стали сообщать не реальную, а фиктивную, *логическую геометрию*, вписывающуюся в ограничения интерфейсов, но не соответствующую реальности. Так, максимальные номера секторов и головок для большинства моделей берутся 63 и 255 (максимально возможные значения в функциях прерывания BIOS INT 13h), а число цилиндров подбирается соответственно ёмкости диска. Сама же физическая геометрия диска не может быть получена в штатном режиме работы и другим частям системы неизвестна.

Адресация CHS

Данный тип адресации давно не соответствует физической. Винчестер сам рассчитывает геометрию CHS, получая от хоста по команде Initialize Device Parameters желаемое количество головок и секторов. Полученная геометрия затем прописывается в «паспорте».

По умолчанию современный винчестер устанавливает геометрию 16383:16:63. Это не позволяет получить доступ ко всему объему диска, но является самым безопасным вариантом, поскольку исключает ошибки расчета геометрии старыми версиями BIOS.

Использование CHS по понятным причинам не рекомендуется.

Адресация LBA

Адрес сектора – линейный «плоский» адрес от 0 до максимально возможного сектора на диске.

При 28-битной адресации номер заносится в регистры SN, CH:CL и DH, а в регистре SC указывается количество обрабатываемых секторов (нумерация с 0, до 256).

При 48-битной адресации регистры SN, CH, CL и SC содержат очередь FIFO из двух элементов, что позволяет накапливать биты адреса, выполняя двукратную запись в эти регистры. При этом для выполнения 48-битного доступа необходимо использовать соответствующие 48-битные команды (в документации помечены суффиксом “Ext”).

Возможно попеременное использование 28-битной и 48-битной адресации.

$$LBA = [(Cylinder * no\ of\ heads + heads) * sectors/track] + (Sector-1)$$

Метод LBA соответствует Sector Mapping для SCSI. BIOS SCSI-контроллера выполняет эти задачи автоматически, то есть для SCSI-интерфейса метод логической адресации был характерен изначально.

Электрический интерфейс АТА

Сигналы интерфейса АТА имеют уровни TTL (высокий уровень – от 2.4 до 5.5 В, низкий – от -0.5 до 0.8 В).

Стандартный двухрядный штырьковый разъем для настольных винчестеров имеет 40 контактов, плоский шлейф состоит из 40 проводников. Для применения режимов UltraDMA/66 и выше требуется шлейф с 80 проводниками (сигнальные линии отделены линиями «земли») с теми же 40-контактными разъемами. Питание – через отдельный 4-контактный разъем (GND, +5, +12) от блока питания.

Разъем для мобильных винчестеров имеет 44 контакта, так как включает питание (+5, GND).

Длина кабеля ограничена величиной 0.46 м.

Кабель обычно содержит 3 разъема для подключения двух устройств с хост-контроллеру.

Выбор ведущего устройства (Master) осуществляется либо перемычками на обоих устройствах, либо при помощи кабеля с 80 линиями. У такого кабеля на одном из разъемов (обычно среднем) контакт 28 не подключен, на остальных – соединен. Свой номер устройство проверяет по уровню на 28 контакте (у хоста он заземлен).

Для проверки наличия 80-жильного кабеля используется контакт 34, который в разъеме хост-контроллера не подключен (фактически соединяет два устройства).

Для правильного включения предусмотрена цветовая маркировка кабеля, а также отсутствующий контакт 20 (заделан в разъеме кабеля, в разъеме устройств не должно быть штырька).

Применяется также иной ключ – выступ на разъеме кабеля (и прорезь в рамке разъема устройств), но этот способ не документирован и не рекомендуется.

На интерфейсе ATA базируются интерфейсы PC Card и CompactFlash, но у них свои форматы разъемов.

PIN	SIGNAL	I/O	Type		PIN	SIGNAL	I/O	Type
01	RESET-	I	TTL		02	GND		
03	DD7	I/O	3-state		04	DD08	I/O	3-state
05	DD6	I/O	3-state		06	DD09	I/O	3-state
07	DD5	I/O	3-state		08	DD10	I/O	3-state
09	DD4	I/O	3-state		10	DD11	I/O	3-state
11	DD3	I/O	3-state		12	DD12	I/O	3-state
13	DD2	I/O	3-state		14	DD13	I/O	3-state
15	DD1	I/O	3-state		16	DD14	I/O	3-state
17	DD0	I/O	3-state		18	DD15	I/O	3-state
19	GND				(20)	Key		
21	DMARQ	O	3-state		22	GND		
23	DIOW-(*)	I	TTL		24	GND		
25	DIOR-(*)	I	TTL		26	GND		
27	IORDY-(*)	O	3-state		28	CSEL	I	TTL
29	DMACK-	I	TTL		30	GND		
31	INTRQ	O	3-state		32			
33	DA1	I	TTL		34	PDIAG-	I/O	OC
35	DA0	I	TTL		36	DA02	I	TTL
37	CS0-	I	TTL		38	CS1-	I	TTL
39	DASP-	I/O	OD		40	GND		

Описание сигналов АТА

- DD00-DD15 – данные между хостом и винчестером
- DA00-DA02 – выбор регистра из блока (младшие линии шины адреса ISA).
- CS0# - выбор блока командных регистров (Command Block Registers), вырабатывается в зависимости от порта, к которому обращается хост.
- CS1# - выбор блока управляющих регистров (Control Block Registers).
- Reset# - аппаратный сброс устройства.
- DIOW# - строб записи в регистры устройства, фиксируется по положительному перепаду.
- DIOR# - строб чтения из регистров, фиксируется по положительному перепаду.
- INTRQ – запрос прерывания, вырабатывается устройством для сигнализации об очередном блоке данных (режим PIO) или об окончании обмена DMA (режим DMA).
- DASP# - используется как индикатор активности для работы соответствующего светодиода. Во время сброса с его помощью проверяется наличие устройства Slave.

- PDIAG# - информация от устройства Slave устройству Master о прохождении диагностики. Master следит за сигналом во время сброса и команды самодиагностики, чтобы определить исправность Slave. Хост-контроллер сигнал не использует.
- CSEL – сигнал выбора Master/Slave. На хост-контроллере заземлен, на разъеме Master подключен, на Slave – нет. Устройство проверяет уровень и настраивается на работу как Master или Slave.
- IORDY – сигнал снимается устройством во время обмена данными для паузы (тактов ожидания), а потом поднимается при готовности.
- DMARQ – сигнал готовности устройства к обмену по протоколу DMA. В режимах MW и Ultra DMA удерживается на протяжении всего цикла.
- DMAACK# - подтверждение готовности от хоста, без которого обмен DMA не начинается.

Регистры устройства АТА

Определены два блока 8-битных регистров, выбор которого зависит от сигналов CS0# и CS1#:

- **Блок командных регистров** (Command Block) служит для подачи команд и проверки состояния.
- **Блок управляющих регистров** (Control Block) служит для задания некоторых важных параметров и безопасного (без сброса) чтения состояния.

Доступ к регистрам возможен только при отсутствии занятости (биты BSY=0 и DRQ=0 в регистре состояния), иначе их содержимое недействительно. Номер регистра в блоке подается в двоичном коде сигналами DA00-DA02, данные передаются по линиям DD00-DD07.

Регистры устройства ATA

В стандартном ATA-контроллере регистры фиксировано отображены на пространство адресов процессора:

- Блок командных регистров: 1F0h - 1F7h (канал 1), 170h - 1F7h (канал 2).
- Блок управляющих регистров: 3F6h (канал 1), 376h (канал 2).

Адреса портов формируются следующим образом:

базовый_порт+смещение.

Загрузив в базовый_порт значение 1F0h или 170h можно больше не думать, о том с каким каналом ты работаешь, потому что функции портов к примеру 1F3h и 173h совпадают для разных каналов IDE.

Блок командных регистров

Назначение регистров зависит от режима чтения (низкий уровень DIOR#) или записи (низкий DIOW#).

Адрес регистра		В режиме чтения	В режиме записи	Разрядность, бит
Канал 1	Канал 2			
1F0	170	Data register	Data register	16
1F1	171	Error register	Features	8
1F2	172	Sector Count	Sector Count	8
1F3	173	Sector Number	Sector Number	8
1F4	174	Cylinder Low	Cylinder Low	8
1F5	175	Cylinder High	Cylinder High	8
1F6	176	Drive/Head	Drive/Head	8
1F7	177	Status	Command	8

Регистр данных

000 R/W: DR (Data Register) – регистр данных, в отличие от других регистров, работает как 16-битный. Используется в режиме PIO для записи и чтения данных, а также для обмена по команде Identify Device.

Регистры ошибок и возможностей

001 R: ER (Error Register) – регистр, действителен при активном бите ERR в регистре состояния:

- 0: AMNF – ошибка адреса в заголовке сектора, сейчас не используется
- 1: TK0NF – ошибка рекалибровки (поиска первой дорожки)
- 2: ABRT – команда не выполнена (не принята, произошла ошибка) (Aborted Command)
- 3: резерв
- 4: IDNF – Сектор не найден (ID not Found)
- 5: MC – смена носителя, команду нужно повторить, для винчестеров не используется
- 6: UNC – неисправимая ошибка (Uncorrectable Data Error)
- 7: CRC – ошибка в данных, переданных по интерфейсу в режиме UDMA (Ошибка CRC-кода или обнаружен сбойный блок (Bad BlockDetected)

001 W: FR (Feature Register) – регистр возможностей, содержит дополнительные параметры команды, используется в зависимости от команды (Set Features, SMART, Format). **Features**). Назначение регистра зависит от производителя устройств.

Регистр счетчика секторов

010 R/W: SC (Sector Count) – при подаче команды указывается количество секторов для запрошенной операции. 1 – 256 секторов (LBA 28) или 65536 (LBA 48).

После выполнения команды в нем содержится информация о количестве секторов, которые принимали участие в операции.

После выполнении команды чтение SC позволяет узнать, сколько секторов еще не обработано.

Регистр номера сектора

Регистр номера сектора SN имеет двойное назначение в зависимости от выбранной системы адресации (CHS или LBA). Инициализируется хост-адаптером, а в случае возникновения ошибки при операции устройство поместит в них адрес, по которому встретилась ошибка.

011 R/W: SN (Sector Number) – номер сектора (CHS), то есть одна из трех координат, необходимых для индексирования сектора.

или биты [0:7] линейного 28-адреса сектора (LBA), с которого начинается выполнение команды.

При использовании 48-битной LBA первая запись в SN означает биты [24:31], вторая запись – биты [0:7].

Регистры цилиндра

Регистры номера цилиндра (старшего CH и младшего байта CL) также имеют двойное назначение в зависимости от выбранной системы адресации (CHS или LBA). Они инициализируются хост-адаптером, а в случае возникновения ошибки при операции устройство поместит в них адрес, по которому встретилась ошибка.

100 R/W: CL (Cylinder Low). (Регистр младшей части цилиндра). В режиме CHS регистр содержит младшие 8 бит номера цилиндра. В режиме LBA регистр содержит биты 8-15 линейного 28-разрядного адреса.

101 R/W: CH (Cylinder High) – (Регистр старшей части цилиндра). В режиме CHS регистр содержит старшую часть номера цилиндра. В режиме LBA регистр содержит биты 16-23 28-разрядного адреса.

При использовании 48-битной LBA первая запись в CH:CL означает биты [32:47], вторая запись – биты [8:23].

Регистры номера устройства и головки

Регистр номера устройства и головки D/H кроме хранения части адресной информации служит для выбора устройства-0 или устройства-1 и метода адресации LBA или CHS.

110 R/W: DH (Drive/Head) – выбор диска, режима адресации и номера головки. Младшие 4 бита [0:3] задают либо номер головки (CHS), либо биты [24:27] адреса сектора (LBA). Старшие биты:

- 4: выбор устройства: 0 – Master, 1 – Slave
- 6: выбор адресации: 0 – CHS, 1 – LBA
- 5, 7: резерв (1)

111 W: CR (Command Register) – регистр команд. Запись в регистр выполняется после инициализации всех остальных регистров в соответствии с требованиями команды. Устройство немедленно начинает выполнение команды, устанавливая бит BSY=1.

Регистры команд и состояния

111 W: CR (Command Register) – регистр команд. Запись в регистр выполняется после инициализации всех остальных регистров в соответствии с требованиями команды.

Устройство немедленно начинает выполнение команды, устанавливая бит BSY=1.

.

111 R: SR (Status Register) – регистр состояния отражает текущее состояние устройства в процессе выполнения команд. . Чтение регистра вызывает сброс некоторых бит и флага прерывания.

Назначение бит регистра состояния

- 0: ERR – ошибка, информация о которой содержится в регистре ER. До выполнения следующей команды бит остается активным, содержимое SC, SN, CH, CL и DH указывает на адрес ошибки
- 1: IDX – индексная метка (один оборот диска). Бит устанавливается на долю секунды, его анализ затруднен
- 2: CORR – ошибка исправлена, бит устарел и всегда = 0
- 3: DRQ – устройство готово принять или передать байт данных. Желательна проверка бита при выполнении обмена PIO
- 4: DSC – позиционирование (Seek) завершено. Бит устанавливается в 0 при подаче команды Seek и изменяется на 1 при перемещении головки на нужную дорожку
- 5: DF – отказ устройства (устарел)
- 6: DRDY – готовность к приему команд. Бит обнуляется при прохождении диагностики и при ошибке. В последнем случае он сбрасывается после чтения регистра SR
- 7: BSY – устройство занято обработкой команд. Если бит = 1, считывать регистры командного блока нельзя, кроме регистра состояния. Если бит = 0, устройство не выполняет команды и не меняет содержимое регистров. Перед обращением к регистрам нужно ожидать сброса этого бита.

Блок управляющих регистров

.x0x – нет регистров, 0xx – запрещенная комбинация

110 R: AS (Alternative Status) – копия регистра SR. Чтение не вызывает снятия запроса прерывания.

110 W: DC (Device Control) – управление устройством. Назначение бит:

- 0 – резерв (0), 3-6: не используются.
- 1: IEN# - запрет прерываний. 1 – устройство не генерирует прерывание
- 2: SRST – программный сброс. Установка бита переводит устройства (оба) в состояние сброса, сброс бита – возврат устройств к работе
- 7: HOB – чтение старшей части адреса LBA48 из регистров CH, CL, SN. После выполнения последующей команды бит обнуляется автоматически.

111 R: DA (Device Address) – сейчас не используется.

111 W: нет регистра.

Команды. Общая информация

Тип команды задается 8-битным кодом записью в регистр CR.

Непосредственно после этого начинается ее выполнение.

Часть команд являются обязательными, часть – дополнительными, часть – специфическими (возможны варианты реализации). С вводом новых ревизий интерфейса ATA команды могут объявляться устаревшими и отменяться, меняться их код или смысл, добавляться новые команды.

Существует несколько протоколов выполнения команд, описывающих порядок работы с регистрами, проверку тех или иных бит, необходимость выполнения дополнительных действий.

Некоторые команды переопределяют назначение регистров или используют дополнительные регистры (SC, FR и т.п.).

Для прерывания команды можно выставить Reset (в регистре DC).

Результат выполнения команды проверяется по содержимому регистров.

Режимы обмена данными

Существуют два базовых режима – программный доступ (PIO) и режим прямого доступа к памяти (DMA).

Режим PIO характеризуется передачей или приемом данных через порты ввода-вывода с использованием команд процессора REP OUTS и REP INS. Пропускная способность интерфейса ATA в режиме PIO задается командой Set Features, подкомандой Set Transfer Mode.

Устройство намеренно «сдерживает» обмен по интерфейсу в соответствии с режимом PIO, выставляя такты задержки сигналом IORDY.

Протокол PIO

Протокол PIO (Programmable Input/Output) заключается в следующих основных положениях (при работе без прерываний):

- Дождаться готовности устройства ($BSY=0$)
- Записать в DEV номер устройства на канале.
- Дождаться $BSY=0$, $DRDY=1$ считывая 1F7h или 3F6h (для первого канала).
- Записать в регистры остальные параметры.
- Записать в регистр команды код операции.
- Читать регистр статуса пока устройство не установит $BSY=0$.
- Дождаться готовности обмена данными ($DRQ=1$)
- Принять данные (или передать).

Протокол 1: PIO In

Протокол 2: PIO Out

Протокол 3: DMA

- Дождаться обнуления бита BSY.
- Записать в регистр DH адрес головки и номер устройства (1 – Slave, 0 – Master).
- Дождаться обнуления бита DRQ.
- Заполнить остальные регистры нужными значениями.
- Инициализировать канал DMA (процедура зависит от типа хост-контроллера).
- Записать код команды в регистр CR.
- Дождаться прерывания от устройства.
- Сбросить канал DMA.
- Прочитать регистр SR, чтобы проверить ошибку и снять сигнал прерывания.

Эволюция ATA. Версии интерфейса

Разработкой и стандартизацией интерфейса ATA/ATAPI (AT Attachment Packet Interface) занимается рабочая группа T13 института INCITS, входящего в организацию ANSI.

Исходный стандарт ATA описывал 16-битный параллельный интерфейс с 40-контактными интерфейсными разъемами и поддержкой 2 винчестеров. Скорость обмена данными не превышала 8 Мб/с.

Последующие разработки:

Эволюция интерфейса: ATA-2

Fast ATA, E-IDE - Enhanced IDE

- До 4 устройств – 2 канала по 2 устройства;
- более производительные режимы обмена данными
16.6 Мб/с, режимы PIO Mode 4 (Programmed I/O)
16.6MB/s max. MW DMA Mode 2 (Multi-word DMA
передача нескольких слов при одном захвате
- использование IDE-накопителей емкостью свыше 504 Мбайт
- поддержка периферийных устройств, отличных от жестких дисков

Своей популярностью IDE-накопители во многом обязаны так называемой прозрачности (для установки устройства не требуется специального программного драйвера, поскольку оно определено и поддерживается на уровне системной BIOS и интерфейса IDE).

Эволюция интерфейса: ATA-3

- SMART; **Self-Monitoring, Analysis and Reporting Technology**
- Пароли и безопасность;
- APM - Advanced Power Management: : винчестер имеет встроенные средства управления энергопотреблением, что позволяет сделать систему более экономичной и, в некоторых случаях, повысить надежность винта (за счет меньшего тепловыделения и парковки головок). ;
- Другие дополнения протокола.

Эволюция интерфейса: ATA/ATAPI-4

- Пакетный протокол ATAPI (**ATA Packet Interface**) () - стандарт, созданный для возможности подключения CD-ROM к стандартному разъему ATA, что упростило подключение CD-ROM и позволило снизить их стоимость.
- Режимы Ultra DMA Mode 0, 1 и 2 (33 Мбайт/с)
- Защита передаваемых данных кодами CRC(Cyclical Redundancy Check - циклический контроль с избыточным кодом)
- .HРА (защищенная область данных) позволяют ограничить количество доступных секторов. Данная возможность получила название **HРА (Host Protected Area)** и предназначалась для создания защищенной области данных, доступной только операционной системе. К сожалению, данная возможность не реализована ни одним из разработчиков операционных систем.

Эволюция интерфейса: ATA/ATAPI-4

- "Enhanced security erase" (улучшенное уничтожение информации)
- АРМ (расширенное энергосбережение)
- перекрытие команд Перекрытие команд позволяет жесткому диску освободить шину до завершения выполнения команды, чтобы второй жесткий диск, находящийся на той же самой шине, мог получить команду или передать/получить данные. Поддержка перекрытия команд, впервые появившаяся в версии ATA/ATAPI-4, позволяет эффективно распараллеливать работу жестких дисков, находящихся на одной шине данных.
- оптимизация очереди команд (ТСQ) - минимизация перемещений магнитной головки при выполнении всех команд, находящихся в очереди на выполнение, т.к. именно поиск дорожки и ожидание сектора являются наиболее длительными фазами операций чтения/записи данных (Оптимизация времени позиционирования. Оптимизация времени доступа)
- Удалены устаревшие команды - "Format track", "Read/Write long", "Write verify".

Эволюция интерфейса: ATAPI-5, ATAPI-6

ATA/ATAPI-5

- Удаление устаревших команд и битов;
- Новые режимы защиты и управления;
- Режимы Ultra DMA Mode 3 (44 Мбайт/с) и Ultra DMA-4 (66 Мбайт/с).
- 80-жильный кабель.

ATA/ATAPI-6:

- Режим Ultra DMA Mode 5 (128 Мб / с.);
- ААМ- Automatic Acoustic Management (управление уровнем шума);
- A/V Streaming Command Set. – поддержка аудио-видеопотоков (увеличен объем информации, переданной за одну команду с 131 Кб до 33 Мб)
- протокол Ultra DMA-5 (100 Мбайт/с)
- расширенные журналы SMART
- удаление адресации CHS.

Эволюция интерфейса: ATAPI-7

- Режим Ultra DMA Mode 6 (133 Мбайт/с)
- Обновление команд Streaming;
- Последовательный интерфейс Serial ATA включен в документацию в качестве второго варианта физической/электрической реализации.
- расширенные режимы самотестирования SMART (Selective, Conveyance), поддержка расширенных журналов SMART

Эволюция интерфейса: ATAPI-8

В разработке. Опубликован только стандарт на обновленный набор команд, ряд новых функций еще обсуждается участниками T13

<http://www.t13.org>

- Аппаратное шифрование (Trusted Computing feature)
- датчик свободного падения (Free-fall Control)
- проверка чтением после записи (Write-Read-Verify feature), дополнительный протокол управления параметрами жесткого диска и чтения расширенной информации (SCT Command Transport)
- флэш память с возможностью управления ее энергосбережением (NV Cache, NV Cache Power Mode)
- номинальная скорость вращения двигателя (Nominal media rotation rate)
- время раскрутки магнитных пластин до номинальной скорости (Time to Spin Up in Seconds)
- команда - WRITE UNCORRECTABLE EXT.

Параметры режимов PIO

Режим	Длительность цикла, нс	Пропускная способность, Мб/с	Введен начиная с версии
PIO Mode 0	600	3,3	ATA-1
PIO Mode 1	383	5,2	ATA-1
PIO Mode 2	240	8,3	ATA-1
PIO Mode 3	180	11,1	ATA-2
PIO Mode 4	120	16,6	Fast ATA-2

Режимы DMA и UDMA

Позволяют разгрузить процессор, так как вместо записи в регистры требуется только ожидать прерывание.

Режим Single Word требует выполнения процедуры обмена сигналами DMARQ и DMACK# для каждого передаваемого слова.

Режим Multi-Word DMA предполагает однократное выставление сигнала DMARQ и удержание его до конца передачи сектора или блока.

Режим Ultra DMA предполагает дополнительное стробирование от источника данных, остановку передачи по инициативе каждой из сторон, подсчет и проверку контрольной суммы данных всего цикла (коды CRC).

Для режимов Ultra DMA Mode 3 и выше требуется 80-жильный кабель.

Интерфейс ATAPI

Благодаря своей универсальности, отсутствию привязки к конструктивным особенностям жесткого диска, возможности расширения набора команд интерфейс ATA фактически применяется для подключения любых устройств хранения данных во внутреннем исполнении.

Даже ориентация на «трехмерную» (CHS) геометрию жестких дисков было отменено с введением адресации LBA.

Впрочем, некоторые устройства требуют использования иной адресации и могут реализовывать некоторые неспецифичные для жестких дисков функции.

ATAPI – расширение интерфейса ATA, фактически это метод передачи команд SCSI по интерфейсу ATA. Реализуется посредством команд чтения/записи пакетов данных, сформированных в соответствии с форматом SCSI.

ATAPI – расширение универсальное, но в основном используется для оптических накопителей.

Дополнительные функции ATA: SMART

SMART – Self Monitoring, Analysis & Reporting Technology, система мониторинга состояния винчестера. Специальные алгоритмы отслеживают состояние различных подсистем жесткого диска и предлагают прогноз его работоспособности. Цель SMART – заблаговременно предупредить пользователя о возможном выходе из строя.

SMART выполняет самотестирование, отслеживает определенные события (ошибки секторов и интерфейса, переименование секторов, сбои запуска двигателя и т.д.), подсчитывает параметры работы (суммарное время работы, скорость запуска двигателя, температура и т.д.).

Результаты работы SMART представлены в виде значений атрибутов – критичных для надежности параметров.

Список атрибутов не стандартизирован, но производители обычно придерживаются определенных правил.

Каждый атрибут может принимать значение от 1 (наиболее вероятен выход из строя) до 253 (надежная работа). Для каждого определен порог (Threshold); если значение снижается ниже порога, винчестер подлежит ремонту. Для атрибутов хранится текущее значение, наихудшее значение (по результатам тестов атрибут мог улучшиться), абсолютное (Raw) значение.

Кроме того, винчестер может вести журнал ошибок и результатов тестов (Log). База данных атрибутов (всего 512 байт) и журналы могут храниться в служебной зоне или во флэш-памяти контроллера.

Дополнительные функции ATA: Security

Винчестер поддерживает режим блокировки с помощью пароля.

Обычно поддержка ввода пароля возлагается на BIOS.

Доступны следующие функции:

- Set Password – сохранение пароля (до 32 символов) и установка режима секретности. Предусмотрены два пароля – User и Master, и два режима – High и Maximum.
- Disable Password – снятие блокировки (отмена защиты).
- Unlock – передача пароля на проверку, разблокировка.
- Erase Unit – стереть всю информацию, аналогично форматированию.

Дополнительные функции АТА: НРА

Host Protected Area – специальная зона в конце диска, не доступная обычными операциями чтения. ПО может устанавливать максимальное количество доступных секторов, которое сохраняется между перезагрузками. Если установить доступное количество секторов менее существующих, то часть диска будет недоступна, сформируется защищенная зона – НРА.

В НРА можно сохранять различную информацию, напр., образ системного диска, дампы памяти, копию BIOS и т.п.

Чтобы прочитать НРА, требуется установить изначальное число секторов на диске той же командой. Узнать эту величину можно из паспорта диска.

Дополнительные функции ATA: NV Cache

Специально для поддержки гибридных винчестеров в архитектурную модель ATA были добавлены команды управления энергонезависимым кэшем (Non-volatile cache).

Гибридный диск представляет собой классический винчестер с дополнительным буфером flash-памяти.

Основное назначение flash-памяти:

- Хранение часто используемых файлов операционной системы.
- Хранение файлов, используемых при загрузке операционной системы.
- Хранение hibernate pool – файла содержимого памяти и др. ресурсов операционной системы.

Буфер flash предназначен для хоста, конкретнее – для операционной системы и BIOS. Не использованная емкость доступна контроллеру винчестера как обычный кэш.

NV Cache позволяет экономить энергию за счет остановки двигателя, а также начала загрузки ОС (выхода из Hibernate) без его запуска при старте компьютера.

Архитектура шин Ultra ATA

Конструкция шины.

Последняя модификация интерфейса ATA/ATAPI-6 с технологией Ultra ATA

100 совместима со всеми предыдущими версиями ATA благодаря использованию стандартной 16-разрядной параллельной информационной шины и 40-контактного разъема, пропускающего 16 командных сигналов.

Пропускная способность шины Ultra ATA

При наличии 16-разрядной информационной шины за одну транзакцию передается два байта данных. Таким образом, для того чтобы пропускная способность составляла 100 МБ/с, информационная шина должна работать с частотой 50 МГц.

При DMA используется двусторонний механизм подачи импульсов, или «удвоенная скорость передачи данных» (данные регистрируются как на переднем, так и на заднем фронте строба данных, вследствие чего вдвое уменьшается частота строб-импульса.)

Таким образом, пропускная способность составляет:

частота строб-импульса 25МГц x 2

x 16 бит/фронт

/ 8 бит/байт

= 100 МБ/с

Параметры режимов DMA/Ultra DMA

Режим	Длительность цикла, нс	Пропускная способность, Мб/с	Введен
SW DMA Mode 0	960	2	ATA
SW DMA Mode 1	480	4,16	ATA
SW DMA Mode 2	240	8,33	ATA
MW DMA Mode 0	480	4,16	ATA
MW DMA Mode 1	150	13,3	ATA-2
MW DMA Mode 2	120	16,6	Fast ATA-2
UDMA Mode 0	120	16,6	ATA/ATAPI-4
UDMA Mode 1	80	25	ATA/ATAPI-4
UDMA Mode 2	60	33	ATA/ATAPI-4
UDMA Mode 3	45	44,4	ATA/ATAPI-5
UDMA Mode 4	30	66,6	ATA/ATAPI-5
UDMA Mode 5	20	100	ATA/ATAPI-6
UDMA Mode 6	15	133,3	ATA/ATAPI-7

Контроллер PCI IDE

С разработкой шины PCI возникла необходимость стандартизации контроллера с поддержкой интерфейса ATA, который подключен к PCI и позволяет использовать Bus Mastering вместо ISA-ориентированного механизма DMA.

PCI не предоставляет возможности прямого доступа к памяти с использованием централизованного контроллера в стиле 8237A (как шина ISA). Для разгрузки центрального процессора от рутинных перекачек данных предлагается прямое управление шиной со стороны устройств, называемых ведущими устройствами, или мастерами, шипы (PCI Bus Master).

Контроллер PCI IDE

Спецификация Standard PCI IDE Controller касается не интерфейса ATA, а интерфейса программирования DMA-обменов с жестким диском по ATA. Плюс предлагается метод перемещения базового адреса регистров в пространстве портов в-в, как того требует PCI.

Если устройство поддерживает стандартный интерфейс программирования PCI IDE, то оно имеет код класса 01:01:80. Причем в его ProgID (третий байт) содержится информация о поддержке функций PCI IDE для первого и второго каналов интерфейса ATA.

Протокол взаимодействия хоста и устройства

- 1 Хост читает регистр состояния устройства, дожидаясь нулевого значения бита BSY. Если присутствуют два устройства, хост обращается к ним «наугад» — состояние будет сообщать
- 2 Дождавшись освобождения устройства, хост записывает в регистр DN байт, у которого бит DEV указывает на адресуемое устройство. Здесь кроется причина невозможности параллельной работы двух устройств на одной шине ATA: обратиться к устройству можно только после освобождения обоих устройств последнее выбранное устройство.
- 3 Хост читает основной или альтернативный регистр состояния адресованного устройства, дожидаясь признака готовности (**DRDY=1**).
- 4 Хост заносит требуемые параметры в блок командных регистров.
- 5 Хост записывает код команды в регистр команд
- 6 Устройство устанавливает бит BSY и переходит к исполнению команды. Дальнейшие действия зависят от протокола передачи данных, заданного командой

Протокол взаимодействия хоста и устройства

Для команд, не требующих передачи данных (ND)

7. Завершив исполнение команды, устройство сбрасывает бит BSY и устанавливает запрос прерывания (если он не запрещен). К этому моменту в регистрах состояния и ошибок уже имеется информация о Единичное значение бита BSY может промелькнуть между шагами 6 и 7 так быстро, что хост его не зафиксирует, но для фиксации факта выполнения команды или ее части и предназначен запрос прерывания.

Протокол взаимодействия хоста и устройства

Для команд, требующих чтения данных в режиме PIO (PI)

7. Подготовившись к передаче первого блока данных по шине ATA, устройство устанавливает бит DRQ. Если была ошибка, она фиксируется в регистрах состояния и ошибок. Далее устройство сбрасывает бит BSY и устанавливает запрос прерывания (если он не запрещен).
- 8 Зафиксировав обнуление бита BSY (или по прерыванию), хост считывает регистр состояния, что приводит к сбросу прерывания от устройства.
- 9 Если хост обнаружил единичное значение бита DRQ, он производит чтение первого блока данных в режиме PIO (адресуясь к регистру данных). Если обнаружена ошибка, считанные данные могут быть недостоверными.

Протокол взаимодействия хоста и устройства

Для команд, требующих чтения данных в режиме PIO (PI)

После передачи блока данных возможно одно из следующих действий:

Если на шаге 8 ошибка не обнаружена, а требуется передача следующего блока, устройство устанавливает бит BSY, и данная последовательность повторяется с шага 7.

Если есть ошибка или передан последний блок данных, устройство сбрасывает бит DRQ и выполнение команды завершается

Для операций записи данных после шага 6 для устройства начинается активная фаза записи на носитель, что отмечается установкой бита BSY.

Протокол взаимодействия хоста и устройства

Для команд, требующих записи данных в режиме PIO (PO и P)

- 7 Подготовившись к приему первого блока данных по шине ATA, устройство устанавливает бит DRQ (если нет ошибок) и сбрасывает бит BSY. Если была ошибка, она фиксируется
- 8 Зафиксировав обнуление бита BSY, хост считывает регистр состояния
- 9 Если хост обнаружил единичное значение бита DRQ, он производит запись первого блока данных в режиме PIO по адресу в регистре данных.

Протокол взаимодействия хоста и устройства

10 После передачи блока данных возможно одно из следующих действий:

Если обнаружена ошибка, устройство сбрасывает бит DRQ, устанавливает запрос прерывания и выполнение команды завершается. Переданные по шине данные остаются необработанными устройством (не записываются на носитель).

Если ошибка не обнаружена, устройство устанавливает бит BSY и переходит к следующему шагу

11 Устройство обрабатывает принятый блок данных, затем:

Если нет ошибок и обработанный блок — последний, устройство сбрасывает бит BSY и устанавливает запрос прерывания, на чем выполнение команды успешно завершается;

Протокол взаимодействия хоста и устройства

Если обнаружена ошибка, выполнение команды завершается таким же образом, но с установкой бит ошибок

Если нет ошибок и требуется передача следующего блока, выполняются следующие шаги:

- 12 По готовности приема следующего блока устройство устанавливает бит DRQ, сбрасывает бит BSY и устанавливает запрос прерывания.
- 13 По обнулению бита BSY (или по прерыванию) хост считывает регистр состояния.
- 14 Обнаружив бит DRQ, хост выполняет запись очередного блока в регистр данных, и последовательность повторяется с шага 11.

Протокол взаимодействия хоста и устройства

Команды с передачей данных в режиме DMA выполняются похожим образом, но:

Вместо PIO используется прямой доступ к памяти. Хост должен проинициализировать канал DMA до записи кода в регистр команд, чтобы по появлении сигнала DMARQ начался обмен

Запрос прерывания даже в многосекторных передачах производится один раз — по выполнении команды.