

Структурная и функциональная организация ЭВМ (Computer Organization and Design)

БГУИР
кафедра ЭВМ

Доцент Воронов А.А.

Лекция 18
«Организация шин -II»

2015

План лекции

1. Методы повышения эффективности шин
2. Стандарты шин
3. Примеры

Методы повышения эффективности шин

Приёмы повышения производительности шин:

- Пакетный режим
- Конвейеризация транзакций
- Расщепление транзакций

Пакетный или блочный режим (burst mode) – как для асинхр., так и для синхр-х. Один адресный цикл сопровождается множественными циклами данных (либо чтения либо записи, но не смешанных!). Пакет данных передаётся без указания адресов данных внутри пакета -> увеличение адреса производится автоматически как у ведущего, так и у ведомого. Длина пакета может достигать до 1024 байт.

Методы повышения эффективности шин

Пакетный или блочный режим (burst mode) – наиболее частый вариант – передача пакетов из четырёх байт.

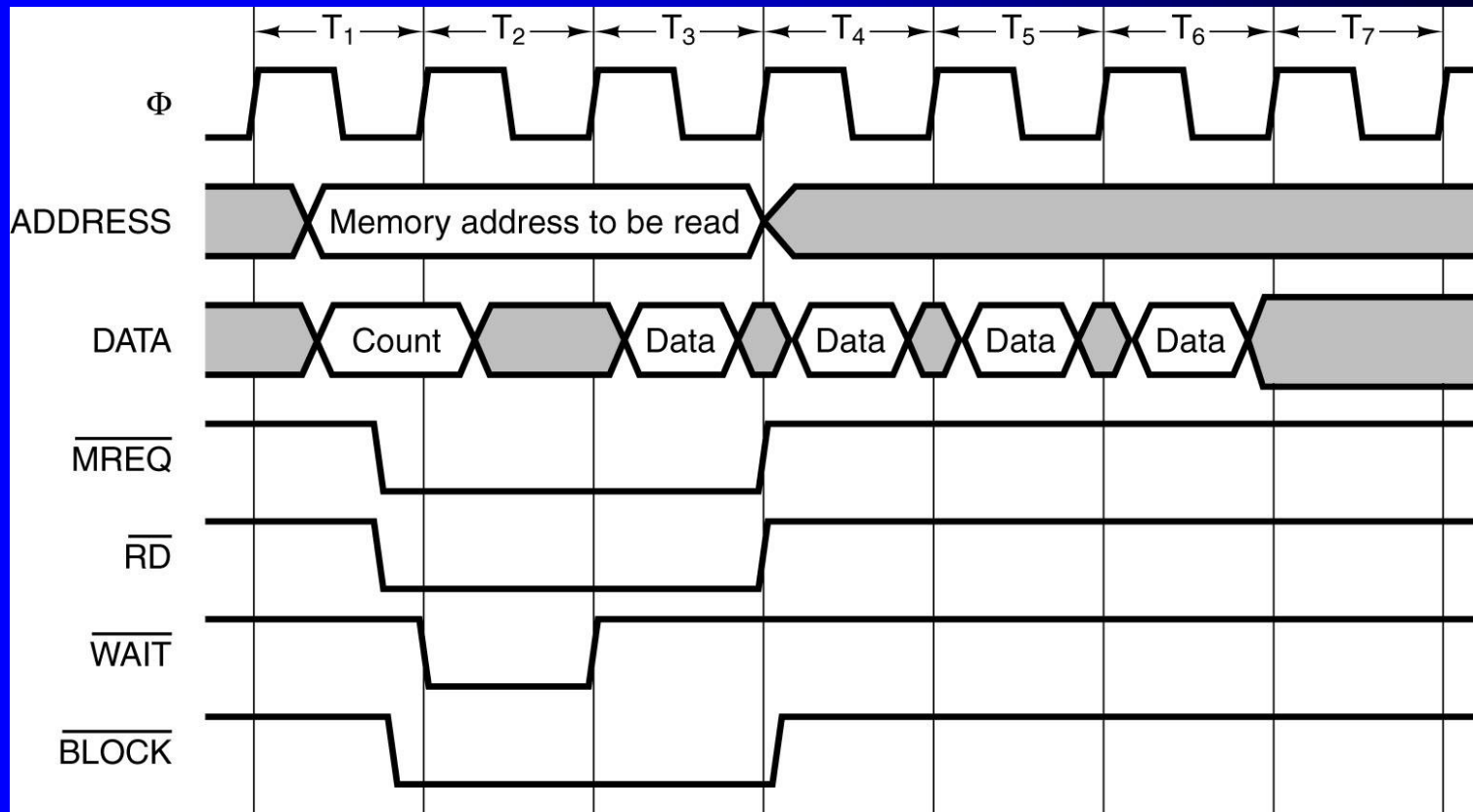


В асинхронных режимах – дополнительный выигрыш: разрешение отправителю начинать следующий цикл данных, не ожидая подтверждения от получателя -> экономия времени прохождения сигнала от отправителя к приёмнику, время подтверждения + внутренние задержки в ведущем и ведомом устр-вах и восстановления шины после квитирования.

Пример шины с пакетным режимом - FutureBus+.

Bus Operations (1)

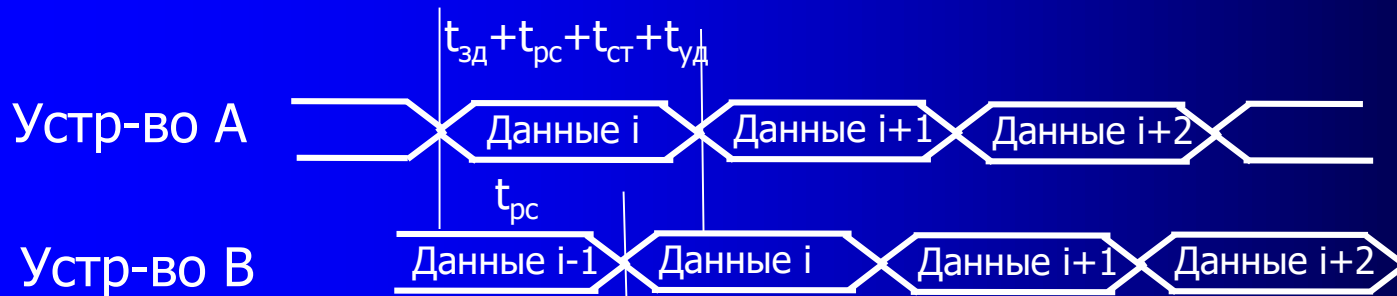
A block transfer.



BLOCK – спец. сигнал, устанавливающий передачу пакета данных.

Методы повышения эффективности шин

Конвейеризация транзакций: очередной элемент данных может быть послан устройством А, до того, как устройство В завершит считывание предыдущего элемента.



Данные должны оставаться стабильными в течение времени $t_{ст}$ (стабилизации) + $t_{уд}$ (удержания), только после этого – смена элемента данных.

Максимальная скорость передачи – $1/(t_{ст} + t_{уд})$

Методы повышения эффективности шин

Протокол с расщеплением транзакций (соединения/разъединения) или протокол с коммутацией пакетов (packet-switched): обеспечивает преимущество на транзакциях чтения.

В классическом варианте – любая транзакция непрерывна.

В протоколе с расщеплением – две шины ША и ШД обязательно разделены. Ведущий выставляет адрес и требование данных. После чего шина свободна. Когда память подготовит данные она становится ведущим и запрашивает доступ к шине, после чего пересылает данные запрашивающему. Соответственно, пока память готовит данные к отправке шина свободна и может использоваться другими ведущими...

Методы повышения эффективности шин

Протокол с расщеплением транзакций – на такой шине имеет место поток запросов и поток откликов.

Контроллер памяти обычно проектируется так, чтобы обеспечивать буферизацию множественных потоков.

Возможен вариант организации шины с ответами на запросы в произвольном порядке (требуется вводить теги на данные).

Плюс – более эффективное использование шины.

Минусы – дополнительные подтверждения при запросе и отклике, дополнительные затраты на аппаратуру.

Для любой шины с расщеплением, существует предельное число одновременно обслуживаемых запросов.

Увеличение полосы пропускания шин

Способы расширения полосы пропускания шин:

- Отказ от мультиплексирования шин адреса и данных
- Увеличение ширины шины данных (в SPARKstation 20 – шина данных 128 бит)
- Повышение тактовой частоты шины
- Использование блочных транзакций

Ускорение транзакций:

- арбитраж с перекрытием (арбитраж следующей транзакции – одновременно с выполнением текущей)
- арбитраж с удержанием шины (если нет обращений-ведущий может удерживать шину сколько ему надо)
- расщепление транзакций

Циклы шины в многопроцессорных системах

В системах с двумя и более ЦП на одной шине, нужно уметь разделять доступ ЦП к определенной структуре данных в памяти.

Чтобы упорядочить процесс, должен быть флаг принимающий 1, когда ЦП использует структуру данных, и 0, когда нет. Если ЦП нужно получить доступ к структуре данных, он должен считать флаг, и если он - 0, то установить его в 1.

Проблема в том, что два ЦП могут считать флаг на последовательных циклах шины. Если каждый

ЦП видит, что флаг равен 0, а затем каждый меняет значение на 1, то такая последовательность событий ведет к хаосу.

Циклы шины в многопроцессорных системах

Чтобы предотвратить такую ситуацию, в многопроцессорных системах предусмотрен специальный цикл шины, который дает возможность любому процессору считать слово из памяти, проверить и изменить его, а затем записать обратно в память; весь этот процесс происходит без освобождения шины.

Такой цикл не дает возможности другим центральным процессорам использовать шину и, следовательно, мешать работе первого процессора.

Циклы шины в многопроцессорных системах

Даже один микропроцессор может монополизировать операции на шине при выборке инструкций и данных (без блочной пересылки).

При построении многопроцессорных систем – каждый процессор снабжают локальной памятью для команд и большей части данных. Операции ввода/вывода и пересылки сообщений – блочными пересылки.

Увеличение количества шин с несколькими ЦП на каждой (Fastbus) – общее адресное пространство совместно используется несколькими отдельными шинами (сегментами). Сегменты функционируют независимо и объединяются, если ведущий из одного сегмента обращается к ведомому из другого. Доп. – использование узлов с промеж. хранением данных и сетевым протоколом.

Надёжность и отказоустойчивость

Корректирующие коды - для шин свои особенности.
Отдельные функц. группы сигналов – контролируются независимо. Много групп – много контрольных линий.
Как обеспечивать защиту одиночных сигналов (напр. ТИ)? Вычисление кодов и коррекция – замедляют шину.
Альтернативные подходы ищутся постоянно.
Высокоуровневый контроль – вместо отслеживания каждого цикла шины, производится контроль и коррекция – целых блоков данных или законченной программной операции.
При наличии избыточных процессоров – перекрёстный контроль.
Оптимизация операций с устройствами – например, чтение не должно сбрасывать флаги состояния ведомого.

Циклы шины

Важный цикл шины — цикл для осуществления прерываний. Например, ЦП командует устройству ввода-вывода произвести какое-то действие, он ожидает прерывания после завершения работы.

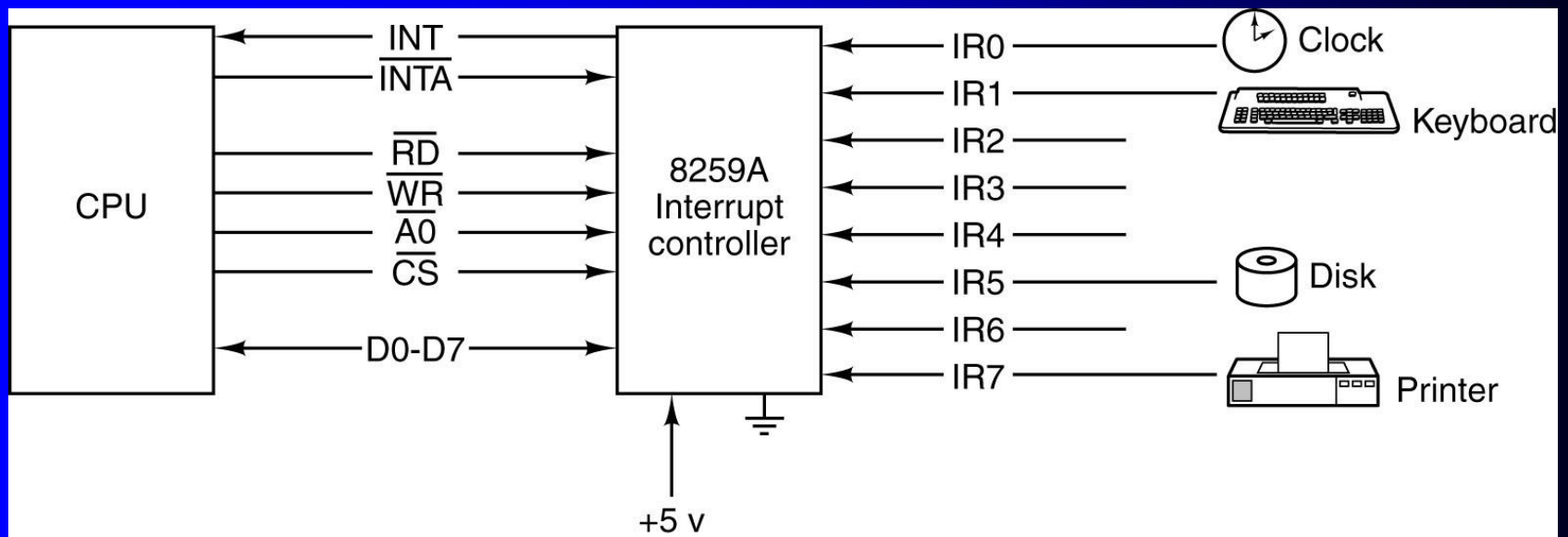
Для сигнала прерывания нужна шина.

Поскольку может сложиться ситуация, когда несколько устройств одновременно хотят произвести прерывание, здесь имеют место те же проблемы разрешения конфликтных ситуаций, что и в обычных циклах шины. Для решения проблемы, каждому устройству - определенный приоритет и централизованный арбитр для распределения приоритетов.

Стандартный контроллер прерываний в IBM PC и последующих моделях - микросхема Intel 8259A.

Bus Operations (2)

Use of the 8259A interrupt controller.



Стандарты шин

Системные шины общего применения

	VME	Futurebus	Multibus II
Разработчик	Motorola, Philips, Mostek	IEEE	Intel
Ширина шины	128	96	96
Мультиплексирование ША и ШД	Нет	Да	Да
Вид пересылки	Одиночная или блочная	Одиночная или блочная	Одиночная или блочная
Арбитраж	Централизован ный	Централизован анный	Централизован анный
Расщепление транзакций	Нет	Возможно	Возможно

Стандарты шин

Системные шины общего применения

	VME	Futurebus	Multibus II
Протокол	Асинхронный	Асинхронный	Синхронный
Тактовая частота	-----	-----	10 МГц
Полоса проп-ния, един. пересылка	25 Mb/c	37 Mb/c	20 Mb/c
Полоса проп-ния, блочн. пересылка	28 Mbyte/c	95 Mbyte/c	40/80 Mbyte/c
Макс. кол-во устр-в	21	20	21
Макс. длина, м	0,5	0,5	0,5
Стандарт	IEEE 1014	IEEE 896.1	ANSI/IEEE 1296

Стандарты шин

Системные шины высокопроизводительных серверов

	Summit	Challenge	XDBus
Разработчик	HP	SGI	Sun
Разрядность адреса	48	40	?
Разрядность данных	128/512	256/1024	144/512
Мультиплексирование ША и ШД	?	?	Да
Вид пересылки	Одиночная или блочная	Одиночная или блочная	Одиночная или блочная
Арбитраж	Централизованный	Централизованный	Централизованный
Расщепление транзакций	Есть	Есть	Есть

Стандарты шин

Системные шины высокопроизводительных серверов

	Summit	Challenge	XDBus
Протокол	Синхронный	Синхронный	Синхронный
Тактовая частота	60 МГц	48 МГц	66 МГц
Полоса проп-ния, един. пересылка	60 Mbyte/c	48 Mbyte/c	66 Mbyte/c
Полоса проп-ния, блочн. пересылка	960 Mbyte/c	1200 Mbyte/c	1056 Mbyte/c
Макс. длина, м	0,3	0,3	0,4
Стандарт	Нет	Нет	Нет

Стандарты шин

Системные шины персональных ВМ

	NuBus	ISA 8/16	EISA	FSB Pentium 4
Разработчик	Texas Instrum ents	IBM	AST, Compaq, Epson, HP, NEC, Olivetti, Tandy, Wyse, Zenith	Intel
Ширина шины	96	62/98	98/100	?
Разрядность адреса, бит	32	20/24	24/32	36
Разрядность данных, бит	32	8/16	16/32	64/128
Мультиплексиров ание ША и ШД	Да	Нет	Нет	Нет

Стандарты шин

Системные шины персональных ВМ

	NuBus	ISA 8/16	EISA	FSB Pentium 4
Вид пересылки	Одиночная или блочная			
Арбитраж	Централизованный			
Расщепление транзакций	Нет	Нет	Возможно	Есть
Протокол	Синхронный			
Тактовая частота	10 МГц	4,77/8,33 МГц	8,33 МГц	400 (баз. 100) 533 (баз. 133) 800 (ожидается)
Полоса пропускания, один. пересылка	40 Mbyte/c	33 Mbyte/c	33 Mbyte/c	1060 (133) 3200 (400) 4200 (533)

Стандарты шин

Шины ввода/вывода

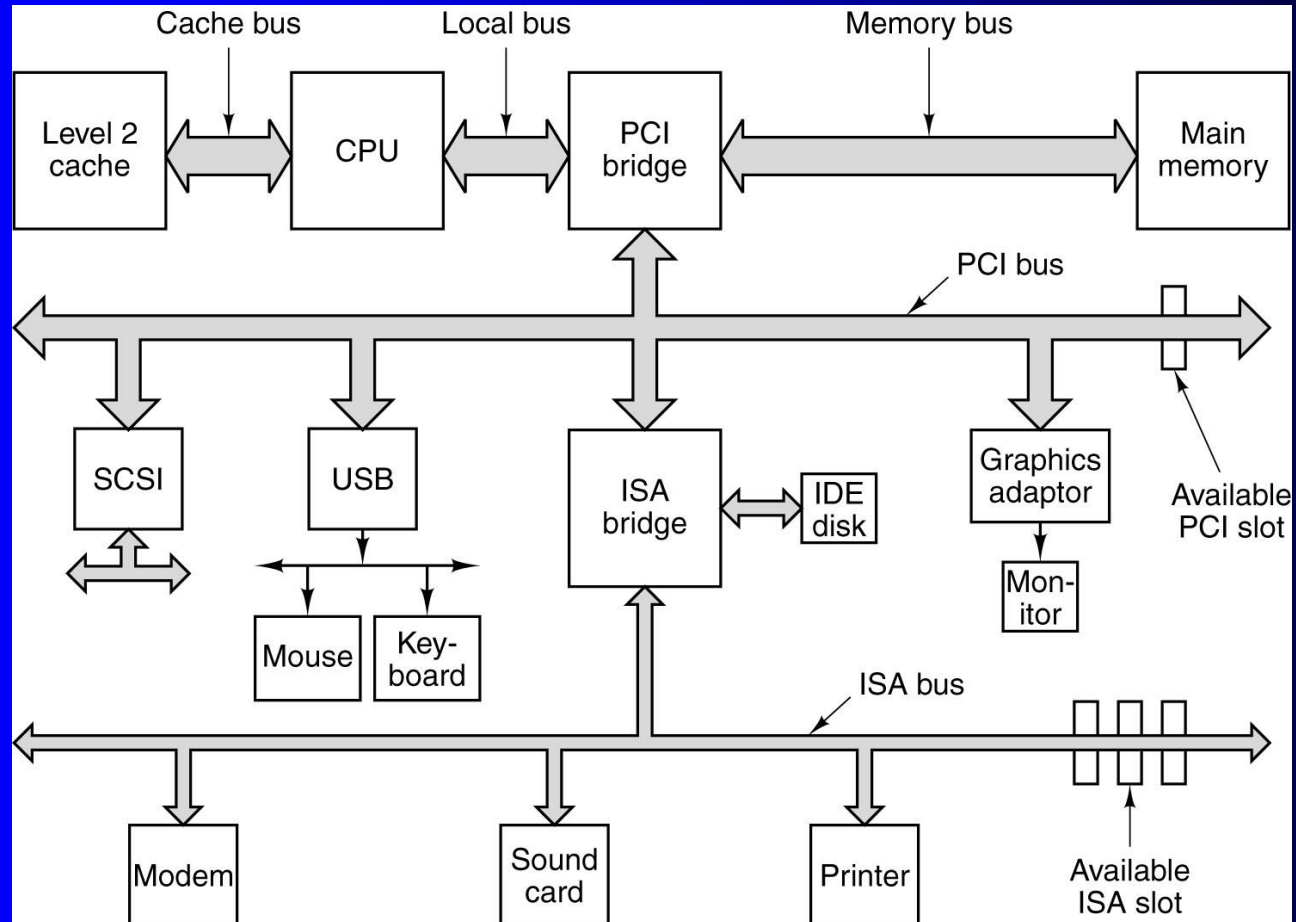
	PCI	SCSI	SCSI-II	IDE
Разработчик	Intel			
Ширина шины	124/128	50	Варьируется	40
Разрядность адреса, бит	32/64	?	?	2
Разрядность данных, бит	32/64	8	8/16/32	16
Вид пересылки	Одиночная или блочная			Блочная
Арбитраж	Центр- ный	Децентрализованный		?
Мультиплексирование ША и ШД	Да	Да	Да	Нет

Стандарты шин

Шины ввода/вывода

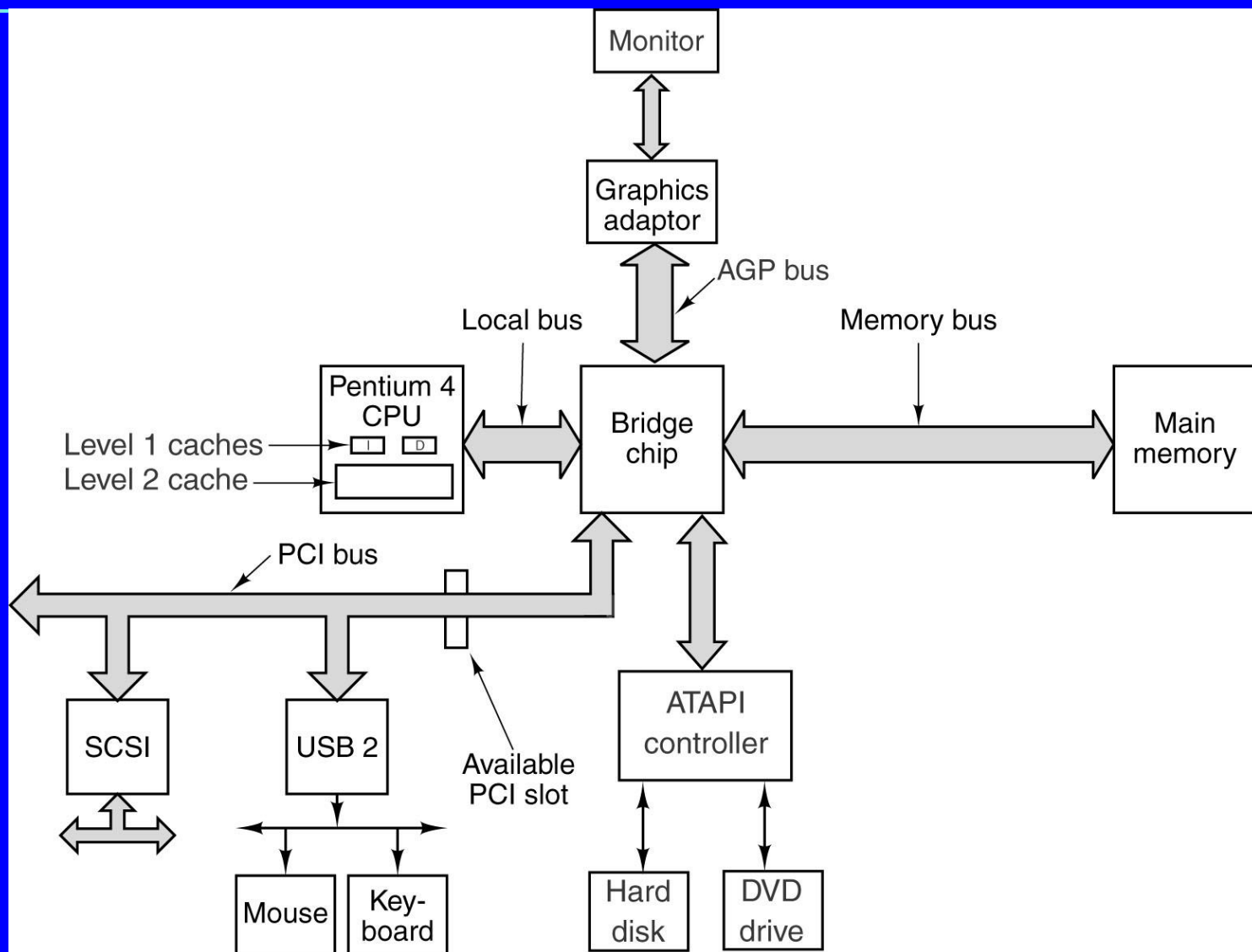
	PCI	SCSI	SCSI-II	IDE
Протокол	Синхр.	Синхр. и асинхр.		Асинхр.
Тактовая частота	33/66 МГц	5/10 МГц	10/20/ 40/80	
Полоса проп-ния, един. пересылка	33 Mbyte/c	1,5 (асинх) 5 (синх) Mbyte/c	5-40 (синх) Mbyte/c	
Полоса проп-ния, блочн. пересылка	960 Mbyte/c	1200 Mbyte/c	40/80/160/ 320 (синх) Mbyte/c	до 200
Макс. длина, м	0,5	25	25	0,5
Стандарт	Нет	ANSI X3.131- 1986	ANSI X3.131- 199x	ANSI X3.T9.2./ 90-14

The PCI Bus

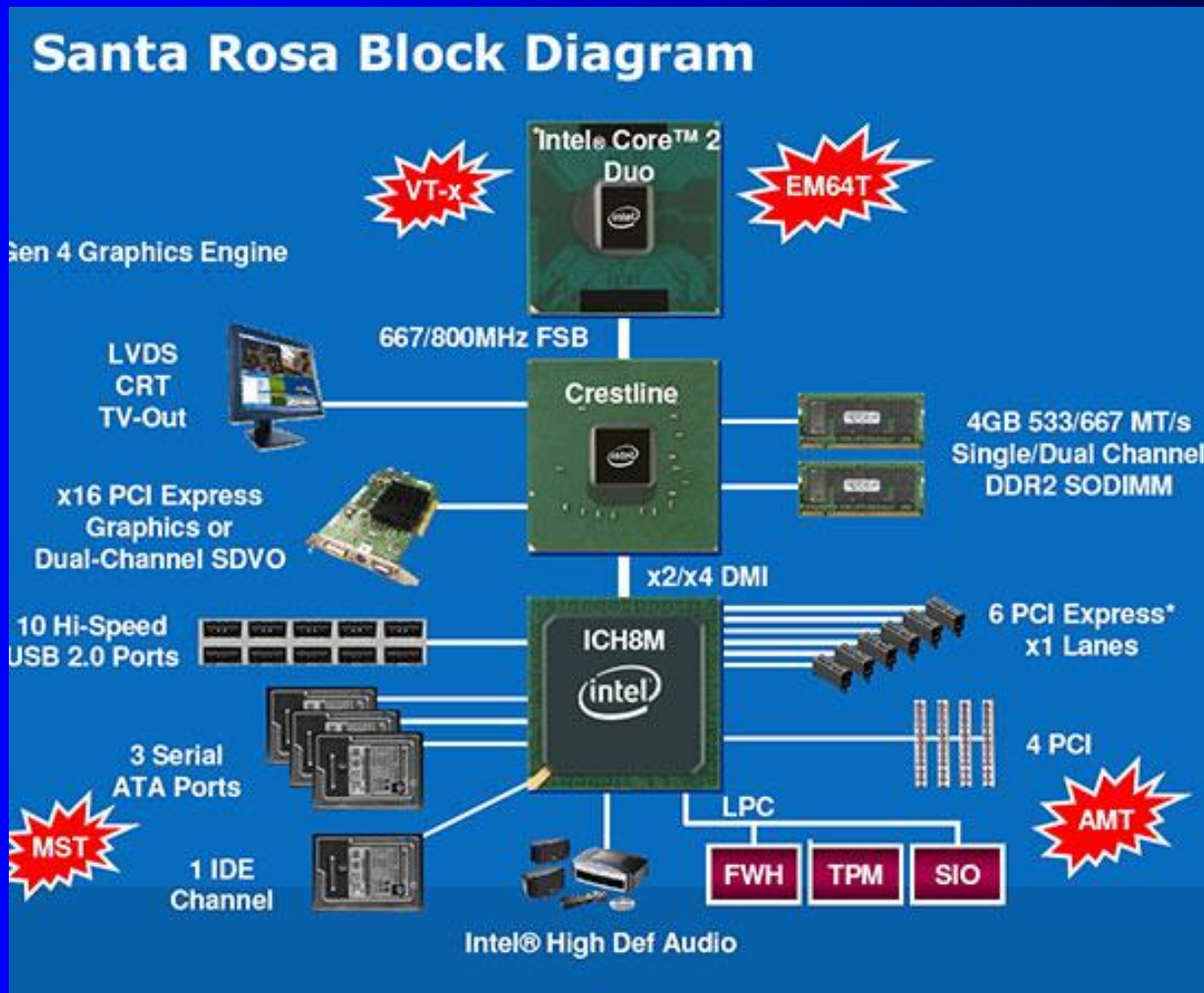


Архитектура ранних систем Pentium. Чем толще стрелка – тем больше ширина пропускания шины.

The PCI Bus



Примеры шин PC



Системные шины, шины ввода/вывода и расширения.

Глоссарий

ISA — Industry Standard Architecture, известная также как 8-разрядная PC/XT или 16-разрядная AT-Bus

LPC — шина Low Pin Count

EISA — Extended Industry Standard Architecture (32-разрядная ISA)

VL-Bus — VESA (Video-Electronics Standards Association) Local Bus (расширение ISA)

MCA — MicroChannel Architecture (системы IBM PS/2)

PC-Card — 16-разрядный интерфейс PCMCIA (Personal Computer Memory Card International Association)

CardBus — 32-разрядная PC-Card

Hub Interface — шина набора микросхем Intel серии 8xx

PCI — Peripheral Component Interconnect

AGP — Accelerated Graphics Port

RS-232 — стандартный последовательный порт, 115,2 Кбайт/с

RS-232 HS — высокоскоростной последовательный порт, 230,4 Кбайт/с

Глоссарий

IEEE-1284 Parallel — стандартный двунаправленный параллельный порт

IEEE-1284 EPP/ECP - Enhanced Parallel Port/Extended Capabilities Port

USB — Universal Serial Bus

IEEE-1394 — FireWire, называемая также i.Link

ATA PIO — AT Attachment (известный также как IDE) Programmed I/O

ATA-UDMA - AT Attachment Ultra DMA

SCSI — Small Computer System Interface

FPM — Fast Page Mode (быстрый постраничный режим)

EDO — Extended Data Out (ускоренный ввод-вывод)

SDRAM — Synchronous Dynamic RAM

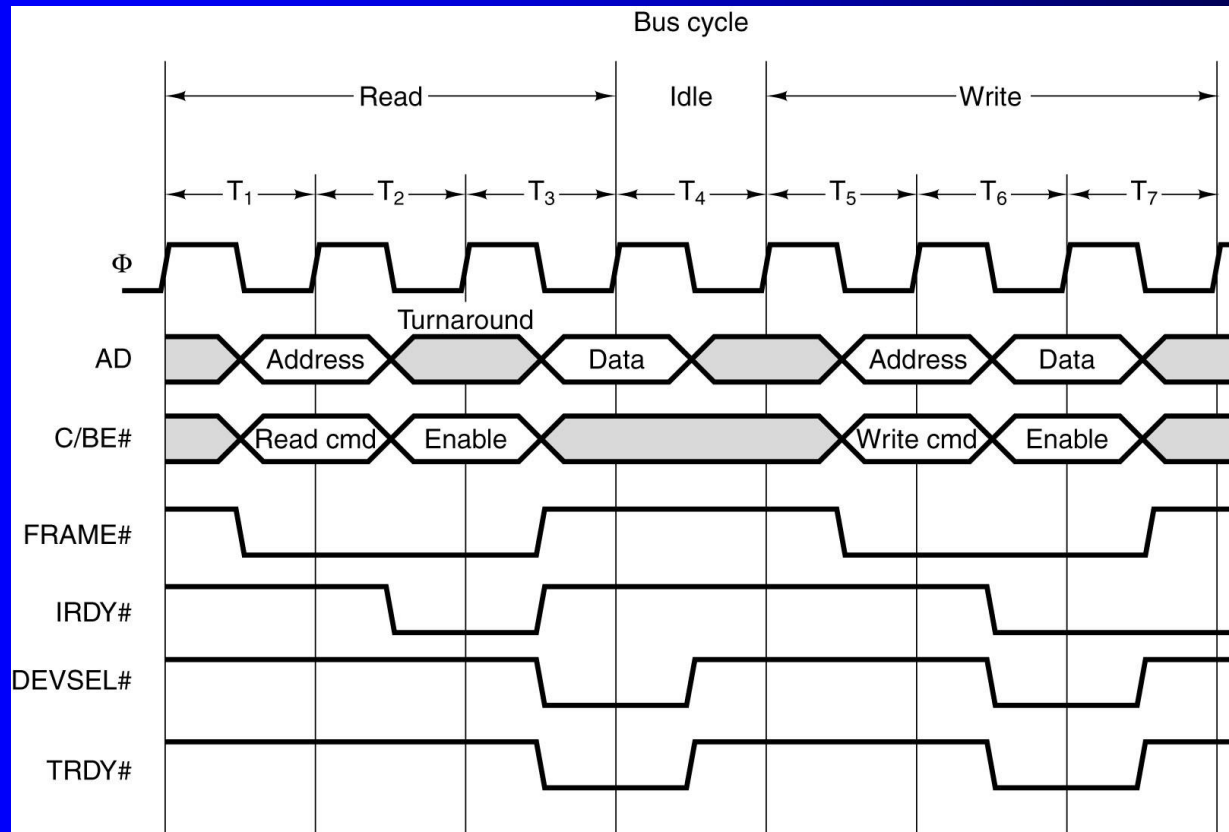
RDRAM — Rambus Dynamic RAM

RDRAM Dual — двухканальная RDRAM (одновременное функционирование)

DDR-SDRAM - Double-Data Rate SDRAM

CPU FSB — шина процессора (или Front-Side Bus)

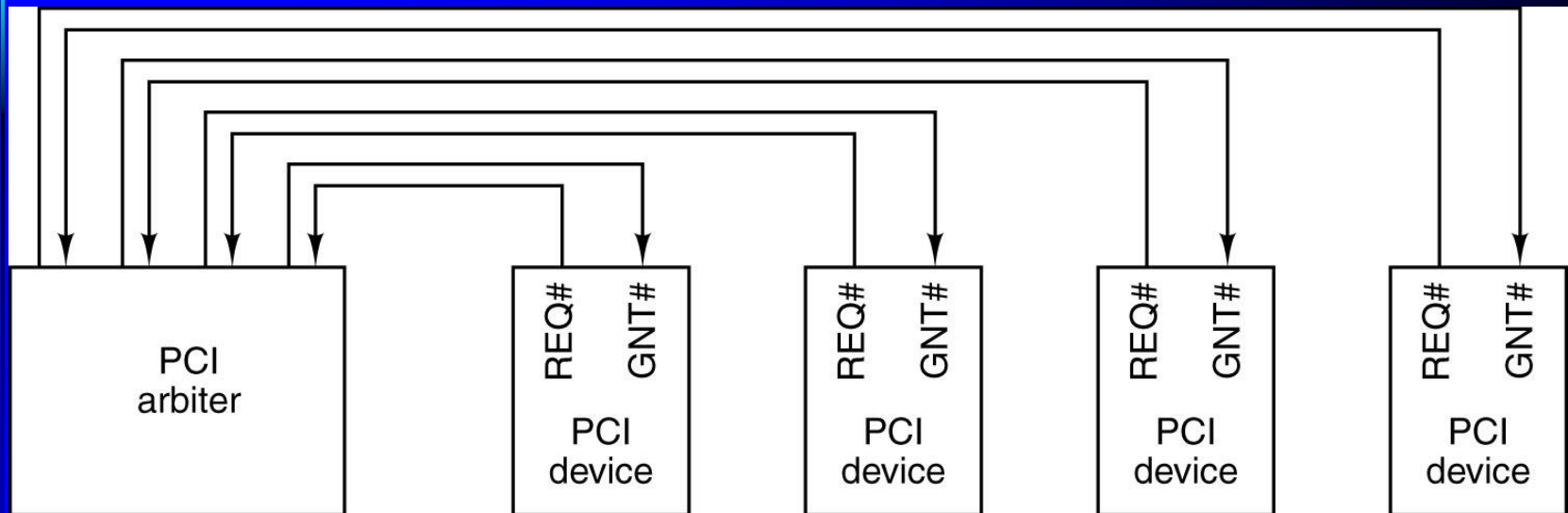
PCI Bus Transactions



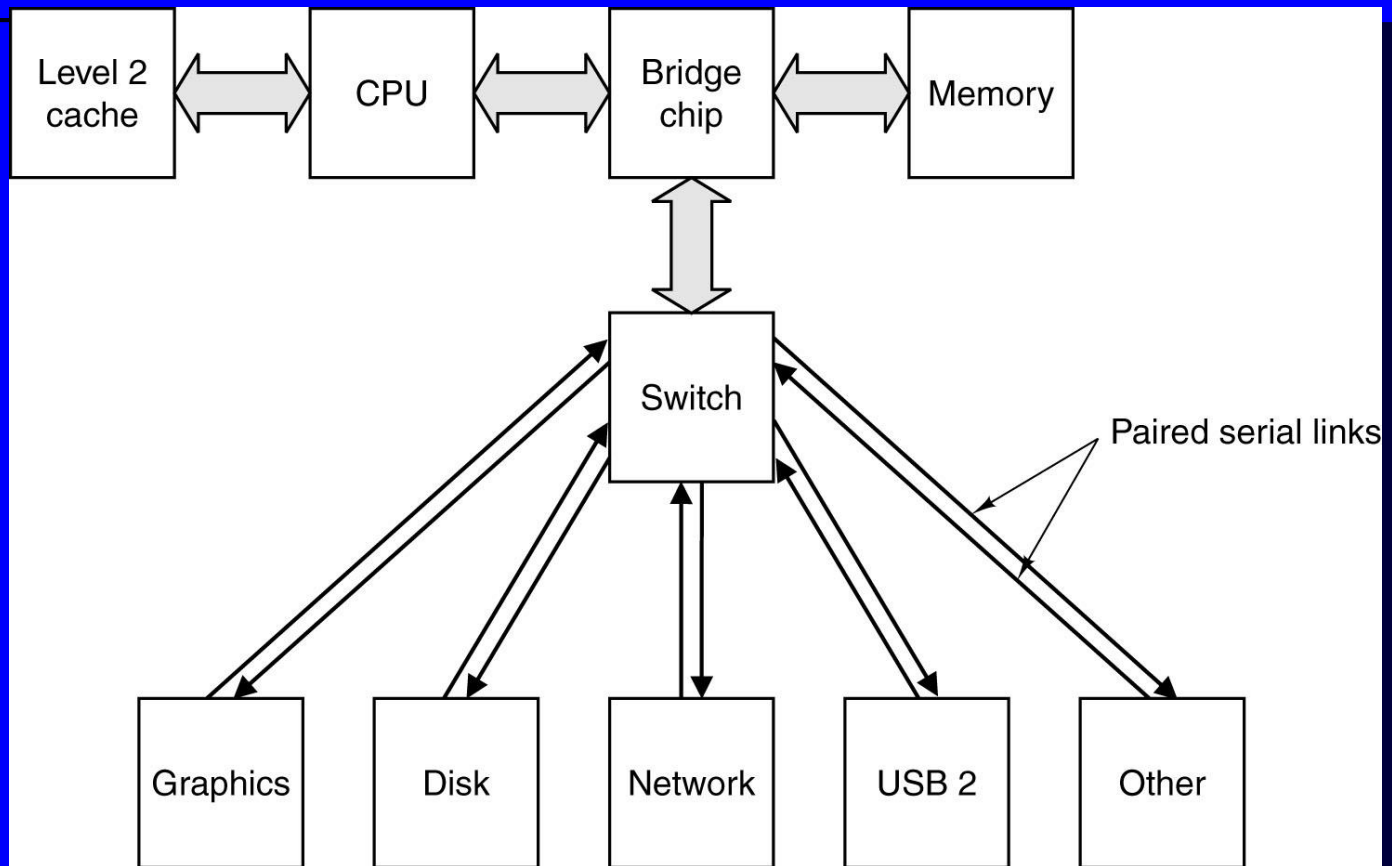
Examples of 32-bit PCI bus transactions. The first three cycles are used for a read operation, then an idle cycle, and then three cycles for a write operation.

PCI Bus Arbitration

The PCI bus uses a centralized bus arbiter.



PCI Express



PCI Express system - **двунаправленное последовательное соединение типа точка-точка (lane)**

Эра последовательных шин

Преимущества последовательных шин и интерфейсов:

- Выгодный перенос все большей части практической реализации шины на кремний, что облегчает отладку, повышает гибкость и сокращает время разработки;
- Перспектива органично использовать в будущем иные носители сигнала, например оптические;
- Экономия пространства (не бьющая по карману миниатюризация) и снижение сложности монтажа;
- Проще реализовывать горячие подключения и динамическую конфигурацию в любом смысле;
- Возможность выделять гарантированные и изохронные каналы;
- Переход от разделяемых шин с арбитражем и непредсказуемыми прерываниями, неудобными для надежных/критических систем к более предсказуемым соединениям точка-точка;
- Лучшая с точки зрения затрат и более гибкая с точки зрения топологии масштабируемость;

PCI Express

В отличие от PCI, в которой все устройства подключаются к общей 32-разрядной параллельной однонаправленной шине.

Соединение (**link**) между двумя устройствами PCI Express, и состоит из одного (называемого 1x) или нескольких (2x, 4x, 8x, 12x, 16x и 32x) двунаправленных последовательных соединений **lane**. Каждое устройство должно уметь поддерживать соединение 1x.

На электрическом уровне каждое соединение использует низковольтную дифференциальную передачу сигнала (LVDS), приём и передача информации производится каждым устройством PCI Express по отдельным двум проводникам, таким образом, в простейшем случае, устройство подключается к коммутатору PCI Express всего лишь четырьмя проводниками.

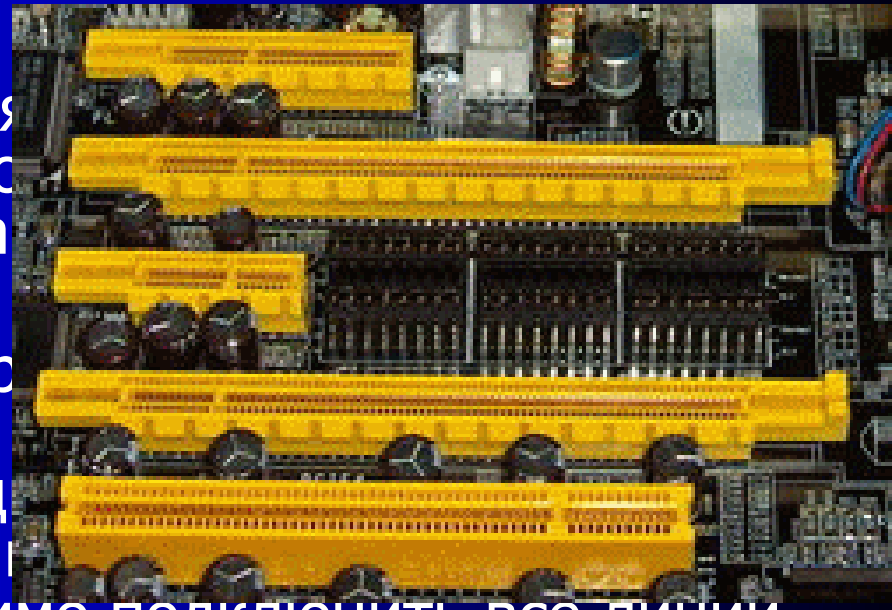
PCI Express

Преимущества:

карта PCI Express помещается в любом слоте той же или большей пропускной способности (например, карта x4 может быть вставлена в слоты x4 и x16);

слот большего физического размера может использовать не все lane'ы (например, в слоте x16 могут использоваться только 8 линий передачи информации), и всё это будет нормально работать (хотя, однако, при этом необходимо подключить все линии «питание» и «земля», необходимые для слота 16x).

В обоих случаях, на шине PCI Express будет использовано максимальное количество lane'ов доступных как для карты, так и для слота. Обратное – не выполняется: (например, карта x4 физически не поместится в слот x1, несмотря на то, что она могла бы работать в слоте x1 с использованием только одного lane).



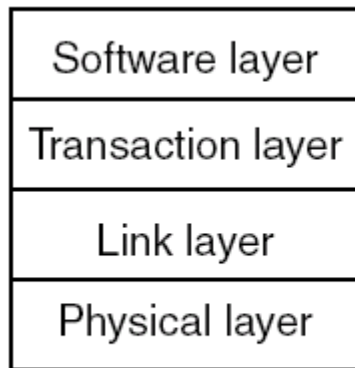
PCI Express

PCI Express пересылает всю управляющую информацию, включая прерывания, через те же линии, что используются для передачи данных. Последовательный протокол никогда не может быть заблокирован, таким образом задержки шины PCI Express вполне сравнимы с таковыми для шины PCI (заметим, что шина PCI для передачи сигнала о запросе на прерывание использует отдельные физические линии IRQ#A, IRQ#B, IRQ#C, IRQ#D).

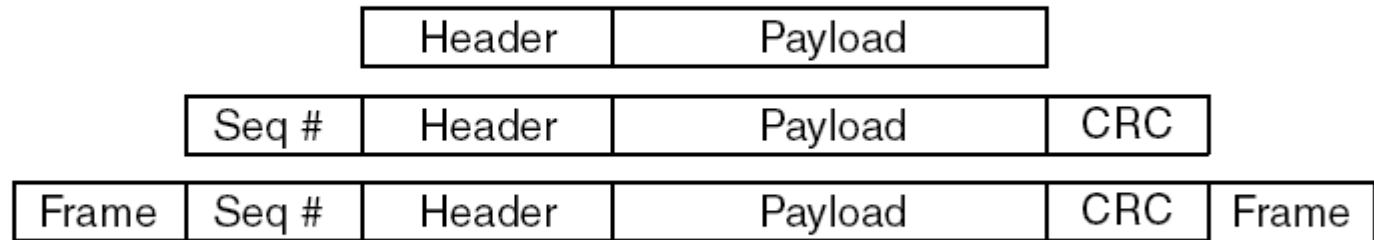
- **Пропускная способность** соединения **lane** составляет 2,5 Гбит/с. Необходимо учитывать, что в каждом соединении передача **дуплексная**, а также применение кодирования *8B/10B* (8 бит в 10)
- Пропускная способность, с учётом двунаправленной передачи, для шин PCI Express с разным количеством связей указана в таблице:

Используется связей	1x	2x	4x	8x	12x	16x	32x
Пропускная способность PCI Express 1.0, ГБ/с	0,5	1	2	4	6	8	16
Пропускная способность PCI Express 2.0, ГБ/с	1	2	4	8	12	16	32

PCI Express Protocol Stack



(a)

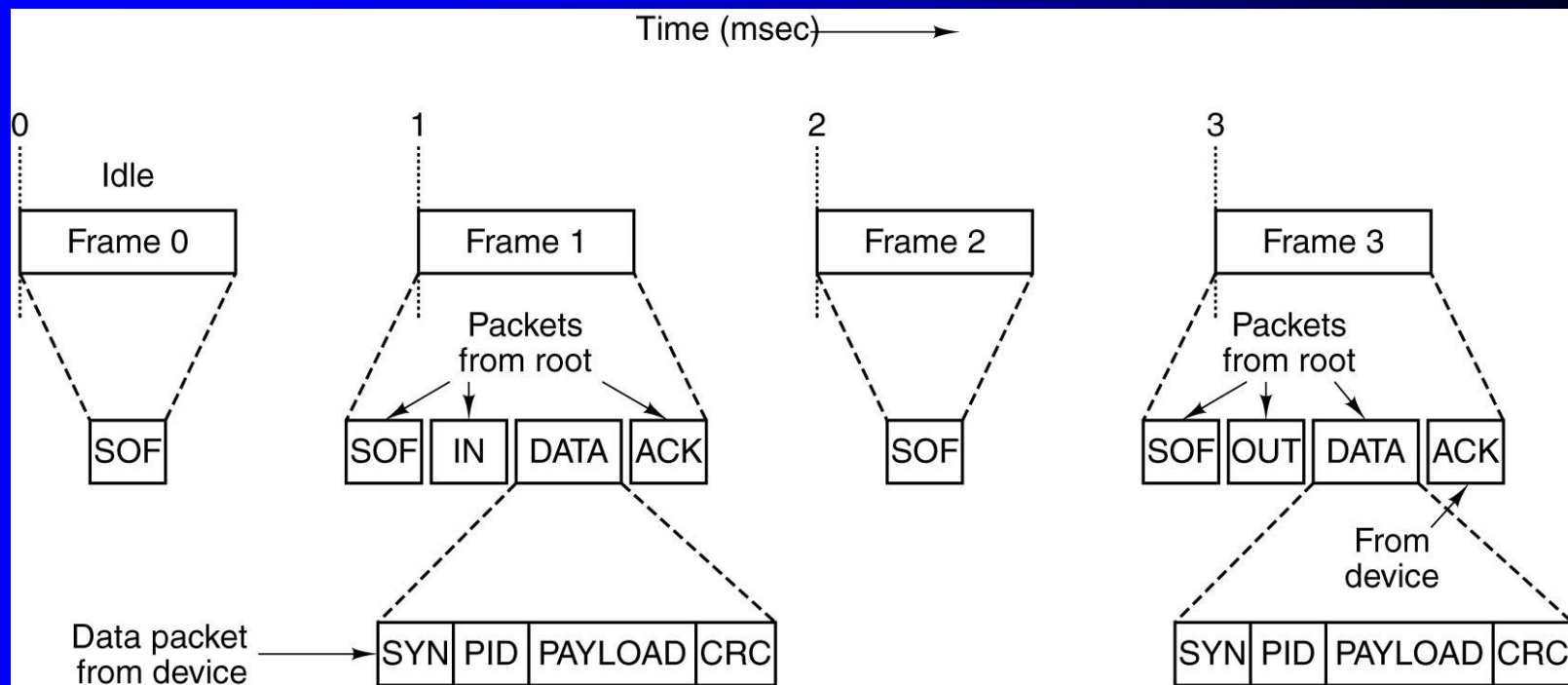


(b)

(a) The PCI Express protocol stack.

(b) The format of a packet.

The Universal Serial Bus



The USB root hub sends out frames every 1.00 ms.