

Структурная и функциональная организация ЭВМ (Computer Organization and Design)

БГУИР

Лекция 9
«Организация памяти-IV»

2019

План лекции

1. Микросхемы памяти DDR
2. Статические микросхемы памяти
3. Специализированные ЗУ

Динамические ОЗУ

Микросхемы DDR SDRAM (Double Data Rate SDRAM - SDRAM с удвоенной скоростью передачи данных) - дальнейшее развитие технологии SDRAM - выдает данные в пакетном режиме по обоим фронтам импульса синхронизации, увеличивая пропускную способность вдвое.

Сущ. несколько спецификаций DDR SDRAM в зависимости от тактовой частоты шины – DDR266, DDR333, DDR400, DDR533. Пиковая пропускная способность DDR333 – 2,7 Гбайт/с, DDR400 – 3,2 Гбайт в сек.

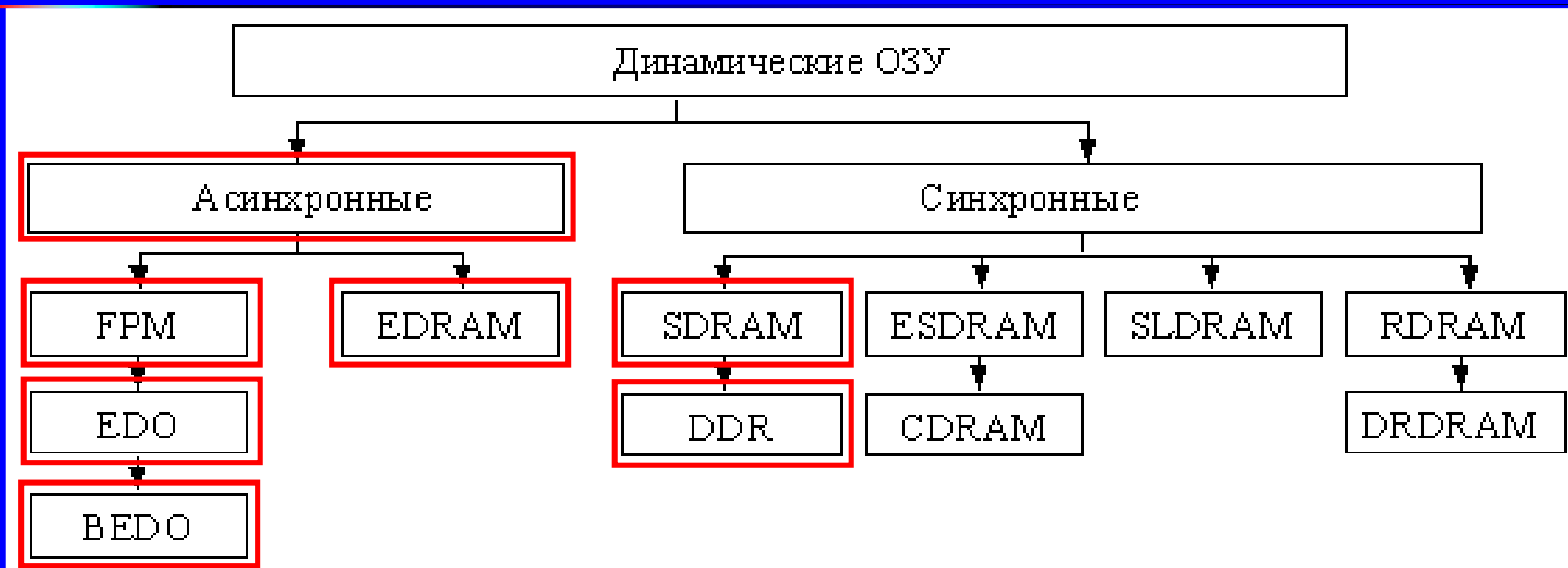
Микросхемы RDRAM, DRDRAM. Принципиально отличный подход к построению DRAM был предложен компанией Rambus в 1997 году. В нем используется оригинальная система обмена данными между ядром и контроллером памяти.

Динамические ОЗУ

Сводная таблица характеристик DRAM:

Тип памяти	Рабочая частота, MHz	Разрядность, бит	Время доступа, нс.	Время рабочего цикла, нс.	Пропускная способность, Мбайт/с
FPM	25, 33	32	70, 60	40, 35	100, 132
EDO	40, 50	32	60, 50	25, 20	160, 200
SDRAM	66, 100, 133	64	40, 30	10, 7.5	528, 800, 1064
DDR	100, 133	64	30, 22.5	5, 3.75	1600, 2100
RDRAM	400, 600, 800	16	„30	„2.5	1600, 2400, 3200

Динамические ОЗУ



DDR SDRAM – Double Data Rate Synchronous DRAM. Главное отличие – данные в **пакетном режиме** выдаются по обоим фронтам импульса синхронизации, за счёт чего пропускная способность возрастает вдвое.

Динамические ОЗУ

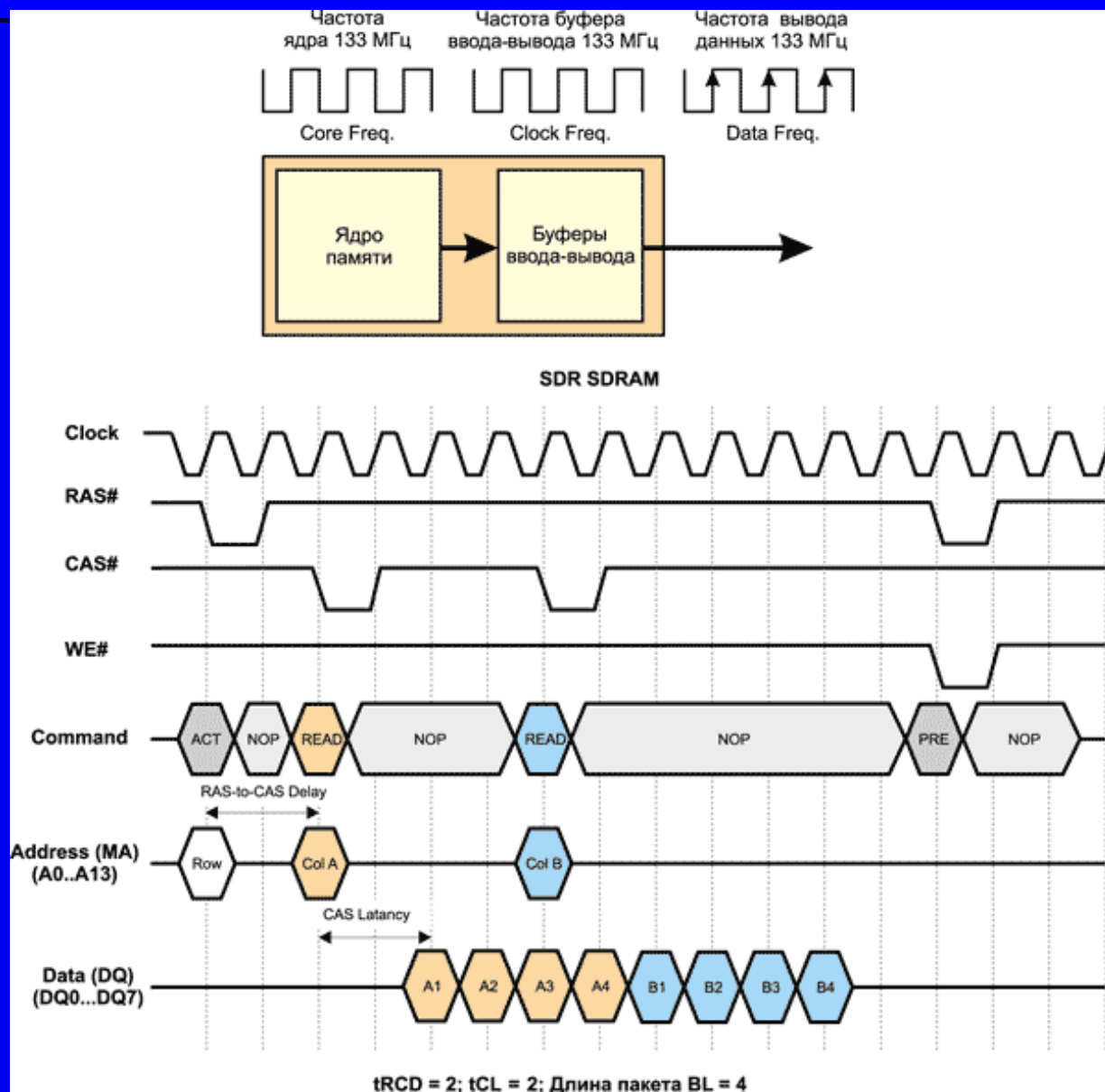
Работа SDR SDRAM:

- Подаётся адрес соответствующей строки. Данные целой строки попадают на усилители и через некоторое время могут быть считаны. Эта операция называется активацией строки (**Activate**).
- Данные считываются из соответствующей колонки командой на чтение (**Read**) и появляются на выходе с некоторой задержкой. В современной памяти используется чтение пакета данных (**burst**), представляющего собой несколько последовательно расположенных слов. Обычно равен 8.
- Пока строка остаётся активной, возможно считывание или запись других ячеек памяти текущей строки.
- Так как при чтении заряд ёмкостей ячеек памяти теряется, то производится подзарядка этих ёмкостей путём записи/закрытия строки (**Precharge**). После закрытия строки дальнейшее считывание из неё данных невозможно без её повторной активации.

Динамические ОЗУ

SDR SDRAM.

- Со временем конденсаторы ячеек разряжаются и их необходимо подзаряжать. Операция подзарядки называется регенерацией (**Refresh**) и выполняется каждые **64 мс** для каждой строки массива памяти.



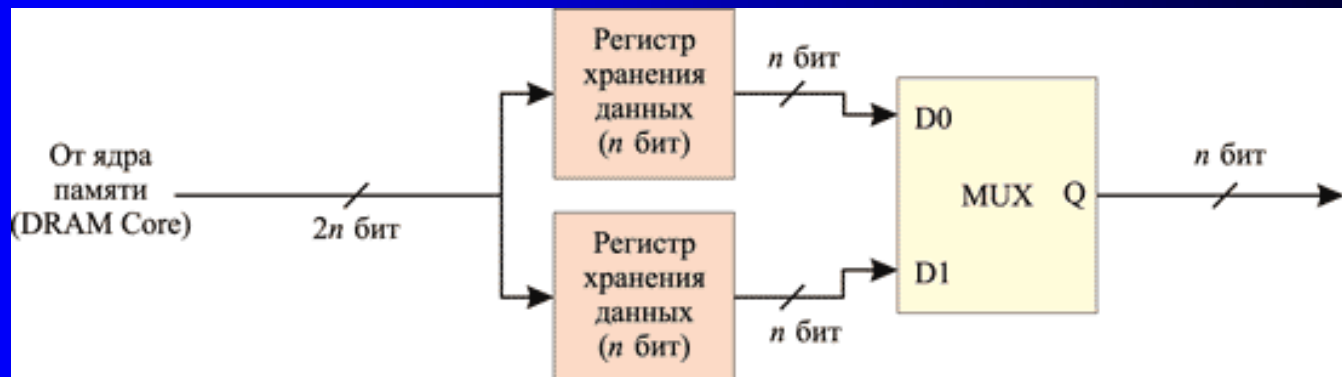
Динамические ОЗУ

DDR SDRAM. В DDR-памяти каждый буфер ввода-вывода на каждой из 64 линий ШД передает два бита за один такт, то есть работает на $2 \times \text{CLK}$, и оставаясь при этом полностью синхронизированным с ядром памяти (которое работает на CLK). Это возможно, только если эти два бита (на каждой из 64 линий) доступны буферу ввода-вывода на каждом такте работы памяти.

Т.е. каждая команда чтения из ядра памяти в буфер ввода-вывода должна передавать сразу $2n$ бит.

Шина ввода-вывода между ядром и буфером удвоенной ширины.

Чтение



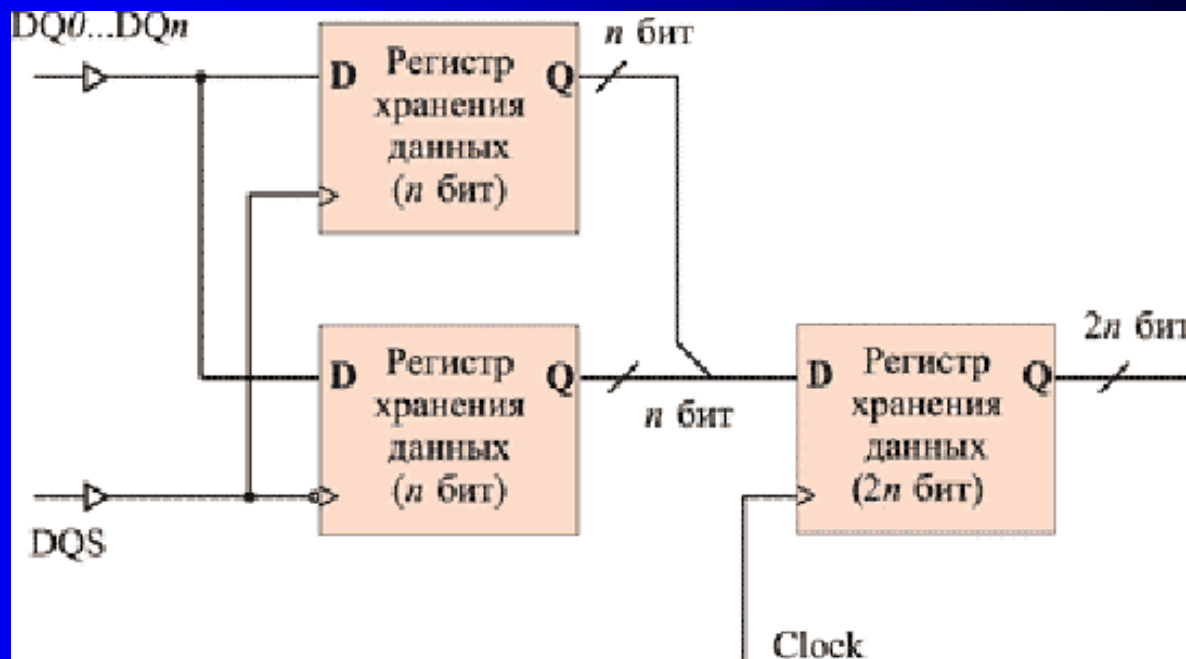
Динамические ОЗУ

DDR SDRAM. Предвыборка $2n$ бит перед передачей их на шину данных – « $2n$ Prefetch».

Доступ к данным «попарно» — каждая одиночная команда чтения данных приводит к отправке по внешней ШД двух элементов (разрядность = разрядности внешней ШД).

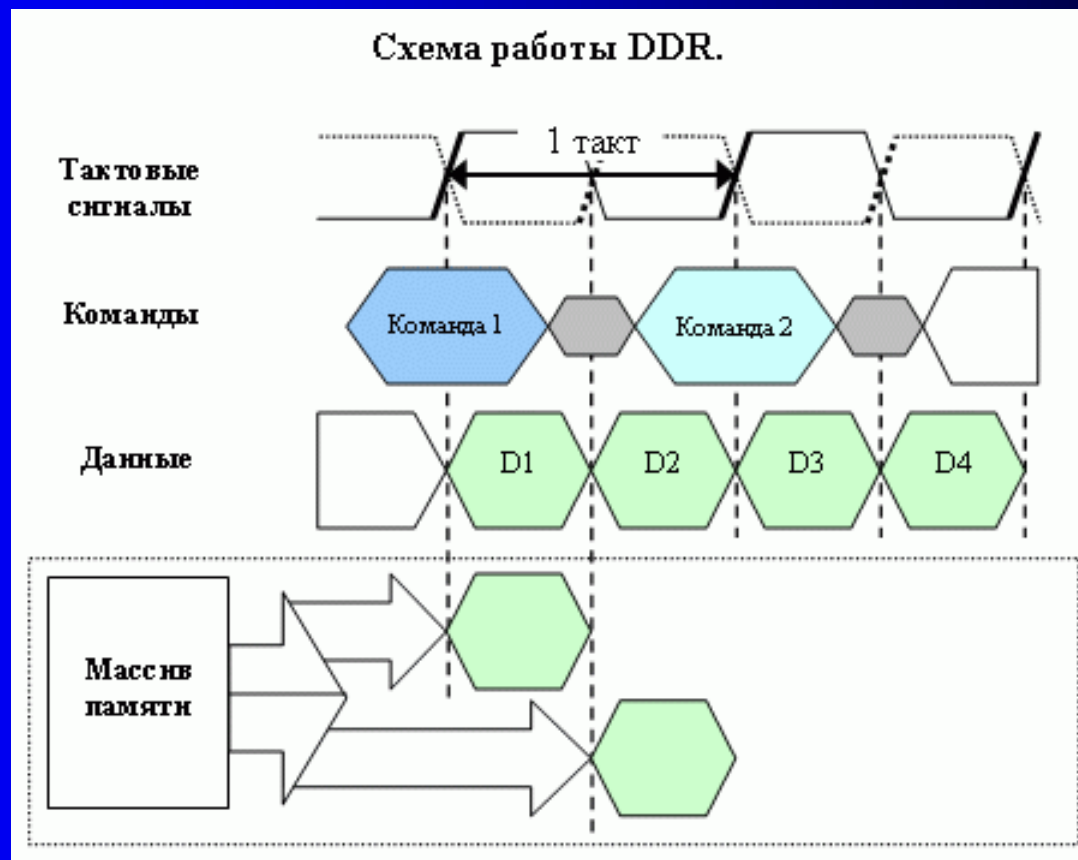
Каждая команда записи данных требует поступления $2x$ элементов по внешней шине данных. Отсюда длина пакета (**Burst Length**) в устройствах DDR SDRAM не может быть меньше 2.

Запись.



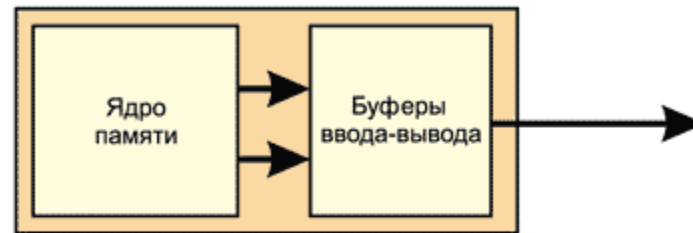
Динамические ОЗУ

DDR SDRAM
- имеет 4
банка
памяти.

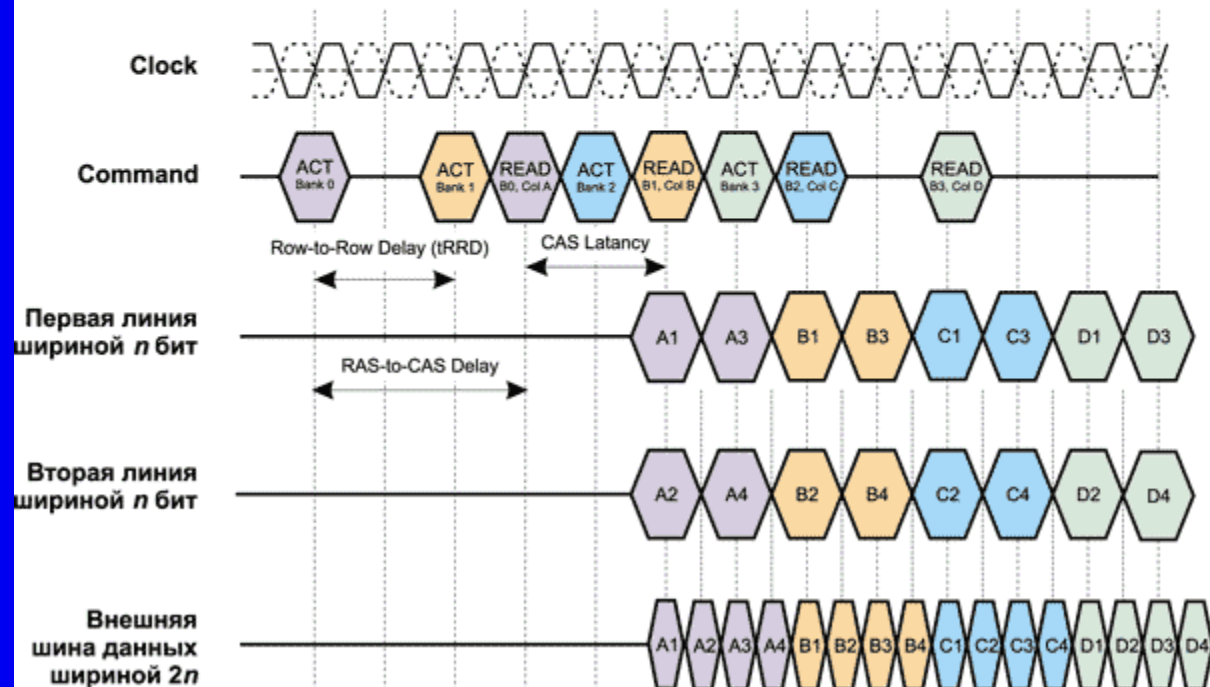


Динамические ОЗУ

DDR SDRAM
- имеет 4
банка
памяти.

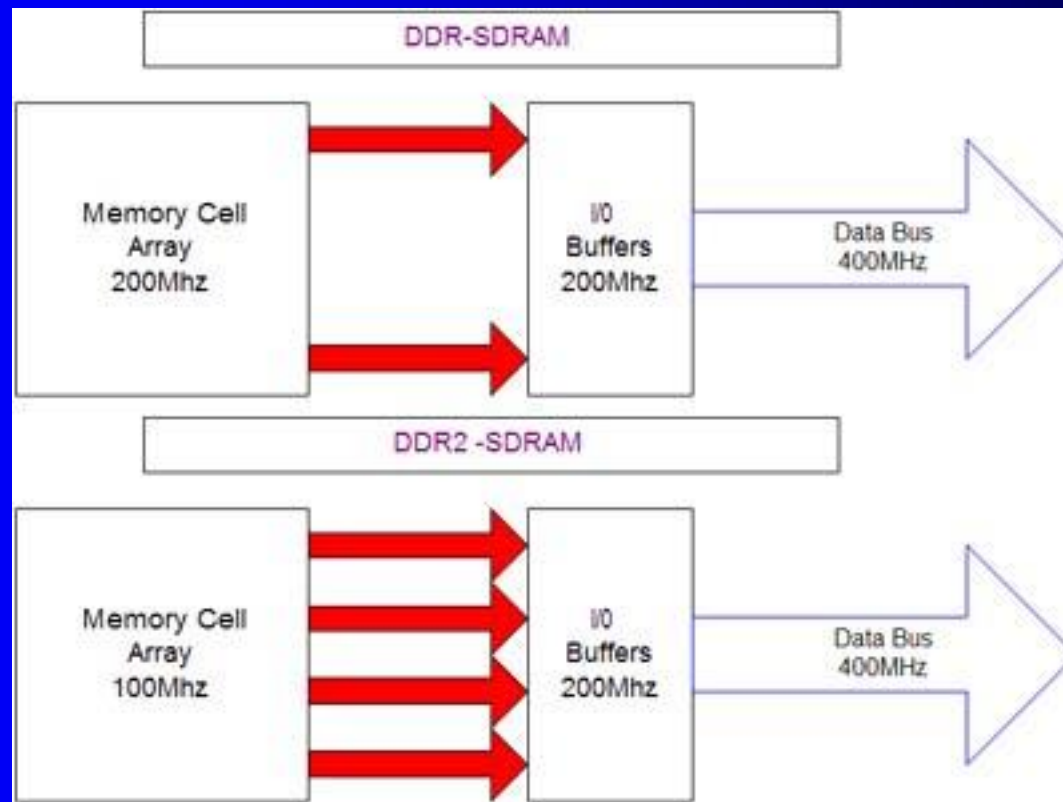


DDR SDRAM



Динамические ОЗУ

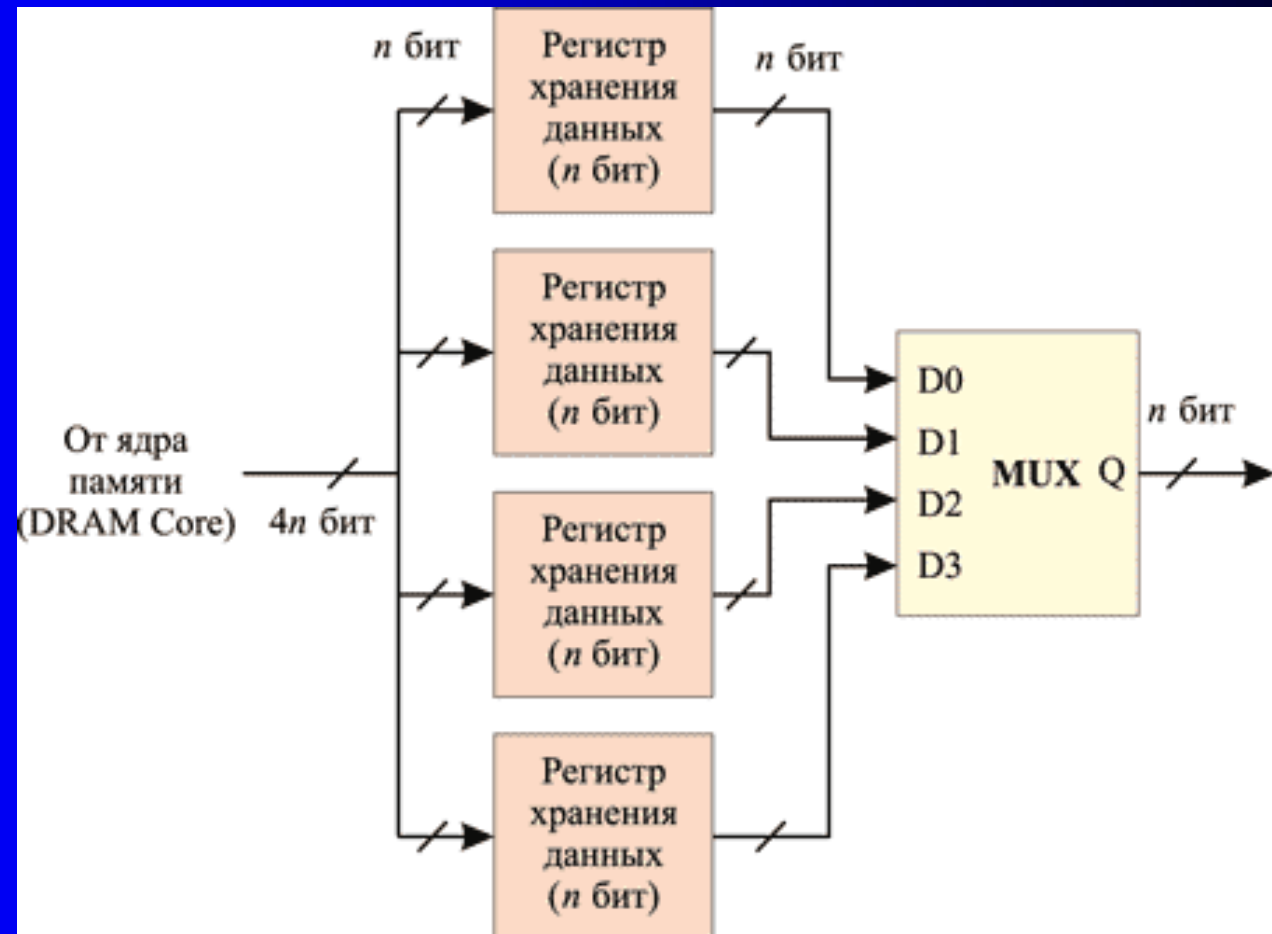
DDR2 SDRAM.



Динамические ОЗУ

DDR2 SDRAM.

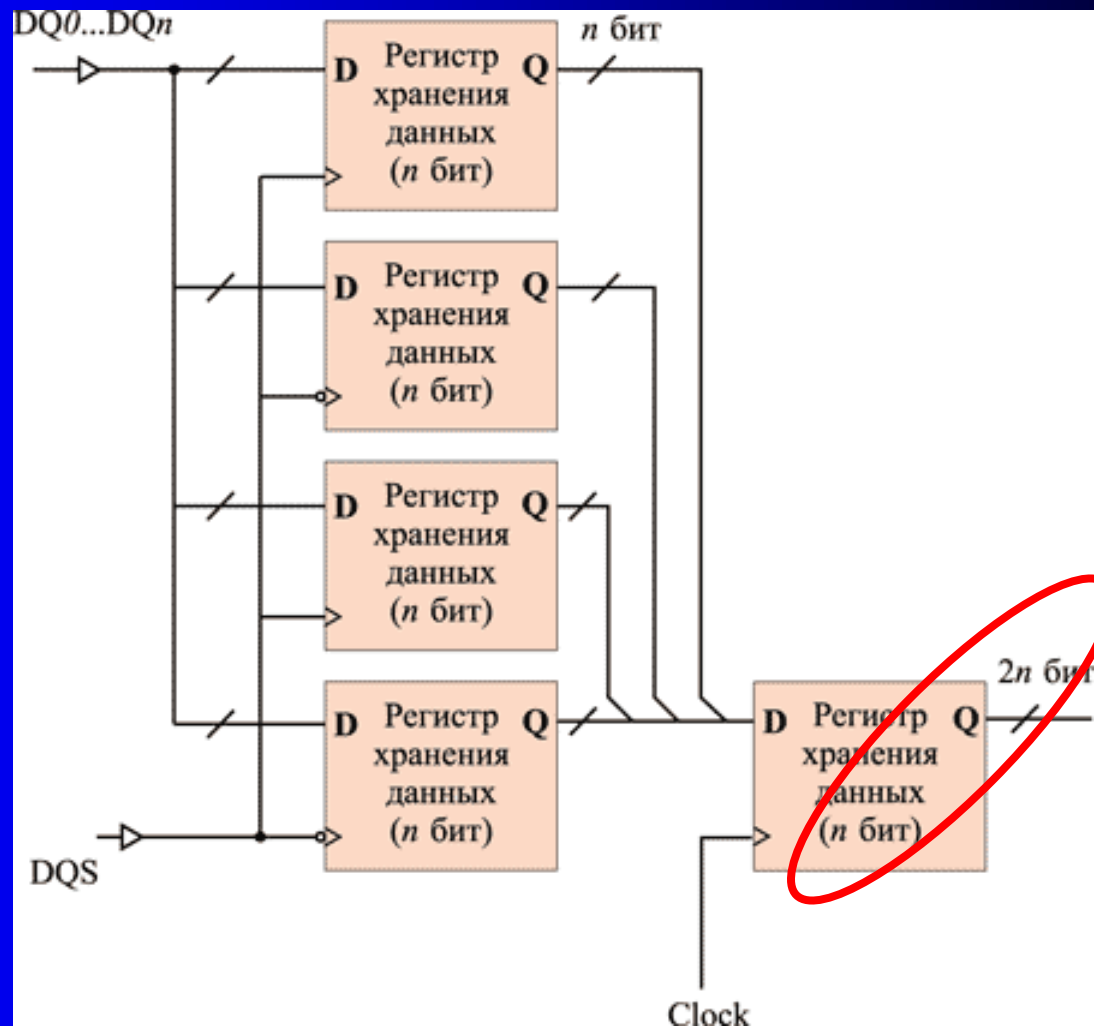
Чтение



Динамические ОЗУ

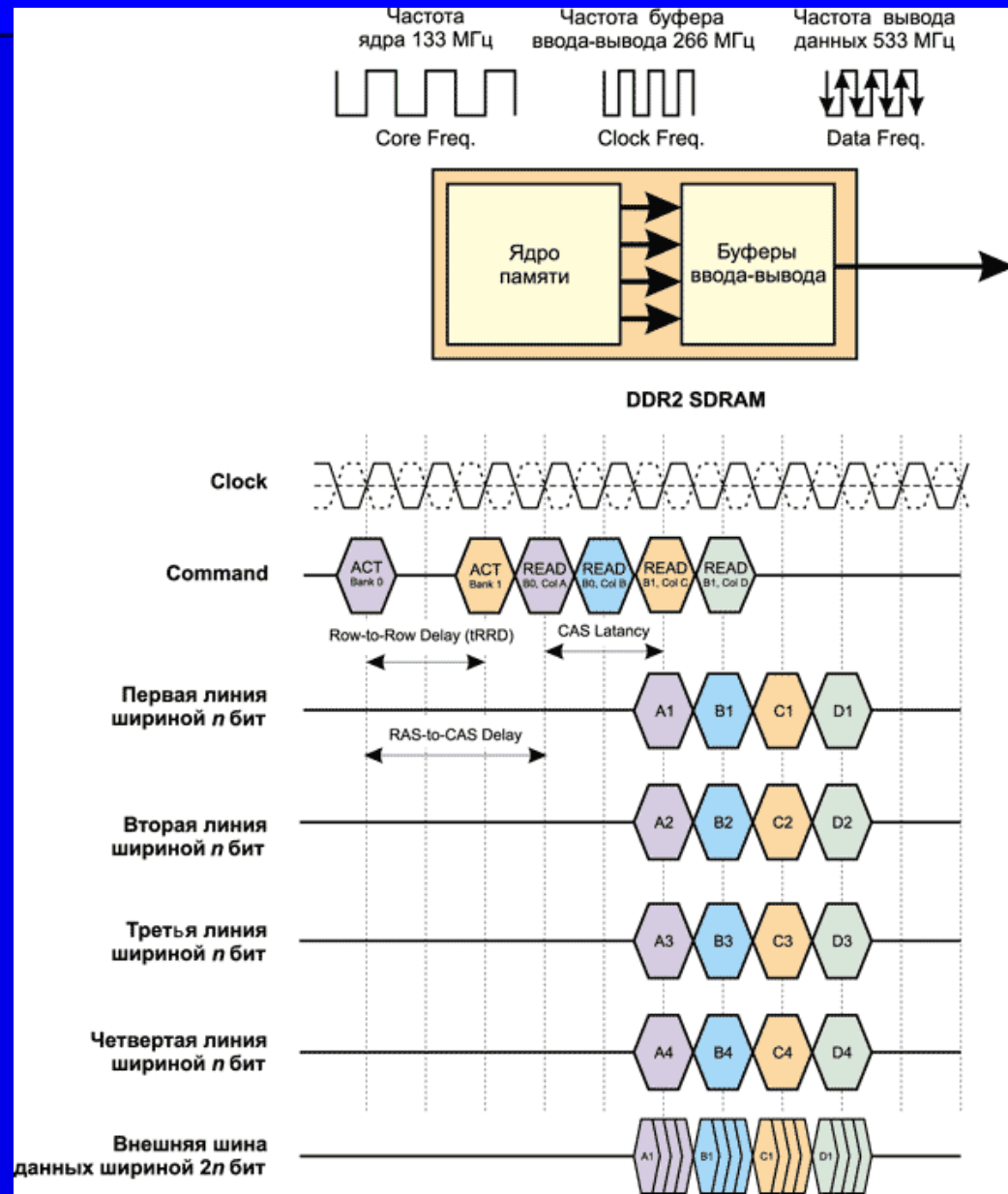
DDR2 SDRAM.

Запись

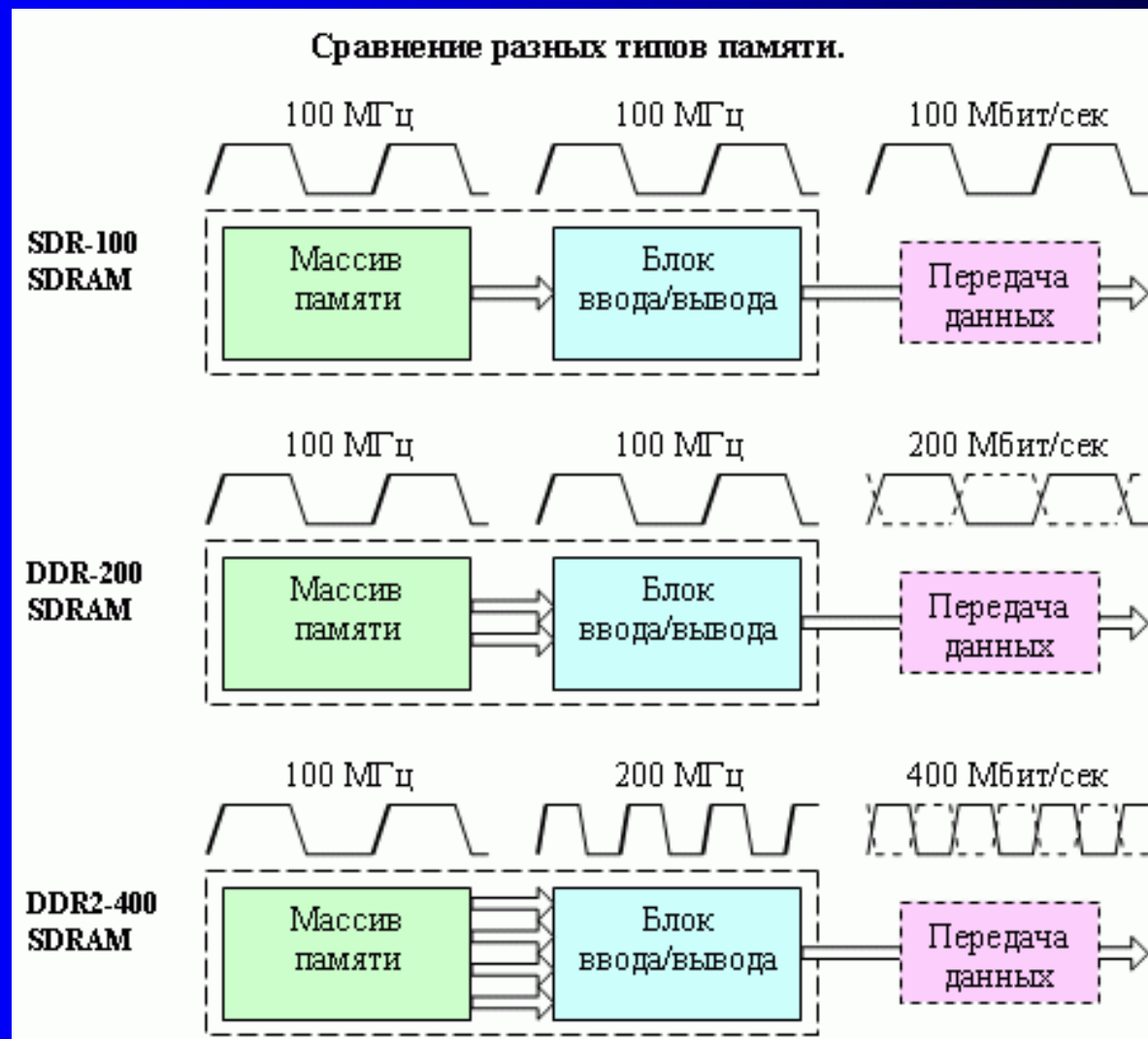


Динамические ОЗУ

DDR2 SDRAM. –
уменьшенное
энергопотребление, но
увеличенная
частота ->
повышенный
разогрев
микросхемы



Динамические ОЗУ



Динамические ОЗУ

DDR3.

- Первые прототипы DDR3 были анонсированы в начале 2005 г. Появление на рынке – в июне 2007. Intel Core i7 поддерживает только DDR3, контроллер памяти встроен в процессор по три канала (всего 6 модулей). AMD первый процессор с поддержкой DDR3 - февраль 2009 ([Phenom II](#) X4).
- DDR3 в формате DIMM имеет 240 контактов, но электрически не совместим с DDR2. DDR3 SO-DIMMs имеет 204 контакта.
- On July 21, 2009 Samsung began mass-producing 2-Gigabit DDR3 chips.

Эфф. частота работы DDR3-памяти составляет от 800 до 1600 МГц. DDR3 также отличается и уменьшенным энергопотреблением. DDR-память работает при напряжении 2,5 В, DDR2 — при 1,8 В, то DDR3 -- 1,5 В (на 16,5% меньше, чем DDR2).

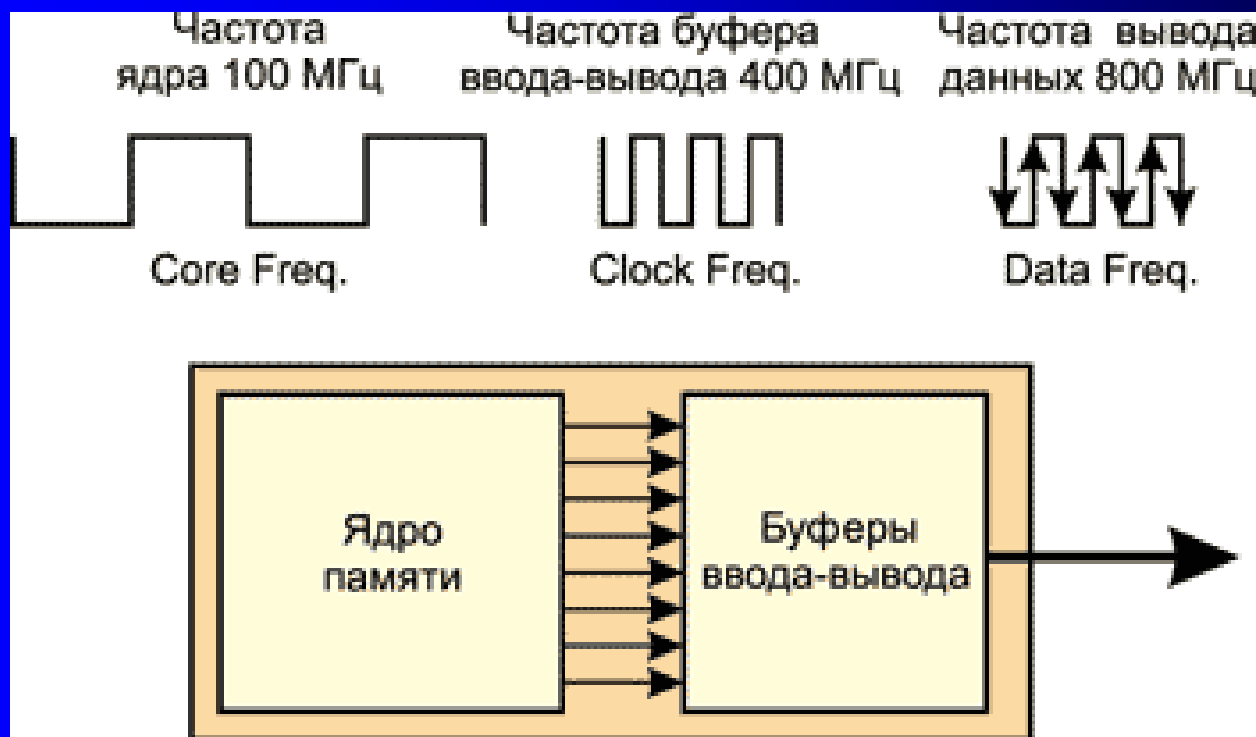
Снижение напряжения питания достигается за счет использования *90-нм техпроцесса производства микросхем памяти и применения транзисторов с двойным затвором (Dual-gate), что способствует снижению токов утечки.*

Динамические ОЗУ

DDR3 используют 8-банковую логическую структуру. Принципиальное отличие памяти DDR3 от памяти DDR2 - в реализации механизма **8n-Prefetch** вместо **4n-Prefetch**.

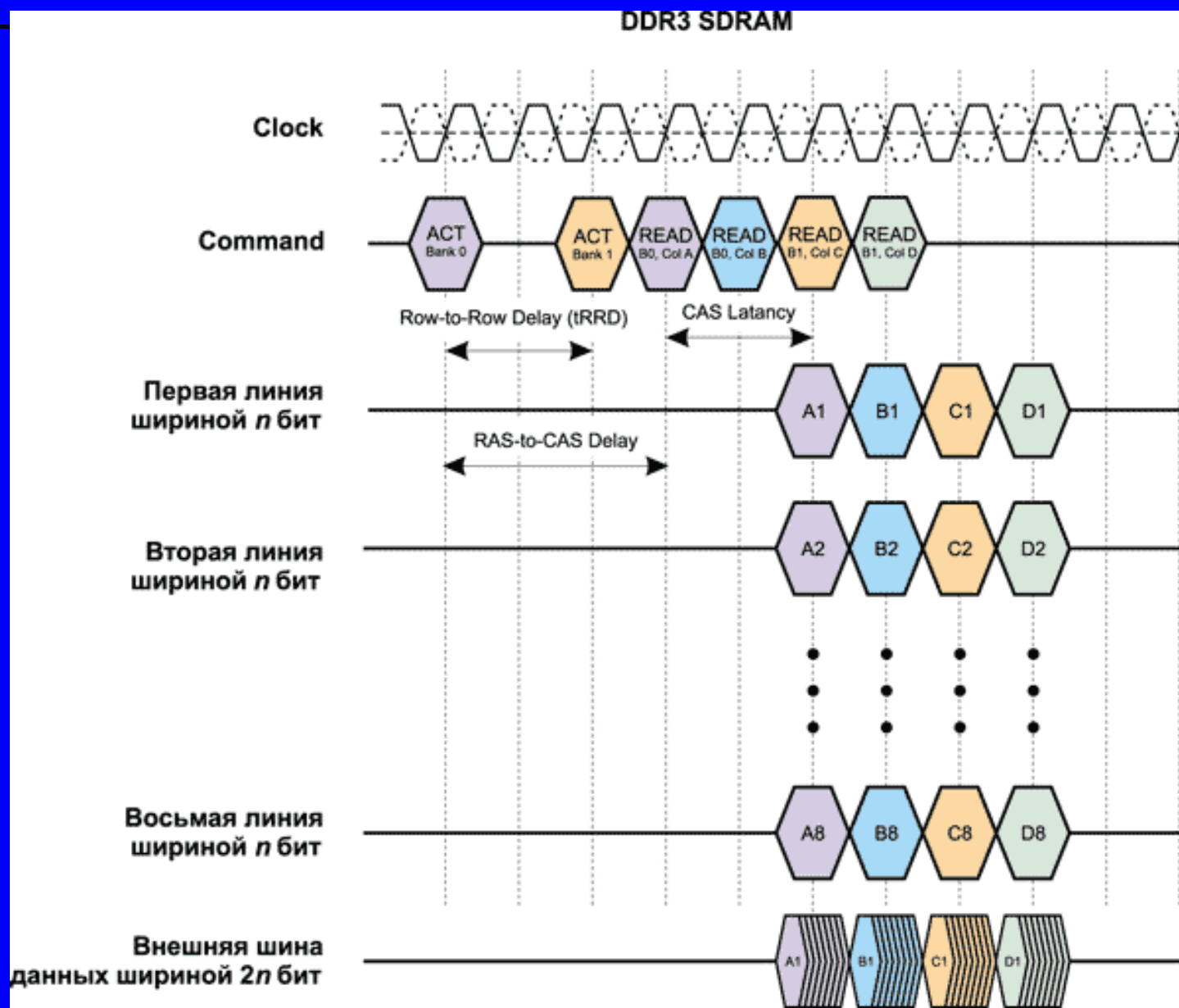
Для организации данного режима работы памяти необходимо, чтобы буфер ввода-вывода (мультиплексор) работал на частоте в 8 раз большей по сравнению с частотой ядра памяти. Достигается это следующим образом: ядро памяти, как и прежде, синхронизируется по положительному фронту тактирующих импульсов, а с приходом каждого положительного фронта по восьми независимым линиям в буфер ввода-вывода (мультиплексор) передаются 8n бита информации (выборка 8n битов за такт). Сам буфер ввода-вывода тактируется на **учетверенной частоте** ядра памяти и синхронизируется как по положительному, так и по отрицательному фронту данной частоты. Это позволяет за каждый такт работы ядра памяти передавать **восемь слов на шину данных**, то есть в восемь раз повысить пропускную способность выходных регистров памяти по сравнению с его ядром.

Динамические ОЗУ

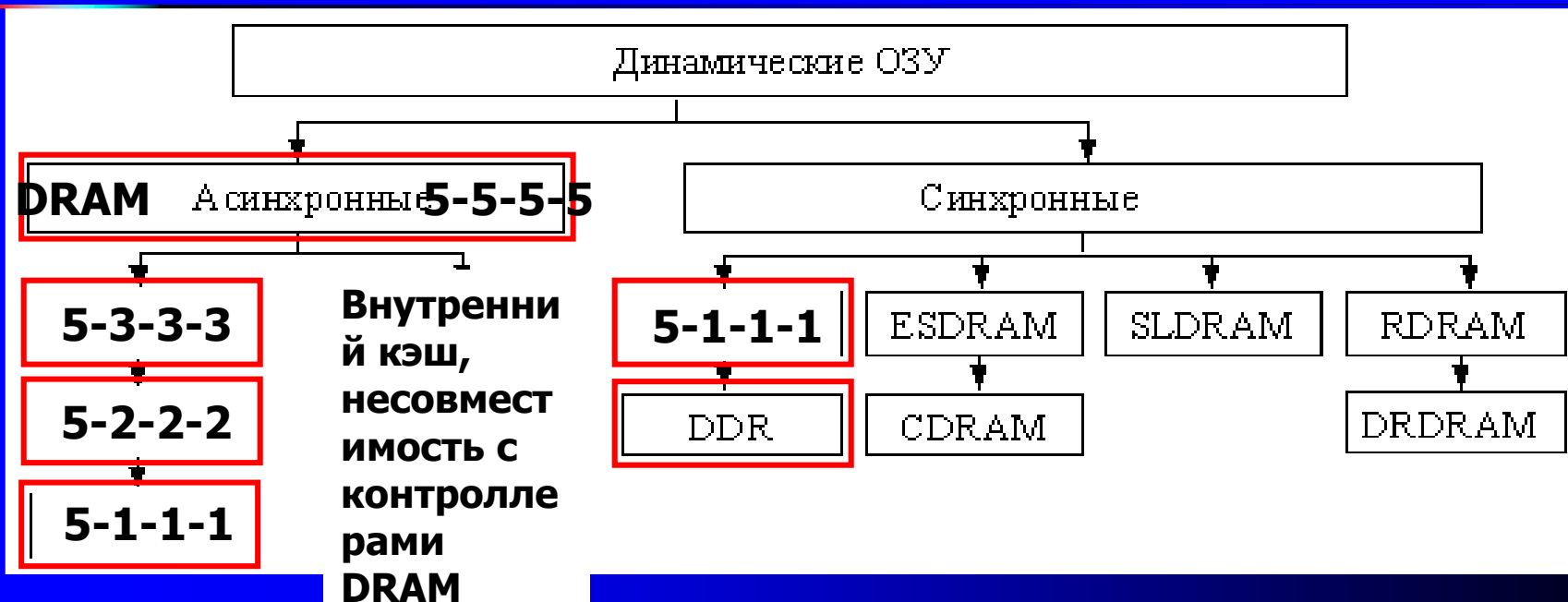


DDR3. По сравнению с памятью DDR2, DDR3-память позволяет обеспечить ту же пропускную способность при вдвое меньшей частоте ядра. К примеру, в памяти DDR2-800 ядро функционирует на частоте 200 МГц, а в памяти DDR3-800 — на частоте 100 МГц.

DDR3.



Динамические ОЗУ



DDR SDRAM – Double Data Rate Synchronous DRAM. Главное отличие – данные в пакетном режиме выдаются по обоим фронтам импульса синхронизации, за счёт чего пропускная способность возрастает вдвое.

Динамические ОЗУ

Standard name	Memory clock	Cycle time	I/O bus clock	Data rate	Module name	Peak transfer rate	Timings
DDR3-800	100 MHz	10 ns	400 MHz	800 MT/s	PC3-6400	6400 MB/s	5-5-5 6-6-6
DDR3-1066	133 MHz	7.5 ns	533 MHz	1066 MT/s	PC3-8500	8533 MB/s	6-6-6 7-7-7 8-8-8
DDR3-1333	166 MHz	6 ns	667 MHz	1333 MT/s	PC3-10600	10667 MB/s	7-7-7 8-8-8 9-9-9 10-10-10
DDR3-1600	200 MHz	5 ns	800 MHz	1600 MT/s	PC3-12800	12800 MB/s	8-8-8 9-9-9 10-10-10 11-11-11

Динамические ОЗУ

DDR4.

- Первые прототипы DDR4 - январь 2011 г. (Samsung)
- Старт продаж - 2 квартал 2014 года.
- DDR4 в формате DIMM имеет 288 (DDR3 – 240) контактов,
- DDR4 SO-DIMMs имеет 260 (DDR3 – 204) контакта.
- Минимальный объём модуля – 2Гб, максимальный – 128 Гб.

Эфф. частота работы DDR4-памяти составляет от 1066 до 2133 МГц (DDR3 – 800 до 1600 МГц).

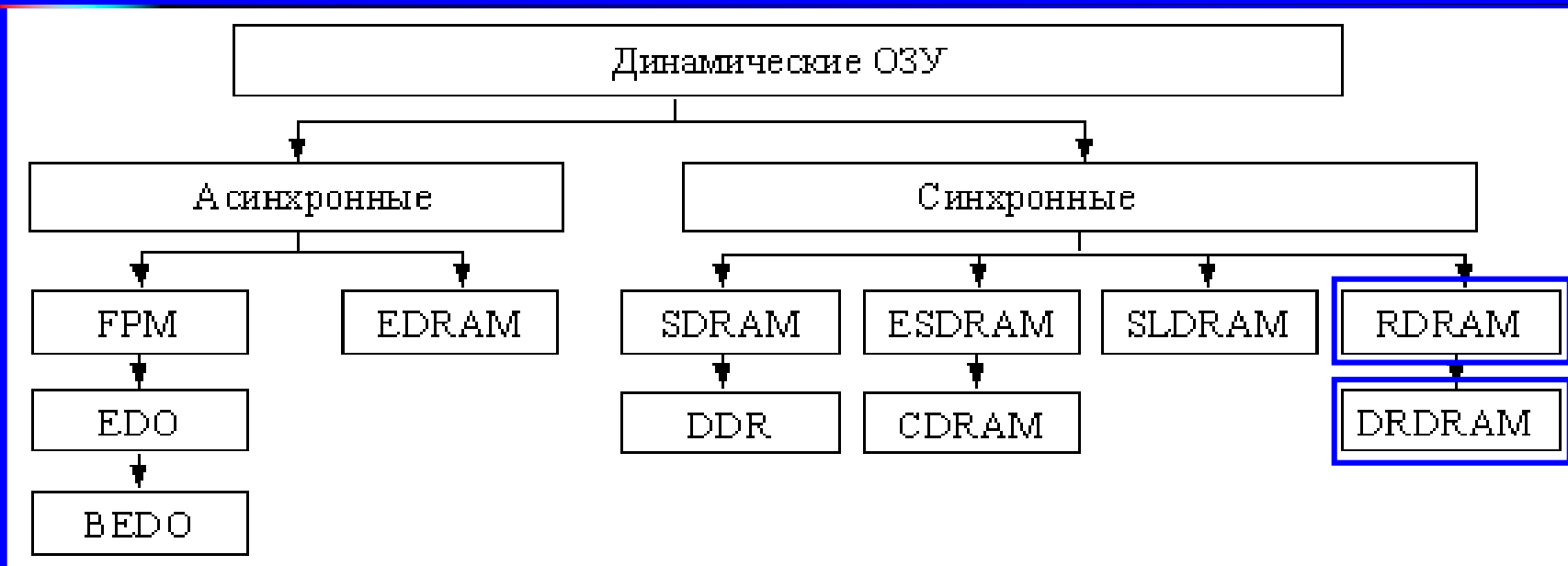
DDR-память работает при напряжении 2,5 В, DDR2 — при 1,8 В, DDR3 — 1,5 В, DDR4 — от 1,1 до 1,2.

Техпроцесс 30-нм.

Для DDR4 - 1066 МГц максимальная пропускная способность составит $1066 \times 8 \times 2 = 17\,056$ МБ/с или 133,25 Гбит/с

Для DDR4 - 2133 МГц макс ПС $2133 \times 8 \times 2 = 34\,128$ МБ/с или 266,5 Гбит/с

Динамические ОЗУ



Микросхемы RDRAM, DRDRAM.

Обычный способ повышения КПД памяти – повышение тактовой частоты или ширины ШД. В большинстве DRAM – широкая выборка 64 бита при ограниченной частоте шины.

Новый подход от фирмы Rambus (1997) – увеличение частоты (до 400 МГц) и уменьшение ширины выборки до 16 бит!

Динамические ОЗУ

RDRAM (Rambus Dynamic RAM) – три технологии Base, Concurrent and Direct. Во всех используется DDR – частоты удваиваются 500-600, 700 и 800 МГц (соответственно).

Direct Rambus DRAM – DRDRAM имеет оригинальную систему обмена данными между ядром и контроллером памяти на основе «канала Rambus» - асинхронный блочно-ориентированный протокол пакетной передачи данных.

Три вида пакетов – данных, строк и столбцов. Пакеты строк/столбцов - вместо системы управления RAS,CAS,WE,CS.

Массив ЗЭ разбит на банки (для 64 Мбит – 8 независимых и 16 сдвоенных банков). В сдвоенных – общие УЧЗ. Внутренняя шина данных – 128 бит, по каждому адресу столбца можно передавать 16 байт. При записи можно использовать маску, в кот. один бит обозначает один байт пакета – можно указать сколько и какие байты д.б. записаны в память.

Динамические ОЗУ

RDRAM. Линии данных, строк и столбцов в «канале» полностью независимы – команды стр. стол. и дан. могут передаваться независимо для разных банков.

Пакеты столбцов – два поля и передаются по пяти линиям. Первое поле – операция Чт или Зп. Второе – маска либо уточнение операции.

Пакеты строк (три линии) – пакеты активации, отмены, регенерации и команды переключения режима энергопотребления.

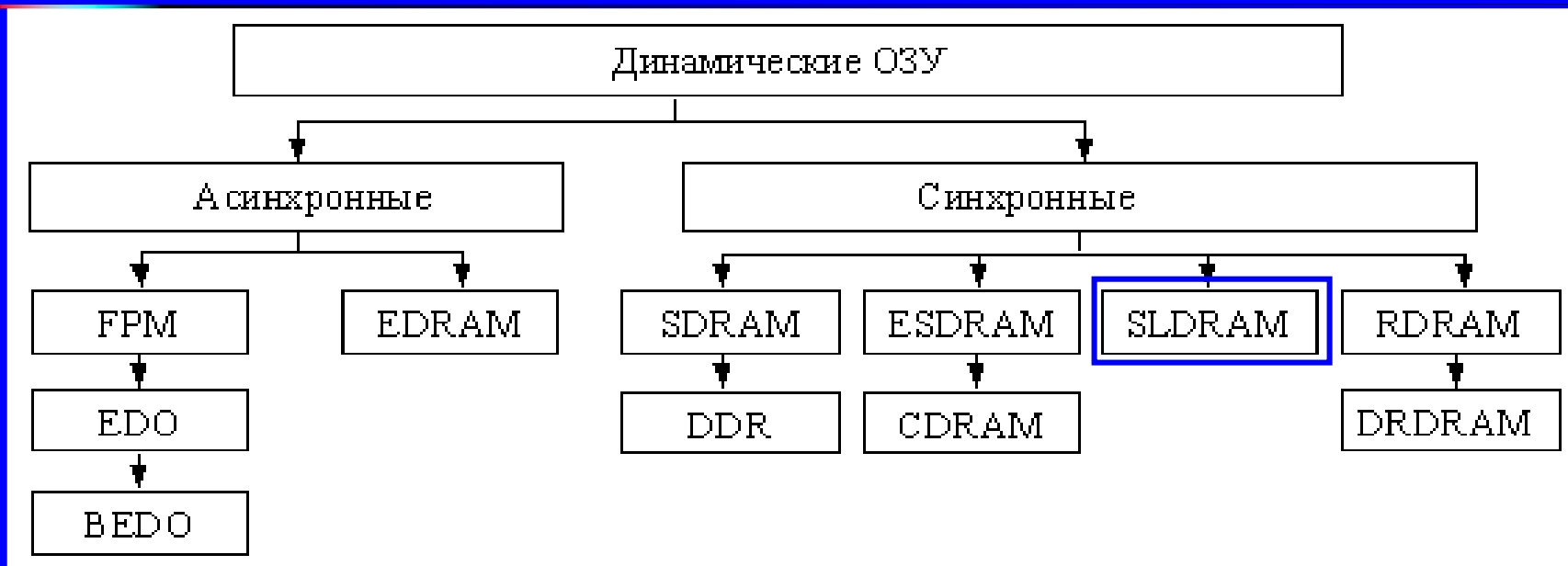
Операция записи может следовать сразу за чтением (задержка только за каналом – от 2,5 до 30 нс). Чтобы выровнять задержки – проводники д.б. строго параллельно и не более 12 см + доп. требования разработчиков.

Каждая запись в канале м.б. конвейеризирована – время задержки первого пакета – 50 нс, остальные – непрерывно, задержка при смене операции (чт.-зп.).

Максимальная производительность - RIMM 6400: 32-bit, dual channel RIMM specified to operate at 800 MHz clock rate, **6400 MB/s**.

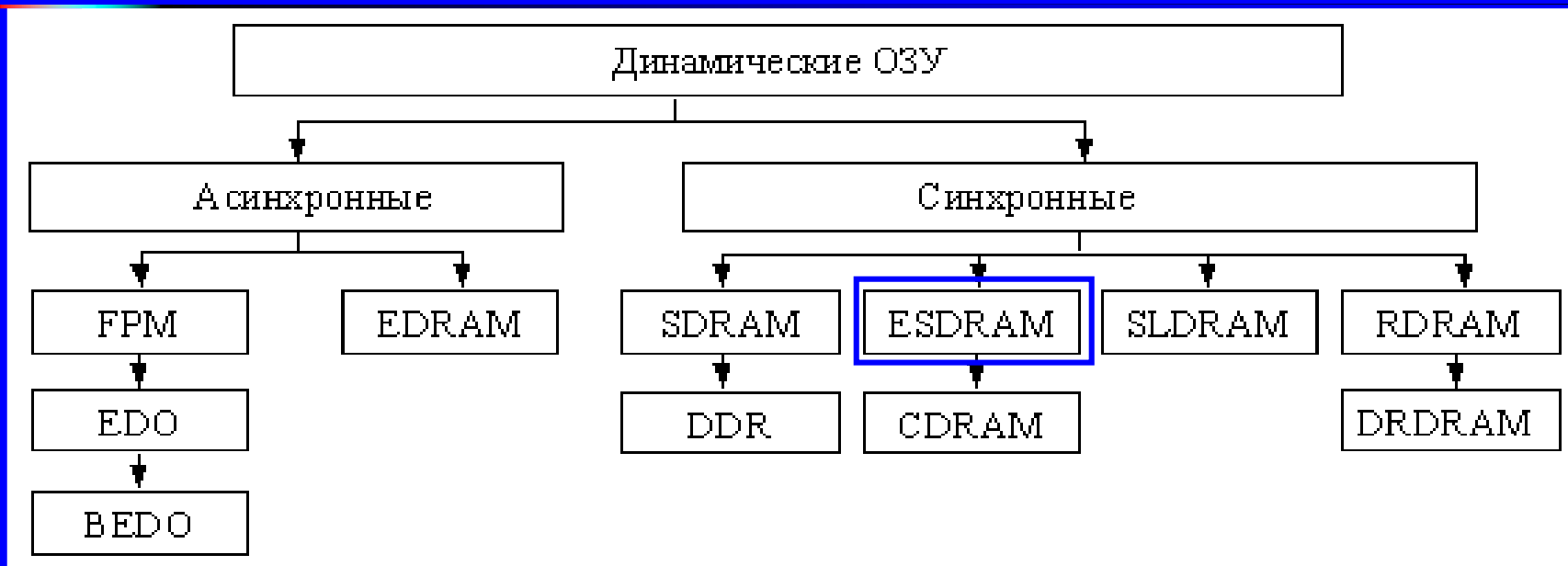
Дальнейшее развитие – XDR и XDR2 DRAM (2005 год) - 800 MHz * 16 * 32 bit * на канал.

Динамические ОЗУ



Микросхемы SLDRAM - основной конкурент DRDRAM, открытый стандарт от SyncLink Consortium. На системном уровне очень похож на DRDRAM. Контроллер – память -> пакеты 4 или 8 посылок. Команды, адрес, упр. сигналы - по однонаправленной 10 битной командной шине. Данные – по 18 разрядной ШД. Частота – 200 МГц, но используется DDR – т.е. 400 МГц (будет 400-800 МГц). К одному контроллеру м.б. подключено до 8 микросхем памяти. Для избегания запаздывания – самодетекция и сохр. характер-к при вкл. питания.

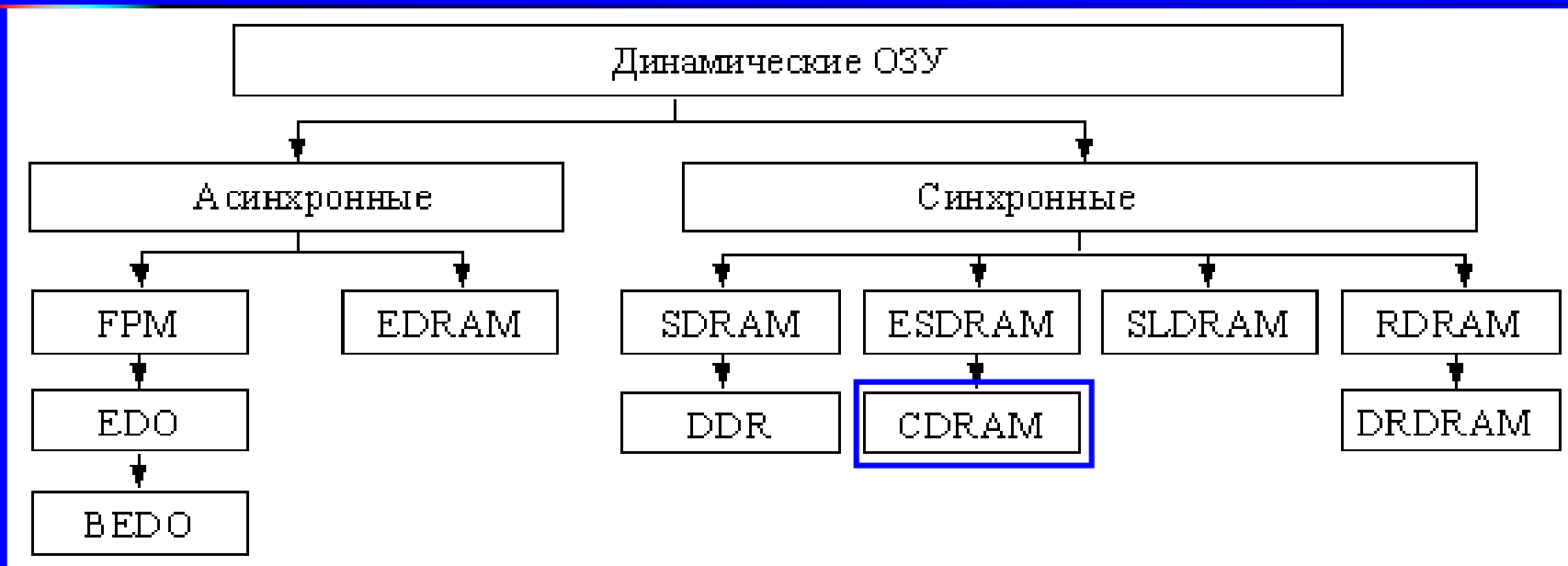
Динамические ОЗУ



Микросхемы ESDRAM - синхронная версия EDRAM – с использованием встроенной кэш-памяти. Операция записи в отличие от чтения – в обход кэш-памяти, что увеличивает производительность при повторном чтении из «старой строки в кэше». Два банка памяти в микросхеме – мин. простои из-за подготовки к операциям чтения/записи.

Минусы те же – *усложнение контроллера, т.к. он должен учитывать загрузку в кэш новой строки ядра, а так же – неэффективность при произвольном чтении.*

Динамические ОЗУ



Микросхемы CDRAM - усовершенствование ESDRAM компанией Mitsubishi. Изменены ёмкость кэш-памяти и принцип размещения в ней данных. Ёмкость одного блока – 128 бит, т.е. в 16 Кбит кэша – до 128 участков памяти. Замена первого помещённого в кэш блока – только после полного заполнения кэша.

Используются отдельные ША для статического кэша и динамического ядра. Перенос данных из ядра в кэш совмещён с выдачей данных на шину -> частые внутренние пересылки не влияют на производительность. Но ещё большее усложнение кон-ра.

Статические ОЗУ



Статические ОЗУ

Асинхронные статические ОЗУ – применялись в кэшпамяти 2го уровня начиная с i80386. Время доступа – 15-20нс (в лучшем случае 12 нс).

Синхронные статические ОЗУ – SSRAM и PB SRAM. Отличительная особенность SSRAM – входные регистры, фиксирующие входную информацию. Работают в режиме 3-1-1-1, но если частота выше, то 3-2-2-2.

PB SRAM – Pipelined Burst SRAM – внутренняя конвейеризация, скорость возрастает вдвое. Хорошо работает при повышенных частотах системной шины. Время доступа – от 4,5 до 8 нс – 3-1-1-1 даже при 133 МГц.

Статические ОЗУ

Запись в статических ОЗУ – стандартная – адрес и данные на шине в одном и том же такте и запаздывающая – данные на шине не сразу, а в следующем такте после адреса. Оба варианта работают на частоте шины. Разница – лишь при переключении операции – чтение/запись, запись/чтение.

В стандартном режиме – потеря нескольких тактов на переключение. В кэш памяти – не страшно, запись – гораздо реже, чем чтение – количество переключений не велико.

В режиме с запаздыванием потери тактов не происходит.

ZBT SRAM – Zero Bus Turnaround – нулевое время переключение шины от IDT (Integrated Device Technology) – запись с запаздыванием производить с тем же интервалом, что требуется для чтения. Если SRAM с конвейером требует три тактовых периода для чтения данных из ячейки, то данные для записи нужно передавать с таким же промедлением относительно адреса. В результате циклы чтения и записи – **один за одним, без задержек**.

Статические ОЗУ

Энергонезависимые ОЗУ – (NVRAM – Non-Volatile RAM) – несколько типов памяти – от ПЗУ они отличаются отсутствием операции «стирания» и нового «программирования» информации.

BBSRAM – обычные статические ОЗУ со встроенным литиевым аккумулятором и усиленной защитой от вкл./выкл. внешнего питания.

NVRAM от Simtec – в одном корпусе – SRAM и перепрограммируемое EEPROM. При включении – данные из EEPROM в SRAM, при выключении – из SRAM в EEPROM.

FRAM (Ferroelectric RAM) – ферроэлектрическая память от компании Ramtron – быстродействие чуть ниже динамических ОЗУ, альтернатива флэш-памяти. Отсутствие явно выраженного стирания перед записью. Принцип действия аналогичен DRAM, но конденсатор – из BaTiO_3 и не разряжается так быстро. При чтении требует регенерации. Количество циклов записи – 10 млрд.

Специализированные ОЗУ

Специализированные ОЗУ – кроме стандартных функций в схеме реализованы доп. возможности:

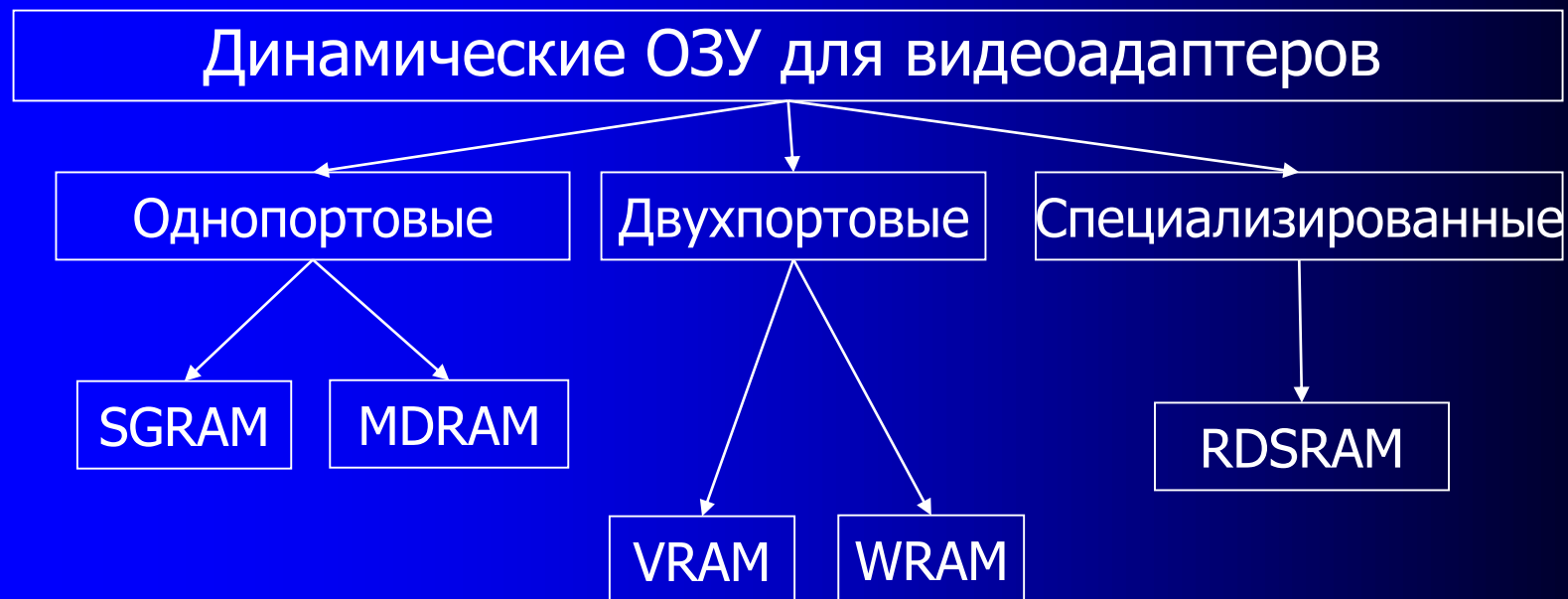
- Память для видеоадаптеров
- Память с множественным доступом (-статическая)
- Память типа очереди (FIFO) (- статическая)

Видеопамять. *Динамические сцены – вместо пересылки данных по шине – изменение их положения средствами самой микросхемы памяти. Изменение цвета точек – пикселей.*

SGRAM – Synchronous Graphic DRAM – может самостоятельно совершать блочную запись данных . Два режима записи – можно менять цвет сразу 8 пикселей и блочная запись с маскированием – отдельные пиксели блока не меняют цвет при перезаписи. Модификация микросхемы – DDR SGRAM.

VRAM – Video RAM – высокая производительность. Постоянное обновление данных на экране – поток 200 Мбит/с. Процессору очень сложно получить доступ к памяти при такой интенсивности

ОЗУ Видеоадаптеров



Базовый предел частоты выборки данных из открытой строки, как правило, 200 MHz для стандартной SDRAM и 400–600 MHz для высокопроизводительной графической памяти.

Специализированные ОЗУ

VRAM. Два потока – один «видеопамять – ЦП» (параллельный порт), второй – «видеопамять – ЦАП» (последовательный порт). Ядро памяти (DRAM) дополнено памятью с последовательным доступом (SAM – Serial Access Memory) – емкость 4 Кб. Внутренняя шина DRAM – SAM.

WRAM – аналогична VRAM, но чуть проще и быстрее. Некоторые редкоиспользуемые ф-ции VRAM ликвидированы, введены другие – быстрое выведение на экран текста и закрашка одним цветом больших площадей экрана. Быстрая буферизация данных, увеличенная разрядность внутренней ШД. Ускорено ядро микросхемы – Ultra Fast Page режим – время доступа 15 нс. В среднем WRAM на 50% производительнее и на 20% дешевле VRAM.

MDRAM – Multibank DRAM – содержит множество независимых банков памяти – по 1К 32 разрядных слов. Банки на широкой внутренней шине. Отказ одного банка – влияет лишь на общую ёмкость микросхемы. Можно изготавливать микросхемы **любой ёмкости, не обязательно кратно 2.**

Специализированные ОЗУ

3D-RAM – результат работы Mitsubishi и Sun Microsystems. Помимо ядра запоминающих элементов – микросхема 3D-RAM содержит процессор (АЛУ) и кэш-память. *Процессор может выполнять определённые действия с изображением прямо в памяти -> основные операции над пикселями – один такт. В результате в секунду можно выполнить до 400 млн. операций по обработке данных и закрасить до 4 млн. элементарных треугольников. Кэш – для более равномерной нагрузки на процессор в процессе интенсивных вычислений.*

Ядро 3D-RAM – из 4 банков общей ёмкостью 10 Mbit. Размер строк – в одной области памяти находилось как можно больше трёхмерных объектов -> экономия времени перехода со строки на строку. По цене сопоставима с VRAM.

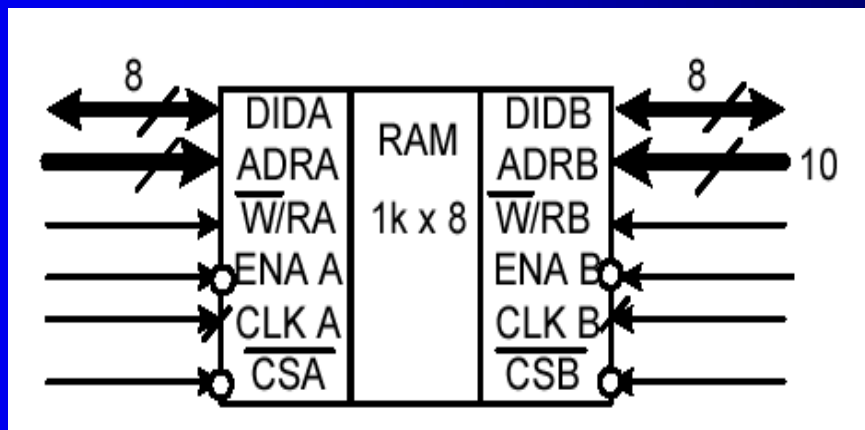
GDDR5 последнее поколение видеопамяти, основано на DDR3. Две тактовые частоты, CK и WCK, $WCK = 2 * CK$. GDDR5 5 Gbps: CK - 1,25 GHz, WCK - 2,5 GHz, эффективная (QDR) - 5 GHz. NVIDIA указывает частоту WCK, AMD частоту CK.

Многопортовые ОЗУ

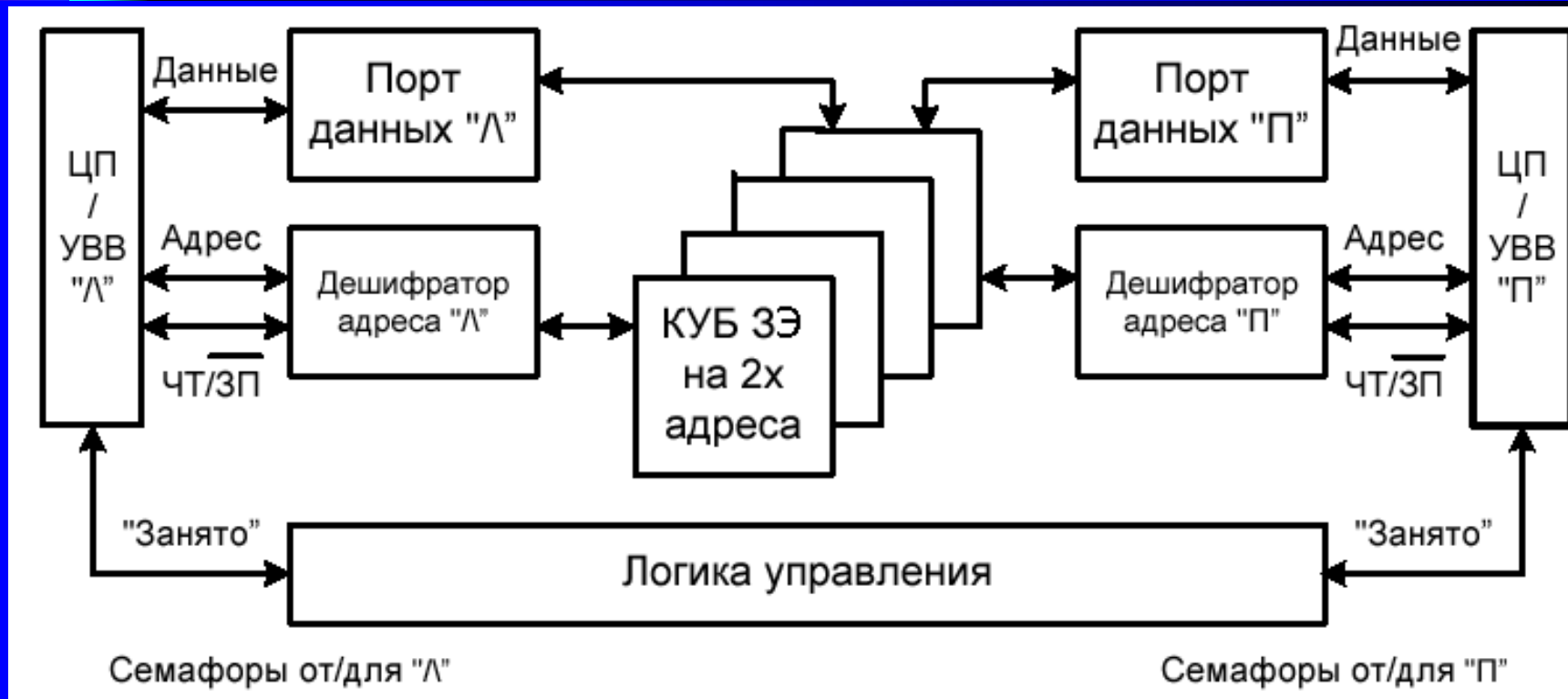
Стандартное однопортовое ОЗУ имеет 1 шину адреса, 1 шину данных, 1 шину управления. В многопортовых - имеется N наборов таких шин. С помощью этих шин предоставляется возможность одновременного независимого обращения к одному и тому же массиву ячеек для многих внешних устройств.

При отсутствии многопортового ЗУ обращение к дисковому накопителю производится без участия процессора, процессор отключается, а обращение к памяти осуществляется с помощью ПДП

Когда в ЭВМ присутствует многопортовая память информация может записаться с любого независимого порта в любом режиме



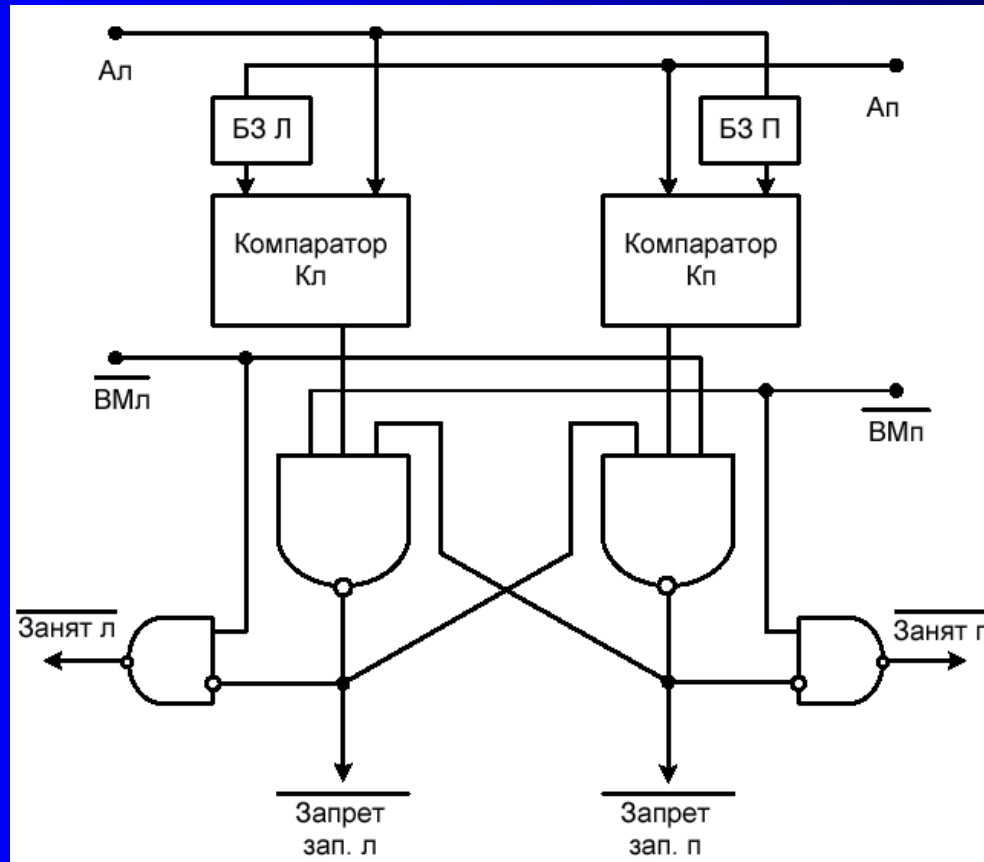
Многопортовые ОЗУ



Работа портов полностью независима. Проблемы возникают, если адреса, по которым производится доступ к памяти, совпадают. *Например, одна шина пишет данные в ячейку памяти, другая – читает из этой же ячейки, поэтому эти действия блокируются с помощью специальной логики арбитража.*

Многопортовые ОЗУ

Арбитраж. БЗ- блок задержки. ВМ – выбор микросхемы.



Объединение ИМС памяти – паралл. и последовательно. В случае последовательного – сигналы неодновременны -> решение M/S *Слайд 40*

ОЗУ типа FIFO

FIFO – двухпортовое ОЗУ, но один порт для занесения информации, а другой для считывания. Арбитраж – аналогичен.

Отличия – нет входов указания адреса ячейки – занесение и считывание данных – в порядке их поступления через одну входную и одну выходную точку.

Необходима логика слежения за состоянием очереди – регистры-указатели адресов начала и конца очереди + доп. флаги – отсутствие данных (блок чтения)+полное заполнение (блок записи).

