

БГУИР
кафедра ЭВМ

Доцент Воронов АА

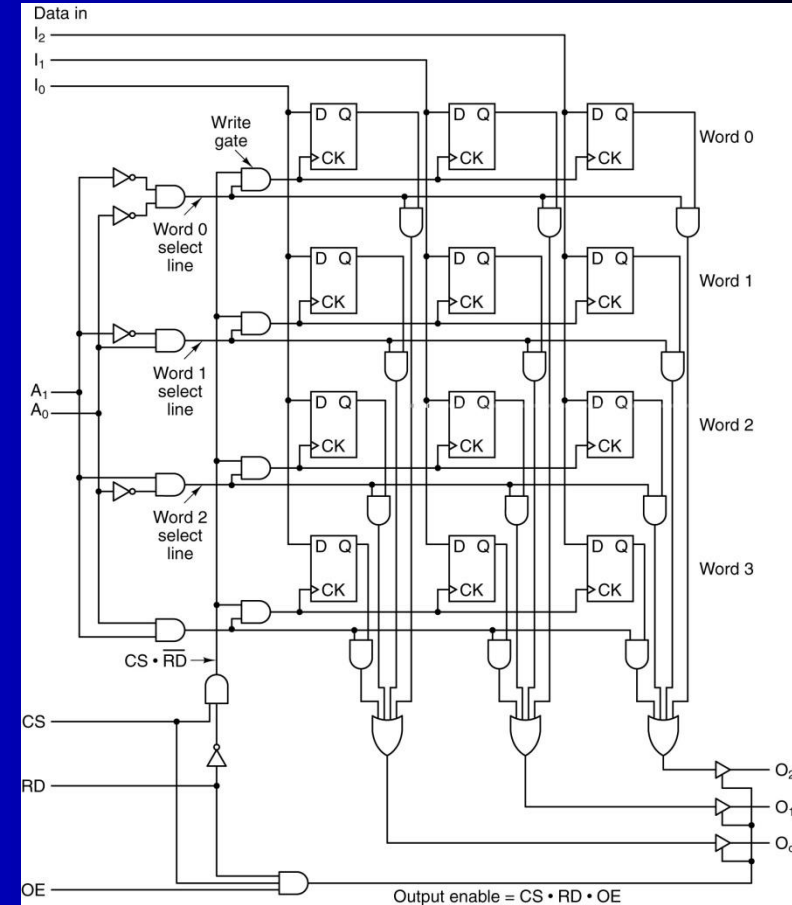
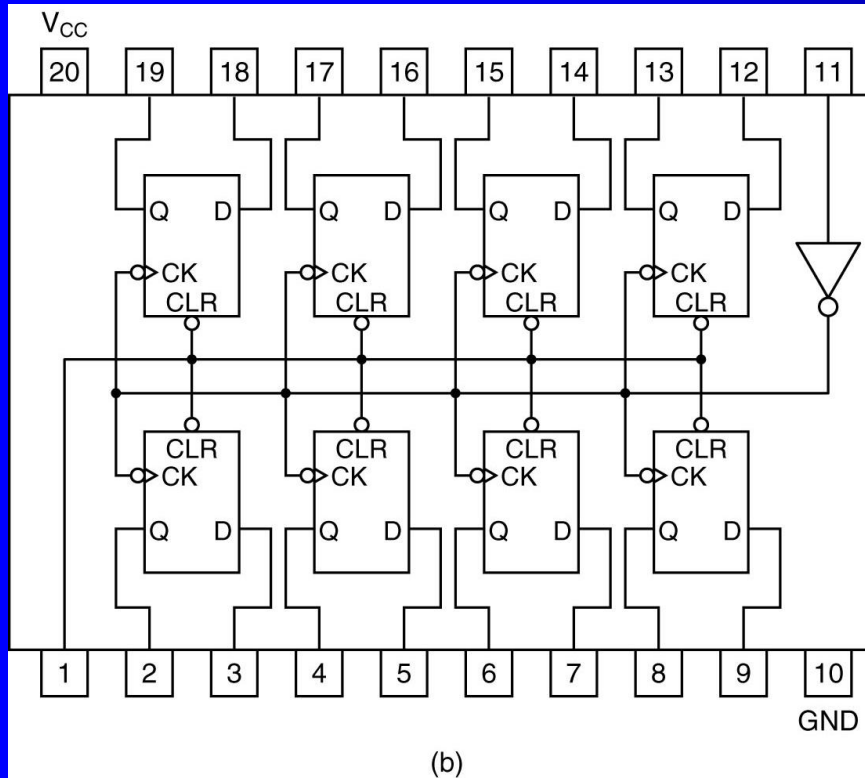
Лекция 07
«Организация памяти-II»

2019

План лекции

1. Результаты промежуточного теста 02
2. Блочная организация основной памяти
3. Микросхемы памяти

Memory Organization

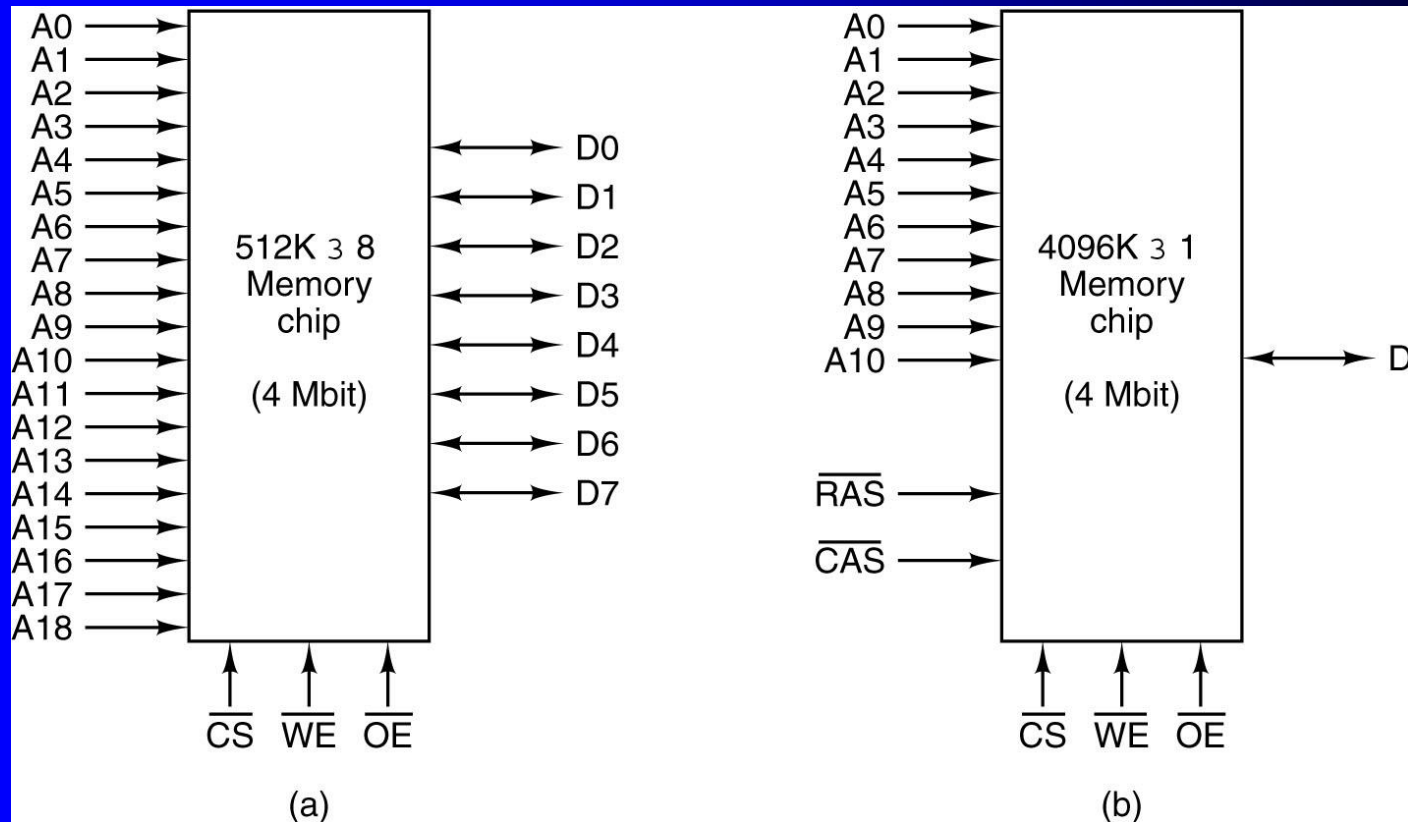


8-бит – 20 ВЫВОДОВ,

12 бит – 14 ВЫВОДОВ.

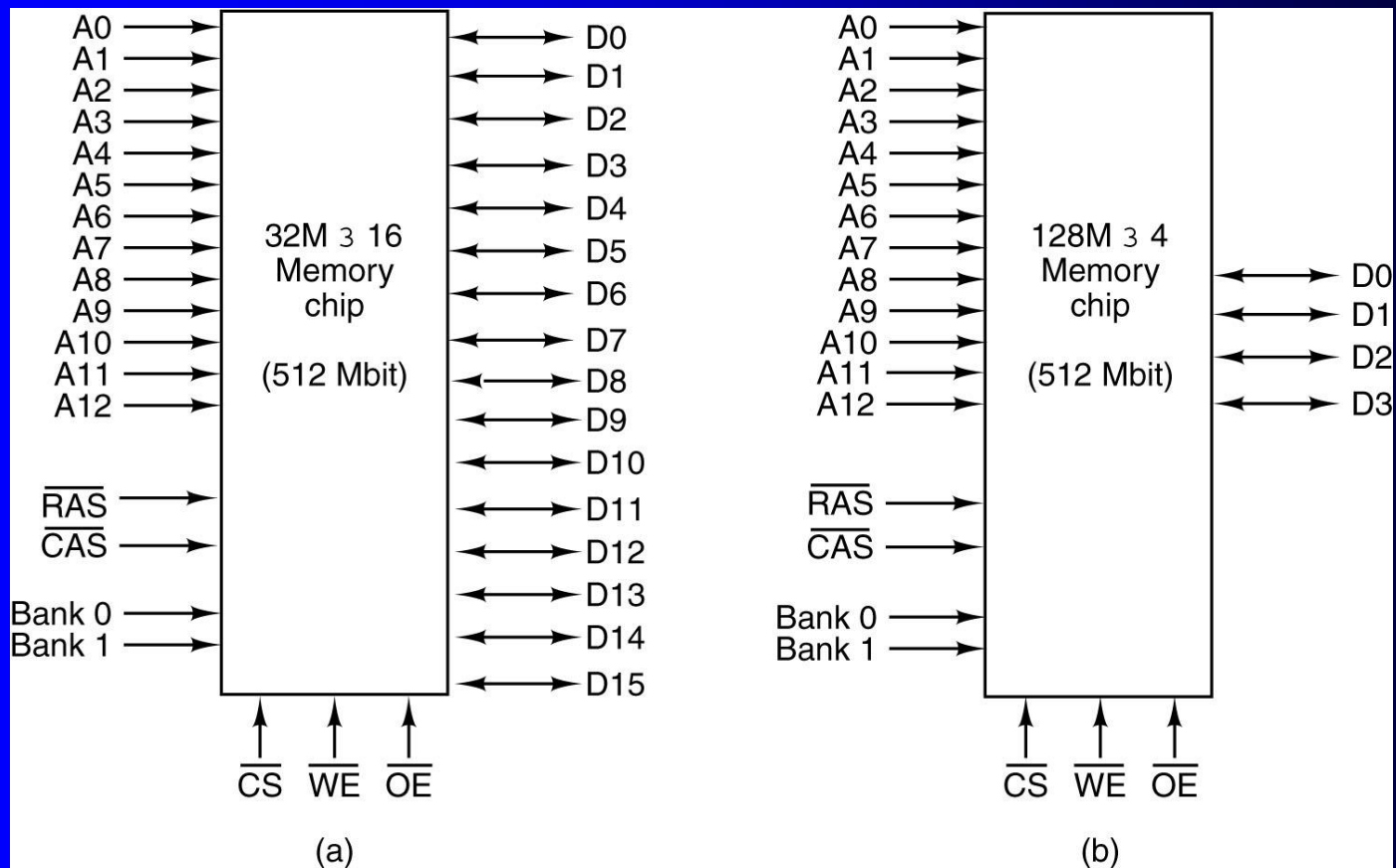
Memory Chips

Two ways of organizing a 4-Mbit memory chip.



Memory Chips

Two ways of organizing a 512 Mbit memory chip.

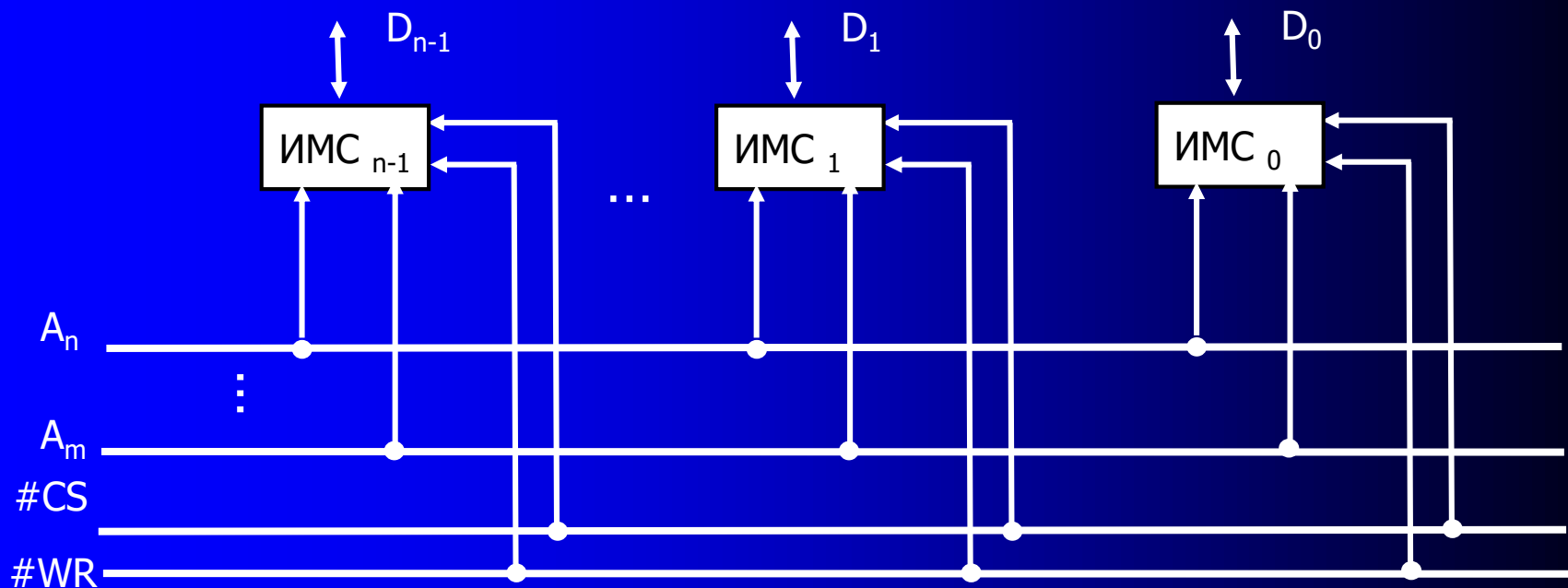


Блочная организация памяти

Емкость современных ОЗУ слишком велика для одной ИМС. Также объединение нескольких ИМС ЗУ необходимо если разрядность ИМС меньше разрядности ШД.

Если объединить несколько ИМС по адресным входам до нужной разрядности -> это модуль памяти (может состоять и из одной ИМС).

Один или несколько модулей – банк памяти.



Блочная организация памяти

Для получения ЗУ нужной ёмкости – объединение нескольких банков памяти. Адрес ячейки A памяти из B банков $\rightarrow (b, w)$, где b – номер банка, w – адрес ячейки в банке.

Три схемы распределения адресов A на (b, w) :

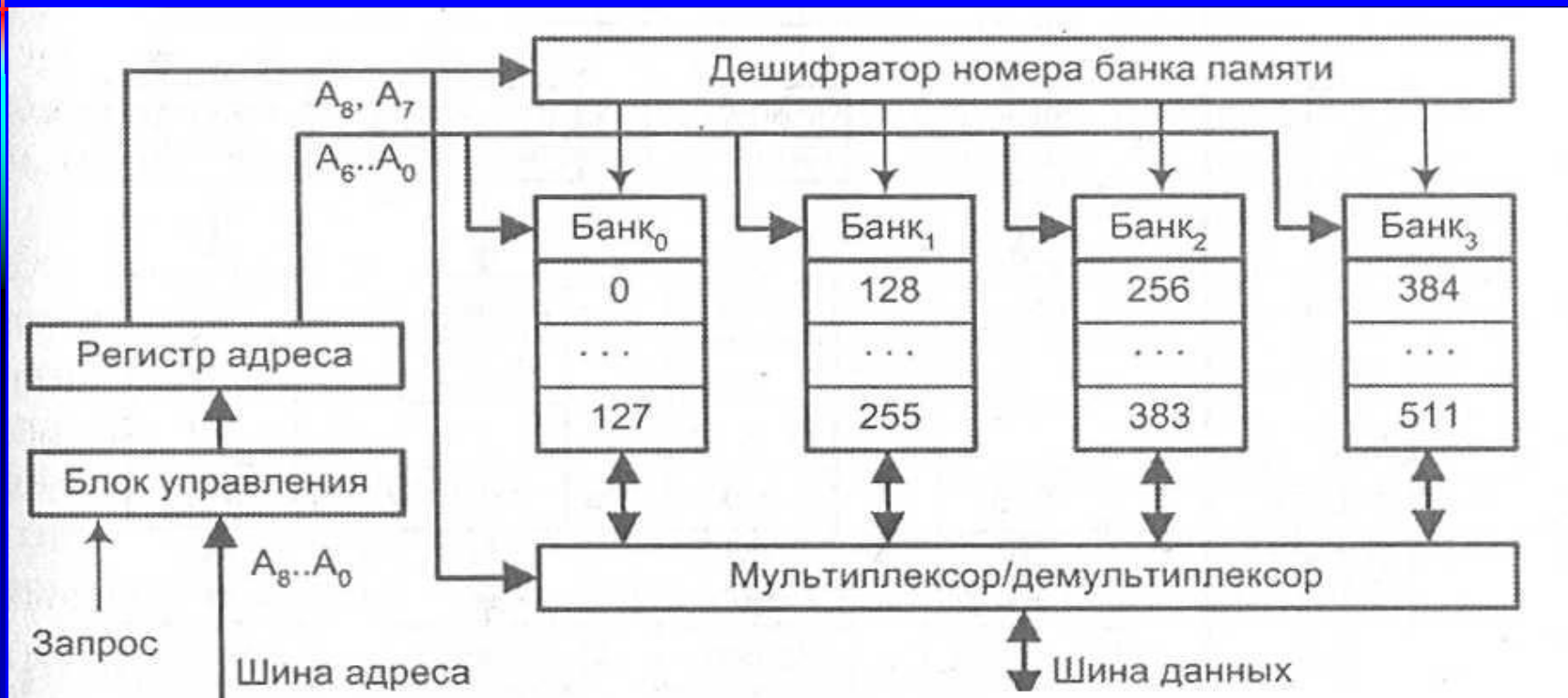
Блочная (номер банка b – старшие разряды адреса)

Циклическая ($b = A \bmod B$; $w = A \div B$)

Блочно-циклическая (комбинация двух предыдущих схем)

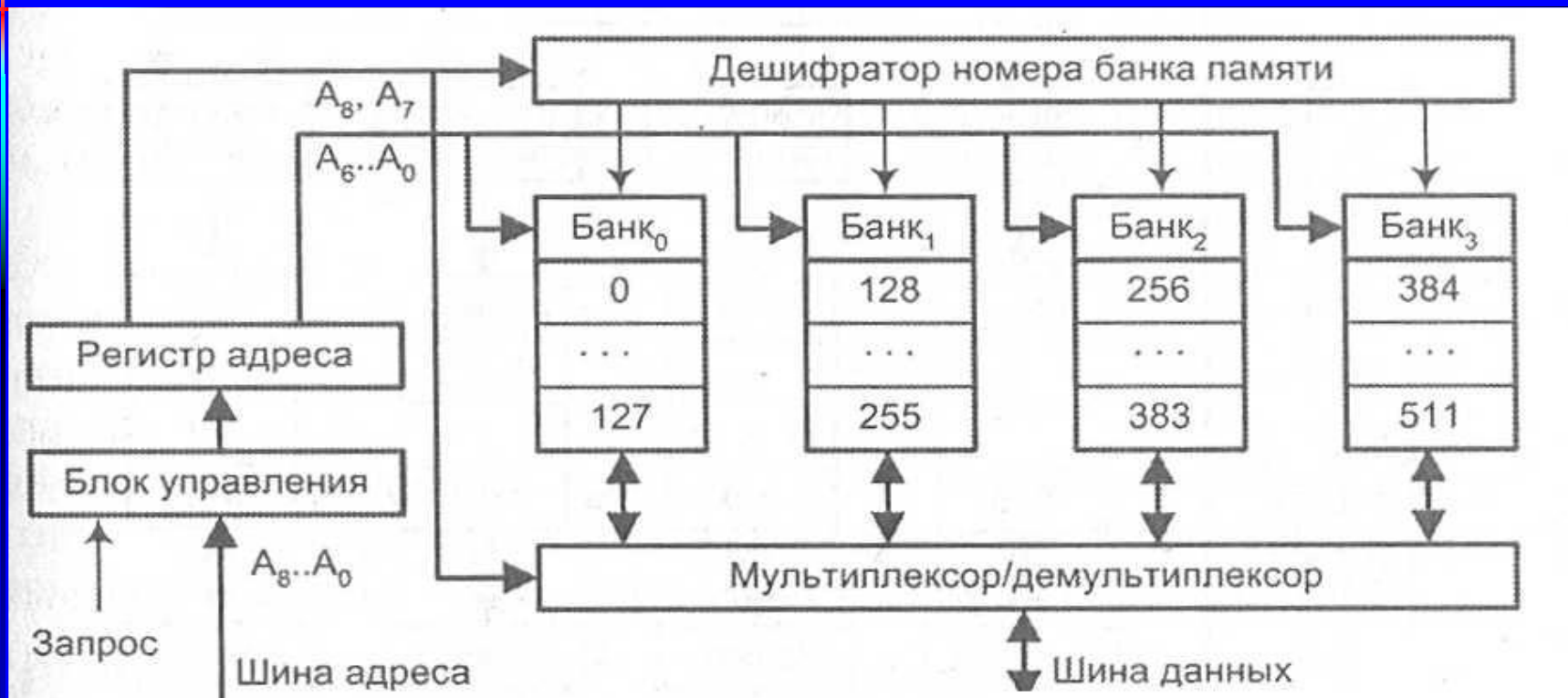
Пример – память ёмкостью 512 слов – четыре банка по 128 слов в каждом (типовая структура по блочному принципу).

Блочная организация памяти



Адресное пространство памяти разбито на группы последовательных адресов. Каждая такая группа обеспечивается отдельным банком памяти. Для обращения используется 9-разрядный адрес, семь младших разрядов которого ($A_6 - A_0$) поступают параллельно на все банки памяти и выбирают в каждом из них одну ячейку.

Блочная организация памяти

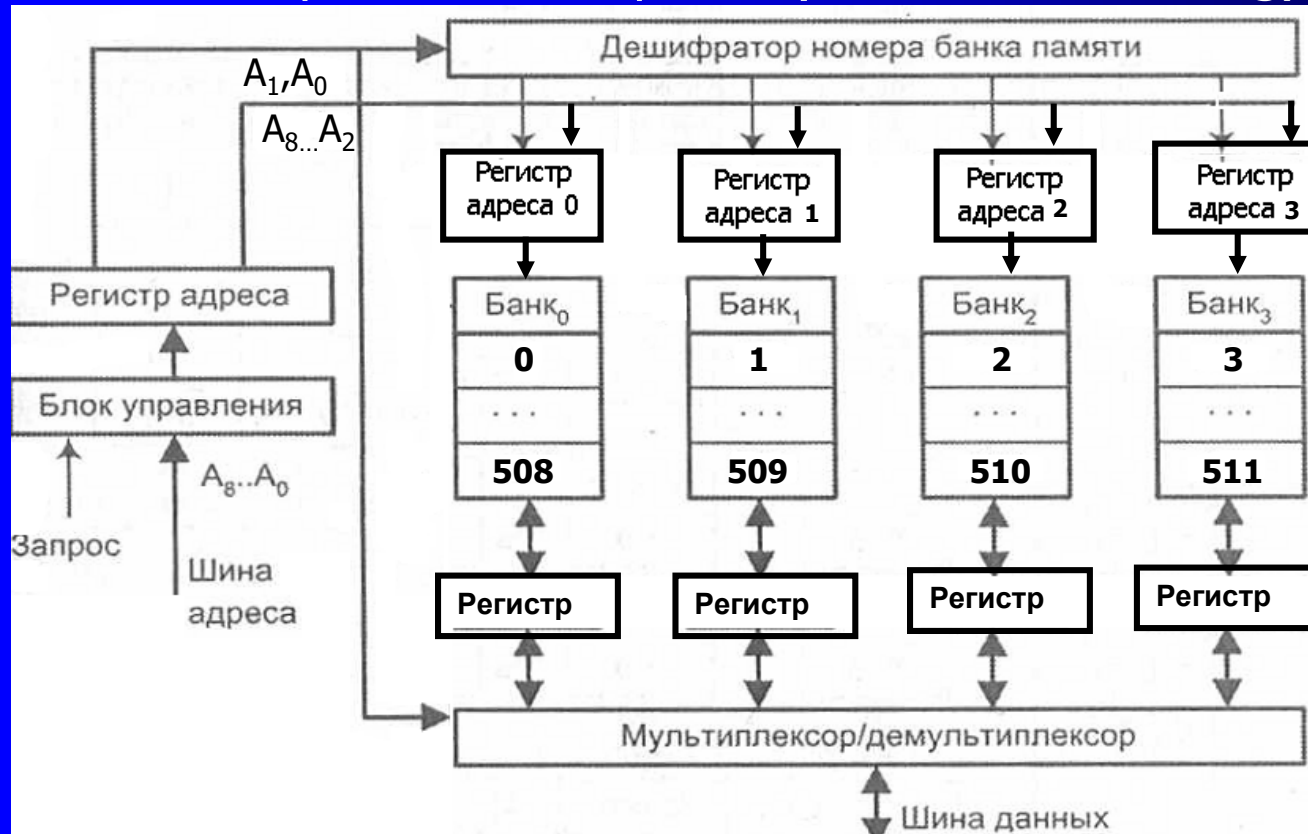


Два старших разряда адреса (A_8, A_7) содержат номер банка. Выбор банка обеспечивается либо с помощью дешифратора номера банка памяти, либо путем мультиплексирования информации рис. иллюстрирует оба варианта). В функциональном отношении такая ОП может рассматриваться как единое ЗУ, емкость которого равна суммарной емкости отдельных банков, а быстродействие – быстродействию отдельного банка.

Расслоение памяти

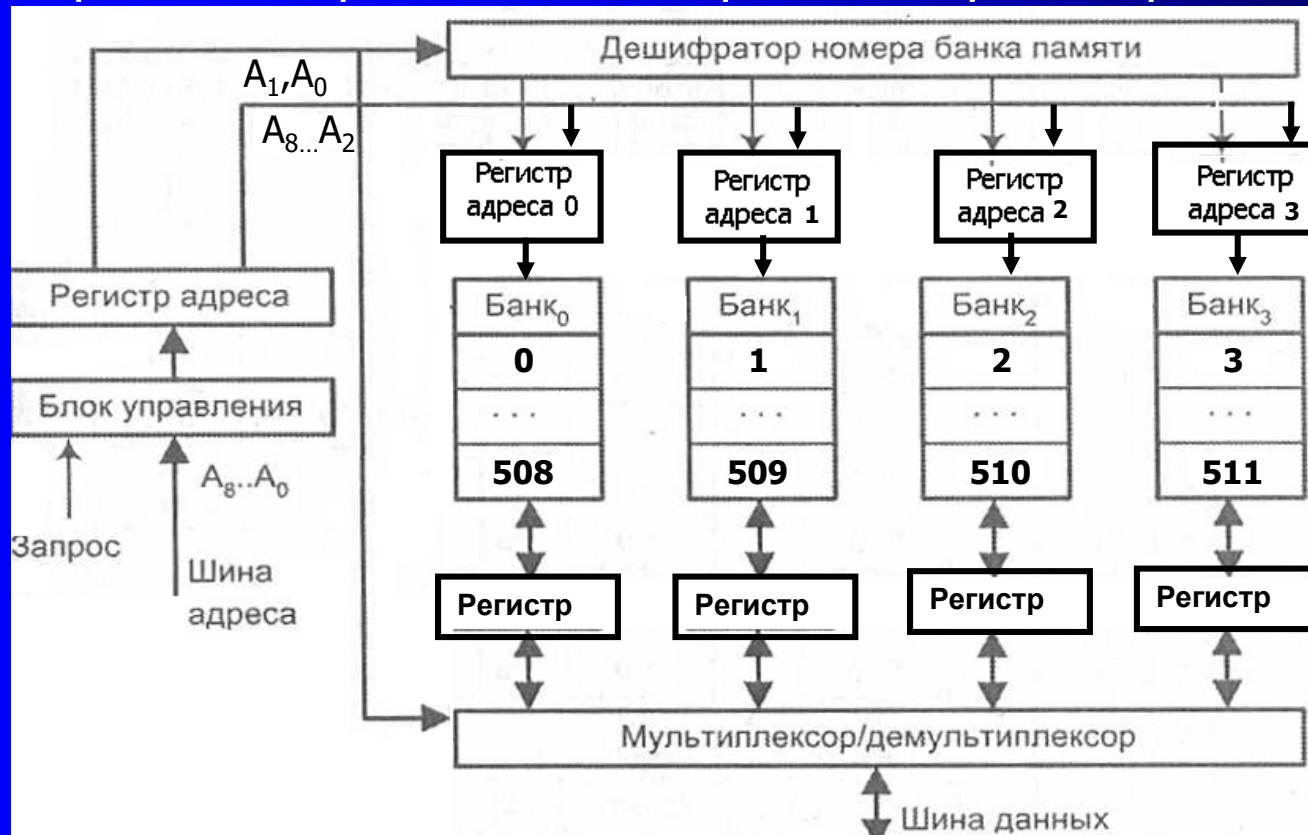
Блочная организация позволяет ускорить работу с памятью, а так же легко наращивать объём ЗУ. Скорость – из потенциальной возможности параллельного обращения к нескольким банкам одновременно. Один из вариантов – расслоение памяти. *В его основе – чередование адресов (address interleaving), т.е. иное*

распределение адресов.



Расслоение памяти

В каждом такте м.б. только один адрес на ШД и параллельное обращение к банкам невозможно, но в случае расслоения можно менять адрес каждый такт – и выбирать банки со сдвигом по адресу. Адреса запоминаются в регистрах банка и дальше – параллельная обработка. При B банках – время доступа сокращается почти в B раз.



Эффект – при посл. доступе. Иначе – ситуация «конфликт по доступу» - если два и более запросов подряд к одному банку. Слайд 11

Расслоение памяти

Блочно-циклическая схема расслоения – каждый банк – из нескольких модулей, адресуемых по круговой схеме. Адреса между банками – по блочной схеме. В итоге – адрес ячейки разбивается на три части: *номер банка, с модуле, модуль в банке.*

Банк ₀		Банк ₁		Банк ₂		Банк ₃	
Модуль ₀	Модуль ₁	Модуль ₂	Модуль ₃	Модуль ₄	Модуль ₅	Модуль ₆	Модуль ₇
0	1	128	129	256	257	384	385
2	3	130	131	258	259	386	387
...
126	127	254	255	382	383	510	511

Расслоение хорошо работает для обычной задачи – благодаря свойству локальности. В многопроцессорных системах с общей памятью – несколько контроллеров для автономной работы – по отдельным банкам. Чем больше банков – тем меньше вероятность конфликта. В суперкомп-ре NEC SX/3 – 128 банков основной памяти.

Организация микросхем памяти

Интегральные микросхемы (ИМС) памяти организованы в виде матрицы ячеек, каждая из которых в зависимости от разрядности ИМС состоит из одного или более запоминающих элементов (ЗЭ). Каждый ЗЭ способен хранить 1 бит информации.

Для ЗЭ любой полупроводниковой памяти характерно:

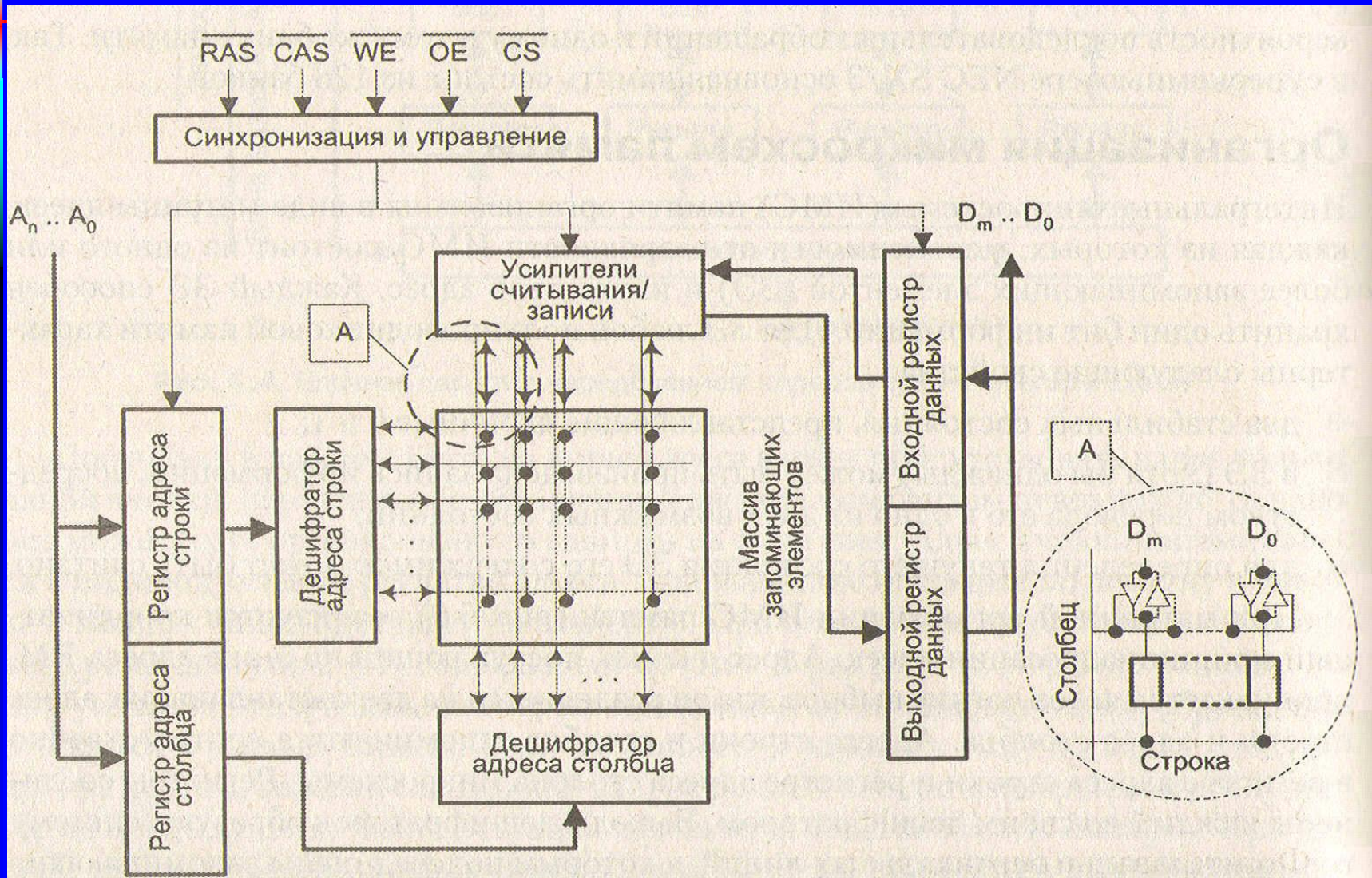
- два стабильных состояния 0 и 1;
- в ЗЭ (хотя бы один раз) может быть произведена запись информации, посредством перевода в одно из двух возможных состояний;
- для определения состояния ЗЭ его содержимое может быть считано.

При матричной организации ИМС памяти реализуется координатный принцип адресации ячеек.

Адрес ячейки разделяется логикой выбора на две составляющие – адрес строки и адрес столбца.

Адреса запоминаются в соответствующих регистрах. Дешифраторы регистров выбирают вертикальные и горизонтальные линии, на пересечении которых находятся по одному ЗЭ.

Микросхемы памяти



Разрядность – количество ЗЭ с одним адресом (ячейка).

Организация микросхем памяти

Для синхронизации процессов фиксации и обработки адресной информации ИМС – сигналы RAS (Row Address Strobe) и CAS (Column Address Strobe).

При записи – информация сначала в регистр потом в ячейку. При чтении – из ячейки в регистр и потом на шину. Обычно входной и выходной регистр – один и тот же.

Усилители считывания/записи (УСЗ) служат для электрического согласования сигналов на выходах ИМС. Обычно число УСЗ = числу запоминающих элементов в строке.

Организация микросхем памяти

Управление памятью – контроллер памяти. Либо входит в состав ЦП либо внешнего по отношению к памяти устройства (в последних ИМС – частично функции контроллера передаются памяти).

ИМС памяти может работать как по синхронному так и асинхронному протоколам. Контроллер памяти – **только по синхронному**. Типичная операция требует как минимум пяти тактов:

- *Указание типа операции и установка адреса строки*
- *Формирование RAS*
- *Установка адреса столбца*
- *Формирование CAS*
- *Возврат сигналов RAS и CAS в неактивное состояние.*

Организация микросхем памяти

Типичный доступ к памяти (на примере чтения):

- Сначала на WE – уровень сигнала операции чтения.
- На адресные входы – адрес строки, сопровождаемый стробом RAS.
- По заднему фронту RAS, адрес – в регистре адреса строки и дешифрируется.
- После стабилизации выбранная строка – подключается к УСЗ.
- На ША подаётся адрес столбца и строб CAS. По заднему фронту CAS адрес – в регистре адреса столбца. Одновременно подготавливается регистр данных.
- После стабилизации сигнала CAS информация с выбранных УСЗ заносится в регистр данных.

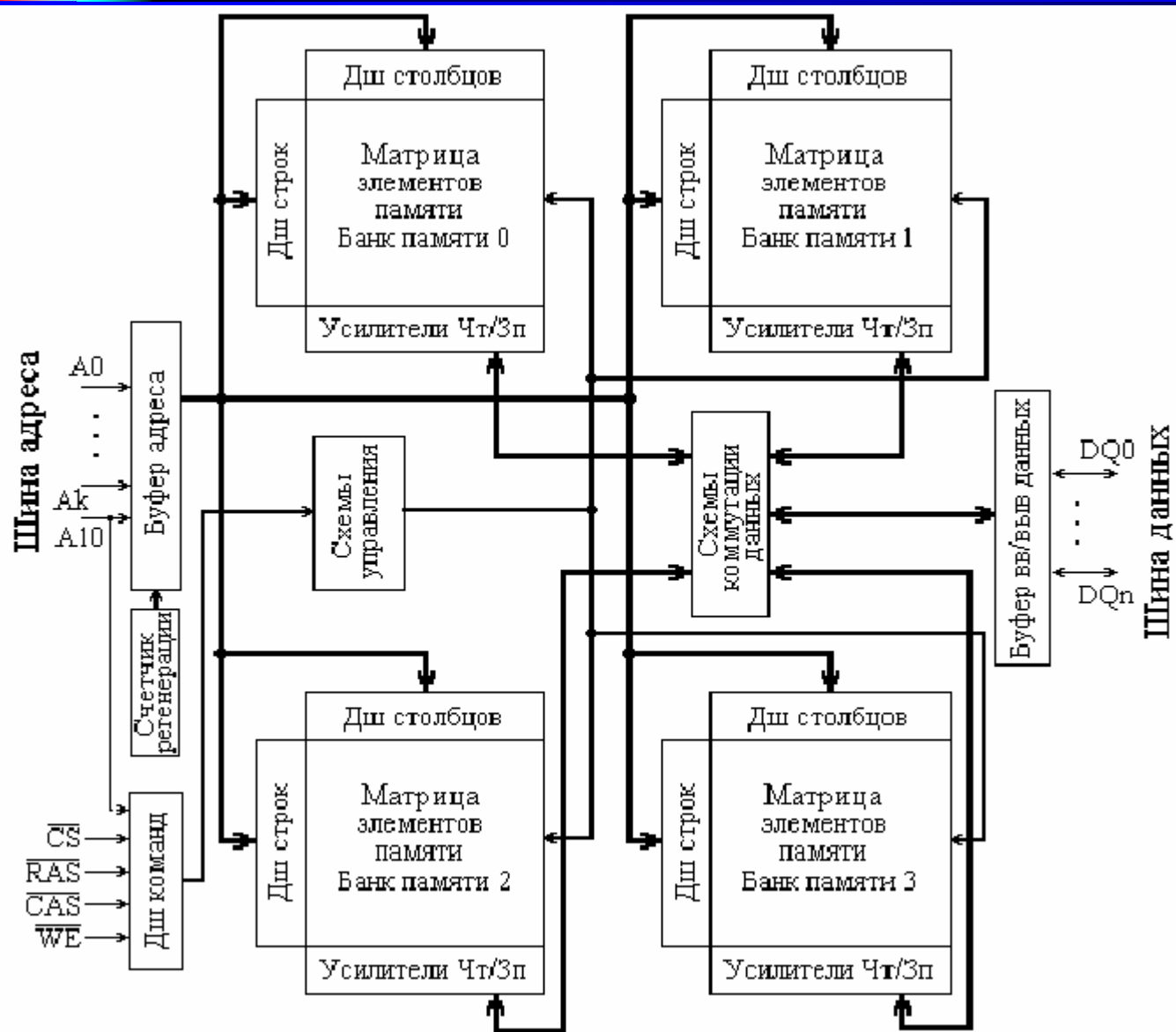
Для уменьшения числа контактов микросхемы адреса строки и столбца в большинстве микросхем подаются через одни и те же контакты последовательно во времени (мультиплексируются) и запоминаются, соответственно, в регистре адреса строки и регистре адреса столбца микросхемы. Мультиплексирование обычно реализуется внешней логикой.

Организация микросхем памяти

Быстродействие ИМС характеризуют 4мя параметрами:

- t_{RAS} - минимальное время от перепада сигнала RAS высокого уровня к низкому до момента появления и стабилизации считанных данных на выходе ИМС. Этот параметр соответствует времени доступа (типично – $t_{RAS} = 60$ нс).
- t_{RC} – минимальное время от начала доступа к одной строке микросхемы до начала доступа к следующей строке. Иными словами – длительность цикла памяти (при $t_{RAS} = 60$ нс, $t_{RC} = 110$ нс).
- t_{CAS} - минимальное время от перепада сигнала CAS высокого уровня к низкому до момента появления и стабилизации считанных данных на выходе ИМС. (для $t_{RAS} = 60$ нс, $t_{CAS} = 15$ нс).
- t_{PC} – минимальное время от начала доступа к одному столбцу микросхемы до начала доступа к следующему столбцу (при $t_{RAS} = 60$ нс, $t_{PC} = 35$ нс).

Организация микросхем памяти



Структурная
схема БИС
динамичес-
кого ОЗУ с
четырьмя
банками

Организация микросхем памяти

Основными компонентами структурной схемы БИС динамического ОЗУ с четырьмя банками являются четыре банка памяти, представляющих собой матрицы элементов памяти с дешифраторами строк и столбцов и усилителями чтения-записи.

Кроме собственно банков памяти, в состав ОЗУ входят :

- буфер адреса, фиксирующий адреса строки и столбца ;
- счетчик регенерации, формирующий адрес строки, в которой должна выполняться очередная регенерация;
- дешифратор команд, определяющий , какое действие (команду должна выполнить микросхема в соответствии с поданными управляющими сигналами (и сигналом A10);
- схемы управления, формирующие управляющие сигналы для остальных узлов микросхемы;
- схемы коммутации данных, передающие читаемые или записываемые данные из /в банки памяти;
- буфер ввода /вывода данных, обеспечивающий связь микросхемы памяти с шиной данных.

Организация микросхем памяти

Возможности ускорения ядра ЗУ ограничены – связаны с миниатюризацией ЗЭ. Успешнее ускоряют интерфейсную часть ЗУ (шесть фундаментальных подходов):

- Последовательный.
- Конвейерный.
- Регистровый.
- Страничный.
- Пакетный.
- Удвоенной скорости.

Организация микросхем памяти

Последовательный режим (Flow Through Mode) – адрес и управляющие сигналы подаются на микросхему до поступления синхроимпульса. В момент прихода синхроимпульса – вся информация запоминается в регистрах (по переднему фронту!) и начинается операция чтения. *Появление данных на выходе зависит только от скорости внутренних цепей микросхемы и синхронизируется ТИ.*

- Конвейерный режим (Pipelined Mode) – метод доступа к данным, при котором можно продолжать чтение по предыдущему адресу в процессе запроса по следующему. Чтение можно разбить на два интервала – 1. доступ к массиву и извлечение данных из ячейки и 2. передача данных на выход. *Операции производятся параллельно во времени. Первый цикл чтения – дольше на один такт, все остальные – быстрее, но смещены относительно запроса на один такт. Микросхемы с конвейерным режимом могут использоваться в шинах с частотами вдвое большими, чем для ИМС с последовательным режимом чтения.*

Организация микросхем памяти

Регистровый режим (Register to Latch) – регистр на выходе микросхемы. Адрес и упр. сигналы на шине до поступления синхроимпульса. По приходу ТИ – цикл чтения -> результаты в промежуточный регистр и хранятся до появления отрицательного фронта ТИ. С его поступлением передаются на шину.
Используется редко – в специализированных ВМ (с несимметричными ТИ). Быстродействие = последовательному режиму.

- Страничный (Page Mode) – основан на свойстве локальности по данным(командам) – доступ ко второй и далее ячейкам строки можно осуществлять быстрее -> не нужно менять адрес строки и обрабатывать его, достаточно лишь нового адреса столбца и CAS. Под «страницей» подразумевают строку матрицы ЗЭ ИМС памяти.
Обычно микросхемы со страничным доступом характеризуют последовательностью вида x-y-y-y (число тактов на доступ к первой и последующим в строке ячейкам).

Организация микросхем памяти

Быстрый страничный режим (Page Mode) – развитие страничного режима. Отличие в способе занесения новой информации в регистр столбца. Полный адрес (строки и столбца) передаётся только при первом обращении к строке. Активизация буферного регистра адреса столбца производится не по сигналу CAS, а по заднему фронту RAS. Сигнал RAS остаётся активным на протяжении всего страничного цикла и позволяет заносить в регистр адреса столбца новую информацию не по заднему фронту CAS, а как только адрес на входе ИМС стабилизируется – т.е. практически по переднему фронту CAS. *Потери времени сокращаются на два такта (передача адреса строки и RAS). Реальный выигрыш - лишь при передаче блоков, хранящихся в одной строке. Режим нашёл широкое применение в микросхемах ОЗУ, особенно динамического типа.*

Организация микросхем памяти

Пакетный режим (Burst Mode) – режим, при котором на запрос на данные по определённому адресу память возвращает пакет данных - не только запрошенную ячейку, но и ячейки, хранящиеся по нескольким последующим адресам. Разрядность памяти ВМ обычно – 1 байт, а ШД – 4 байта. Соответственно одно обращение к памяти требует последовательного доступа к 4 смежным ячейкам – пакету. Размер пакета может программироваться – 1,2 или 8 ячеек подряд. Адрес столбца заносится в ИМС только для первой ячейки пакета, а переход к очередному столбцу – внутри микросхемы -> исключение трёх из четырёх операций занесения адреса столбца в ИМС -> экономия времени.

- Удвоенной скорости (DDR – Double Data Rate) – передача данных по обоим фронтам синхроимпульса – т.е. дважды за период -> пропускная способность увеличилась в два раза.
- Доп. способы повышения скорости – внутренний кэш и шины...

Организация микросхем памяти

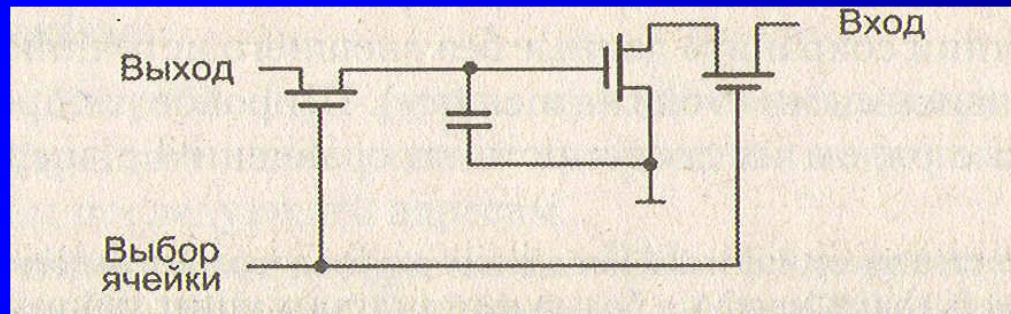
Синхронные ЗУ – все процессы осуществляются одновременно с тактовыми импульсами.

Асинхронные – момент начала следующего действия определяется моментом завершения предыдущего.

Но! Контроллер памяти всегда работает синхронно!

Соответственно в асинхронных ЗУ цикл чтения начинается по запросу от контроллера и если память не успевает в текущем такте выдать данные, то контроллер сможет их считать только в следующем (по фронту следующего синхроимпульса). Смысл асинхронной схемы теряется. В последнее время активно замещается синхронными схемами.

Статическое и динамическое ОЗУ



DRAM

Простота схемы DRAM позволяет достичь высокой плотности размещения, в итоге, снизить стоимость. Главный недостаток - что накапливаемый на конденсаторе заряд со временем теряется. Среднее время утечки заряда DRAM составляет сотни(десятки) миллисекунд, поэтому, заряд следует регенерировать.

Регенерация производится каждые 2-8 мс.

Три типа регенерации:

Статическое и динамическое ОЗУ

Три типа регенерации:

- одним сигналом RAS (ROR – RAS Only Refresh)
- сигналом CAS, предваряющим RAS (CBR – CAS Before RAS)
- автоматическая регенерация (SR – Self Refresh)

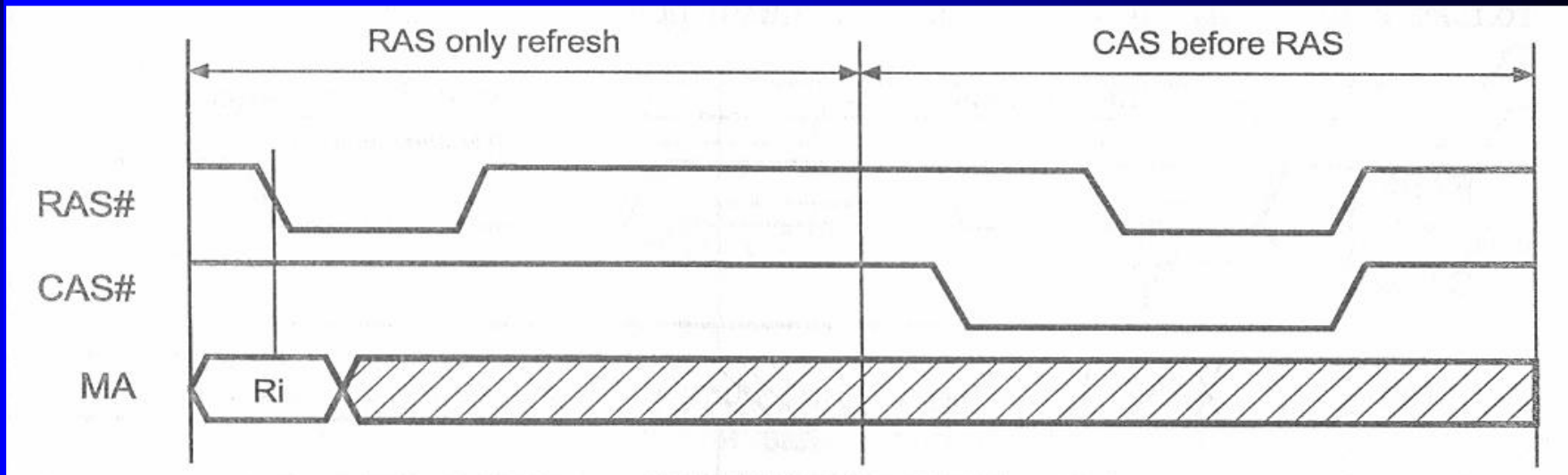
ROR использовалась с первых DRAM. На ШД подаётся адрес регенерируемой строки и RAS – ячейки выбранной строки по внутренним цепям микросхемы записываются обратно. Так как сигнал CAS не появляется, то цикл чтения/записи не начинается.

Недостаток – ША занята в момент регенерации – доступ к другим устройствам ВМ по шине блокирован.

Статическое и динамическое ОЗУ

CBR – если поступает сначала RAS а потом CAS то это цикл чтения/записи, если наоборот – то цикл регенерации. Адрес строки не передаётся, ИМС использует внутренний счётчик – по кругу.

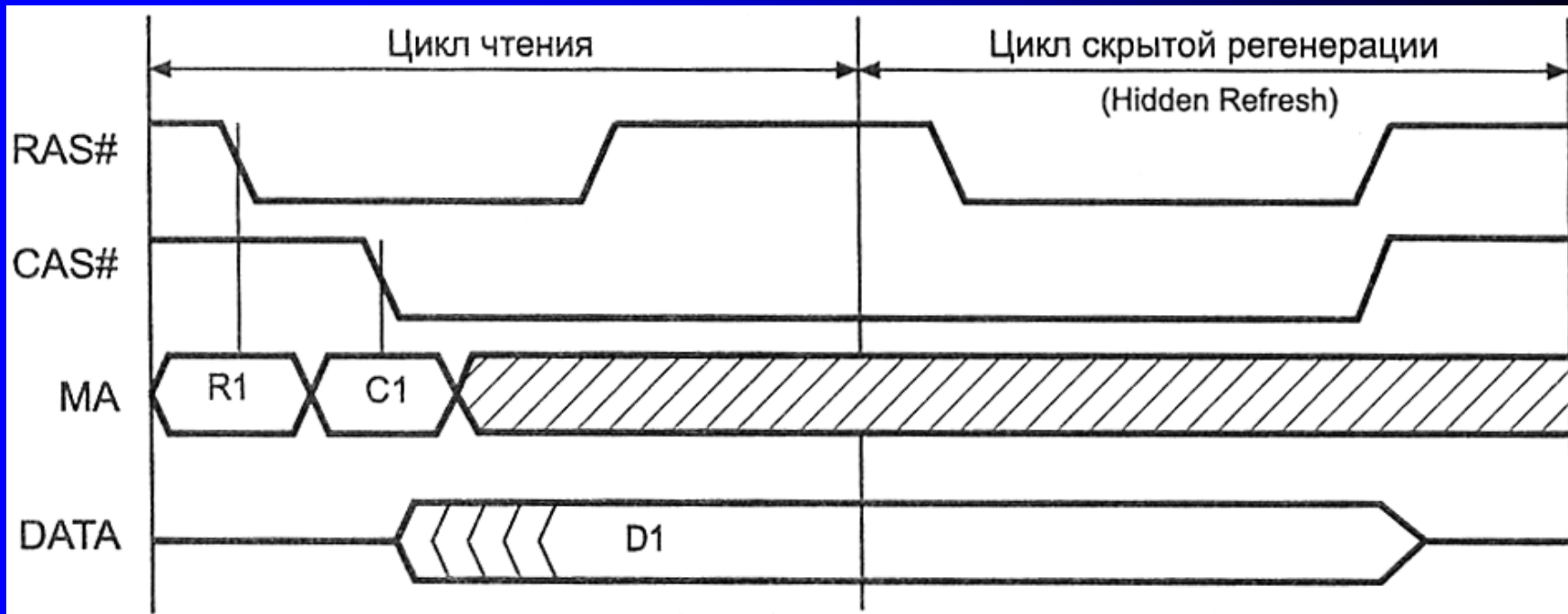
Плюс – ШД не занята в момент регенерации – доступ к другим устройствам ВМ по шине допускается.



Статическое и динамическое ОЗУ

Скрытое выполнение регенерации by CBR.

При чтении DRAM происходит потеря заряда всей строки – их автоматически перезаписывает логика управления ИМС памяти.



Статическое и динамическое ОЗУ

Автоматическая регенерация – режим энергосбережения (ЦП не работает, тактовый генератор – тоже). *При отсутствии внешних сигналов RAS и CAS обновление ROR и CBR невозможно -> ИМС запускает собственный генератор ТИ и производит регенерацию самостоятельно.*

Итого:

SRAM – быстрая (на порядок чем DRAM), но дорогая. Быстрая синхронная SRAM может иметь время доступа – 1 такт ЦП, но высокая цена. Используется – в кэш L1-L3.

DRAM – даже самые быстрые требуют от 5 до 10 тактов ЦП на выдачу данных, но цена ниже.

Computer of the Day

- Интегральные схемы - Integrated Circuits (IC's)
 - Отдельный чип имеет транзисторы, резисторы и «шины».
 - Изобретены в 1958 фирмой Texas Instruments,
 - Использовались в «третьем поколении» ЭВМ во второй половине 60-х; (1st = tubes, 2nd = transistors).

Некоторые компьютеры на ИС ...

- Бортовая система Apollo (первый комп. на луне)
 - ~5000 ИС: каждый с 3 транзисторами, 4 резисторами.
- Illiac IV – “The most infamous computer” (at that time)
 - Первый “massively parallel” компьютер: До 256 процессоров,
 - Разработан в 60е, построен в ранние 70е, реально использовался 1976-82
 - Цена: \$31М : намного больше предусмотренного бюджета
 - Планировалось: 1000 MFLOP/s. Реальность: 15 MFLOP/s (200 MIPS).
 - Превзойдён существовавшими коммерческими машинами типа Cray-1