

## Лекция 4-1. Шина PCI

.

Предпосылки и история создания.

Архитектура, топология.

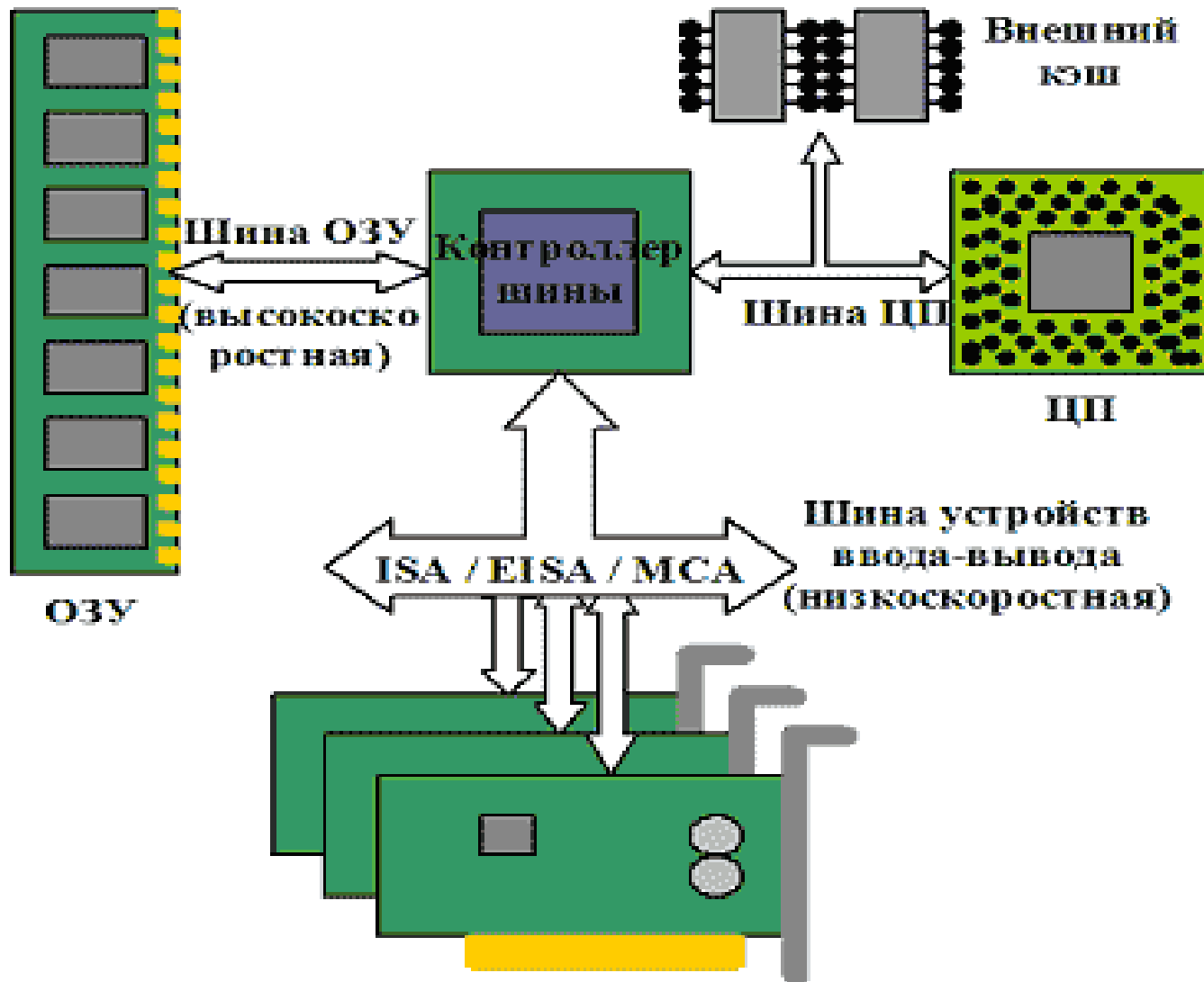
Система адресации, прерывания.

Формат транзакции.

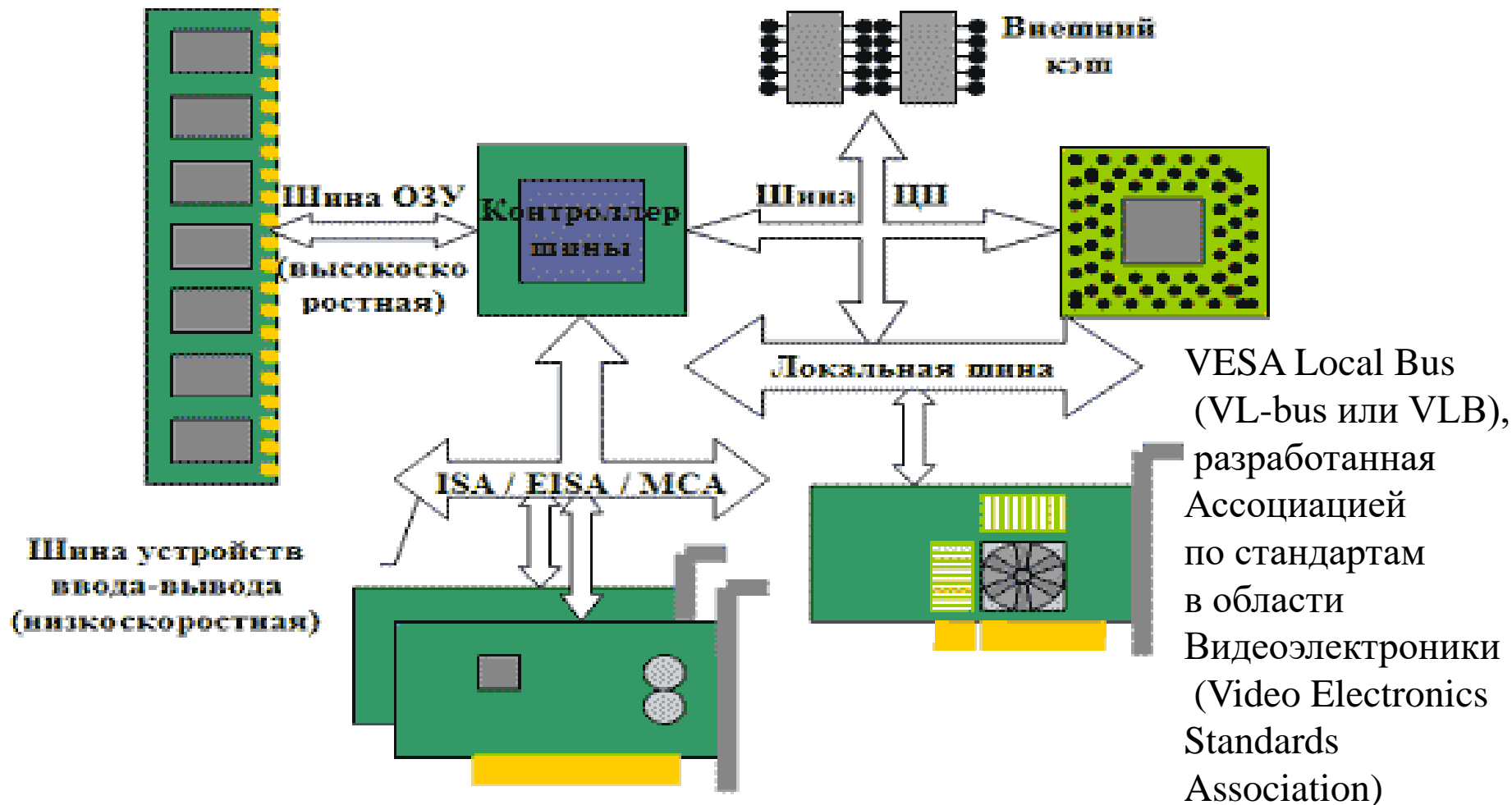
Конфигурационный механизм.

Физический и электрический интерфейс.

# Типичная система с низкоскоростной шиной устройств ввода-вывода




# Система с архитектурой локальной шины (VLB)



# VLB

VESA Local Bus (VL-bus или VLB), разработанная Ассоциацией по стандартам в области видеоэлектроники (Video Electronics Standards Association) и представлявшая собой 32-битную шину, которая использовала третий и четвёртый разъём в виде продолжения обычного слота ISA. Шина работала на номинальной частоте 33 МГц и обеспечивала существенный прирост производительности по сравнению с ISA.

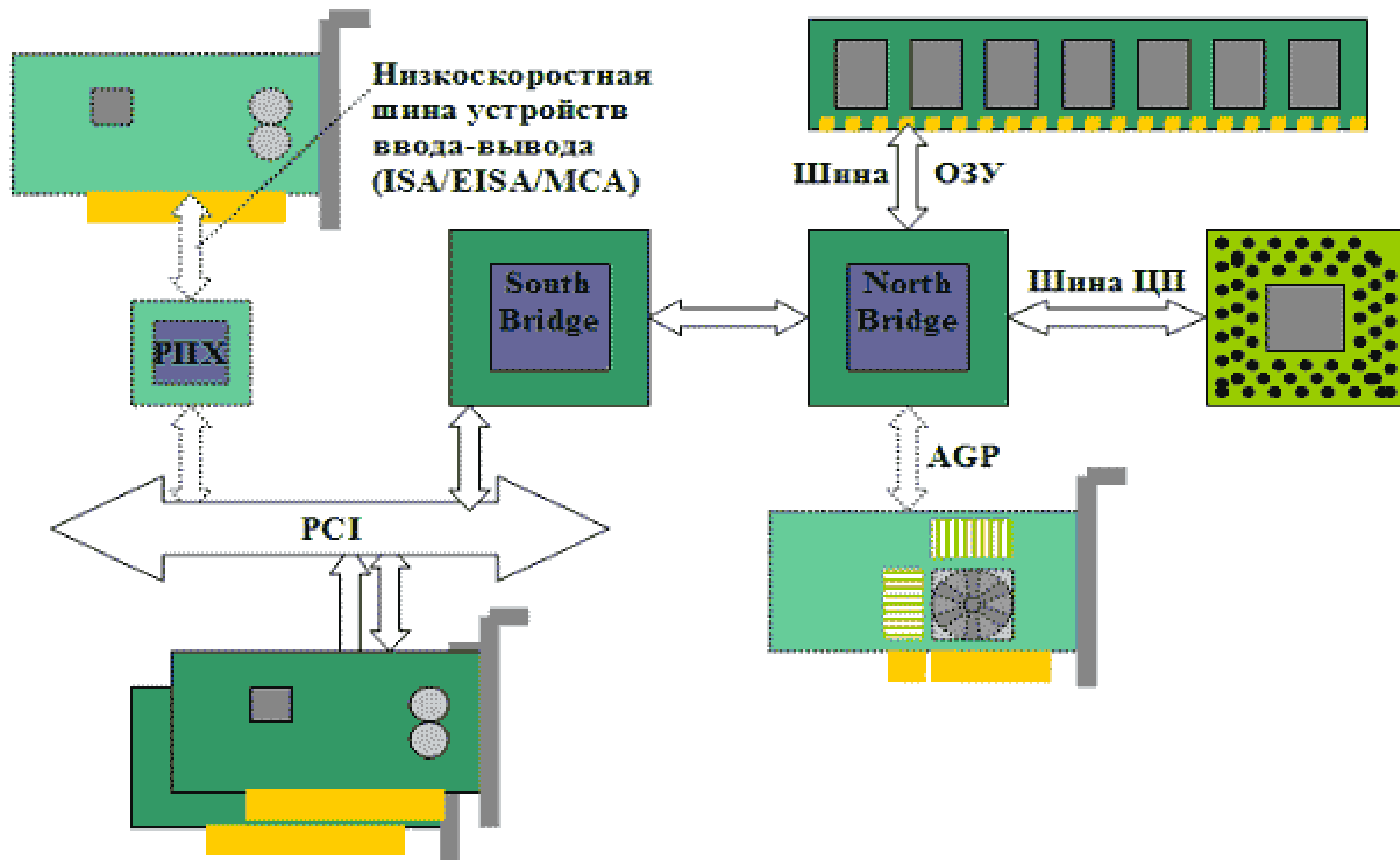
Однако главная особенность шины, которая позволяла достичь высокой производительности, послужила и причиной ухода VLB с рынка. Шина являлась прямым расширением шины 486 процессора/памяти, работающим на той же скорости, что и процессор (отсюда и имя - локальная шина/ local bus). Прямое соединение означает, что подключение слишком большого числа устройств приводило к **опасности создания помех самому процессору**, особенно если сигналы проходили через слот. VESA рекомендовала использовать **не более двух слотов** на тактовых частотах 33 МГц или трёх слотов, если они использовали специальный буфер. На более высоких тактовых частотах следовало подключать **не более двух устройств, а на частоте 50 МГц оба устройства VLB должны быть встроены в материнскую плату.**



Поскольку шина VLB работает синхронно с процессором, увеличение частоты процессора приводило к появлению проблем с периферией VLB. Чем быстрее должна была работать периферия, тем она дороже стоила по причине трудностей, связанных с производством высокоскоростных компонент. Лишь немногие устройства VLB поддерживали скорость выше 40 МГц.

**Шина PCI обладала несколькими преимуществами по сравнению с VLB. Она была разработана в качестве промежуточного решения: PCI являлась отдельной шиной, изолированной от процессора, однако она сохранила доступ к основной памяти.**

# Система на основе PCI



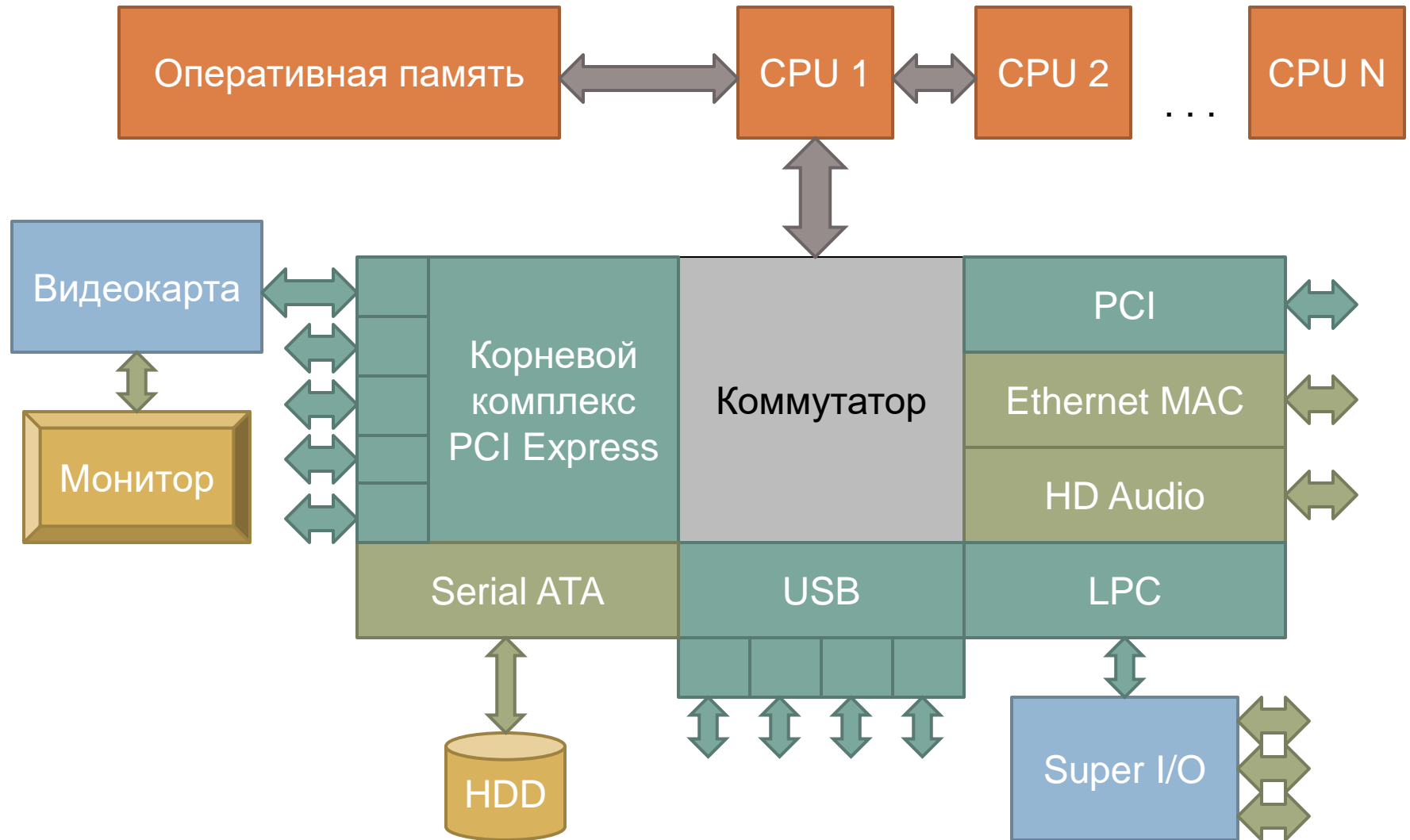
# История создания

PCI (Peripheral Components Interconnect) – базовая системная магистраль (шина) компьютера архитектуры x86, предназначенная для подключения внутренних периферийных устройств и контроллеров внешних интерфейсов.

1992 - первая версия спецификации PCI (PCI Special Interest Group, Intel). Изначально она позиционировалась как **высокоскоростная дополнительная шина для подключения к общей магистрали ПК устройств с повышенными требованиями к пропускной способности** (напр. сетевых и графических контроллеров). Со временем PCI вытеснила аналоги и заняла **место базовой системной магистрали**.

Сегодня PCI устарела и используется для подключения Legacy-устройств. Однако ее логическая структура и механизмы управления лежат в основе работы более современных шин.

# Архитектура современного ПК





# Версии спецификаций

Стандарт	Разрядность, биты	Напряжение, В	Частота, МГц	Пропускная способность, Мб/с
PCI 2.0	32	5	33	133
PCI 2.1–3.0	32	5 или 3,3	33 или 66	133 (если частота 33 МГц) 266 (если частота 66 МГц)
PCI 64	64	3,3 или 5	33	266
PCI 66	64	3,3	66	533
PCI-X	64	1,5 или 3,3	66–533	1024–4096

# Характеристики

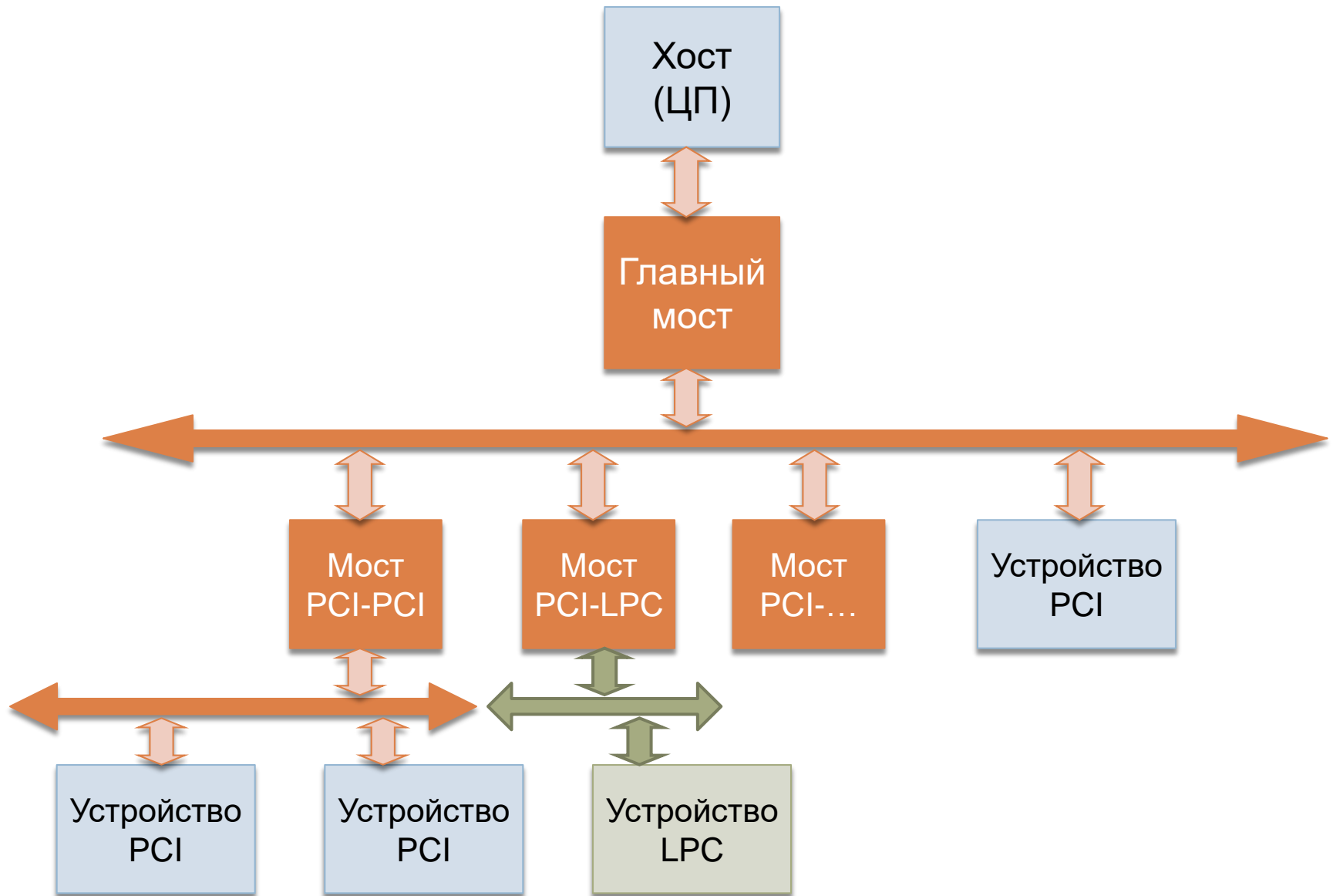
Шина PCI является **синхронным параллельным электрическим интерфейсом с общей средой передачи данных (топология «шина»)**. Состоит из мультиплексированных линий передачи адреса и данных (разделение по времени) и линий различных управляющих сигналов.

## Основные характеристики:

- разрядность (ширина) – 32 или 64 бита;
- тактовая частота – 33.3 или 66.6 МГц;
- адресация – 32 или 64 бита (не зависит от ширины шины);
- пропускная способность – от 133 до 533 Мб/с в зависимости от реализации;
- количество подключаемых устройств – зависит от реализации, но не более 32 для одного физического сегмента шины.

Шина PCI разводится внутри микросхем или на печатной плате (обычно материнской). Устройства могут быть выполнены в виде микросхем, плат расширения (напр. ATX), модулей Mini PCI, Compact PCI, PXI и т.д.

# Архитектура и топология



# Архитектура и топология

В общем случае шина PCI имеет топологию *многоуровневая шина*: к первичной шине могут подключаться устройства – *мосты*, управляющие вторичными шинами, и так далее; помимо упомянутых мостов PCI-PCI, к шине подключаются мосты для связи с другими шинами; в их задачи входит трансляция транзакций, поступающих по шине PCI, к устройствам, которые подключены к другой шине.

*Хост* – источник команд и основной потребитель данных; в случае компьютера x86 это системное ядро – процессор и системная память. Хост подключен через *главный мост* (Host bridge), который является устройством PCI и действует от имени хоста. Хост занимается также распределением ресурсов и конфигурированием всех устройств PCI.

Мосты играют роль *арбитров*, обрабатывая запросы от устройств на доступ к шине и отслеживая соблюдение протокола обмена.

# Транзакция

В рамках транзакции определены два объекта

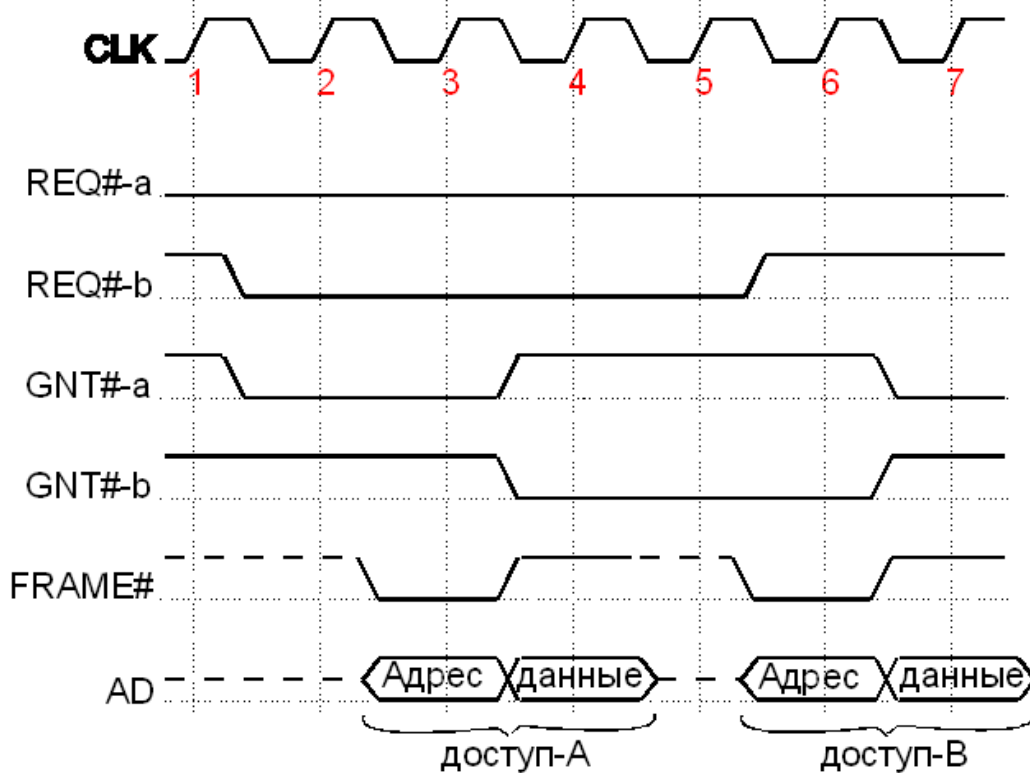
- *инициатор обмена* (Initiator) и
- *целевое устройство* (Target).

В рамках одной физической шины в конкретный момент может происходить только одна транзакция. Если физических шин несколько, то транзакции на них могут выполняться одновременно (Peer Concurrency), если пути прохождения данных не пересекаются.

Устройство, ставшее инициатором обмена и взявшее на себя временное управление шиной, называется *Bus Master*. Наличие этой функции не обязательно для устройств. Решение о передаче управления шиной принимает арбитр данной шины.

**Механизм Bus Mastering фактически заменяет механизм с выделенным контроллером DMA: каждое устройство самостоятельно осуществляет доступ к системной памяти, выполняя все функции контроллера DMA.**

# Доступ к шине и фазы транзакции



До начала транзакции устройство-инициатор подает запрос на доступ к шине (REQ# подведена к каждому устройству от арбитра шины). Арбитр анализирует пришедшие запросы и одному из устройств выдает разрешение – низкий уровень на линии GNT# (линии REQ# и GNT# парные).

Устройство, получившее разрешение, ожидает окончания текущей транзакции (снятие сигнала FRAME#), после чего начинает работу.

**В транзакции обязательно имеется одна фаза адресации и одна или несколько фаз передачи данных.** Фактически фаза соответствует одному тактовому интервалу, за время которого по шине передается одна группа данных (32 или 64 бита)

# Сигналы шины PCI

- AD [31:0] ([63:0]) – мультиплексированная шина адреса/данных
- C/BE[3:0]# - мультиплексированная шина команд/маска разрешения байт
- FRAME# - сигнал кадра (транзакции)
- DEVSEL# - подтверждение выбора от целевого устройства
- IRDY# - инициатор готов к обмену
- TRDY# - целевое устройство готово к обмену
- STOP# - досрочное прекращение транзакции
- REQ# - запрос на доступ к шине
- GNT# - разрешение на доступ к шине
- PAR – бит четности линий AD и C/BE#
- PERR# - ошибка четности
- CLKRUN# - частота синхронизации номинальная
- RST# - сброс
- IDSEL – выбор устройства
- SERR# - ошибка

# Сигналы шины PCI (начало на слайде 15)

- REQ64# - запрос на 64-битный обмен (одновр. с FRAME#)
- ACK64# - подтверждение 64-битного обмена (одновр. с DEVSEL#)
- INTA#-INTD# - линии прерывания
- M66EN – поддержка частоты 66 МГц
- PCIXCAP – поддержка протокола PCI-X
- SMBCLK – тактовый сигнал SMBus
- SMBDAT – линия данных SMBus
- TCLK, TDI, TDO, TMS, TRST – сигналы интерфейса JTAG

TCK Test Clock — синхронизация тестового интерфейса JTAG

TDI Test Data Input — входные данные тестового интерфейса JTAG

TDO Test Data Output — выходные данные тестового интерфейса JTAG

TMS Test Mode Select — выбор режима для тестового интерфейса JTAG

TRST Test Logic Reset — сброс тестовой логики

**JTAG** («джэй-таг» - *Joint Test Action Group*) — название рабочей группы по разработке стандарта IEEE 1149. Интерфейс предназначен для подключения сложных цифровых микросхем или устройств уровня печатной платы к стандартной аппаратуре тестирования и отладки.



# Типы сигналов (для справки)

С точки зрения электроники в шине PCI используются следующие типы линий:

- IN — обычный вход (input);
- OUT — обычный выход (totem pole output).
- TS — вход-выход с тремя состояниями (tri-state). Когда такая линия используется как выход, устройство устанавливает на ней нужный логический уровень (0 или 1). Когда линия не используется или применяется как вход, устройство переводит выходной буфер этой линии в состояние высокого импеданса ( $Z$ ); в такой ситуации состояние линии будет определяться значениями, выдаваемыми на неё другими устройствами.
- STS — выход или вход-выход с тремя состояниями и подтягиванием линии к высокому уровню (sustained tri-state). Активным уровнем на таких линиях всегда является низкий.;
- OD — выход с открытым стоком (коллектором; open drain). Активным уровнем на такой линии также всегда является низкий. В отличие от линий типов TS и STS, линии с открытым стоком используются как выходные одновременно несколькими устройствами.

# Описание сигналов (для справки)

Шина PCI является синхронной. Состояние большинства её сигналов привязано к линии синхронизации CLK: действующими в течение одного такта считаются значения сигналов, которые находились на линиях в момент прихода фронта сигнала CLK. Асинхронными, т.е. не привязанными к фронту сигнала CLK, являются линии RST#, INTA# — INTD#, PME# и CLKRUN#.

Системные сигналы CLC RST (IN)

Сигналы адреса и данных AD[31:0], AD[31:0], PAR, TS

Сигналы управления интерфейсом FRAME#, IRDY#, TRDY#, STOP#, LOCK#, DEVSEL#, STS IDSEL, IN

Сигналы индикации ошибок PERR#, STS SERR#, OD

Сигналы арбитража шины REQ#, GNT#, TS

Сигналы прерываний

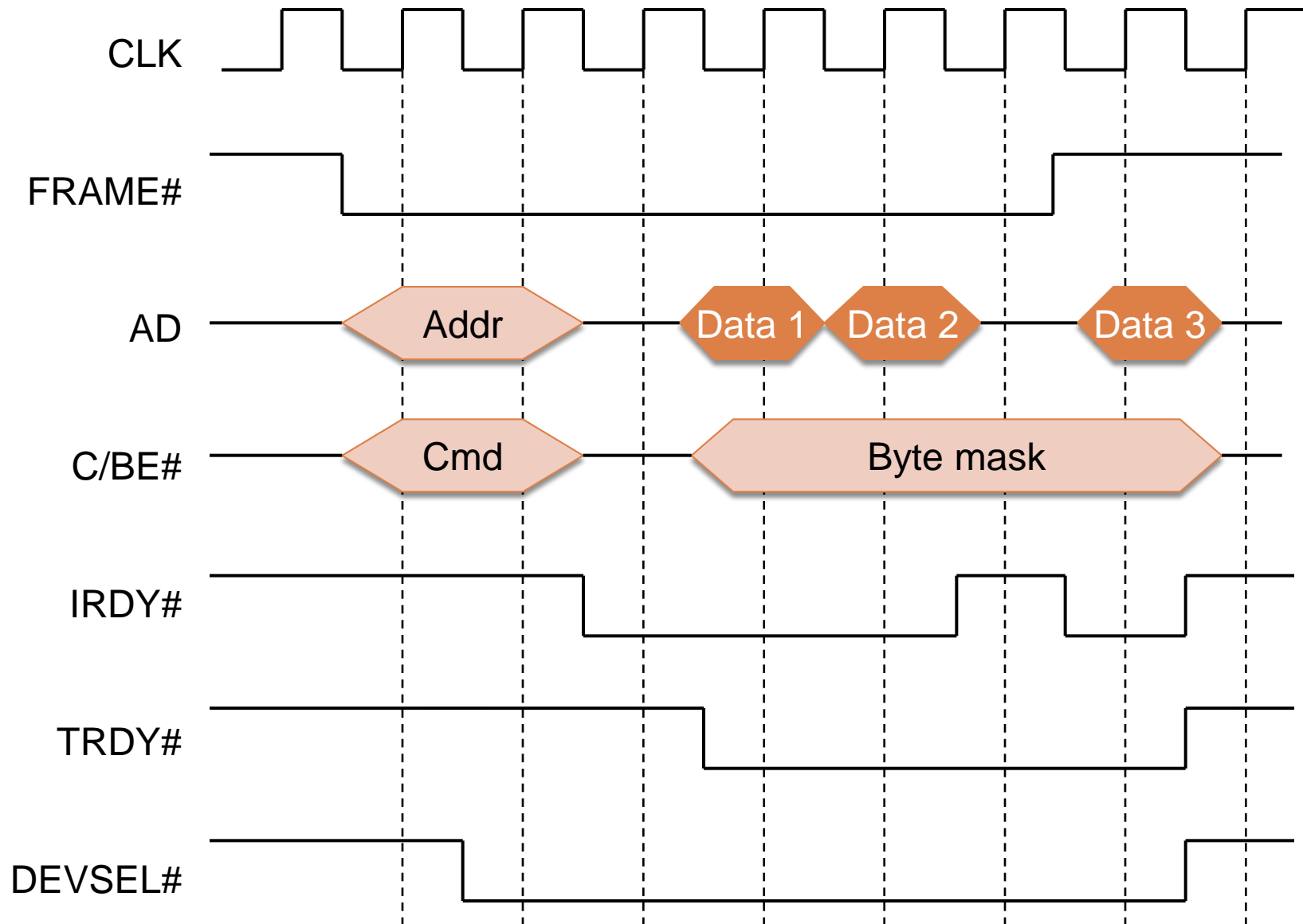
Дополнительные сигналы

Сигналы 64-разрядной шины

Сигналы JTAG

Сигналы шины управления системой Спецификация PCI допускает наличие двух линий шины SMBus — SMBCLK и SMBDAT. Поскольку они не имеют прямого отношения к шине PCI, подробно рассматриваться они не будут.

# Фазы транзакции (подробнее)



# Фаза адресации

Первая фаза транзакции – фаза адресации, в рамках которой устройство-инициатор (И) обращается к целевому устройству (ЦУ) с помощью адреса. Подав сигнал FRAME# (начало транзакции), И на шину A/D выставляет 32- или 64-битный адрес, а на шину C/BE# - код операции (команду).

Фазу адресации отслеживают все устройства на шине, включая мост. То устройство, которое определило принадлежность адреса к своим ресурсам, сообщает об этом сигналом DEVSEL#. Мост также может взять на себя роль ЦУ, чтобы передать транзакцию на другие шины.

На появление сигнала DEVSEL# отведено 3 такта. Если его не будет, считается, что произошла аварийная ситуация, и устройство заканчивает транзакцию с уведомлением своего драйвера.

# Фаза данных

Получив сигнал DEVSEL#, инициатор (И) готовит внутренние буферы к обмену и выставляет IRDY# по готовности. При выполнении записи в следующем такте на A/D поступает первая группа данных.

Целевое устройство (ЦУ) по готовности выставляет сигнал TRDY# и выставляет первую группу данных при выполнении чтения. Его отсутствие означает необходимость холостого такта, в течение которого И прекращает передачу (или повторяет первую фазу данных).

Холостой такт может вводить также И снятием сигнала IRDY#.

Маска байтов (линии C/BE#) определяет, какие байты из группы (по шине передаются сразу 4 или 8) заполнены полезными данными. Маску формирует тот, кто выставляет данные (при записи – И, при чтении – ЦУ).

# Завершение транзакции

Длина транзакции заранее неизвестна, поскольку она может быть закончена по инициативе трех агентов – И, ЦУ или арбитра.

Со стороны И – снятием сигнала FRAME#:

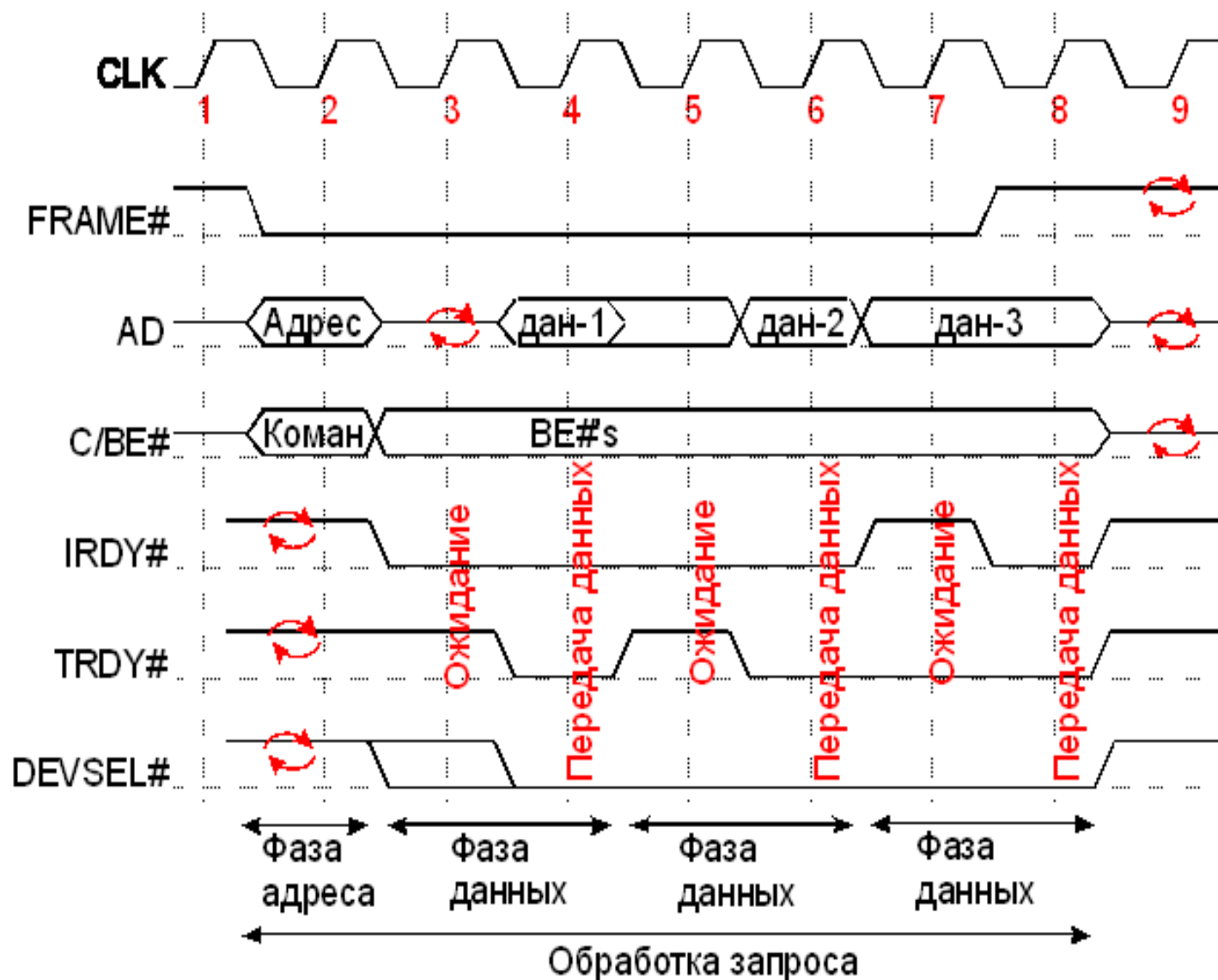
- Нормальное завершение: после передачи всех данных.
- Прекращение (master-abort): инициатор не дождался сигнала DEVSEL#.

Со стороны ЦУ – сигналом STOP#:

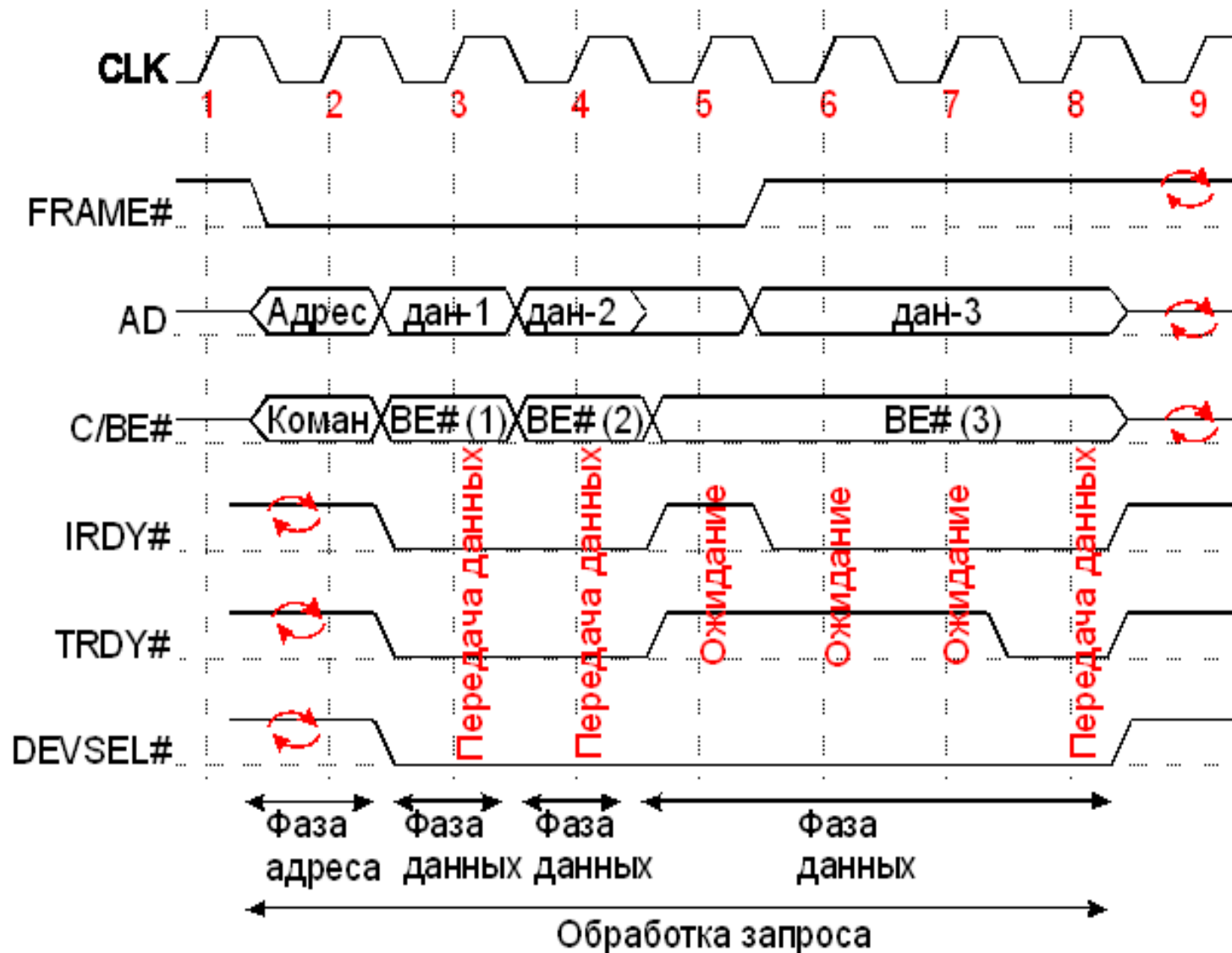
- Повтор (retry): сигнал STOP# выставляется до сигнала TRDY# в первой фазе данных. Это запрос повторения той же транзакции.
- Отключение (disconnect): STOP# выставляется в очередной фазе данных. Запрос на повтор со следующей (если был установлен TRDY#) или текущей (не был установлен TRDY#) фазы данных.
- Отказ (target-abort): снятие DEVSEL# вместе с установкой STOP#.

Со стороны арбитра – снятием сигнала GNT#. Это может потребоваться, например, если инициатор не закончил транзакцию вовремя.

# Чтение



# Запись





# Механизмы доступа к устройствам

Существует 4 механизма доступа к устройствам со стороны хоста или других устройств:

1. Обращение к области памяти или портов, выделенных устройству.
2. Обращение к конфигурационным регистрам (в конфигурационном адресном пространстве).
3. Широковещательные сообщения ко всем устройствам шины.
4. Механизм обмена сообщениями.

Для подачи сигналов хосту устройства применяют механизм прерываний:

- Маскируемые (INTx или MSI - Message Signaled Interrupt ).
- Немаскируемые (NMI – NonMaskable Interrupt ).
- Системные (SMI – System Management Interrupt).

Когда устройства сконфигурированы, они адресуются через диапазоны пространства памяти или портов на основе анализа адреса, передаваемого в начале транзакции. В противном случае требуется механизм конфигурационного доступа.

# Адресация устройств

**Адрес памяти** может быть 32- или 64-битным, он зависит не от разрядности мультиплексированной шины A/D, а от текущей адресации в системе (режима работы процессора).

Физический адрес передается по линиям AD[31:2] или AD[63:2]. Линии AD[1:0] задают порядок изменения адресов в пакете:

- 00 – линейный инкремент (+4 для 32-битной, +8 для 64-битной шины данных) 01, 11 – резерв 10 – сворачивание адресов с учетом строки кэша (Cache Line Wrap mode)
- Все исполнители должны проверять разряды AD[1:0] и затем либо выполнять пакетную передачу в запрошенном режиме, либо прекратить транзакцию одним из двух способов: отсоединением с данными (disconnect with data) в течение первой фазы данных или отсоединением без данных (disconnect without data) во второй фазе.
- Передача со свёртыванием строк кэша позволяет в одной транзакции считать или записать одну строку кэша исполнителя целиком.

**Адрес портов** в архитектуре x86 – 32-битный, но используются только 16 младших бит; в других архитектурах могут быть отличия. Адрес двойного слова передается по линиям AD[31:2]. Линии AD[1:0] определяют байты, подлежащие маскированию. Байт, на который указывает полный адрес, должен быть доступен (сброшен соответствующий бит линии C/BE#). Значащими являются только младшие 16 бит адреса (для архитектуры x86).

# Конфигурационный адрес

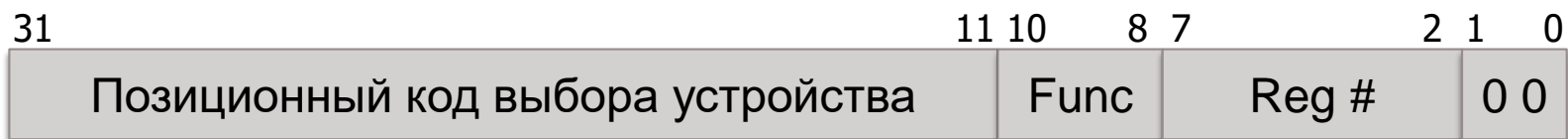
*Конфигурационные регистры* адресуются в конфигурационном цикле. У каждого устройства имеется поле из 256 байт

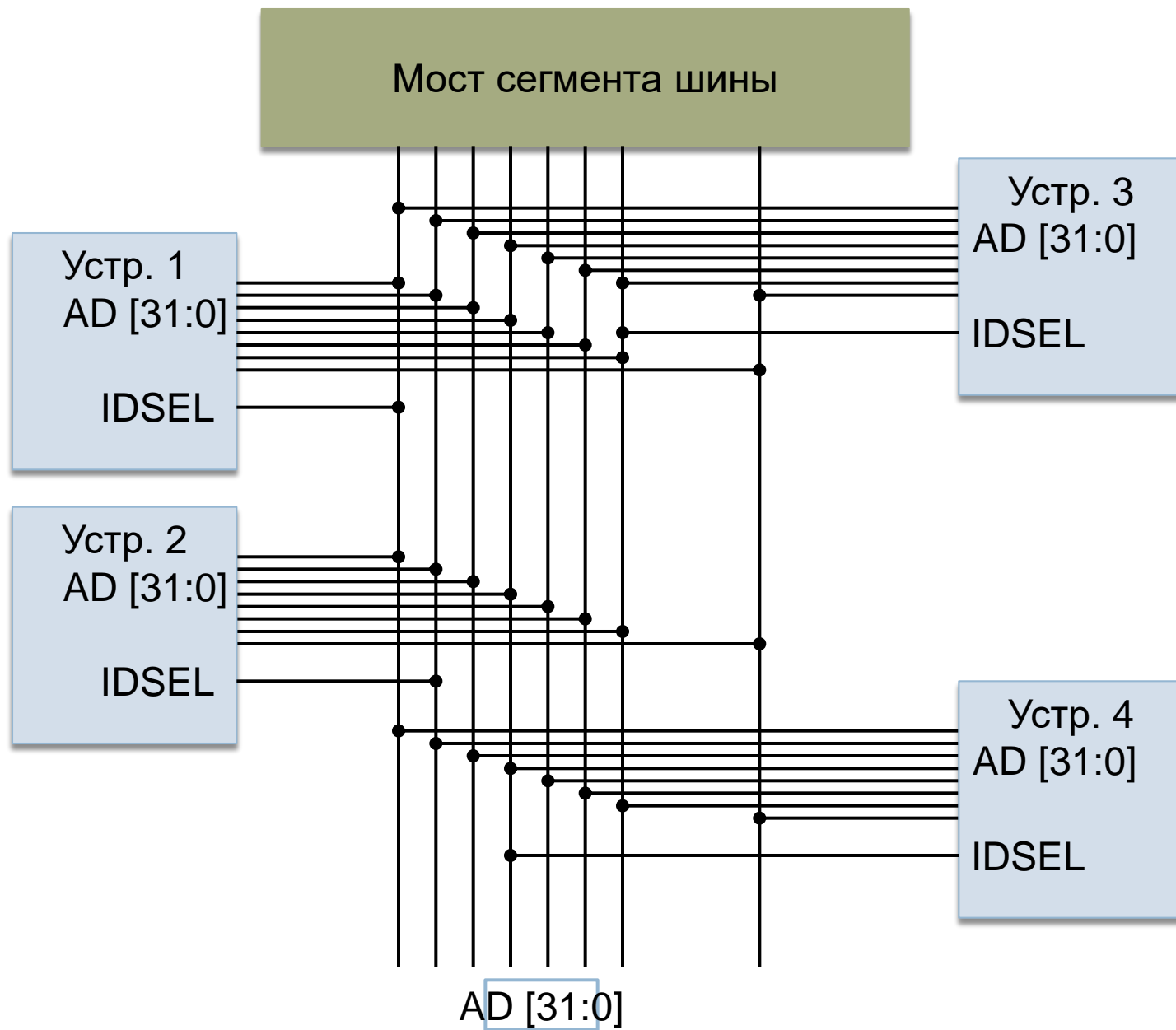
. Конфигурационный адрес состоит из:

позиционного номера устройства (задается мостом в поле IDSEL),

номера функции (состоит из 3 бит, обрабатывается устройством)

номера регистра (состоит из 6 бит, всего 64 регистра по 32 бита).





# Команды

Команда передается в фазе адреса каждой транзакции по шине C/BE#. Она определяет тип транзакции, метод адресации, направление обмена данными и т.д.

Перечень поддерживаемых команд:

- I/O Read (0010): чтение двойного слова (dword) из порта в-в;
- I/O Write (0011): запись dword в порт в-в;
- Memory Read (0110): чтение dword по адресу в памяти;
- Memory Write (0111): запись dword по адресу в памяти;
- Memory Read Line (1110): чтение из памяти блоками, равными строке кэша;
- Multiple Memory Read (1100): чтение пакета данных из памяти с выполнением предвыборки;
- Memory Write and Invalidate (1111): запись в память пакета данных блоками, кратными строке кэша, с очисткой их копий в кэше;
- Dual Address Cycle (1101): передача младших 32 бит 64-битного адреса;
- Configuration Read (1010): конфигурационный цикл чтения;
- Configuration Write (1011): конфигурационный цикл записи;
- Special Cycle (0001): передача широковещательных сообщений.

# Прерывания

Устройства PCI могут подавать сигнал прерывания 4 способами:

- Проводная сигнализация по линиям INTx# (стандартный PIC - Programmable Interrupt Controller);
- Сигнализация по линиям PME#;
- Сигнализация фатальной ошибки SERR#;
- Сигнализация с помощью сообщений (контроллеру APIC).

Линия SERR# вызывает немаскируемое прерывания NMI, сигнализирующее о серьезном сбое в системе. Другие источники прерываний обрабатываются контроллером прерываний.

# Прерывание PME#

Это отдельная 5-я линия прерываний, аналогичная линиям IRQW-IRQZ. По ней подается сообщение об изменении состояния устройства по питанию, напр., о переходе в режим Standby. Устройства, поддерживающие управление по питанию (PM), содержат дополнительные регистры в конфиг. пространстве:

- PMC (PM capabilities): версия спецификации, поддержка тех или иных состояний, возможность генерации PME#, потребление по линии +3.3Vaux и др.
- PMCSR (PM Control/Status register): признак введения PME#, сброс и разрешение PME#, состояние PM и др.
- Data: опциональный регистр.
- PMCSR\_BSE: для мостов, способных управлять PM своей шины.

# Конфигурирование устройств

Все устройства PCI, а также функции в пределах физического устройства имеют блок регистров размером 256 байт, доступный только через конфигурационный цикл транзакции. Часть регистров стандартизовано, часть оставлено на усмотрение разработчика, часть может отсутствовать.

В регистрах устройства хранится описание требований к следующим ресурсам:

- Регистры в пространстве в-в.
- Регистры, отображенные на память.
- Память, допускающая предвыборку.

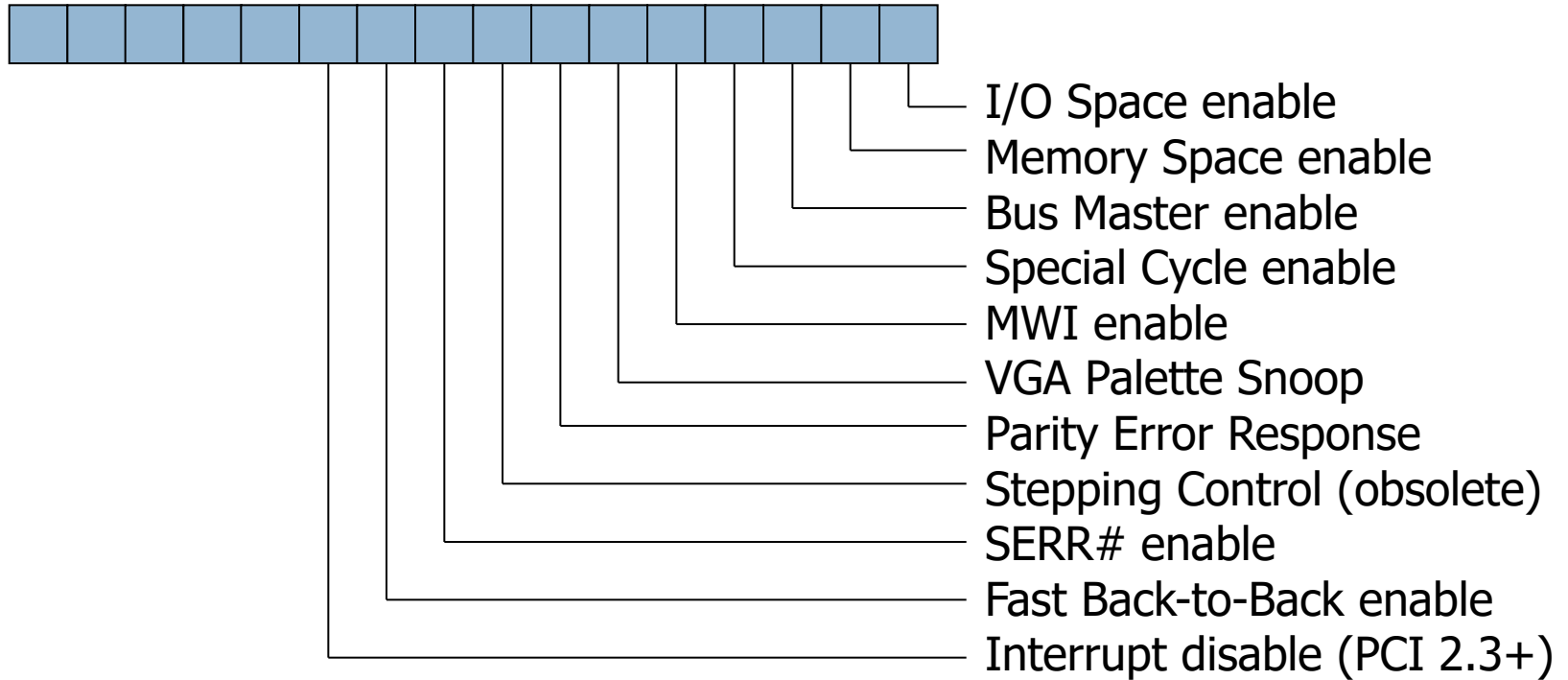
Базовые адреса ресурсов описывают 6 (для 32-битной адресации) регистров BAR (Base Address Register). После того, как в регистры BAR записаны новые значения (или сохранены значения по умолчанию), можно выставлять биты, позволяющие устройству отвечать на запросы по выданным адресам, а также инициировать транзакции.



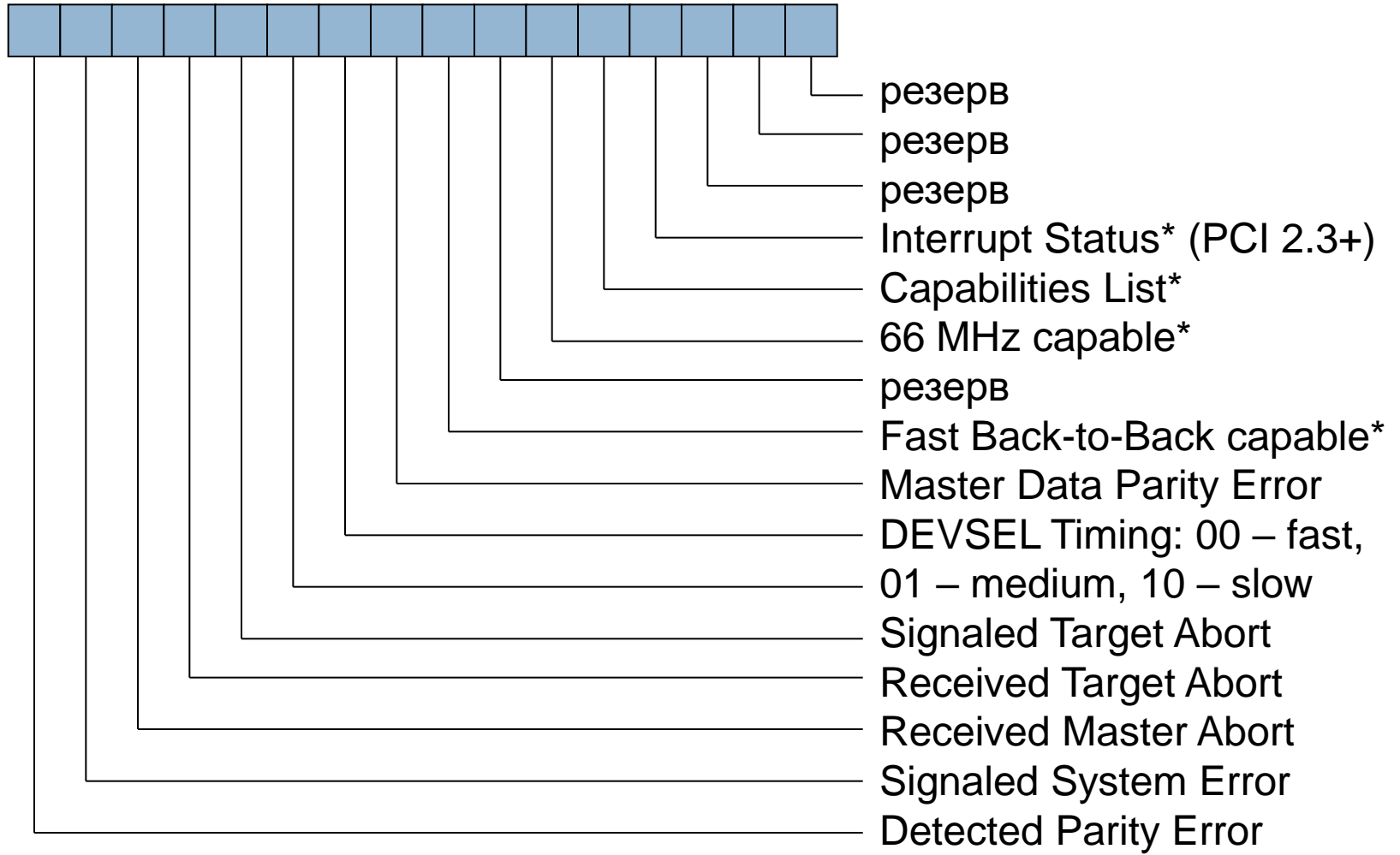
# Формат конфиг. блока

31	24	23	16	15	8	7	0	
Device ID				Vendor ID				0x00
Status				Command				0x04
Class code						Revision ID		0x08
BIST		Header Type		Latency Timer		Cache Line Size		0x0C
Base Address Register (BAR) 1								0x10
Base Address Register (BAR) 2								0x14
Base Address Register (BAR) 3								0x18
Base Address Register (BAR) 4								0x1C
Base Address Register (BAR) 5								0x20
Base Address Register (BAR) 6								0x24
Cardbus CIS Pointer								0x28
Subsystem ID				Subsystem Vendor ID				0x2C
Expansion ROM Base Address								0x30
						Capabilities ptr		0x34
								0x38
Max_Lat		Min_Gnt		Interrupt Pin		Interrupt Line		0x3C

# Регистр Command



# Регистр Status

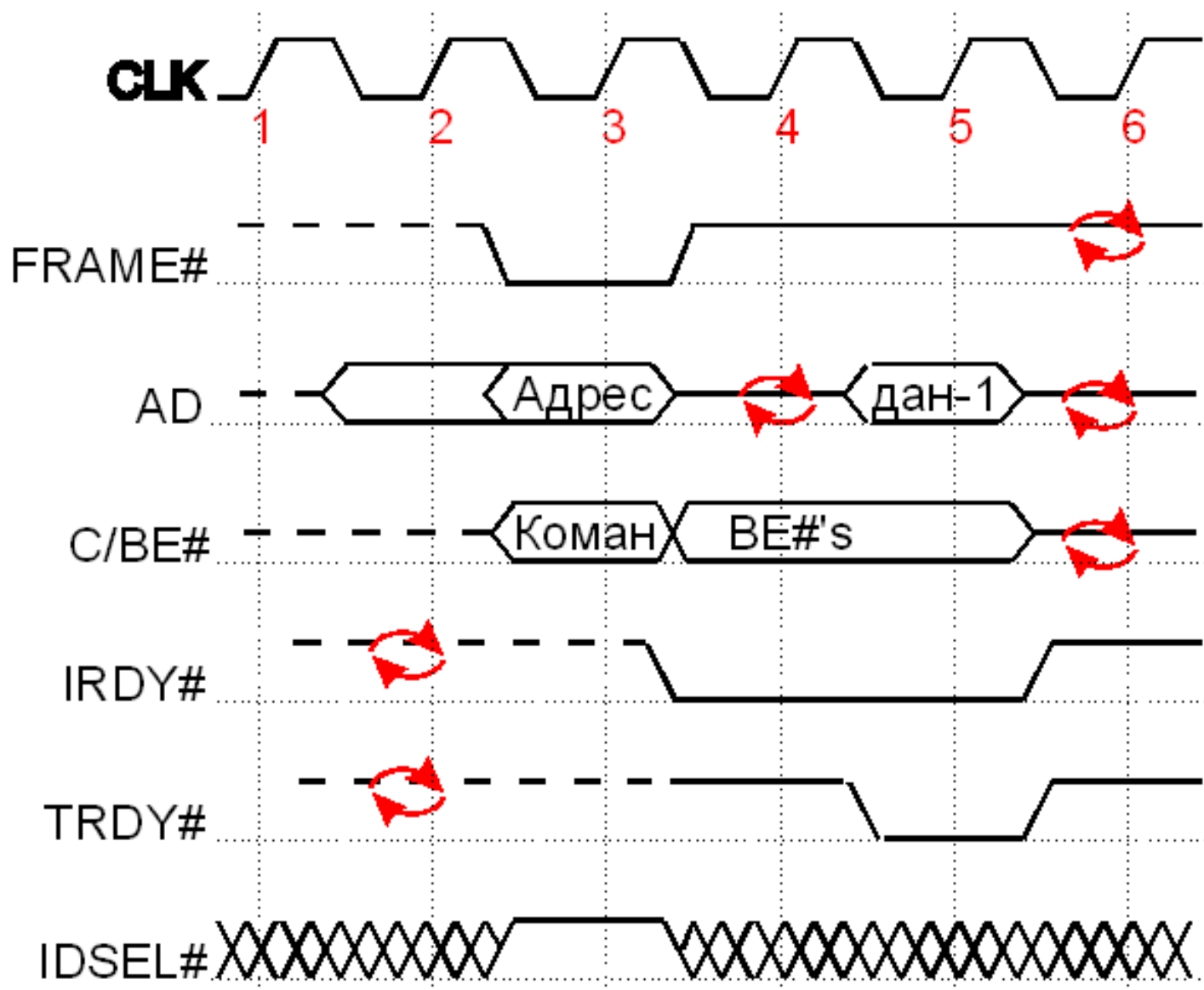


# Автоконфигурация

**Устройства PCI, с точки зрения пользователя являются plug'n'play.**

На самом же деле при запуске компьютера PCI BIOS читает конфигурационные регистры всех подключенных к шине устройств, затем строится карта распределения ресурсов и для каждого из устройств назначается до 6ти диапазонов адресов, адреса начала диапазонов затем заносятся в специальные регистры устройств. Затем у каждого из устройств поднимается флаг активности, который разрешает отслеживание адресов, выставленных на шину и их сравнение с адресами, назначенными устройству.

# Автоконфигурация



# Контроль достоверности передачи

**Для контроля достоверности (корректности) передаваемых данных в шине PCI предусмотрен механизм четности (parity).**

Сигнал PAR – признак нечетного количества единиц на линиях AD [31:0] и C/BE#[3:0].

Сигнал PAR64 используется для контроля четности линий AD[63:32] и C/BE#[7:4] в случае применения 64-битной шины. Эти сигналы вырабатываются устройством, которое управляет шиной AD. Задержка сигналов PAR и PAR64 составляет один такт (для того, чтобы устройство успело подсчитать количество пришедших бит).

В случае обнаружения нарушения четности в фазе данных приемник вырабатывает сигнал PERR# (с задержкой в один такт) и выставляет бит 15 в регистре состояния.

Для фазы адреса проверку четности выполняет целевое устройство, при ошибке вырабатывается другой сигнал – SERR#, выставляется бит 14 в регистре состояния.

# Электрический интерфейс шины PCI

Физически шина PCI разводится на печатных платах: материнской плате и платах расширения, соединяемых через щелевой (реже – штырьковый) разъем. Длина проводников жестко лимитирована ввиду использования эффекта отражения сигналов от концов нетерминированных линий. Сигнал должен отразиться и вернуться за  $1/3$  тактового периода (10 нс для 33 МГц, 5 нс для 66 МГц).

Предусмотрено два варианта реализации электрического интерфейса – с уровнями 5 В или 3.3 В, в зависимости от модели главного моста PCI. Устройства могут быть совместимыми с платами 5 В, 3.3 В либо с обеими типами одновременно.

# Параметры интерфейсных сигналов

Параметры	Интерфейс 5V	Интерфейс 3.3V
Напряжение питания $V_{cc}$	4.75 – 5.25 В	3.0 – 3.6 В
Вх. напряжение низкого уровня	-0.5 – 0.8 В	-0.5 – $0.3 \cdot V_{cc}$ В
Вх. напряжение высокого уровня	2 – $V_{cc} + 0.5$ В	$V_{cc}/2$ – $V_{cc} + 0.5$ В
Вых. напряжение низкого уровня	$\leq 0.55$ В	$\leq 0.1 \cdot V_{cc}$ В
Вых. напряжение высокого уровня	$\geq 0.8$ В	$\geq 0.9 \cdot V_{cc}$ В



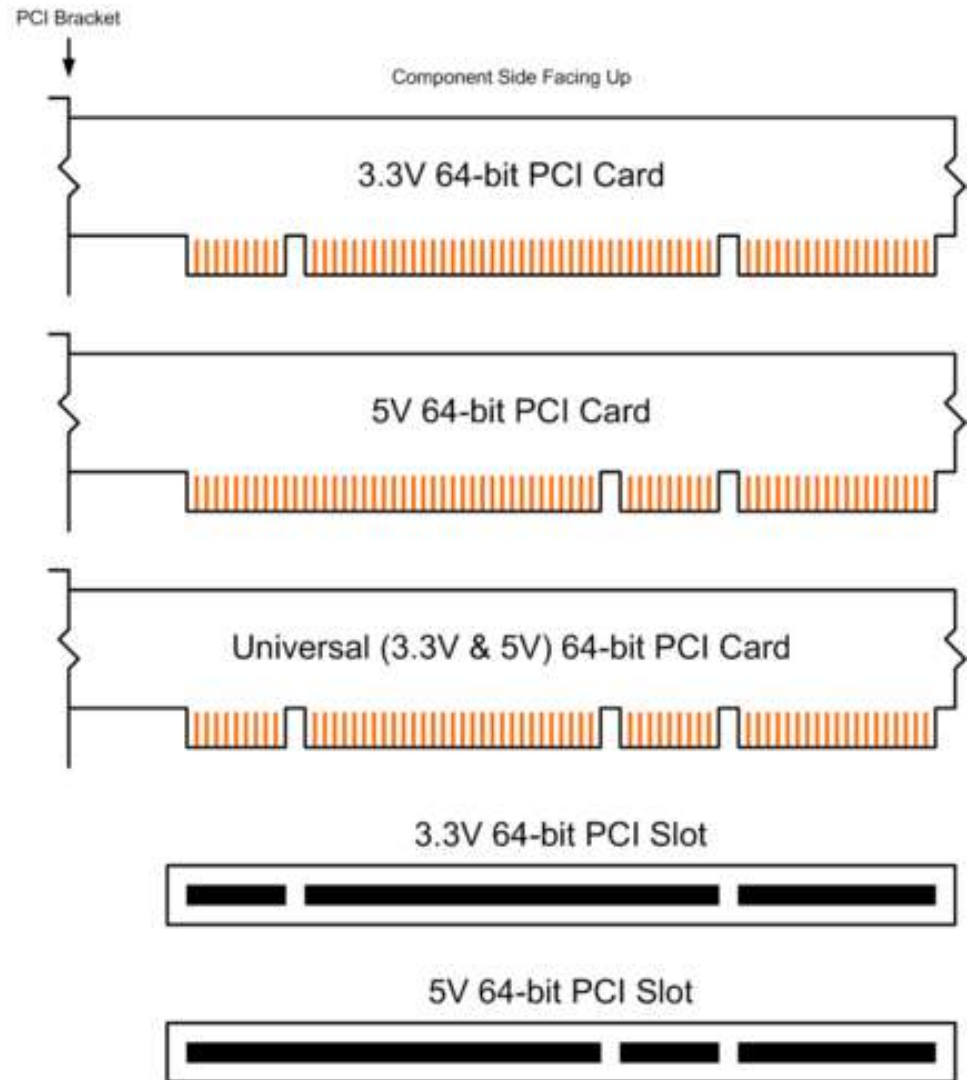
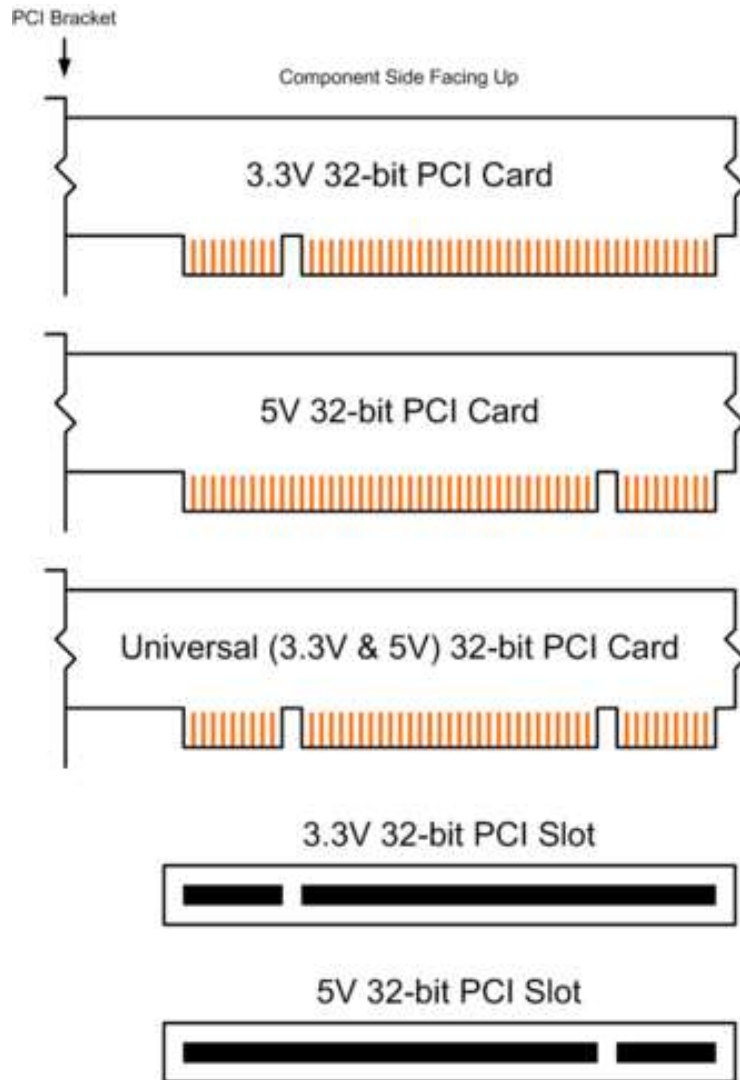
# Тактовая частота

Тактовая частота 66 МГц поддерживается при отсутствии устройств, у которых заземлен контакт M66EN. При этом превышение частоты не контролируется шиной и может приводить к сбоям в устройствах и мостах.

Снижение частоты и остановка CLK (обычно в целях снижения энергопотребления) предусмотрены и должны поддерживаться устройствами.

Для частоты 66 МГц может применяться размытие спектра (Spectrum Spread) с частотой модуляции 30-33 МГц, что позволяет уменьшить уровень ЭМИ без ухудшения стабильности работы устройств на шине.

# Разъемы и слоты карт PCI



# Разъемы и слоты карт PCI

Стандартный слот имеет щелевую конструкцию с двумя рядами контактов с шагом 0,05 дюйма (0,127 мм). Для 64-битной шины слот имеет 94 контакта в каждом ряду, для 32-битной – 62 контакта.

Для механического ограничения установки 5 В карт расширения в 3.3 В слоты и наоборот предназначены ключи:

- Слот 5V: ключ в позиции 50, 51
- Слот 3.3V: ключ в позиции 12, 13
- Универсальный слот: ключей нет
- Карта 5V: ключ в позиции 50, 51
- Карта 3.3V: ключ в позиции 12, 13
- Универсальная карта: оба ключа

Большинство слотов на плате по ключам соответствуют режиму 5V (хотя на самом деле поддерживают только 3.3 V), разъемы у карт расширения обычно универсальные или на 3.3 V.

# Слоты PCI

Различия между картами и слотами 3.3V и 5V – в питании буферных схем, подаваемом на линии Vi/o (A10, A16, B19, A/B59, A66, B70, B79, A84, B88). Питание +3.3V, +5V, +12V, -12V подается на все типы слотов. Питание +3.3Vaux (+3.3Vsb) подается на устройства при отсутствии других напряжений и наличии сигнала PME#.

Контакты PRSNT1# и PRSNT2# должны быть заземлены на карте для сигнализации о требуемой мощности питания – 25, 15 или 7.5 Вт.

Избирательное отключение напряжения питания и CLK на слотах при отсутствии карт применяется для уменьшения общего потребления и снижения уровня ЭМИ.

# Карты PCI

Три стандартных типоразмера:

1. Полноразмерные: 107x312 мм
2. Укороченные: 107x175 мм
3. Низкопрофильные: 64.4x? мм

Даже укороченные (Short card) считаются слишком большими для современных систем, чаще используются карты еще меньшей длины. Низкопрофильные (Low profile) карты могут устанавливаться и в стандартные корпуса; их питание – 3.3V.

# Соединение линий

Большинство одноименных линий на всех слотах и контакты встроенных устройств электрически соединены.

Исключения:

- Сигналы REQ# и GNT# индивидуальны для каждого слота/посадочного места, они подведены к мосту, обслуживающему шину.
- Сигнал IDSEL подключен к одной из линий шины AD.
- Сигналы INTA#-INTD# циклически сдвигаются (в общем случае).
- Сигнал CLK заводится от индивидуального контакта буфера синхронизации, длина всех линий строго выравнивается.

# Малогабаритные конструктивы

Карты PCI в мобильных компьютерах имеют иные габариты и конструкцию.

Конструктивы для установки внутри корпуса:

- Small PCI (SFF PCI): 85,6x54 мм, толщина 3.3, 5 или 10.5 мм, контакт двухрядный штырьковый 108 контактов, периферийные цепи подключаются ленточным кабелем, внешние разъемы не предусмотрены.
- Mini PCI Type I: 70x46 мм, толщина может варьироваться (нет корпуса), контакт двухрядный штырьковый 100 контактов. Помимо сигналов шины PCI, заведены сигналы от модемной розетки, AC-Link, цифровые звуковые линии, линия активности карты (для PM).
- Mini PCI Type II: 78x46 мм, с внешними разъемами (сеть, модем) высотой до 13.5 мм.
- Mini PCI Type III: 51x60 (44,6x60 – Type B) мм, иной разъем (печатный двухрядный), карты фиксируются на защелках, имеется два внутренних разъема для сетевой и модемной розеток.

## Малогабаритные конструктивы (продолжение)

Конструктив для внешней установки – PC Card, или PCMCIA.

Все карты имеют единый разъем с 68 контактами, но могут работать через один из 4 интерфейсов:

- Интерфейс памяти: обращение к карте как к модулю асинхронной динамической памяти с шириной шины данных 8 или 16 бит (шины разделены). По сигналу CE# карта выбирается, сигнал OE#/WE# - разрешение чтения/записи соответственно. Минимальное время цикла – 100 нс. Для доступа к конфиг. регистрам используется сигнал REG#.
- Интерфейс памяти и портов в-в: аналогично, добавлены сигналы IORD#/IOWR#. Время цикла чтения портов увеличено до 255 нс.
- ATA: через разъем разведены сигналы ATA.
- Cardbus – сигналы шины 32-битной PCI с частотой 33 МГц, добавлен сигнал CAUDIO (выход на спикер), CD1#/CD2# (признак наличия карты), VS1#/VS2# (признак 5V/3.3V).



# PC Card

Карта PC Card имеет площадь 54x85,5 мм, реже встречаются варианты Small PC Card – 45x42,8 мм.

Толщина варьируется:

- Type I: 3.3 мм (карты памяти, встречаются редко)
- Type II: 5 мм (наиболее распространен)
- Type III: 10,5 мм (обычно – винчестеры)
- Type IV: 16 мм (не используется)

Карты Cardbus подключаются к системной шине через мост PCI-PCCard.

Дополнительные регистры CIS (Card information structure) содержат информацию о возможностях карты.

Существуют стандарты управления слотами и устройствами PC Card – подачей/отключением питания, обнаружением, конфигурацией и т.д.

# Заключение

Шина PCI является синхронным параллельным электрическим интерфейсом с общей средой передачи данных (топология «шина»). Состоит из мультиплексированных линий передачи адреса и данных (разделение по времени) и линий различных управляющих сигналов.

**Механизм Bus Mastering фактически заменяет механизм с выделенным контроллером DMA**