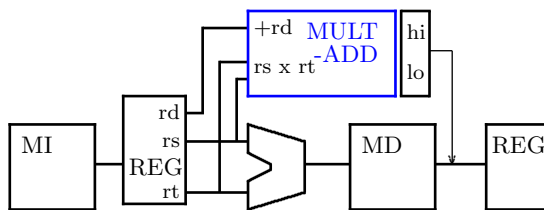


UFPR – Bacharelado em Ciência da Computação
CI212 – Organização e Arquitetura de Computadores
Gabarito da Segunda Prova — 2010-2

1) Você deve implementar no processador segmentado uma nova instrução que executa a multiplicação de dois registradores e soma o produto ao conteúdo de um terceiro registrador. O resultado é armazenado nos registradores *hi* e *lo*. Esta nova instrução é chamada de *multiply-add*, *madd*. Por conta da duração da operação composta, a nova unidade funcional demora dois ciclos (exec; mem) para produzir seu resultado, embora uma nova instrução *madd* possa ser iniciada a cada ciclo.

Mostre como implementar a instrução *madd* no processador segmentado. Sua resposta deve conter três itens: (i) supondo um processador SEM adiantamento, quais são as condições de bloqueio para evitar riscos estruturais e riscos de dados? (ii) supondo um processador COM adiantamento, indique claramente quais são os circuitos de adiantamento de/para a nova unidade funcional; (iii) traduza o programa ao lado para assembly do MIPS, para o processador COM adiantamento do item (ii), e indique o número de ciclos necessário para executar a versão assembly. [25 pontos]

MULTIPLY-ADD *madd r1,r2,r3* # *hi,lo* ← (*r1* x *r2*) + *r3* (formato R)



- (i) (1) bloco de registradores DEVE ter três portas de leitura para evitar risco estrutural na leitura dos 3 operandos; (2) *mfhi* e *mflo* devem estar separados do *madd* por, ao menos, uma instrução. [8pts]
- (ii) os circuitos de adiantamento de MEM/RES e EXEC/MEM permanecem como estão, exceto que uma terceira ligação é necessária para a entrada *rd* do circuito MADD. [8pts]
- (iii) 9 + 1024*15 ciclos. [9pts]
(i64) é um cast para forçar o compilador a gerar código para armazenar o resultado da operação em 64 bits.

```
#define i64 (long long);
i64 X[1024];
int A[1024],B[1024],C[1024];

for(i=0; i<1024; i++)
    X[i] =
        (i64)(A[i]*B[i])+C[i];
```

```
la ra,A
la rb,B
la rc,C
la rx,X
addi ri,r0,r0 ;9 ciclos
lasso:
lw r1,0(ra)
lw r2,0(rb)
lw r3,0(rc)
addi ra,ra,4 ;load delay slot
madd r1,r2,r3
addi rb,rb,4 ;separa madd do mflo,hi
addi rc,rc,4
mflo r1
mfhi r2
addi ri,ri,1
sw r2,0(rx) ;resultado em 64 bits
sw r1,4(rx)
slti r3,ri,1024
bne r3,r0,lasso
addi rx,rx,8 ;branch delay slot
```

2) Você deve projetar uma cache de dados para obter o máximo desempenho durante a execução do programa da questão 1.(iii). Seu projeto não pode ser demasiadamente caro. Justifique suas escolhas para os parâmetros de projeto. Sua resposta deve conter um diagrama com as larguras/campos claramente especificados, e deve mostrar quaisquer cálculos necessárias para dimensionar os parâmetros de projeto. [15 pontos]

Associatividade 4 para evitar conflitos entre os 4 vetores; capacidade maior ou igual a 16 Kbytes: |A,B,C|=4K, |X|=8K; bloco com 8 ou mais palavras para tirar proveito da localidade espacial. Somente 3 alunos efetuaram um projeto completo.

3) Um sistema de memória virtual pode ser encarado como uma “cache”.

(i) qual parte corresponde a um bloco da cache (ou uma linha)? página

(ii) qual é sua associatividade? total

(iii) qual é sua estratégia de escrita? write-back ou preguiçosa

(iv) qual circuito é usado para acelerar a tradução de endereços virtuais para físicos? TLB

Responda com, no máximo, duas frases por item.

[5 pontos]

4) Descreva um controlador de acesso direto à memória (CADM) e explique as condições nas quais seu uso é vantajoso. Sua resposta deve conter um diagrama de blocos do CADM. [5 pts]

Uma vez programado pelo processador com TAM, endereços FTE e DST, e controle, o CADM efetua

```
for(i=0; i<TAM; i++){ *DST = *FTE; DST++; }; INTERROMPE();
```

supondo uma cópia de uma fonte fixa (periférico) para a memória. Seu uso é vantajoso para desocupar o processador na cópia de grandes volumes de dados entre periféricos e memória.