



Hi3716C 高清网络媒体处理器 硬件用户指南

文档版本 00B50

发布日期 2011-07-21

版权所有 © 深圳市海思半导体有限公司 2011。保留一切权利。

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

商标声明



HISILICON、海思和其他海思商标均为深圳市海思半导体有限公司的商标。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

注意

您购买的产品、服务或特性等应受海思公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，海思公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

深圳市海思半导体有限公司

地址： 深圳市龙岗区坂田华为基地华为电气生产中心 邮编：518129

网址： <http://www.hisilicon.com>

客户服务电话： +86-755-28788858

客户服务传真： +86-755-28357515

客户服务邮箱： support@hisilicon.com



前言

概述

本文档主要介绍 Hi3716C 芯片的硬件特性和管脚复用的配置方法。

本文档提供 Hi3716C 芯片软硬件复用配置方法。

产品版本

与本文档相对应的产品版本如下。

产品名称	产品版本
Hi3716C 芯片	V101

读者对象

本文档（本指南）主要适用于以下工程师：

- 技术支持工程师
- 单板硬件开发工程师

约定

寄存器访问类型约定

类型	说明	类型	说明
RO	只读，不可写。	RW	可读可写。
RC	读清零。	WC	可读，写 1 清零，写 0 保持不变。



寄存器复位值约定

在寄存器定义表格中：

- 如果某一个比特的复位值“Reset”（即“Reset”行）为“？”，表示复位值不确定。
- 如果某一个或者多个比特的复位值“Reset”为“？”，则整个寄存器的复位值“Total Reset Value”为“-”，表示复位值不确定。

数值单位约定

数据容量、频率、数据速率等的表达方式说明如下。

类别	符号	对应的数值
数据容量（如 RAM 容量）	1K	1024
	1M	1,048,576
	1G	1,073,741,824
频率、数据速率等	1k	1000
	1M	1,000,000
	1G	1,000,000,000

地址、数据的表达方式说明如下。

符号	举例	说明
0x	0xFE04、0x18	用 16 进制表示的数据值、地址值。
0b	0b000、0b00 00000000	表示 2 进制的数据值以及 2 进制序列（寄存器描述中除外）。
X	00X、1XX	在数据的表达方式中，X 表示 0 或 1。 例如：00X 表示 000 或 001； 1XX 表示 100、101、110 或 111。

修订记录

修订记录累积了每次文档更新的说明。最新版本的文档包含以前所有文档版本的更新内容。



修订日期	版本	修订说明
2011-07-21	00B50	修改第 1 章。将 AT32 管脚属性改为上拉，AT33、AT34 改为下拉；增加 1.7 信号复用描述章节。
2011-6-30	00B40	修改第 1 章 QAMAD_VINNI、QAMAD_VINPI 差分信号电压值为 1.0V；调整 1.2.9 章节的 VSS 信号管脚表格使信号名称全显示；修改 USB0_PWREN、USB1_PWREN 管脚默认电平为高；修改 JTAG_SEL 管脚方向为 I（输入）；修改文中 ECC 支持情况。 修改第 4 章 DDR 时序的文字描述。
2011-6-9	00B30	修改第 3 章：删除 3.5.2 的表 3-8 的 MII0 的配置描述。
2011-5-20	00B20	将管脚描述中，管脚编号为 R10、P10 的管脚名称从 PCIE_VP10 改为 PCIE_VP25。
2011-03-15	00B10	经过检视和审阅将 DVDD10 的值修改如下： 最小值：1.05V；典型值：1.1V；最大值：1.15V。
2011-01-24	00B02	修改管脚描述章节中删除与 Hi3716C 不相关的管脚描述，管脚复用寄存器中的相关复用信息；PCB 设计建议中的铜箔厚度描述；VI 时序参数。
2010-11-30	00B01	Pilot 版本第 1 次正式发布。



目 录

前 言.....	iii
1 封装与管脚.....	1-1
1.1 封装与管脚分布.....	1-1
1.1.1 封装	1-1
1.1.2 管脚分布	1-5
1.2 管脚描述.....	1-9
1.2.1 管脚类型说明.....	1-9
1.2.2 管脚排列表	1-10
1.2.3 ADAC 管脚	1-23
1.2.4 VDAC 管脚	1-23
1.2.5 HDMI 管脚.....	1-25
1.2.6 QAMAD 管脚	1-26
1.2.7 USB 管脚.....	1-27
1.2.8 DDR 管脚	1-28
1.2.9 PG (Power/Ground) 管脚	1-35
1.2.10 EBI 管脚	1-37
1.2.11 SYS 管脚	1-47
1.2.12 I2C 管脚	1-48
1.2.13 IR 管脚	1-49
1.2.14 JTAG 管脚	1-49
1.2.15 LED 管脚.....	1-50
1.2.16 MDX 管脚	1-52
1.2.17 MII 管脚	1-53
1.2.18 NF 管脚	1-61
1.2.19 PCIE 管脚.....	1-64
1.2.20 SATA 管脚.....	1-64
1.2.21 SFC 管脚	1-65
1.2.22 SIM 管脚	1-67
1.2.23 SIO 管脚	1-71
1.2.24 SPDIF 管脚.....	1-73



1.2.25 SPI 管脚.....	1-73
1.2.26 TSI 管脚.....	1-75
1.2.27 UART 管脚.....	1-82
1.2.28 OTP 管脚.....	1-84
1.2.29 PLL 管脚.....	1-84
1.2.30 PLL5 管脚.....	1-85
1.2.31 CLK 管脚.....	1-85
1.3 复用寄存器概览.....	1-85
1.4 复用寄存器描述.....	1-90
1.5 软件复用管脚描述.....	1-145
1.5.1 SIO.....	1-145
1.5.2 SPI.....	1-147
1.5.3 SPDIF.....	1-148
1.5.4 I2C.....	1-148
1.5.5 UART.....	1-149
1.5.6 SF.....	1-151
1.5.7 MDX.....	1-157
1.5.8 LED.....	1-157
1.5.9 SYS.....	1-159
1.5.10 IR.....	1-159
1.5.11 SIM.....	1-159
1.5.12 EBI.....	1-162
1.5.13 NF.....	1-168
1.5.14 SFC.....	1-169
1.5.15 QAM.....	1-170
1.5.16 TSI.....	1-171
1.6 硬件管脚复用描述.....	1-176
1.6.1 SPDIF 管脚复用.....	1-176
1.6.2 MII0/MII1 管脚复用.....	1-176
1.6.3 MDX 管脚复用.....	1-177
1.6.4 LED 管脚复用.....	1-178
1.6.5 NF 管脚复用.....	1-178
1.7 信号复用描述.....	1-179
2 电性能参数.....	2-1
2.1 推荐工作条件.....	2-1
2.2 上下电顺序.....	2-2
2.3 DC/AC 电气参数.....	2-2
3 PCB 设计建议.....	3-1
3.1 Fanout 封装设计建议.....	3-1



3.2 DDR SDRAM 接口电路设计建议	3-2
3.2.1 DDR2 接口设计	3-2
3.2.2 DDR3 接口设计	3-11
3.2.3 DDR3 信号线阻抗匹配设计	3-12
3.2.4 DDR3 接口信号线 PCB 走线建议	3-14
3.3 Flash 接口电路设计建议	3-16
3.3.1 SPI Flash 匹配设计	3-16
3.3.2 NAND Flash 匹配设计	3-17
3.3.3 信号线设计建议	3-17
3.4 EBI 接口电路设计建议	3-18
3.4.1 EBI 接口匹配设计	3-18
3.4.2 信号线设计建议	3-18
3.5 以太网接口电路设计建议	3-18
3.5.2 MII 接口设计建议	3-19
3.5.3 RMII 接口设计建议	3-19
3.6 SCI 接口电路设计建议	3-20
3.7 USB 接口电路设计建议	3-20
3.7.1 USB PCB 设计建议	3-20
3.7.2 USB 功能单元供电电源设计	3-20
3.7.3 USB 保护电路设计建议	3-21
3.8 视频 DAC 电路设计建议	3-21
3.8.1 视频 DAC PCB 设计建议	3-21
3.8.2 视频 DAC 功能单元供电电源设计建议	3-21
3.8.3 视频 DAC 端口保护电路设计建议	3-22
3.9 PLL 功能单元电路设计建议	3-22
3.10 PCIE 接口电路设计建议	3-22
3.10.1 PCIE 接口匹配设计	3-22
3.10.2 PCIE 功能单元电路设计建议	3-23
3.11 SATA 接口电路设计建议	3-23
3.11.1 SATA 接口匹配设计	3-23
3.11.2 SATA 功能单元电路设计建议	3-24
3.11.3 SATA 功能单元供电电源设计建议	3-24
3.12 HDMI 接口电路设计建议	3-24
3.12.1 HDMI 接口匹配设计	3-24
3.12.2 HDMI 功能单元电路设计建议	3-24
3.13 其它	3-25
3.13.1 PCB 信号完整性仿真设计建议	3-25
3.13.2 其它 PCB 设计注意事项	3-26
4 接口时序	4-1



4.1 SMI 接口时序.....	4-1
4.2 DDR 接口时序	4-4
4.2.1 写操作时序	4-4
4.2.2 读操作时序	4-5
4.2.3 时序参数	4-6
4.3 NANDC 接口时序.....	4-8
4.3.1 命令周期时序.....	4-8
4.3.2 地址周期时序.....	4-8
4.3.3 写数据时序	4-9
4.3.4 读数据时序	4-10
4.4 SFC 接口时序.....	4-11
4.5 TSI 接口时序.....	4-12
4.6 Ethernet MAC 接口时序	4-13
4.6.1 RMII 接口时序.....	4-13
4.6.2 MII 接口时序	4-15
4.6.3 MDIO 接口时序	4-17
4.7 VI 接口时序.....	4-18
4.8 VO 接口时序	4-19
4.9 SIO 接口时序	4-19
4.9.1 I ² S 模式接口时序.....	4-19
4.9.2 PCM 模式接口时序	4-20
4.10 I ² C 时序	4-21
4.11 SCI 接口时序.....	4-22
4.11.1 激活和冷复位接口时序	4-22
4.11.2 热复位接口时序.....	4-23
4.11.3 释放接口时序.....	4-23
4.12 SPI 接口时序	4-24
A 缩略语	A-1



插图目录

图 1-1 芯片封装顶视图	1-2
图 1-2 芯片封装底视图	1-3
图 1-3 芯片封装侧视图	1-3
图 1-4 Detail B 放大图	1-4
图 1-5 Detail A 放大图	1-4
图 1-6 管脚分布 part1 (A1~W19)	1-6
图 1-7 管脚分布 part2 (Y1~AV19)	1-7
图 1-8 管脚分布 part3 (Y20~AV38)	1-8
图 1-9 管脚分布 part4 (A20~W38)	1-9
图 3-1 主芯片出线示例图	3-2
图 3-2 DDR2 SDRAM 16 位接口示意图	3-3
图 3-3 DDR2 SDRAM 8bit 数据位宽接口示意图	3-4
图 3-4 CLK 单负载应用 Class I 驱动拓扑结构	3-5
图 3-5 CLK 双负载应用 Class I 驱动 T 型拓扑结构	3-5
图 3-6 ADDR/CTRL 2 个负载 Class I 驱动 T 型拓扑结构 1	3-6
图 3-7 ADDR/CTRL 2 个负载 Class I 驱动 T 型拓扑结构 2	3-6
图 3-8 DDR3 SDRAM 16 位接口示意图	3-12
图 3-9 DDR3 SDRAM 8 位接口示意图	3-12
图 3-10 DDR3 SDRAM 的 CLK 信号连接	3-13
图 3-11 CLK 双负载 T 型拓扑结构	3-14
图 3-12 ADDR/CTRL 2 个负载 T 型拓扑结构	3-14
图 4-1 SMI 控制器时序参数模式时序图 (读写)	4-2
图 4-2 SMI 控制器时序参数模式时序图 (page 读)	4-2
图 4-3 SMI 控制器时序参数模式时序图 (写)	4-3
图 4-4 SMI 控制器异步等待模式时序图 (wait 读写)	4-3



图 4-5 SMI 控制器异步等待模式时序图（wait 超时）	4-3
图 4-6 DDR2 中 dqs_out 相对于 dq_out 的写操作时序图	4-4
图 4-7 DDR3 中 dqs_out 相对于 dq_out 的写操作时序图	4-4
图 4-8 DDR2 中 dqs_out 相对于 ck 的写操作时序图	4-5
图 4-9 DDR3 中 dqs_out 相对于 ck 的写操作时序图	4-5
图 4-10 命令和地址相对于 ck 的写操作时序图	4-5
图 4-11 DDRn SDRAM 输出时序图	4-6
图 4-12 NANDC 命令周期时序图	4-8
图 4-13 NANDC 地址周期时序图	4-9
图 4-14 NANDC 写数据时序图	4-10
图 4-15 NANDC 读数据时序图	4-11
图 4-16 SFC 输入方向时序图	4-11
图 4-17 SFC 输出方向时序图	4-12
图 4-18 TSI 接口时序图	4-13
图 4-19 RMII 接口 100Mbit/s 接收时序	4-13
图 4-20 RMII 接口 100Mbit/s 发送时序	4-14
图 4-21 RMII 接口 10Mbit/s 接收时序	4-14
图 4-22 RMII 接口 10Mbit/s 发送时序	4-14
图 4-23 RMII 接口时序参数	4-14
图 4-24 MII 接口 100Mbit/s 接收时序	4-15
图 4-25 MII 接口 100Mbit/s 发送时序	4-15
图 4-26 MII 接口 10Mbit/s 接收时序	4-16
图 4-27 MII 接口 10Mbit/s 发送时序	4-16
图 4-28 MII 接口接收时序参数	4-16
图 4-29 MII 接口发送时序参数	4-16
图 4-30 MDIO 接口读时序	4-17
图 4-31 MDIO 接口写时序	4-17
图 4-32 MDIO 接口接收时序参数	4-18
图 4-33 VI 接口时序图	4-18
图 4-34 VO 接口时序	4-19
图 4-35 I ² S 接口接收时序图	4-20
图 4-36 I ² S 接口发送时序图	4-20



图 4-37 PCM 接口接收时序图	4-20
图 4-38 PCM 接口发送时序图	4-21
图 4-39 I ² C 传输时序图	4-21
图 4-40 SCI 激活和冷复位接口时序图	4-23
图 4-41 SCI 热复位接口时序图	4-23
图 4-42 SCI 释放接口时序图	4-24
图 4-43 SPICK 时序	4-24
图 4-44 SPI 主模式下接口时序 (sph=0)	4-24
图 4-45 SPI 主模式下接口时序 (sph=1)	4-25



表格目录

表 1-1 封装参数说明表	1-5
表 1-2 Hi3716C 管脚数目统计表	1-5
表 1-3 管脚 I/O 类型说明	1-9
表 1-4 管脚排列表	1-10
表 1-5 ADAC 管脚	1-23
表 1-6 VDAC0 管脚	1-24
表 1-7 VDAC1 管脚	1-24
表 1-8 HDMI 管脚	1-25
表 1-9 QAMAD 管脚	1-26
表 1-10 USB 管脚	1-27
表 1-11 DDR 电源管脚	1-29
表 1-12 DDRA 管脚	1-29
表 1-13 DDRB 管脚	1-32
表 1-14 PG 管脚	1-35
表 1-15 EBI 管脚	1-37
表 1-16 SYS 管脚	1-47
表 1-17 I2C0 管脚	1-48
表 1-18 I2C1 管脚	1-49
表 1-19 IR 管脚	1-49
表 1-20 JTAG 管脚	1-50
表 1-21 LED 管脚	1-50
表 1-22 MDX 管脚	1-53
表 1-23 MII0 管脚	1-53
表 1-24 MII1 管脚	1-55
表 1-25 NF 管脚	1-62



表 1-26 PCIE 管脚.....	1-64
表 1-27 SATA 管脚.....	1-64
表 1-28 SFC 管脚	1-65
表 1-29 SIM0 管脚	1-67
表 1-30 SIM1 管脚	1-69
表 1-31 SIO0 管脚.....	1-71
表 1-32 SIO2 管脚.....	1-73
表 1-33 SPDIF 管脚.....	1-73
表 1-34 SPI 管脚.....	1-74
表 1-35 TSI0 管脚.....	1-75
表 1-36 TSI1 管脚.....	1-79
表 1-37 UART0 管脚.....	1-82
表 1-38 UART1 管脚.....	1-83
表 1-39 OTP 管脚.....	1-84
表 1-40 PLL 管脚	1-85
表 1-41 PLL5 管脚	1-85
表 1-42 CLK 管脚	1-85
表 1-43 复用寄存器概览（基地址：0x1020_3000）	1-86
表 1-44 SIO0 的软件复用管脚	1-145
表 1-45 SIO0 的软件复用管脚描述	1-145
表 1-46 SIO2 的软件复用管脚	1-146
表 1-47 SIO2 的软件复用管脚描述	1-146
表 1-48 SPI 的软件复用管脚.....	1-147
表 1-49 SPI 的软件复用管脚描述.....	1-147
表 1-50 SPDIF 的软件复用管脚.....	1-148
表 1-51 SPDIF 的软件复用管脚描述.....	1-148
表 1-52 I2C0 的软件复用管脚.....	1-148
表 1-53 I2C0 的软件复用管脚描述.....	1-148
表 1-54 I2C1 的软件复用管脚.....	1-149
表 1-55 I2C1 的软件复用管脚描述.....	1-149
表 1-56 UART0 的软件复用管脚.....	1-149
表 1-57 UART0 的软件复用管脚描述.....	1-150



表 1-58 UART1 的软件复用管脚	1-150
表 1-59 UART1 的软件复用管脚描述	1-150
表 1-60 MII0/RMII0 的软件复用管脚	1-151
表 1-61 MII0/RMII0 的软件复用管脚描述	1-151
表 1-62 MII1 的软件复用管脚	1-152
表 1-63 MII1 的软件复用管脚描述	1-153
表 1-64 MII1/RMII1 的软件复用管脚	1-154
表 1-65 MII1/RMII1 的软件复用管脚描述	1-155
表 1-66 MDX 的软件复用管脚	1-157
表 1-67 MDX 的软件复用管脚描述	1-157
表 1-68 LED 的软件复用管脚	1-157
表 1-69 LED 的软件复用管脚描述	1-158
表 1-70 SYS 的软件复用管脚	1-159
表 1-71 SYS 的软件复用管脚描述	1-159
表 1-72 IR 的软件复用管脚	1-159
表 1-73 IR 的软件复用管脚描述	1-159
表 1-74 SIM0 的软件复用管脚	1-160
表 1-75 SIM0 的软件复用管脚描述	1-160
表 1-76 SIM1 的软件复用管脚	1-161
表 1-77 SIM1 的软件复用管脚描述	1-161
表 1-78 EBI 的软件复用管脚	1-162
表 1-79 EBI 的软件复用管脚描述	1-164
表 1-80 NF 的软件复用管脚	1-168
表 1-81 NF 的软件复用管脚描述	1-169
表 1-82 SFC 的软件复用管脚	1-170
表 1-83 SFC 的软件复用管脚描述	1-170
表 1-84 QAM 的软件复用管脚	1-170
表 1-85 QAM 的软件复用管脚描述	1-171
表 1-86 TSI0 的软件复用管脚	1-171
表 1-87 TSI0 的软件复用管脚描述	1-172
表 1-88 TSI1 的软件复用管脚	1-174
表 1-89 TSI1 的软件复用管脚描述	1-174



表 1-90 SPDIF 硬件管脚复用.....	1-176
表 1-91 与 SPDIF 复用的管脚描述.....	1-176
表 1-92 MII0/MII1 硬件管脚复用	1-176
表 1-93 与 MII0/RMII0 复用的管脚描述.....	1-177
表 1-94 MDX 硬件管脚复用	1-177
表 1-95 与 MDX 复用的管脚描述	1-177
表 1-96 LED 硬件管脚复用.....	1-178
表 1-97 与 LED 复用的管脚描述.....	1-178
表 1-98 NF 硬件管脚复用	1-178
表 1-99 与 NF 复用的管脚描述	1-179
表 1-100 功能信号被管脚复用.....	1-179
表 2-1 功耗参数	2-1
表 2-2 推荐工作条件	2-1
表 2-3 DC 电气参数表 (DVDD33=3.3V, 5V 输入兼容, 部分接口不支持 5V 输入兼容)	2-2
表 2-4 DC 电气参数表(DDR_DVDDIF=1.8V, DDR2 SSTL18 模式)	2-3
表 2-5 AC 电气参数表(DDR_DVDDIF=1.8V, DDR2 模式).....	2-5
表 2-6 DC 电气参数表 (DDR_DVDDIF=1.5V, DDR3 模式)	2-5
表 2-7 AC 电气参数表 (DDR_DVDDIF=1.5V, DDR3 模式)	2-5
表 3-1 基板上 DDR 各信号走线长度	3-7
表 3-2 单片 SPI Flash 匹配设计推荐	3-16
表 3-3 两片 SPI Flash 匹配设计推荐	3-17
表 3-4 单片 NAND Flash 匹配设计推荐.....	3-17
表 3-5 两片 NAND Flash 匹配设计推荐.....	3-17
表 3-6 LOCAL BUS 匹配设计推荐.....	3-18
表 3-7 MDCK/MDIO 匹配设计推荐.....	3-19
表 3-8 MII 接口各信号匹配设计推荐	3-19
表 3-9 RMII 接口各信号匹配设计推荐	3-19
表 3-10 SCI 接口各信号匹配设计推荐	3-20
表 3-11 PCIE 接口各信号匹配设计推荐	3-22
表 3-12 SATA 接口各信号匹配设计推荐	3-23
表 3-13 HDMI 接口各信号匹配设计推荐	3-24
表 3-14 基板上 HDMI 各信号走线长度.....	3-25



表 4-1 SMI 控制器时序参数表（总线时钟 $f_{\text{BUSCLK}}=200\text{MHz}$ ）	4-1
表 4-2 DDR2 时钟参数表	4-6
表 4-3 DDR2 SDRAM 存储器参数表（DDR2-800）	4-6
表 4-4 DDR3 时钟参数表	4-7
表 4-5 DDR3 SDRAM 存储器参数表（DDR3-800）	4-7
表 4-6 NANDC 命令周期时序参数表	4-8
表 4-7 NANDC 地址周期时序参数表	4-9
表 4-8 NANDC 写数据时序参数表	4-10
表 4-9 NANDC 读数据时序参数表	4-11
表 4-10 SFC 输入方向时序参数表	4-12
表 4-11 SFC 输出方向时序参数表	4-12
表 4-12 TSI 接口时序参数表	4-13
表 4-13 RMII 接口时序参数说明	4-15
表 4-14 MII 接口时序参数说明	4-17
表 4-15 MDIO 接口时序参数	4-18
表 4-16 VI 接口时序参数表	4-19
表 4-17 VO 接口时序参数表	4-19
表 4-18 I ² S 接口时序参数表	4-20
表 4-19 PCM 接口时序参数表	4-21
表 4-20 I ² C 接口时序参数表	4-21
表 4-21 SPI 接口时序参数	4-25



1 封装与管脚

1.1 封装与管脚分布

1.1.1 封装

Hi3716C 芯片采用 PBGA 封装，封装尺寸为 31mm×31mm，管脚间距为 0.8mm，详细封装请参见图 1-1～图 1-5，封装尺寸参数请参见表 1-1。



图1-1 芯片封装顶视图

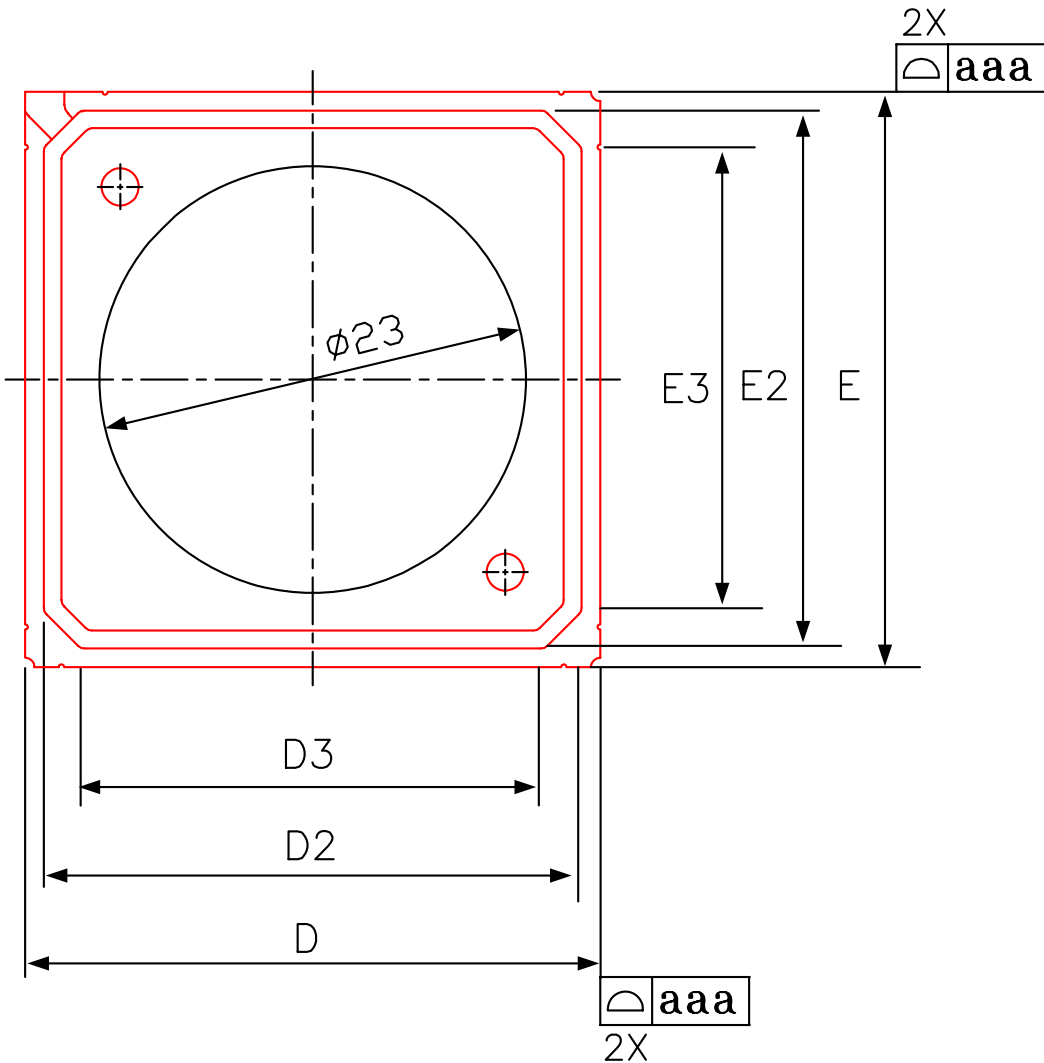




图1-2 芯片封装底视图

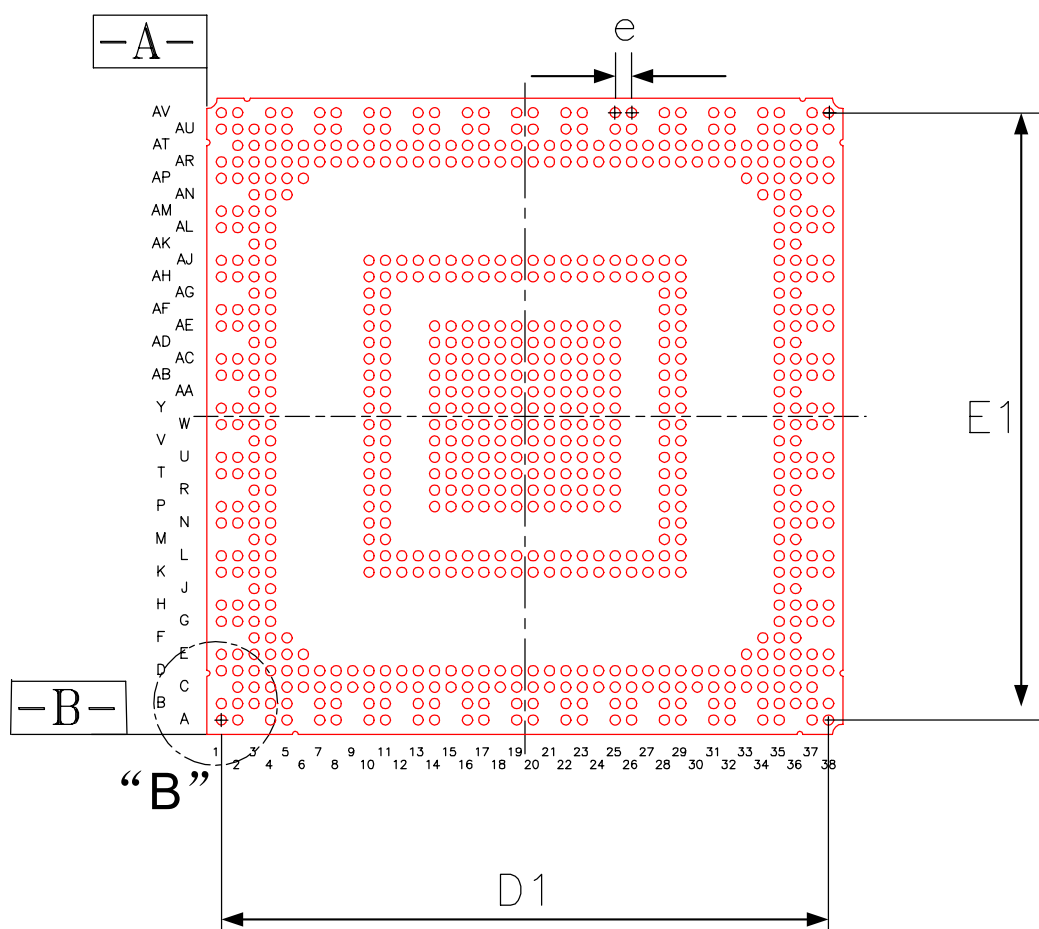


图1-3 芯片封装侧视图

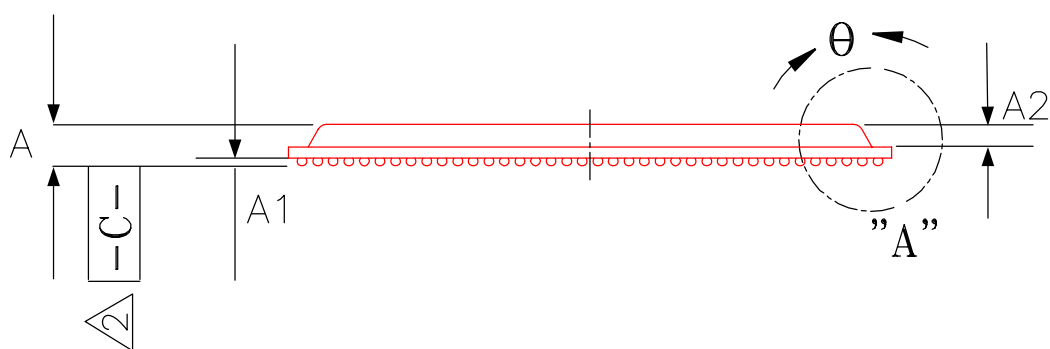
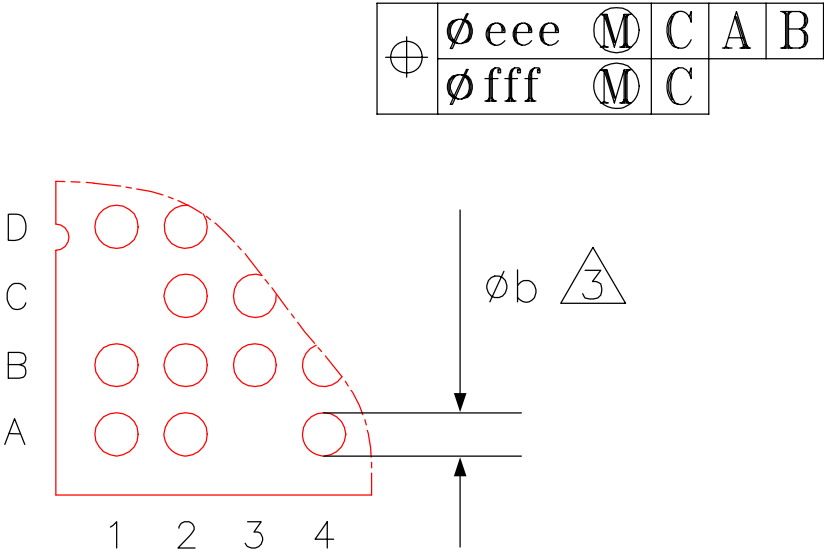


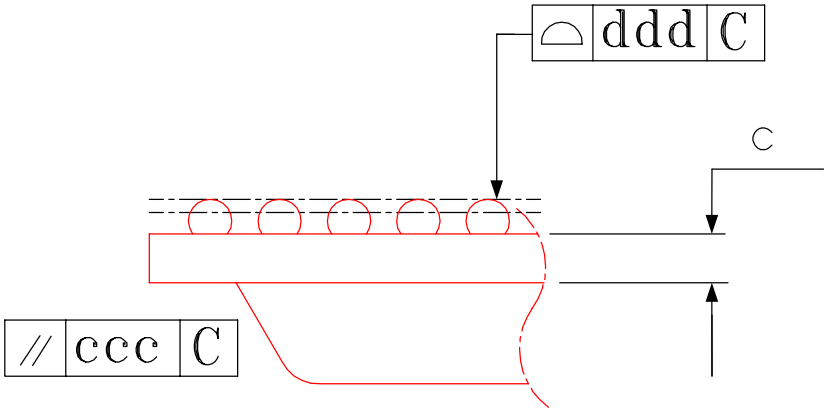


图1-4 Detail B 放大图



DETAIL “B”

图1-5 Detail A 放大图



DETAIL “A”



表1-1 封装参数说明表

参数	尺寸（mm）		
	最小值	典型值	最大值
A	-	2.13	2.28
A1	0.35	0.40	0.45
A2	1.12	1.17	1.22
b	0.45	0.50	0.55
c	0.51	0.56	0.61
D	30.80	31.00	31.20
D1	-	29.60	-
D2	28.80	29.00	29.20
D3	-	25.00	-
E	30.80	31.00	31.20
E1	-	29.60	-
E2	28.80	29	29.20
E3	--	25.00	-
e	-	0.80	-
aaa	0.15		
ccc	0.20		
ddd	0.20		
eee	0.15		
fff	0.08		
θ	30° TPY		

1.1.2 管脚分布

Hi3716C 的管脚有 756 个，管脚数目统计表如表 1-2 所示。

表1-2 Hi3716C 管脚数目统计表

管脚类别	数量
I/O	308
数字电源	134



管脚类别	数量
数字地	230
其他/模拟电源	34
其他/模拟地	34
DDR 参考电源	6
NC 管脚	10
总计	756

管脚分布图

Hi3716C 管脚分布如图 1-6～图 1-9 所示。

图1-6 管脚分布 part1 (A1～W19)

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19
A	VSS	EBI_AD R12		EBI_AD R7	EBI_AD R2		XIN	VSS		LED_CS N1	LED_CS N3		JTAG_T DI	JTAG_T MS		DDRB_DQ19	DDRB_DQ16		DDRB_DQ24
B	EBI_AD R13	EBI_AD R15	EBI_AD R6	EBI_AD R14	EBI_AD R1		XOUT	VSS		LED_CS N0	LED_CS N2		JTAG_T RSTN	JTAG_T CK		DDRB_DQ18	DDRB_DQ17		DDRB_DQ25
C		EBI_AD R8	EBI_AD R5	EBI_AD R4	EBI_AD R3	RSTN	VSS	LED_KEY0	LED_DATA	DVDD33	IR_IN	STANDBY_PWROFF	FUNC_SEL	JTAG_T DO	VSS	DDRB_RTT	DDR_D VDDIF	DDRB_DQSP2	VSS
D	EBI_AD R11	EBI_AD R9	EBI_AD R10	EBI_OEN	EBI_CS N1	WDG_RSTN	VSS	LED_KEY1	LED_CLK	DVDD33	VSS	VSS	DVDD33	DVDD33	VSS	VSS	DDR_D VDDIF	DDRB_DQSN2	VSS
E	EBI_CS N0	EBI_WEN	EBI_AD R16	EBI_AD R0	DVDD33	VSS													
F			DVDD33	DVDD33	DVDD33														
G	SIM1_RST	SIM1_DATA	SIM1_DET	VSS															
H	SIM1_CLK	SIM1_PWREN	SIM0_DET	VSS															
J			SIM0_RST	SIM0_DATA															
K	VSS	VSS	SIM0_PWREN	SIM0_CLK						DVDD33	VSS	DVDD33	DVDD33	VDDHV25_PLL5	VDDHV25_PLL	VDDHV25_PLL	VDD_STANDBY	VSS	VSS
L	PCIE_R0EFCLKP	PCIE_R0EFCLKM	VSS	VSS						DVDD33	DVDD33	VSS	DVDD33	VSS_PL L5	VSS_PL L	VSS_PL L	DVDD33_STANDBY	VSS	VSS
M			PCIE_R0X0P	PCIE_R0X0M						VSS	DVDD33								
N	PCIE_T0X0M	PCIE_T0X0P	VSS	VSS						PCIE_R0EXT	VSS								
P	VSS	VSS	VSS	VSS						PCIE_V P25	PCIE_V P10			VSS	VDDL V10_PLL5	VDDL V10_PLL	VDDL V10_PLL	VSS	DVDD10
R			EBI_DQ13	EBI_DQ15						PCIE_V P25	PCIE_V P10			VSS	VSS	VSS	VSS	VSS	VSS
T	EBI_DQ9	EBI_DQ14	EBI_DQ11	EBI_DQ12						VSS	PCIE_V P10			VSS	VSS	VSS	VSS	VSS	VSS
U	EBI_DQ8	EBI_DQ10	DVDD33	DVDD33						DVDD33	DVDD33			DVDD10	VSS	VSS	VSS	VSS	VSS
V			EBI_DQ6	EBI_DQ7						VSS	DVDD33			DVDD10	VSS	VSS	VSS	VSS	VSS
W	EBI_DQ2	EBI_DQ3	EBI_DQ4	EBI_DQ5						SATA_R0EXT	VSS			VSS	VSS	VSS	VSS	VSS	VSS

图1-7 管脚分布 part2 (Y1~AV19)

[illegible]



图1-8 管脚分布 part3 (Y20~AV38)

VSS	VSS	VSS	VSS	VSS	DVDD10					DDRA_REF	DDR_D_VDDIF					DDR_D_VDDIF	DDRA_WEN	DDRA_BA0	DDRA_CKE0	Y				
VSS	VSS	VSS	VSS	VSS	VSS					VSS	VSS					DDRA_BA2	DDRA_BA1				AA			
VSS	VSS	VSS	VSS	VSS	DVDD10					DDRA_LO	DDRA_HI					DDRA_ADR10	DDRA_ADR1	VSS	VSS			AB		
VSS	VSS	VSS	VSS	VSS	DVDD10					DVDD33	DVDD33					VSS	VSS	DDRA_CKN1	DDRA_CKP1			AC		
VSS	VSS	VSS	VSS	VSS	DVDD10					DVDD33	DVDD33					DDR_D_VDDIF	DDR_D_VDDIF					AD		
DVDD10	VSS	DVDD10	DVDD10	DVDD10	VSS					VSS	VSS					VSS	DDRA_ADR3	DDRA_ADR7	DDRA_ADR12			AE		
										DVDD33	DVDD33					VSS	DDRA_ADR5	DDRA_ADR9	DDRA_ADR14			AF		
										VSS	DVDD33					DDR_D_VDDIF	DDR_D_VDDIF					AG		
AVCC10_HDMI	DVDD33	DVDD33	VSS	AVSS_USB	DVDD10_USB	DVDD33	DVDD33	VSS	VSS					DDRA_CKN0	DDRA_CKP0	VSS	VSS					AH		
AVCC10_HDMI	DVDD33	DVDD33	VSS	AVSS_USB	DVSS_USB	DVDD33	DVDD33	DVDD33	VSS					VSS	VSS	DDRA_ADR6	DDRA_ADR4					AJ		
														DDRA_ADR8	DDRA_ADR11									AK
														DDRA_ADR13	DDRA_CASN	DDRA_ADR2	DDRA_ADR0					AL		
														DDR_D_VDDIF	DDRA_ODT0	DDRA_RASN	DDRA_CSN0					AM		
													VPP_OTP	VCC33_OTP	DDR_D_VDDIF									AN
												VSS	DVDD33	DVDD33	MIIO_RX_CK	MIIO_RX_D0	MIIO_RX_D1					AP		
AVSS_HDMI	HDMI_T_XCN	AVCC10_HDMI	AVSS_HDMI	HDMI_T_X2P	VSS	DVDD33	AVDD33_USB	AVSS_USB	AVSS_USB	MIIO_CO_L	DVDD33	VSS	VSS	VSS	VSS	MIIO_TX_D0	MIIO_TX_EN	MIIO_RX_D0	MIIO_TX_D1	MIIO_TX_DV	AR			
AVSS_HDMI	HDMI_T_XCP	AVCC10_HDMI	AVSS_HDMI	HDMI_T_X2M	UART1_RTSN	UART1_CTSN	USB_REXT	AVDD33_USB	AVSS_USB	MIIO_CR_S	DVDD33	MII1_TX_D3	MII1_TX_D0	MII1_TX_EN	MII1_RX_D0	MII1_RX_CK	MIIO_TX_D1				AT			
HDMI_EXT		HDMI_T_X0M	HDMI_T_X1M		UART0_RXD	UART1_RXD		USB0_DM	USB1_DP		DVDD33	MII1_TX_D1		MII1_TX_CK	MII1_RX_D2	MII1_RX_D3	VSS	MDIO			AU			
SIO2_DIN		HDMI_T_X0P	HDMI_T_X1P		UART0_TXD	UART1_TXD		USB0_DP	USB1_DM		DVDD33	MII1_TX_D2		MII1_RX_DV	MII1_RX_D1		MDCK	VSS			AV			
20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38						



图1-9 管脚分布 part4 (A20~W38)

20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	
DDRB_ DQ26		DDRB_ DM3	DDRB_ DQ29		DDRB_ DQ21	DDRB_ DQ22		DDRB_ BA0	DDRB_ BA1		VSS	DDRB_ ADR7		DDRB_ CKP0	VSS		DDRB_ ADR11	VSS	A
DDRB_ DQ27		VSS	DDRB_ DQ28		DDRB_ DQ20	DDRB_ DQ23		DDRB_ WEN	DDRB_ BA2		VSS	DDRB_ ADR3		DDRB_ CKN0	VSS	DDRB_ ADR6	DDRB_ ADR13	DDRB_ ADR2	B
DDR_D VDDIF	DDRB_ DQSN3	VSS	DDRB_ DQ30	DDRB_ DQ31	DDRB_ DM2	DDRB_ CSN1	DDRB_ ODT1	VSS	DDRB_ ADR10	DDR_D VDDIF	DDRB_ CKP1	DDRB_ ADR12	DDRB_ ADR14	VSS	DDRB_ ADR4	DDRB_ ADR8	DDRB_ ADR0		C
DDR_D VDDIF	DDRB_ DQSP3	VSS	DDR_D VDDIF	VSS	DDRB_ RESET N	DDRB_ CKE1	DDRB_ CKE0	VSS	DDRB_ ADR1	DDR_D VDDIF	DDRB_ CKN1	DDRB_ ADR9	DDRB_ ADR5	VSS	DDRB_ ODT0	DDRB_ CASN	DDRB_ CSN0	DDRB_ RASN	D
													VSS	DDR_D VDDIF	DDR_D VDDIF	DDR_D VDDIF	DDR_D VDDIF	DDR_D VDDIF	E
														DDR_D VDDIF	DDR_D VDDIF	DDR_D VDDIF			F
															VSS	DDRA_ RTT	DDRA_ DQ3	DDRA_ DQ2	G
															VSS	VSS	DDRA_ DQ0	DDRA_ DQ1	H
															DDRA_ DQSP0	DDRA_ DQSN0			J
DDR_D VDDIF	DDR_D VDDIF	VSS	DDR_D VDDIF	DDR_D VDDIF	VSS	DDR_D VDDIF	DDR_D VDDIF	VSS	DDRB_ HI						DDR_D VDDIF	DDR_D VDDIF	DDR_D VDDIF	DDRA_ DQ8	K
DDR_D VDDIF	DDRB_ REF	VSS	DDRB_ REF	DDR_D VDDIF	VSS	DDRB_ REF	DDR_D VDDIF	DDRB_ LO	VSS						VSS	DDRA_ DQ11	DDRA_ DQ9	DDRA_ DQ10	L
								DDR_D VDDIF	DDR_D VDDIF						DDR_D VDDIF	DDR_D VDDIF			M
								DDRA_ REF	DDR_D VDDIF						DDRA_ DQSN1	DDRA_ DQSP1	VSS	DDRA_ DM1	N
DVDD10	VSS	DVDD10	DVDD10	DVDD10	VSS			VSS	DDR_D VDDIF						VSS	VSS	DDRA_ DQ13	DDRA_ DQ12	P
VSS	VSS	VSS	VSS	VSS	DVDD10			DDRA_ REF	VSS						DDRA_ DQ14	DDRA_ DQ15			R
VSS	VSS	VSS	VSS	VSS	DVDD10			DDR_D VDDIF	DDR_D VDDIF						DDR_D VDDIF	DDR_D VDDIF	DDRA_ DM0	DDRA_ DQ5	T
VSS	VSS	VSS	VSS	VSS	DVDD10			DDR_D VDDIF	DDR_D VDDIF						VSS	DDRA_ DQ7	DDRA_ DQ6	DDRA_ DQ4	U
VSS	VSS	VSS	VSS	VSS	VSS			VSS	VSS						DDR_D VDDIF	DDRA_ RESET N			V
VSS	VSS	VSS	VSS	VSS	DVDD10			DDR_D VDDIF	DDR_D VDDIF						VSS	DDRA_ CSN1	DDRA_ ODT1	DDRA_ CKE1	W

1.2 管脚描述

1.2.1 管脚类型说明

管脚 I/O 类型说明如表 1-3 所示。

表1-3 管脚 I/O 类型说明

I/O	说明
I	输入信号。
I _{PD}	输入信号，内部下拉。
I _{PU}	输入信号，内部上拉。
I _S	输入信号，带施密特触发器。



I/O	说明
I _{SPD}	输入信号，带施密特触发器，内部下拉。
I _{SPU}	输入信号，带施密特触发器，内部上拉。
O	输出信号。
O _{OD}	输出，漏极开路。
I/O	双向输入/输出信号。
I _{PD} /O	双向，输入下拉。
I _{PU} /O	双向，输入上拉。
I _{SPU} /O	双向，输入上拉，带施密特触发器。
I _{PD} /O _{OD}	双向，输入下拉，输出漏极开路。
I _{PU} /O _{OD}	双向，输入上拉，输出漏极开路。
I _S /O	双向，输入带施密特触发器。
I _S /O _{OD}	双向，输入带施密特触发器，输出漏极开路。
CIN	Crystal Oscillator，晶振输入。
COUT	Crystal Oscillator，晶振输出。
P	电源。
G	地。

1.2.2 管脚排列表

Hi3716C 的管脚按位置排列如表 1-4 所示。

表1-4 管脚排列表

位置	管脚名称	位置	管脚名称
A1	VSS	AV37	MDCK
A2	EBI_ADR12	AV38	VSS
A4	EBI_ADR7	B1	EBI_ADR13
A5	EBI_ADR2	B2	EBI_ADR15
A7	XIN	B3	EBI_ADR6
A8	VSS	B4	EBI_ADR14
A10	LED_CSN1	B5	EBI_ADR1



位置	管脚名称	位置	管脚名称
A11	LED_CSN3	B7	XOUT
A13	JTAG_TDI	B8	VSS
A14	JTAG_TMS	B10	LED_CSN0
A16	DDRB_DQ19	B11	LED_CSN2
A17	DDRB_DQ16	B13	JTAG_TRSTN
A19	DDRB_DQ24	B14	JTAG_TCK
A20	DDRB_DQ26	B16	DDRB_DQ18
A22	DDRB_DM3	B17	DDRB_DQ17
A23	DDRB_DQ29	B19	DDRB_DQ25
A25	DDRB_DQ21	B20	DDRB_DQ27
A26	DDRB_DQ22	B22	VSS
A28	DDRB_BA0	B23	DDRB_DQ28
A29	DDRB_BA1	B25	DDRB_DQ20
A31	VSS	B26	DDRB_DQ23
A32	DDRB_ADR7	B28	DDRB_WEN
A34	DDRB_CKP0	B29	DDRB_BA2
A35	VSS	B31	VSS
A37	DDRB_ADR11	B32	DDRB_ADR3
A38	VSS	B34	DDRB_CKN0
AA3	NF_WEN	B35	VSS
AA4	NF_ALE	B36	DDRB_ADR6
AA10	SATA_VP25	B37	DDRB_ADR13
AA11	SATA_VP10	B38	DDRB_ADR2
AA14	DVDD10	C2	EBI_ADR8
AA15	VSS	C3	EBI_ADR5
AA16	VSS	C4	EBI_ADR4
AA17	VSS	C5	EBI_ADR3
AA18	VSS	C6	RSTN
AA19	VSS	C7	VSS
AA20	VSS	C8	LED_KEY0
AA21	VSS	C9	LED_DATA



位置	管脚名称	位置	管脚名称
AA22	VSS	C10	DVDD33
AA23	VSS	C11	IR_IN
AA24	VSS	C12	STANDBY_PWROFF
AA25	VSS	C13	FUNC_SEL
AA28	VSS	C14	JTAG_TDO
AA29	VSS	C15	VSS
AA35	DDRA_BA2	C16	DDRB_RTT
AA36	DDRA_BA1	C17	DDR_DVDDIF
AB1	NF_REN	C18	DDRB_DQSP2
AB2	NF_CSN1	C19	VSS
AB3	NF_CSN0	C20	DDR_DVDDIF
AB4	NF_CLE	C21	DDRB_DQSN3
AB10	AVDD25_QAM	C22	VSS
AB11	AVSS_QAM	C23	DDRB_DQ30
AB14	VSS	C24	DDRB_DQ31
AB15	VSS	C25	DDRB_DM2
AB16	VSS	C26	DDRB_CSN1
AB17	VSS	C27	DDRB_ODT1
AB18	VSS	C28	VSS
AB19	VSS	C29	DDRB_ADR10
AB20	VSS	C30	DDR_DVDDIF
AB21	VSS	C31	DDRB_CKP1
AB22	VSS	C32	DDRB_ADR12
AB23	VSS	C33	DDRB_ADR14
AB24	VSS	C34	VSS
AB25	DVDD10	C35	DDRB_ADR4
AB28	DDRA_LO	C36	DDRB_ADR8
AB29	DDRA_HI	C37	DDRB_ADR0
AB35	DDRA_ADR10	D1	EBI_ADR11
AB36	DDRA_ADR1	D2	EBI_ADR9
AB37	VSS	D3	EBI_ADR10



位置	管脚名称	位置	管脚名称
AB38	VSS	D4	EBI_OEN
AC1	NF_RDY1	D5	EBI_CSN1
AC2	NF_RDY0	D6	WDG_RSTN
AC3	DVDD33	D7	VSS
AC4	DVDD33	D8	LED_KEY1
AC10	AVSS_QAM	D9	LED_CLK
AC11	AVDD10_QAM	D10	DVDD33
AC14	DVDD10	D11	VSS
AC15	VSS	D12	VSS
AC16	VSS	D13	DVDD33
AC17	VSS	D14	DVDD33
AC18	VSS	D15	VSS
AC19	VSS	D16	VSS
AC20	VSS	D17	DDR_DVDDIF
AC21	VSS	D18	DDRB_DQSN2
AC22	VSS	D19	VSS
AC23	VSS	D20	DDR_DVDDIF
AC24	VSS	D21	DDRB_DQSP3
AC25	DVDD10	D22	VSS
AC28	DVDD33	D23	DDR_DVDDIF
AC29	DVDD33	D24	VSS
AC35	VSS	D25	DDRB_RESETN
AC36	VSS	D26	DDRB_CKE1
AC37	DDRA_CKN1	D27	DDRB_CKE0
AC38	DDRA_CKP1	D28	VSS
AD3	VSS	D29	DDRB_ADR1
AD4	VSS	D30	DDR_DVDDIF
AD10	DVDD33	D31	DDRB_CKN1
AD11	DVDD33	D32	DDRB_ADR9
AD14	DVDD10	D33	DDRB_ADR5
AD15	VSS	D34	VSS



位置	管脚名称	位置	管脚名称
AD16	VSS	D35	DDRB_ODT0
AD17	VSS	D36	DDRB_CASN
AD18	VSS	D37	DDRB_CSN0
AD19	VSS	D38	DDRB_RASN
AD20	VSS	E1	EBI_CSN0
AD21	VSS	E2	EBI_WEN
AD22	VSS	E3	EBI_ADR16
AD23	VSS	E4	EBI_ADR0
AD24	VSS	E5	DVDD33
AD25	DVDD10	E6	VSS
AD28	DVDD33	E33	VSS
AD29	DVDD33	E34	DDR_DVDDIF
AD35	DDR_DVDDIF	E35	DDR_DVDDIF
AD36	DDR_DVDDIF	E36	DDR_DVDDIF
AE1	SATA_TX0M	E37	DDR_DVDDIF
AE2	VSS	E38	DDR_DVDDIF
AE3	SATA_RX0M	F3	DVDD33
AE4	SATA_RX0P	F4	DVDD33
AE10	VSS	F5	DVDD33
AE11	VSS	F34	DDR_DVDDIF
AE14	VSS	F35	DDR_DVDDIF
AE15	DVDD10	F36	DDR_DVDDIF
AE16	DVDD10	G1	SIM1_RST
AE17	DVDD10	G2	SIM1_DATA
AE18	VSS	G3	SIM1_DET
AE19	DVDD10	G4	VSS
AE20	DVDD10	G35	VSS
AE21	VSS	G36	DDRA_RTT
AE22	DVDD10	G37	DDRA_DQ3
AE23	DVDD10	G38	DDRA_DQ2
AE24	DVDD10	H1	SIM1_CLK



位置	管脚名称	位置	管脚名称
AE25	VSS	H2	SIM1_PWREN
AE28	VSS	H3	SIM0_DET
AE29	VSS	H4	VSS
AE35	VSS	H35	VSS
AE36	DDRA_ADR3	H36	VSS
AE37	DDRA_ADR7	H37	DDRA_DQ0
AE38	DDRA_ADR12	H38	DDRA_DQ1
AF1	SATA_TX0P	J3	SIM0_RST
AF2	VSS	J4	SIM0_DATA
AF3	VSS	J35	DDRA_DQSP0
AF4	VSS	J36	DDRA_DQSN0
AF10	DVDD33	K1	VSS
AF11	DVDD33	K2	VSS
AF28	DVDD33	K3	SIM0_PWREN
AF29	DVDD33	K4	SIM0_CLK
AF35	VSS	K10	DVDD33
AF36	DDRA_ADR5	K11	VSS
AF37	DDRA_ADR9	K12	DVDD33
AF38	DDRA_ADR14	K13	DVDD33
AG3	SATA_REFCLKM	K14	VDDHV25_PLL5
AG4	SATA_REFCLKP	K15	VDDHV25_PLL
AG10	DVDD33	K16	VDDHV25_PLL
AG11	DVDD33	K17	VDD_STANDBY
AG28	VSS	K18	VSS
AG29	DVDD33	K19	VSS
AG35	DDR_DVDDIF	K20	DDR_DVDDIF
AG36	DDR_DVDDIF	K21	DDR_DVDDIF
AH1	SFC_CS0N	K22	VSS
AH2	SFC_DOI	K23	DDR_DVDDIF
AH3	VSS	K24	DDR_DVDDIF
AH4	VSS	K25	VSS



位置	管脚名称	位置	管脚名称
AH10	AVDD33_ADAC	K26	DDR_DVDDIF
AH11	AGND_ADAC	K27	DDR_DVDDIF
AH12	AGND_VDAC0	K28	VSS
AH13	AGND_VDAC0	K29	DDRB_HI
AH14	AVDD33_VDAC0	K35	DDR_DVDDIF
AH15	AVDD33_VDAC1	K36	DDR_DVDDIF
AH16	AVDD33_VDAC1	K37	DDR_DVDDIF
AH17	AGND_VDAC1	K38	DDRA_DQ8
AH18	DVDD33	L1	PCIE_REFCLKP
AH19	AVSS_HDMI	L2	PCIE_REFCLKM
AH20	AVCC10_HDMI	L3	VSS
AH21	DVDD33	L4	VSS
AH22	DVDD33	L10	DVDD33
AH23	VSS	L11	DVDD33
AH24	AVSS_USB	L12	VSS
AH25	DVDD10_USB	L13	DVDD33
AH26	DVDD33	L14	VSS_PLL5
AH27	DVDD33	L15	VSS_PLL
AH28	VSS	L16	VSS_PLL
AH29	VSS	L17	DVDD33_STANDBY
AH35	DDRA_CKN0	L18	VSS
AH36	DDRA_CKP0	L19	VSS
AH37	VSS	L20	DDR_DVDDIF
AH38	VSS	L21	DDRB_REF
AJ1	SFC_HOLD_IO3	L22	VSS
AJ2	SFC_CS1N	L23	DDRB_REF
AJ3	SFC_WP_IO2	L24	DDR_DVDDIF
AJ4	SFC_CLK	L25	VSS
AJ10	AVDD33_ADAC	L26	DDRB_REF
AJ11	AGND_ADAC	L27	DDR_DVDDIF
AJ12	AGND_VDAC0	L28	DDRB_LO



位置	管脚名称	位置	管脚名称
AJ13	AVDD33_VDAC0	L29	VSS
AJ14	AVDD33_VDAC0	L35	VSS
AJ15	AVDD33_VDAC1	L36	DDRA_DQ11
AJ16	AGND_VDAC1	L37	DDRA_DQ9
AJ17	AGND_VDAC1	L38	DDRA_DQ10
AJ18	DVDD33	M3	PCIE_RX0P
AJ19	AVSS_HDMI	M4	PCIE_RX0M
AJ20	AVCC10_HDMI	M10	VSS
AJ21	DVDD33	M11	DVDD33
AJ22	DVDD33	M28	DDR_DVDDIF
AJ23	VSS	M29	DDR_DVDDIF
AJ24	AVSS_USB	M35	DDR_DVDDIF
AJ25	DVSS_USB	M36	DDR_DVDDIF
AJ26	DVDD33	N1	PCIE_TX0M
AJ27	DVDD33	N2	PCIE_TX0P
AJ28	DVDD33	N3	VSS
AJ29	VSS	N4	VSS
AJ35	VSS	N10	PCIE_REXT
AJ36	VSS	N11	VSS
AJ37	DDRA_ADR6	N28	DDRA_REF
AJ38	DDRA_ADR4	N29	DDR_DVDDIF
AK3	SFC_DIO	N35	DDRA_DQSN1
AK4	VSS	N36	DDRA_DQSP1
AK35	DDRA_ADR8	N37	VSS
AK36	DDRA_ADR11	N38	DDRA_DM1
AL1	QAM_SDA	P1	VSS
AL2	QAM_SCL	P2	VSS
AL3	AVSS_QAM	P3	VSS
AL4	AVSS_QAM	P4	VSS
AL35	DDRA_ADR13	P10	PCIE_VP25
AL36	DDRA_CASN	P11	PCIE_VP10



位置	管脚名称	位置	管脚名称
AL37	DDRA_ADR2	P14	VSS
AL38	DDRA_ADR0	P15	VDDL10_PLL5
AM1	QAMAD_VINNI	P16	VDDL10_PLL
AM2	QAMAD_VINPI	P17	VDDL10_PLL
AM3	AVSS_QAM	P18	VSS
AM4	AVSS_QAM	P19	DVDD10
AM35	DDR_DVDDIF	P20	DVDD10
AM36	DDRA_ODT0	P21	VSS
AM37	DDRA_RASN	P22	DVDD10
AM38	DDRA_CSN0	P23	DVDD10
AN3	QAM_AGC1	P24	DVDD10
AN4	QAM_AGC0	P25	VSS
AN5	VSS	P28	VSS
AN34	VPP_OTP	P29	DDR_DVDDIF
AN35	VCC33_OTP	P35	VSS
AN36	DDR_DVDDIF	P36	VSS
AP1	TSI0_D0	P37	DDRA_DQ13
AP2	TSI0_D1	P38	DDRA_DQ12
AP3	TSI1_D0	R3	EBI_DQ13
AP4	VSS	R4	EBI_DQ15
AP5	DVDD33	R10	PCIE_VP25
AP6	DVDD33	R11	PCIE_VP10
AP33	VSS	R14	VSS
AP34	DVDD33	R15	VSS
AP35	DVDD33	R16	VSS
AP36	MII0_RXCK	R17	VSS
AP37	MII0_RXD0	R18	VSS
AP38	MII0_RXD1	R19	VSS
AR1	TSI0_D2	R20	VSS
AR2	TSI0_D3	R21	VSS
AR3	TSI0_D4	R22	VSS



位置	管脚名称	位置	管脚名称
AR4	TSI1_D1	R23	VSS
AR5	TSI1_VALID	R24	VSS
AR6	TSI1_CLK	R25	DVDD10
AR7	AGND_ADAC	R28	DDRA_REF
AR8	AVDD33_ADAC	R29	VSS
AR9	ADAC_AGNDREF	R35	DDRA_DQ14
AR10	AVDD33_VDAC0	R36	DDRA_DQ15
AR11	AGND_VDAC0	T1	EBI_DQ9
AR12	AGND_VDAC1	T2	EBI_DQ14
AR13	AGND_VDAC1	T3	EBI_DQ11
AR14	VDAC1_VDREF	T4	EBI_DQ12
AR15	SIO0_DIN	T10	VSS
AR16	SIO0_FSYNC	T11	PCIE_VP10
AR17	VSS	T14	VSS
AR18	SPI_SDO	T15	VSS
AR19	DVDD33	T16	VSS
AR20	AVSS_HDMI	T17	VSS
AR21	HDMI_TXCN	T18	VSS
AR22	AVCC10_HDMI	T19	VSS
AR23	AVSS_HDMI	T20	VSS
AR24	HDMI_TX2P	T21	VSS
AR25	VSS	T22	VSS
AR26	DVDD33	T23	VSS
AR27	AVDD33_USB	T24	VSS
AR28	AVSS_USB	T25	DVDD10
AR29	AVSS_USB	T28	DDR_DVDDIF
AR30	MII1_COL	T29	DDR_DVDDIF
AR31	DVDD33	T35	DDR_DVDDIF
AR32	VSS	T36	DDR_DVDDIF
AR33	VSS	T37	DDRA_DM0
AR34	VSS	T38	DDRA_DQ5



位置	管脚名称	位置	管脚名称
AR35	VSS	U1	EBI_DQ8
AR36	MII0_TXD0	U2	EBI_DQ10
AR37	MII0_TXEN	U3	DVDD33
AR38	MII0_RXDV	U4	DVDD33
AT2	TSI0_D5	U10	DVDD33
AT3	TSI0_VALID	U11	DVDD33
AT4	TSI1_D2	U14	DVDD10
AT5	TSI1_D7	U15	VSS
AT6	TSI1_SYNC	U16	VSS
AT7	AGND_ADAC	U17	VSS
AT8	ADAC_VCM	U18	VSS
AT9	ADAC_VREFDAC	U19	VSS
AT10	AGND_VDAC0	U20	VSS
AT11	VDAC0_VDREF	U21	VSS
AT12	VDAC0_IREF	U22	VSS
AT13	VDAC1_IREF	U23	VSS
AT14	AGND_VDAC1	U24	VSS
AT15	SIO0_DOUT	U25	DVDD10
AT16	SIO0_BCLK	U28	DDR_DVDDIF
AT17	VSS	U29	DDR_DVDDIF
AT18	SPI_SCLK	U35	VSS
AT19	SIO2_BCLK	U36	DDRA_DQ7
AT20	AVSS_HDMI	U37	DDRA_DQ6
AT21	HDMI_TXCP	U38	DDRA_DQ4
AT22	AVCC10_HDMI	V3	EBI_DQ6
AT23	AVSS_HDMI	V4	EBI_DQ7
AT24	HDMI_TX2M	V10	VSS
AT25	UART1_RTSN	V11	DVDD33
AT26	UART1_CTSN	V14	DVDD10
AT27	USB_REXT	V15	VSS
AT28	AVDD33_USB	V16	VSS



位置	管脚名称	位置	管脚名称
AT29	AVSS_USB	V17	VSS
AT30	MII1_CRS	V18	VSS
AT31	DVDD33	V19	VSS
AT32	MII1_TXD3	V20	VSS
AT33	MII1_TXD0	V21	VSS
AT34	MII1_TXEN	V22	VSS
AT35	MII1_RXD0	V23	VSS
AT36	MII1_RXCK	V24	VSS
AT37	MII0_TXD1	V25	VSS
AU1	TSI0_D6	V28	VSS
AU2	TSI0_D7	V29	VSS
AU3	TSI0_SYNC	V35	DDR_DVDDIF
AU4	TSI1_D3	V36	DDRA_RESETN
AU5	TSI1_D6	W1	EBI_DQ2
AU7	SPDIF_OUT	W2	EBI_DQ3
AU8	AGND_ADAC	W3	EBI_DQ4
AU10	VDAC0_IOUT2	W4	EBI_DQ5
AU11	AGND_VDAC0	W10	SATA_REXT
AU13	AGND_VDAC1	W11	VSS
AU14	VDAC1_IOUT1	W14	VSS
AU16	SIO0_MCLK	W15	VSS
AU17	SPI_CSN0	W16	VSS
AU19	HDMI_SDA	W17	VSS
AU20	HDMI_REXT	W18	VSS
AU22	HDMI_TX0M	W19	VSS
AU23	HDMI_TX1M	W20	VSS
AU25	UART0_RXD	W21	VSS
AU26	UART1_RXD	W22	VSS
AU28	USB0_DM	W23	VSS
AU29	USB1_DP	W24	VSS
AU31	DVDD33	W25	DVDD10



位置	管脚名称	位置	管脚名称
AU32	MII1_TXD1	W28	DDR_DVDDIF
AU34	MII1_TXCK	W29	DDR_DVDDIF
AU35	MII1_RXD2	W35	VSS
AU36	MII1_RXD3	W36	DDRA_CSN1
AU37	VSS	W37	DDRA_ODT1
AU38	MDIO	W38	DDRA_CKE1
AV1	VSS	Y1	EBI_DQ0
AV2	TSI0_CLK	Y2	EBI_DQ1
AV4	TSI1_D4	Y3	VSS
AV5	TSI1_D5	Y4	VSS
AV7	ADAC_LINEOUTL	Y10	SATA_VP25
AV8	ADAC_LINEOUTR	Y11	SATA_VP10
AV10	VDAC0_IOUT1	Y14	VSS
AV11	VDAC0_IOUT0	Y15	VSS
AV13	VDAC1_IOUT2	Y16	VSS
AV14	VDAC1_IOUT0	Y17	VSS
AV16	SPI_CSN1	Y18	VSS
AV17	SPI_SDI	Y19	VSS
AV19	HDMI_SCL	Y20	VSS
AV20	SIO2_DIN	Y21	VSS
AV22	HDMI_TX0P	Y22	VSS
AV23	HDMI_TX1P	Y23	VSS
AV25	UART0_TXD	Y24	VSS
AV26	UART1_TXD	Y25	DVDD10
AV28	USB0_DP	Y28	DDRA_REF
AV29	USB1_DM	Y29	DDR_DVDDIF
AV31	DVDD33	Y35	DDR_DVDDIF
AV32	MII1_TXD2	Y36	DDRA_WEN
AV34	MII1_RXDV	Y37	DDRA_BA0
AV35	MII1_RXD1	Y38	DDRA_CKE0



1.2.3 ADAC 管脚

ADAC 管脚如表 1-5 所示。

表1-5 ADAC 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AR9	ADAC_AG NDREF	I/O	-	3.3	音频模拟参考地
AV7	ADAC_LI NEOUTL	O	-	3.3	左声道输出
AV8	ADAC_LI NEOUTR	O	-	3.3	右声道输出
AT8	ADAC_VC M	O	-	3.3	共模电压输出，外部连接 10uf~100uf 的钽电容和 100nf 的陶瓷电容到 ADAC_AGNDREF 管脚
AT9	ADAC_VR EFDAC	O	-	3.3	参考电压输出，外部连接 10uf~100uf 的钽电容和 100nf 的陶瓷电容到 ADAC_AGNDREF 管脚
AH11、 AJ11、 AR7、AR7、 AT7、AU8	AGND_AD AC	G	-	-	音频 DAC 模拟地
AH10、 AJ10、AR8	AVDD33_ ADAC	P		3.3	参考电源

1.2.4 VDAC 管脚

VDAC0 管脚

VDAC0 管脚如表 1-6 所示。



表1-6 VDAC0 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AH12、 AH13、 AJ12、 AR11、 AT10、 AU11	AGND_V DAC0	G	-	-	视频 DAC0 模拟地
AH14、 AJ13、 AJ14、 AR10	AVDD33_ VDAC0	P	-	3.3	视频 DAC0 电源
AV11	VDAC0_I OUT0	O	-	3.3	VDAC 0 通道输出
AV10	VDAC0_I OUT1	O	-	3.3	VDAC 1 通道输出
AU10	VDAC0_I OUT2	O	-	3.3	VDAC 2 通道输出
AT12	VDAC0_I REF	I/O	-	3.3	参考电流，采用外接电阻的时候输出电流，采用外接电流源的时候，输入电流
AT11	VDAC0_ VDREF	I/O	-	3.3	外部去耦参考电压，接 10nF 和 1nF 的电容器到模拟地

VDAC1 管脚

VDAC1 管脚如表 1-7 所示。

表1-7 VDAC1 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AH17、 AJ16、 AJ17、 AR12、 AR13、 AT14、 AU13	AGND_VDAC1	G	-	-	视频 DAC1 模拟地



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AH15、 AH16、 AJ15	AVDD33_VDA C1	P	-	3.3	视频 DAC1 电源
AV14	VDAC1_IOUT0	O	-	3.3	VDAC 3 通道输出
AU14	VDAC1_IOUT1	O	-	3.3	VDAC 4 通道输出
AV13	VDAC1_IOUT2	O	-	3.3	VDAC 5 通道输出
AT13	VDAC1_IREF	I/O	-	3.3	参考电流，采用外接电阻的时候输出电流，采用外接电流源的时候，输入电流
AR14	VDAC1_VDRE F	I/O	-	3.3	外部去耦参考电压，接 10nF 和 1nF 的电容到模拟地

1.2.5 HDMI 管脚

HDMI 管脚如表 1-8 所示。

表1-8 HDMI 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AH20、 AJ20、 AR22、 AT22	AVCC10_ HDMI	P	-	-	HDMI 模拟电源
AH19、 AJ19、 AR20、 AR23、 AT20、 AT23	AVSS_H DMI	G	-	-	HDMI 模拟地
AU20	HDMI_RE XT	O	-	-	外接电阻， $6K\Omega \pm 1\%$ ，根据 HDMI 输出信号幅度调整 HDMI_REXT 电阻值
AU22	HDMI_T X0M	O	-	V_H/V_L	通道 0 串行差分信号。



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AV22	HDMI_T X0P	O	-		$V_H=AVCC10_HDMI \pm 10\%$; $V_L=AVCC10_HDMI -600mV$ (外接 165Ω 负载) 或 $V_L=AVCC10_HDMI -700mV$ (外接 225Ω 负载)
AU23	HDMI_T X1M	O	-	V_H/V_L	通道 1 串行差分信号。 $V_H=AVCC10_HDMI \pm 10\%$; $V_L=AVCC10_HDMI -600mV$ (外接 165Ω 负载) 或 $V_L=AVCC10_HDMI -700mV$ (外接 225Ω 负载)
AV23	HDMI_T X1P	O	-		
AT24	HDMI_T X2M	O	-	V_H/V_L	通道 2 串行差分信号。 $V_H=AVCC10_HDMI \pm 10\%$; $V_L=AVCC10_HDMI -600mV$ (外接 165Ω 负载) 或 $V_L=AVCC10_HDMI -700mV$ (外接 225Ω 负载)
AR24	HDMI_T X2P	O	-		
AR21	HDMI_T XCN	O	-	V_H/V_L	差分像素时钟。 $V_H=AVCC10_HDMI \pm 10\%$; $V_L=AVCC10_HDMI -600mV$ (外接 165Ω 负载) 或 $V_L=AVCC10_HDMI -700mV$ (外接 225Ω 负载)
AT21	HDMI_T XCP	O	-		

1.2.6 QAMAD 管脚

QAMAD 管脚如表 1-9 所示。

表1-9 QAMAD 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AC11	AVDD10_ QAM	P	-	1.0	QAM 模拟电源
AB10	AVDD25_ QAM	P	-	2.5	QAM 模拟电源



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AB11、 AC10、 AL3、 AL4、 AM3、 AM4	AVSS_Q AM	G	-	-	QAM 模拟地
AN4	QAM_AG C0	I _{PU} /O	4	3.3	功能 0: GPIO11_3 通用输入输出 功能 1: QAM_AGC0 射频 AGC 输出，在单 AGC 应 用中无效。OD 和 CMOS 类型 可以选择 功能 2: UART3_RXD UART3 数据接收
AN3	QAM_AG C1	I/O	4	3.3	功能 0: GPIO11_4 通用输入输出 功能 1: QAM_AGC1 中频 AGC 输出。OD 和 CMOS 类型可以选择 功能 2: UART3_TXD UART3 数据发送
AM1	QAMAD_ VINNI	I	-	1.0	通道 I 的差分输入
AM2	QAMAD_ VINPI	I	-	1.0	通道 I 的差分输入

1.2.7 USB 管脚

USB 管脚如表 1-10 所示。

表1-10 USB 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AR27、 AT28	AVDD33_USB	P	-	3.3	USB 模拟电源



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AH24、 AJ24、 AR28、 AR29、 AT29	AVSS_USB	G	-	-	USB 模拟地
AH25	DVDD10_USB	P	-	1.1	USB 数字电源
AJ25	DVSS_USB	G	-	-	USB 数字地
AT27	USB_REXT	I/O	-	3.3	外接电阻接口，电阻阻值是 43.2±1%Ω
AU28	USB0_DM	I/O	-	0.4/3.3	USB D-信号和 USB 的 D+信号，在高速模式下，该端口最大的电压是 800mV 或 400mV，在全速和低速模式下，该端口的电压是 3.3V–
AV28	USB0_DP	I/O	-	0.4/3.3	
AV29	USB1_DM	I/O	-	0.4/3.3	USB D-信号和 USB 的 D+信号，在高速模式下，该端口最大的电压是 800mV 或 400mV，在全速和低速模式下，该端口的电压是 3.3V–
AU29	USB1_DP	I/O	-	0.4/3.3	

1.2.8 DDR 管脚

DDR 电源管脚

DDR 电源管脚如表 1-11 所示。



表1-11 DDR 电源管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AD35、AD36、AG35、 AG36、AM35、 AN36、C17、C20、C30 D17、D20、D23、 D30、E34、E35、 E36、E37、E38、F34、 F35、F36、K20、 K21、K23、K24、 K26、K27、K35、 K36、K37、L20、 L24、L27、M28、 M29、M35、M36、 N29、P29、T28、 T29、T35、T36、 U28、U29、V35、 W28、W29、Y29、Y35	DDR_DV DDIF	P	-	1.5/1.8	DDR2/DDR3 接口电 源，DDR2 时用 1.8V 电源；DDR3 时用 1.5V 电源

DDRA 管脚

DDRA 管脚如表 1-12 所示。

表1-12 DDRA 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AL38	DDRA_ADR0	O	-	1.5/1.8	DDRA SDRAM 地址信号 0
AB36	DDRA_ADR1	O	-	1.5/1.8	DDRA SDRAM 地址信号 1
AL37	DDRA_ADR2	O	-	1.5/1.8	DDRA SDRAM 地址信号 2
AE36	DDRA_ADR3	O	-	1.5/1.8	DDRA SDRAM 地址信号 3
AJ38	DDRA_ADR4	O	-	1.5/1.8	DDRA SDRAM 地址信号 4
AF36	DDRA_ADR5	O	-	1.5/1.8	DDRA SDRAM 地址信号 5
AJ37	DDRA_ADR6	O	-	1.5/1.8	DDRA SDRAM 地址信号 6
AE37	DDRA_ADR7	O	-	1.5/1.8	DDRA SDRAM 地址信号 7
AK35	DDRA_ADR8	O	-	1.5/1.8	DDRA SDRAM 地址信号 8



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AF37	DDRA_ADR9	O	-	1.5/1.8	DDRA SDRAM 地址信号 9
AB35	DDRA_ADR10	O	-	1.5/1.8	DDRA SDRAM 地址信号 10
AK36	DDRA_ADR11	O	-	1.5/1.8	DDRA SDRAM 地址信号 11
AE38	DDRA_ADR12	O	-	1.5/1.8	DDRA SDRAM 地址信号 12
AL35	DDRA_ADR13	O	-	1.5/1.8	DDRA SDRAM 地址信号 13
AF38	DDRA_ADR14	O	-	1.5/1.8	DDRA SDRAM 地址信号 14
Y37	DDRA_BA0	O	-	1.5/1.8	DDRA SDRAM Bank 地址信号 0
AA36	DDRA_BA1	O	-	1.5/1.8	DDRA SDRAM Bank 地址信号 1
AA35	DDRA_BA2	O	-	1.5/1.8	DDRA SDRAM Bank 地址信号 2
AL36	DDRA_CASN	O	-	1.5/1.8	DDRA SDRAM 列地址选择
Y38	DDRA_CKE0	O	-	1.5/1.8	DDRA SDRAM 时钟使能 0
W38	DDRA_CKE1	O	-	1.5/1.8	DDRA SDRAM 时钟使能 1
AH35	DDRA_CKN0	O	-	1.5/1.8	DDRA 通道 0 反向差分时钟 0
AC37	DDRA_CKN1	O	-	1.5/1.8	DDRA 通道 0 反向差分时钟 1
AH36	DDRA_CKP0	O	-	1.5/1.8	DDRA 通道 0 正向差分时钟 0
AC38	DDRA_CKP1	O	-	1.5/1.8	DDRA 通道 0 正向差分时钟 1
AM38	DDRA_CSN0	O	-	1.5/1.8	DDRA SDRAM 片选 0
W36	DDRA_CSN1	O	-	1.5/1.8	DDRA SDRAM 片选 1
T37	DDRA_DM0	I/O	-	1.5/1.8	DDRA 写数据位屏蔽使能 0, 高有效
N38	DDRA_DM1	I/O	-	1.5/1.8	DDRA 写数据位屏蔽使能 1, 高有效
H37	DDRA_DQ0	I/O	-	1.5/1.8	DDRA 数据线 0
H38	DDRA_DQ1	I/O	-	1.5/1.8	DDRA 数据线 1



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
G38	DDRA_DQ2	I/O	-	1.5/1.8	DDRA 数据线 2
G37	DDRA_DQ3	I/O	-	1.5/1.8	DDRA 数据线 3
U38	DDRA_DQ4	I/O	-	1.5/1.8	DDRA 数据线 4
T38	DDRA_DQ5	I/O	-	1.5/1.8	DDRA 数据线 5
U37	DDRA_DQ6	I/O	-	1.5/1.8	DDRA 数据线 6
U36	DDRA_DQ7	I/O	-	1.5/1.8	DDRA 数据线 7
K38	DDRA_DQ8	I/O	-	1.5/1.8	DDRA 数据线 8
L37	DDRA_DQ9	I/O	-	1.5/1.8	DDRA 数据线 9
L38	DDRA_DQ10	I/O	-	1.5/1.8	DDRA 数据线 10
L36	DDRA_DQ11	I/O	-	1.5/1.8	DDRA 数据线 11
P38	DDRA_DQ12	I/O	-	1.5/1.8	DDRA 数据线 12
P37	DDRA_DQ13	I/O	-	1.5/1.8	DDRA 数据线 13
R35	DDRA_DQ14	I/O	-	1.5/1.8	DDRA 数据线 14
R36	DDRA_DQ15	I/O	-	1.5/1.8	DDRA 数据线 15
J36	DDRA_DQSN0	I/O	-	1.5/1.8	DDRA 反向 DQS Strobe 信号 0, 控制 DQ[7:0]
N35	DDRA_DQSN1	I/O	-	1.5/1.8	DDRA 反向 DQS Strobe 信号 0, 控制 DQ[15:8]
J35	DDRA_DQSP0	I/O	-	1.5/1.8	DDRA 正向 DQS Strobe 信号 0, 控制 DQ[7:0]
N36	DDRA_DQSP1	I/O	-	1.5/1.8	DDRA 正向 DQS Strobe 信号 0, 控制 DQ[15:8]
AM36	DDRA_ODT0	O	-	1.5/1.8	DDRA SDRAM 片上终端 0
W37	DDRA_ODT1	O	-	1.5/1.8	DDRA SDRAM 片上终端 1
AM37	DDRA_RASN	O	-	1.5/1.8	DDRA SDRAM 行地址选择



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
N28、 R28、 Y28	DDRA_REF	P	-	0.5×D DR_D VDDI F	DDRA 参考电压
V36	DDRA_RESET N	O	-	1.5/1.8	DDR3 SDRAM 复位信号
Y36	DDRA_WEN	O	-	1.5/1.8	DDRA SDRAM 写使能
AB29	DDRA_HI	-	-	-	DDRA 外接下拉电阻
AB28	DDRA_LO	-	-	-	DDRA 外接上拉电阻
G36	DDRA_RTT	-	-	-	DDRA 外接匹配参考电阻

DDRB 管脚

DDRB 管脚如表 1-13 所示。

表1-13 DDRB 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
C37	DDRB_ADR0	O	-	1.5/1.8	DDRB SDRAM 地址信号 0
D29	DDRB_ADR1	O	-	1.5/1.8	DDRB SDRAM 地址信号 1
B38	DDRB_ADR2	O	-	1.5/1.8	DDRB SDRAM 地址信号 2
B32	DDRB_ADR3	O	-	1.5/1.8	DDRB SDRAM 地址信号 3
C35	DDRB_ADR4	O	-	1.5/1.8	DDRB SDRAM 地址信号 4
D33	DDRB_ADR5	O	-	1.5/1.8	DDRB SDRAM 地址信号 5
B36	DDRB_ADR6	O	-	1.5/1.8	DDRB SDRAM 地址信号 6
A32	DDRB_ADR7	O	-	1.5/1.8	DDRB SDRAM 地址信号 7
C36	DDRB_ADR8	O	-	1.5/1.8	DDRB SDRAM 地址信号 8
D32	DDRB_ADR9	O	-	1.5/1.8	DDRB SDRAM 地址信号 9
C29	DDRB_ADR10	O	-	1.5/1.8	DDRB SDRAM 地址信号 10



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
A37	DDRB_ADR11	O	-	1.5/1.8	DDRB SDRAM 地址信号 11
C32	DDRB_ADR12	O	-	1.5/1.8	DDRB SDRAM 地址信号 12
B37	DDRB_ADR13	O	-	1.5/1.8	DDRB SDRAM 地址信号 13
C33	DDRB_ADR14	O	-	1.5/1.8	DDRB SDRAM 地址信号 14
A28	DDRB_BA0	O	-	1.5/1.8	DDRB SDRAM Bank 地址信号 0
A29	DDRB_BA1	O	-	1.5/1.8	DDRB SDRAM Bank 地址信号 1
B29	DDRB_BA2	O	-	1.5/1.8	DDRB SDRAM Bank 地址信号 2
D36	DDRB_CASN	O	-	1.5/1.8	DDRB SDRAM 列地址选择
D27	DDRB_CKE0	O	-	1.5/1.8	DDRB SDRAM 时钟使能 0
D26	DDRB_CKE1	O	-	1.5/1.8	DDRB SDRAM 时钟使能 1
B34	DDRB_CKN0	O	-	1.5/1.8	DDRB 通道 0 反向差分时钟 0
D31	DDRB_CKN1	O	-	1.5/1.8	DDRB 通道 0 反向差分时钟 1
A34	DDRB_CKP0	O	-	1.5/1.8	DDRB 通道 0 正向差分时钟 0
C31	DDRB_CKP1	O	-	1.5/1.8	DDRB 通道 0 正向差分时钟 1
D37	DDRB_CSN0	O	-	1.5/1.8	DDRB SDRAM 片选 0
C26	DDRB_CSN1	O	-	1.5/1.8	DDRB SDRAM 片选 1
C25	DDRB_DM2	I/O	-	1.5/1.8	DDRB 写数据位屏蔽使能 2, 高有效
A22	DDRB_DM3	I/O	-	1.5/1.8	DDRB 写数据位屏蔽使能 3, 高有效
A17	DDRB_DQ16	I/O	-	1.5/1.8	DDRB 数据线 16
B17	DDRB_DQ17	I/O	-	1.5/1.8	DDRB 数据线 17
B16	DDRB_DQ18	I/O	-	1.5/1.8	DDRB 数据线 18
A16	DDRB_DQ19	I/O	-	1.5/1.8	DDRB 数据线 19



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
B25	DDRB_DQ20	I/O	-	1.5/1.8	DDRB 数据线 20
A25	DDRB_DQ21	I/O	-	1.5/1.8	DDRB 数据线 21
A26	DDRB_DQ22	I/O	-	1.5/1.8	DDRB 数据线 22
B26	DDRB_DQ23	I/O	-	1.5/1.8	DDRB 数据线 23
A19	DDRB_DQ24	I/O	-	1.5/1.8	DDRB 数据线 24
B19	DDRB_DQ25	I/O	-	1.5/1.8	DDRB 数据线 25
A20	DDRB_DQ26	I/O	-	1.5/1.8	DDRB 数据线 26
B20	DDRB_DQ27	I/O	-	1.5/1.8	DDRB 数据线 27
B23	DDRB_DQ28	I/O	-	1.5/1.8	DDRB 数据线 28
A23	DDRB_DQ29	I/O	-	1.5/1.8	DDRB 数据线 29
C23	DDRB_DQ30	I/O	-	1.5/1.8	DDRB 数据线 30
C24	DDRB_DQ31	I/O	-	1.5/1.8	DDRB 数据线 31
D18	DDRB_DQSN2	I/O	-	1.5/1.8	DDRB 反向 DQS Strobe 信号 2, 控制 DQ[23:16]
C21	DDRB_DQSN3	I/O	-	1.5/1.8	DDRB 反向 DQS Strobe 信号 3, 控制 DQ[31:24]
C18	DDRB_DQSP2	I/O	-	1.5/1.8	DDRB 正向 DQS Strobe 信号 2, 控制 DQ[23:16]
D21	DDRB_DQSP3	I/O	-	1.5/1.8	DDRB 正向 DQS Strobe 信号 3, 控制 DQ[31:24]
D35	DDRB_ODT0	O	-	1.5/1.8	DDRB SDRAM 片上终端 0
C27	DDRB_ODT1	O	-	1.5/1.8	DDRB SDRAM 片上终端 1
D38	DDRB_RASN	O	-	1.5/1.8	DDRB SDRAM 行地址选择
L21、 L23、 L26	DDRB_REF	P	-	0.5×D DR_D VDDI F	DDRB 参考电压
D25	DDRB_RESET N	O	-	1.5/1.8	DDR3 SDRAM 复位信号



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
B28	DDRB_WEN	O	-	1.5/1.8	DDRB SDRAM 写使能
K29	DDRB_HI	-	-	-	DDRB 外接下拉电阻
L28	DDRB_LO	-	-	-	DDRB 外接上拉电阻
C16	DDRB_RTT	-	-	-	DDRB 外接匹配参考电阻

1.2.9 PG（Power/Ground）管脚

PG 管脚如表 1-14 所示。

表1-14 PG 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AA14、AB25、AC14、AC25、 AD14、AD25、AE15、AE16、 AE17、AE19、AE20、AE22、 AE23、AE24、P19、P20、 P22、P23、P24、R25、T25、 U14、U25、V14、W25、Y25	DVDD10	P	-	1.1	芯片内核电源
AC28、AC29、AC3、AC4、 AD10、AD11、AD28、AD29、 AF10、AF11、AF28、AF29、 AG10、AG11、AG29、AH18、 AH21、AH22、AH26、AH27、 AJ18、AJ21、AJ22、AJ26、 AJ27、AJ28、AP34、AP35、 AP5、AP6、AR19、AR26、 AR31、AT31、AU31、AV31、 C10、D10、D13、D14、E5、 F3、F4、F5、K10、K12、 K13、L10、L11、L13、M11、 U10、U11、U3、U4、V11	DVDD33	P	-	3.3	LVTTL/LVC MOS 接口电 源
L17	DVDD33 _STAND BY	P	-	-	-
K17	VDD_ST ANDBY	P	-	-	-



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
A1、A31、A35、A38、A8、 AA15、AA16、AA17、AA18、 AA19、AA20、AA21、AA22、 AA23、AA24、AA25、AA28、 AA29、AB14、AB15、AB16、 AB17、AB18、AB19、AB20、 AB21、AB22、AB23、AB24、 AB37、AB38、AC15、AC16、 AC17、AC18、AC19、AC20、 AC21、AC22、AC23、AC24、 AC35、AC36、AD15、AD16、 AD17、AD18、AD19、AD20、 AD21、AD22、AD23、AD24、 AD3、AD4、AE10、AE11、 AE14、AE18、AE2、AE21、 AE25、AE28、AE29、AE35、 AF2、AF3、AF35、AF4、 AG28、AH23、AH28、AH29、 AH3、AH37、AH38、AH4、 AJ23、AJ29、AJ35、AJ36、 AK4、AN5、AP33、AP4、 AR17、AR25、AR32、AR33、 AR34、AR35、AT17、AU37、 AV1、AV38、B22、B31、 B35、B8、C15、C19、C22、 C28、C34、C7、D11、D12、 D15、D16、D19、D22、D24、 D28、D34、D7、E33、E6、 G35、G4、H35、H36、H4、 K1、K11、K18、K19、K2、 K22、K25、K28、L12、L18、 L19、L22、L25、L29、L3、 L35、L4、M10、N11、N3、 N37、N4、P1、P14、P18、P2、 P21、P25、P28、P3、P35、 P36、P4、R14、R15、R16、 R17、R18、R19、R20、R21、 R22、R23、R24、R29、T10、 T14、T15、T16、T17、T18、 T19、T20、T21、T22、T23、 T24、U15、U16、U17、U18、 U19、U20、U21、U22、U23、 U24、U35、V10、V15、V16、 V17、V18、V19、V20、V21、 V22、V23、V24、V25、V28、	VSS	G	-	-	-



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
V29、W11、W14、W15、 W16、W17、W18、W19、 W20、W21、W22、W23、 W24、W35、Y14、Y15、Y16、 Y17、Y18、Y19、Y20、Y21、 Y22、Y23、Y24、Y3、Y4					

1.2.10 EBI 管脚

EBI 管脚如表 1-15 所示。

表1-15 EBI 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
E4	EBI_ADR0	I/O	4	3.3	功能 0: EBI_ADR0 SMI 地址总线 功能 1: GPIO3_6 通用输入输出 功能 2: LCD_G2 LCD G 分量数据比特 2 功能 3: VOU1120_Y5 BT.1120 接口的亮度信号输出 功能 4: VOU1120_C5 BT.1120 接口的色度信号输出
B5	EBI_ADR1	I/O	4	3.3	功能 0: EBI_ADR1 SMI 地址总线 功能 1: GPIO3_7 通用输入输出 功能 2: LCD_CB LCD 数据有效信号 功能 3: VO_CK BT.656 时钟信号输出, 27MHz



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
A5	EBI_ADR2	I/O	4	3.3	功能 0: EBI_ADR2 SMI 地址总线 功能 1: GPIO7_0 通用输入输出 功能 2: PWM_OUT0 PWM 输出
C5	EBI_ADR3	I/O	4	3.3	功能 0: EBI_ADR3 SMI 地址总线 功能 1: GPIO7_1 通用输入输出
C4	EBI_ADR4	I/O	4	3.3	功能 0: EBI_ADR4 SMI 地址总线 功能 1: GPIO7_2 通用输入输出 功能 2: LCD_B7 LCD B 分量数据比特 7 功能 3: VOU1120_C0 BT.1120 接口的色度信号输出 功能 4: VOU1120_Y0 BT.1120 接口的亮度信号输出
C3	EBI_ADR5	I/O	4	3.3	功能 0: EBI_ADR5 SMI 地址总线 功能 1: GPIO7_3 通用输入输出 功能 2: LCD_B5 LCD B 分量数据比特 5 功能 3: VOU1120_C2 BT.1120 接口的色度信号输出 功能 4: VOU1120_Y2 BT.1120 接口的亮度信号输出



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
B3	EBI_ADR6	I/O	4	3.3	功能 0: EBI_ADR6 SMI 地址总线 功能 1: GPIO7_4 通用输入输出 功能 2: LCD_B6 LCD B 分量数据比特 6 功能 3: VOU1120_C1 BT.1120 接口的色度信号输出 功能 4: VOU1120_Y1 BT.1120 接口的亮度信号输出
A4	EBI_ADR7	I/O	4	3.3	功能 0: EBI_ADR7 SMI 地址总线 功能 1: GPIO7_5 通用输入输出 功能 2: LCD_VS LCD 垂直同步信号, 或 VGA0 输出的垂直同步信号
C2	EBI_ADR8	I/O	4	3.3	功能 0: EBI_ADR8 SMI 地址总线 功能 1: GPIO2_7 通用输入输出 功能 2: LCD_B1 LCD B 分量数据比特 1 功能 3: VOU1120_C6 BT.1120 接口的色度信号输出 功能 4: VOU1120_Y6 BT.1120 接口的亮度信号输出



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
D2	EBI_ADR9	I/O	4	3.3	功能 0: EBI_ADR9 SMI 地址总线 功能 1: GPIO3_0 通用输入输出 功能 2: LCD_G7 LCD G 分量数据比特 7 功能 3: VOU1120_Y0 BT.1120 接口的亮度信号输出 功能 4: VOU1120_C0 BT.1120 接口的色度信号输出
D3	EBI_ADR10	I/O	4	3.3	功能 0: EBI_ADR10 SMI 地址总线 功能 1: GPIO3_1 通用输入输出 功能 2: LCD_B0 LCD B 分量数据比特 0 功能 3: VOU1120_C7 BT.1120 接口的色度信号输出 功能 4: VOU1120_Y7 BT.1120 接口的亮度信号输出
D1	EBI_ADR11	I/O	4	3.3	功能 0: EBI_ADR11 SMI 地址总线 功能 1: GPIO11_1 通用输入输出 功能 2: LCD_G6 LCD G 分量数据比特 6 功能 3: VOU1120_Y1 BT.1120 接口的亮度信号输出 功能 4: VOU1120_C1 BT.1120 接口的色度信号输出



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
A2	EBI_ADR1 2	I/O	4	3.3	功能 0: EBI_ADR12 SMI 地址总线 功能 1: GPIO11_2 通用输入输出 功能 2: LCD_B4 LCD B 分量数据比特 4 功能 3: VOU1120_C3 BT.1120 接口的色度信号输出 功能 4: VOU1120_Y3 BT.1120 接口的亮度信号输出
B1	EBI_ADR1 3	I/O	4	3.3	功能 0: EBI_ADR13 SMI 地址总线 功能 1: GPIO11_4 通用输入输出 功能 2: LCD_B2 LCD B 分量数据比特 2 功能 3: VOU1120_C5 BT.1120 接口的色度信号输出 功能 4: VOU1120_Y5 BT.1120 接口的亮度信号输出
B4	EBI_ADR1 4	I/O	4	3.3	功能 1: EBI_ADR14 SMI 地址总线 功能 2: LCD_HS LCD 水平同步信号, 或 VGA0 输出的水平同步信号 功能 5: GPIO11_5 通用输入输出



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
B2	EBI_ADR15	I/O	4	3.3	功能 1: EBI_ADR15 SMI 地址总线 功能 2: LCD_B3 LCD B 分量数据比特 3 功能 3: VOU1120_C4 BT.1120 接口的色度信号输出 功能 4: VOU1120_Y4 BT.1120 接口的亮度信号输出 功能 5: GPIO11_6 通用输入输出
E3	EBI_ADR16	I/O	4	3.3	功能 0: EBI_ADR16 SMI 地址总线 功能 1: GPIO11_7 通用输入输出 功能 2: LCD_G3 LCD G 分量数据比特 3 功能 3: VOU1120_Y4 BT.1120 接口的亮度信号输出 功能 4: VOU1120_C4 BT.1120 接口的色度信号输出 功能 5: EBI_SMWAIT EBI 接口的等待信号
E1	EBI_CSN0	I/O	4	3.3	功能 0: EBI_CSN0 SMI 片选信号 0, 可配置成低电平有效或高电平有效, 默认为低电平有效。 功能 1: GPIO3_2 通用输入输出 功能 2: LCD_G4 LCD G 分量数据比特 4 功能 3: VOU1120_Y3 BT.1120 接口的亮度信号输出 功能 4: VOU1120_C3 BT.1120 接口的色度信号输出



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
D5	EBI_CSN1	I/O	4	3.3	功能 0: EBI_CSN1 SMI 片选信号 1, 可配置成低电平有效或高电平有效, 默认为低电平有效。用来挂接启动的 Norflash。 功能 1: GPIO3_3 通用输入输出
Y1	EBI_DQ0	I/O	4	3.3	功能 0: EBI_DQ0 SMI 或 NANDFLASH 数据总线 功能 1: GPIO4_0 通用输入输出 功能 2: SDIO_CDATA0 卡数据
Y2	EBI_DQ1	I/O	4	3.3	功能 0: EBI_DQ1 SMI 或 NANDFLASH 数据总线 功能 1: GPIO4_1 通用输入输出 功能 2: SDIO_CDATA1 卡数据
W1	EBI_DQ2	I/O	4	3.3	功能 0: EBI_DQ2 SMI 或 NANDFLASH 数据总线 功能 1: GPIO4_2 通用输入输出 功能 2: SDIO_CDATA2 卡数据
W2	EBI_DQ3	I/O	4	3.3	功能 0: EBI_DQ3 SMI 或 NANDFLASH 数据总线 功能 1: GPIO4_3 通用输入输出 功能 2: SDIO_CDATA3 卡数据



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
W3	EBI_DQ4	I/O	4	3.3	功能 0: EBI_DQ4 SMI 或 NANDFLASH 数据总线 功能 1: GPIO4_4 通用输入输出 功能 2: SDIO_CDATA4 卡数据
W4	EBI_DQ5	I/O	4	3.3	功能 0: EBI_DQ5 SMI 或 NANDFLASH 数据总线 功能 1: GPIO4_5 通用输入输出 功能 2: SDIO_CDATA5 卡数据
V3	EBI_DQ6	I/O	4	3.3	功能 0: EBI_DQ6 SMI 或 NANDFLASH 数据总线 功能 1: GPIO4_6 通用输入输出 功能 2: SDIO_CDATA6 卡数据
V4	EBI_DQ7	I/O	4	3.3	功能 0: EBI_DQ7 SMI 或 NANDFLASH 数据总线 功能 1: GPIO4_7 通用输入输出 功能 2: SDIO_CDATA7 卡数据
U1	EBI_DQ8	I _S /O	4	3.3	功能 0: EBI_DQ8 SMI 或 NANDFLASH 数据总线 功能 1: GPIO6_0 通用输入输出 功能 3: PCIE0_BUTTON PCIE0 拔出按键控制信号, 低电平有效 为低电平的时候, 说明要执行拔卡操作



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
T1	EBI_DQ9	I/O	4	3.3	功能 0: EBI_DQ9 SMI 或 NANDFLASH 数据总线 功能 1: GPIO6_1 通用输入输出 功能 3: PCIE0_PWRLED PCIE0 电源状态指示灯
U2	EBI_DQ10	I/O	4	3.3	功能 0: EBI_DQ10 SMI 或 NANDFLASH 数据总线 功能 1: GPIO6_2 通用输入输出 功能 3: PCIE0_ALTLED PCIE0 拔卡状态指示灯
T3	EBI_DQ11	I/O	4	3.3	功能 0: EBI_DQ11 SMI 或 NANDFLASH 数据总线 功能 1: GPIO6_3 通用输入输出 功能 3: PCIE0_RESETN PCIE0 复位控制信号, 低电平有效
T4	EBI_DQ12	I _S /O	4	3.3	功能 0: EBI_DQ12 SMI 或 NANDFLASH 数据总线 功能 1: GPIO6_4 通用输入输出 功能 3: PCIE0_WAKUPN 作为 Endpoint 的时候, 是 PCIE0 链接唤醒信号, OD 输出 信号 功能 4: PCIE0_WAKUPN_IN 作为 RC 的时候, 是 PCIE0 链 接唤醒信号, 低电平有效



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
R3	EBI_DQ13	I _S /O	4	3.3	功能 0: EBI_DQ13 SMI 或 NANDFLASH 数据总线 功能 1: GPIO6_5 通用输入输出 功能 3: PCIE0_PRSENTN PCIE0 热插拔检测信号，低电平有效 为低电平的时候，说明 PCIE 插槽上有卡
T2	EBI_DQ14	I/O	4	3.3	功能 0: EBI_DQ14 SMI 或 NANDFLASH 数据总线 功能 1: GPIO6_6 通用输入输出 功能 3: PCIE0_PWREN PCIE0 主电源供电控制信号，电平极性可配置，默认是低电平有效
R4	EBI_DQ15	I/O	8	3.3	功能 0: EBI_DQ15 SMI 或 NANDFLASH 数据总线 功能 1: GPIO6_7 通用输入输出 功能 2: SATA_LED0_N SATA 硬盘指示灯，低有效 功能 3: PCIE_REFCLK PCIE 的参考时钟输出，需要在片外连接差分时钟转换芯片



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
D4	EBI_OEN	I/O	4	3.3	功能 0: EBI_OEN SMI 接口的读使能信号, 低电平有效。 功能 1: GPIO3_4 通用输入输出 功能 2: LCD_G1 LCD G 分量数据比特 1 功能 3: VOU1120_Y6 BT.1120 接口的亮度信号输出 功能 4: VOU1120_C6 BT.1120 接口的色度信号输出
E2	EBI_WEN	I/O	4	3.3	功能 0: EBI_WEN SMI 接口的写使能信号, 低电平有效。 功能 1: GPIO3_5 通用输入输出 功能 2: LCD_G5 LCD G 分量数据比特 5 功能 3: VOU1120_Y2 BT.1120 接口的亮度信号输出 功能 4: VOU1120_C2 BT.1120 接口的色度信号输出

1.2.11 SYS 管脚

SYS 管脚如表 1-16 所示。

表1-16 SYS 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
C13	FUNC_SE L	I _{SPD}	-	3.3	功能 0: FUNC_SEL 功能模式和测试模式选择: 0: 功能模式 1: 测试模式



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
C6	RSTN	I _{SPU}	-	3.3	功能 0: RSTN 系统上电复位信号输入，低电平有效
D6	WDG_RSTN	O	4	3.3	功能 0: WDG_RSTN 看门狗复位输出，低电平有效，OD 输出

1.2.12 I2C 管脚

I2C0 管脚

I2C0 管脚如表 1-17 所示。

表1-17 I2C0 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AL2	QAM_SCL	I _{S/O}	4	3.3	功能 0: GPIO11_2 通用输入输出 功能 1: QAM_SCL QAM 的 I2C 总线的时钟输出总线 功能 2: I2C0_SCL I2C0 总线时钟，OD 输出
AL1	QAM_SDA	I _{S/O}	4	3.3	功能 0: GPIO11_1 通用输入输出 功能 1: QAM_SDA QAM 的 I2C 总线的数据总线 功能 2: I2C0_SDA I2C0 总线数据/地址，OD 输出

I2C1 管脚

I2C1 管脚如表 1-18 所示。



表1-18 I2C1 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AV19	HDMI_SCL	I _S /O	4	3.3	功能 0: GPIO3_1 通用输入输出 功能 1: HDMI_SCL HDMI 接口的 I2C 总线的时钟 总线 功能 2: I2C1_SCL I2C1 总线时钟, OD 输出
AU19	HDMI_SDA	I _S /O	4	3.3	功能 0: GPIO3_0 通用输入输出 功能 1: HDMI_SDA HDMI 接口的 I2C 总线的数据 总线 功能 2: I2C1_SDA I2C1 总线数据/地址, OD 输出

1.2.13 IR 管脚

IR 管脚如表 1-19 所示。

表1-19 IR 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
C11	IR_IN	I _{SPU} /O	4	3.3	功能 0: IR_IN 红外输入 功能 1: GPIO5_4 通用输入输出

1.2.14 JTAG 管脚

JTAG 管脚如表 1-20 所示。



表1-20 JTAG 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
B14	JTAG_TCK	I _{SPD}	-	3.3	功能 0: JTAG_TCK JTAG 时钟输入
A13	JTAG_TDI	I _{SPU}	-	3.3	功能 0: JTAG_TDI JTAG 数据输入
C14	JTAG_TDO	O	4	3.3	功能 0: JTAG_TDO JTAG 数据输出
A14	JTAG_TMS	I _{SPU} /O	4	3.3	功能 0: JTAG_TMS JTAG 模式选择输入,或软件跟踪的数据输出。两种模式选择在 CPU 中进行控制
B13	JTAG_TRSTN	I _{SPD}	-	3.3	功能 0: JTAG_TRSTN JTAG 复位输入

1.2.15 LED 管脚

LED 管脚如表 1-21 所示。

表1-21 LED 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
D9	LED_CLK	I _{SPD} /O	8	3.3	功能 0: GPIO5_1 通用输入输出 功能 1: LED_CLK Led 串行输出同步时钟 功能 2: SPI_SCLK SPI 时钟信号 功能 3: ROMBOOT_SEL 选择是否从 ROM 启动: 0: 从 ROM 中启动 1: 不从 ROM 启动, 直接从 FLASH 中启动



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
B10	LED_CSN0	I/O	4	3.3	功能 0: GPIO5_5 通用输入输出 功能 1: LED_CSN0 Led 动态显示片选 0, 同时为矩阵键盘列信号 0, 有效电平可配, 默认为低电平有效 功能 2: SPI_CSN0 SPI 的片选 0 输出
A10	LED_CSN1	I/O	4	3.3	功能 0: GPIO5_3 通用输入输出 功能 1: LED_CSN1 Led 动态显示片选 2, 同时为矩阵键盘列信号 2, 有效电平可配, 默认为低电平有效 功能 2: SPI_SDI SPI 数据输入
B11	LED_CSN2	I/O	4	3.3	功能 0: GPIO5_2 通用输入输出 功能 1: LED_CSN2 Led 动态显示片选 1, 同时为矩阵键盘列信号 1, 有效电平可配, 默认为低电平有效 功能 2: SATA_LED0_N SATA 硬盘指示灯, 低有效
A11	LED_CSN3	I _{SPU} /O	4	3.3	功能 0: GPIO5_4 通用输入输出 功能 1: LED_CSN3 Led 动态显示片选 3, 同时为矩阵键盘列信号 3, 有效电平可配, 默认为低电平有效 功能 2: IR_IN 红外输入



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
C9	LED_DATA	I _S /O	4	3.3	功能 0: GPIO5_0 通用输入输出 功能 1: LED_DATA Led 串行输出数据 功能 2: SPI_SDO SPI 数据输出 功能 3: SELF_BOOT 选择是否启动自举: 0: 不自举, 启动后直接跳转到 FLASH 中执行 1: 启动自举, 启动后运行 bootrom 中的 UART 驱动, 等待 从串口下载程序
C8	LED_KEY0	I _S /O	4	3.3	功能 0: GPIO5_7 通用输入输出 功能 1: LED_KEY0 4*2 Led 矩阵键盘输入 0 功能 2: PCIE0_WAKUPN_IN 作为 RC 的时候, 是 PCIE0 链 接唤醒信号, 低电平有效
D8	LED_KEY1	I _S /O	4	3.3	功能 0: GPIO5_6 通用输入输出 功能 1: LED_KEY1 4*2 Led 矩阵键盘输入 1
C12	STANDBY_PWROFF	I/O	4	3.3	功能 0: GPIO9_4 通用输入输出 功能 1: STANDBY_PWROFF 待机的时候控制芯片下电 功能 2: GPIO5_2 通用输入输出

1.2.16 MDX 管脚

MDX 管脚如表 1-22 所示。



表1-22 MDX 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AV37	MDCK	I _{SPD} /O	8	3.3	功能 0: MDCK MDIO 接口时钟输出 功能 1: NF_BLKSIZE boot 时, NandFlash 器件的 block 容量。 0: 64 page, 对应 SLC 器件; 1: 128 page, 对应 MLC 器件; 功能 2: GPIO10_7 通用输入输出
AU38	MDIO	I/O	4	3.3	功能 0: MDIO MDIO 接口的输入/输出信号 功能 1: GPIO11_0 通用输入输出

1.2.17 MII 管脚

MIIO 管脚

MIIO 管脚如表 1-23 所示。

表1-23 MIIO 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AP36	MIIO_RXCK	I/O	8	3.3	功能 0: ETH0_REFCLK RMII0 接口的参考时钟 功能 1: GPIO5_4 通用输入输出
AP37	MIIO_RXD0	I/O	4	3.3	功能 0: MIIO_RXD0 RMII0 接口的接收数据 功能 1: GPIO1_7 通用输入输出



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AP38	MII0_RXD1	I/O	4	3.3	功能 0: MII0_RXD1 RMII0 接口的接收数据 功能 1: GPIO1_6 通用输入输出
AR38	MII0_RXDV	I/O	4	3.3	功能 0: MII0_RXDV RMII0 接口的载波侦听信号和接收使能信号 功能 1: GPIO1_5 通用输入输出
AR36	MII0_TXD0	I _{SPU} /O	8	3.3	功能 1: NF_PAGE0 (需和 NF_PAGE1 一起使用)。 boot 时, NandFlash 器件的 page 容量。 00: 512byte; 01: 2KB; 10: 4KB; 11: 8KB。 功能 2: MII0_TXD0 RMII0 接口的发送数据 功能 3: GPIO0_1 通用输入输出
AT37	MII0_TXD1	I _{SPU} /O	8	3.3	功能 1: NF_ADNUM 发给 NANDFlash 器件的地址数目, 只在上电的瞬间有效: NF_ADNUM+4, 默认是 5 个地址 功能 2: MII0_TXD1 RMII0 接口的发送数据 功能 3: GPIO0_0 通用输入输出
AR37	MII0_TXEN	I _{SPD} /O	4	3.3	功能 0: MII0_TXEN RMII0 接口的发送使能信号 功能 1: NF_PAGE1 功能 3: GPIO0_2 通用输入输出



MII1 管脚

MII1 管脚如表 1-24 所示。

表1-24 MII1 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AR30	MII1_COL	I/O	-	3.3	功能 0: MII1_COL TMII1/MII1 碰撞指示信号 功能 1: GPIO9_6 通用输入输出 功能 2: USB0_OVRCUR USB 端口 0 的端口过流指示信号, 高低电平可配, 默认为高电平有效 功能 6: MII2_COL MII2 碰撞指示信号 功能 7: SDIO_CARD_DETECT 卡检查信号, 低电平有效
AT30	MII1_CRS	I/O	-	3.3	功能 0: MII1_CRS TMII1/MII1 载波侦听信号 功能 1: GPIO9_5 通用输入输出 功能 2: USB0_PWREN USB 端口 0 电源控制输出管脚, 高低电平可配, 默认为高电平有效 功能 6: MII2_CRS MII2 载波侦听信号 功能 7: SDIO_CARD_POWER_EN 电源使能控制信号, 为 1 时 power on



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AT36	MII1_RXCK	I/O	8	3.3	功能 0: MII1_RXCK TMII1/MII1 接口接收时钟, TMII1 是 75MHz, MII1 是 25MHz 功能 1: ETH1_REFCLK RMII1 接口的参考时钟 功能 2: GPIO9_0 通用输入输出 功能 5: RGMII_RXCK RGMII1 接口接收时钟, 双沿有效, 或 MII2_RXCK 功能 6: ETH2_REFCLK RMII2 接口的参考时钟 功能 7: SDIO_CWPR 卡写保护检测信号
AT35	MII1_RXD0	I/O	4	3.3	功能 0: MII1_RXD0 TMII1/MII1 接口接收数据, 或 RMII1 接口的接收数据 功能 1: GPIO5_2 通用输入输出 功能 5: RGMII_RXD0 RGMII 接口接收的数据, 或 MII2 接收数据, 或 RMII2 接口接收的数据 功能 7: SDIO_CDATA6 卡数据
AV35	MII1_RXD1	I/O	4	3.3	功能 0: MII1_RXD1 TMII1/MII1 接口接收数据, 或 RMII1 接口的接收数据 功能 1: GPIO5_4 通用输入输出 功能 5: RGMII_RXD1 RGMII 接口接收的数据, 或 MII2 接收数据, 或 RMII2 接口接收的数据 功能 7: SDIO_CDATA7 卡数据



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AU35	MII1_RXD2	I _S /O	4	3.3	功能 0: MII1_RXD2 TMII1/MII1 接口接收数据 功能 1: GPIO10_0 通用输入输出 功能 2: PWM_OUT2 PWM 输出 功能 3: I2C0_SCL I2C0 总线时钟, OD 输出 功能 5: RGMII_RXD2 RGMII 接口接收的数据, 或 MII2 接收数据 功能 7: SDIO_CDATA5 卡数据
AU36	MII1_RXD3	I _S /O	4	3.3	功能 0: MII1_RXD3 TMII1/MII1 接口接收数据 功能 1: GPIO9_7 通用输入输出 功能 2: PWM_OUT1 PWM 输出 功能 3: I2C0_SDA I2C0 总线数据/地址, OD 输出 功能 5: RGMII_RXD3 RGMII 接口接收的数据, 或 MII2 接收数据 功能 7: SDIO_CDATA4 卡数据



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AV34	MII1_RXDV	I _S /O	4	3.3	功能 0: MII1_RXDV TMII1/MII1 接口接收数据有效, 或 RMII1 接口的载波侦听信号和接收使能信号 功能 1: GPIO9_4 通用输入输出 功能 2: USB1_OVRCUR USB 端口 1 的端口过流指示信号, 高低电平可配, 默认为高电平有效 功能 5: RGMII_CRSDV RGMII 接口的载波侦听信号和接收使能信号, 或 RMII2 接口的载波侦听信号和接收使能信号 功能 7: SDIO_CCMD_ODPULLUP_EN_N 卡命令 OD 模式选择
AU34	MII1_TXCK	I/O	-	3.3	功能 0: GPIO9_1 通用输入输出 功能 1: MII1_TXCK TMII1/MII1 接口发送时钟, TMII1 是 75MHz, MII1 是 25MHz 功能 2: PWM_OUT0 PWM 输出 功能 5: RGMII_TXCK RGMII 发送时钟, 双沿有效 功能 6: MII2_TXCK MII2 接口发送时钟 功能 7: SDIO_CCLK_OUT 输出给卡使用的工作时钟



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AT33	MII1_TXD0	I _{PD} /O	-	3.3	功能 1: NFC_ECC_TYPE1 功能 2: USB0_OVRCUR USB 端口 0 的端口过流指示信号，高低电平可配，默认为高电平有效 功能 4: MII1_TXD0 TMII1/MII1 接口发送数据，或 RMII1 接口的发送数据 功能 5: RGMII_TXD0 RGMII 接口发送数据，或 MII2 发送数据，或 RMII2 接口发送数据 功能 6: GPIO1_6 通用输入输出 功能 7: SDIO_CDATA3 卡数据



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AU32	MII1_TXD 1	I/O	-	3.3	<p>功能 1: NFC_ECC_TYPE0 (需和 NFC_ECC_TYPE1~2 一起使用)。boot 时, 选择 ECC 模式。</p> <p>000: 无 ECC; 001: 1bit 模式; 010: 4bits 模式; 100: 24bit 模式 for 1KB; 其他: 保留。</p> <p>功能 2: USB0_PWREN USB 端口 0 电源控制输出管脚, 高低电平可配, 默认为高电平有效</p> <p>功能 4: MII1_TXD1 TMII1/MII1 接口发送数据, 或 RMII1 接口的发送数据</p> <p>功能 5: RGMII_TXD1 RGMII 接口发送数据, 或 MII2 发送数据, 或 RMII2 接口发送数据</p> <p>功能 6: GPIO1_5 通用输入输出</p> <p>功能 7: SDIO_CDATA2 卡数据</p>
AV32	MII1_TXD 2	I/O	-	3.3	<p>功能 0: GPIO9_3 通用输入输出</p> <p>功能 1: MII1_TXD2 TMII1/MII1 接口发送数据</p> <p>功能 2: USB1_OVRCUR USB 端口 1 的端口过流指示信号, 高低电平可配, 默认为高电平有效</p> <p>功能 5: RGMII_TXD2 RGMII 接口发送数据, 或 MII2 发送数据</p> <p>功能 7: SDIO_CDATA1 卡数据</p>



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AT32	MII1_TXD3	I _{PU} /O	-	3.3	功能 0: GPIO9_2 通用输入输出 功能 1: MII1_TXD3 TMII1/MII1 接口发送数据 功能 2: USB1_PWREN USB 端口 1 电源控制输出管脚，高低电平可配，默认为高电平有效 功能 5: RGMII_TXD3 RGMII 接口发送数据，或 MII2 发送数据 功能 7: SDIO_CDATA0 卡数据
AT34	MII1_TXEN	I _{PD} /O	-	3.3	功能 0: MII1_TXEN TMII1/MII1 接口发送使能信号，或 RMII1 接口的发送使能信号 功能 1: NFC_ECC_TYPE2 功能 2: USB1_PWREN USB 端口 1 电源控制输出管脚，高低电平可配，默认为高电平有效 功能 5: RGMII_TXEN RGMII 接口发送数据使能，或 MII2 接口发送数据使能，或 RMII2 接口发送数据使能 功能 6: GPIO1_7 通用输入输出 功能 7: SDIO_CCMD 卡命令

1.2.18 NF 管脚

NF 管脚如表 1-25 所示。



表1-25 NF 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AA4	NF_ALE	I _{SPD} /O	8	3.3	功能 0: NF_ALE NANDFlash 地址锁存信号 功能 1: BOOT_SEL1 上电时硬件自动锁定, 不需要 软件配置 功能 2: SDIO_CCMD 卡命令
AB4	NF_CLE	I _S /O	8	3.3	功能 0: NF_CLE NANDFlash 命令锁存信号 功能 1: BOOT_SEL0 启动 memeory 类型选择, {BOOTSEL1、BOOTSEL0}的 关系是: 00: SPIflash 01: Nandflash 10: Norflash 11: EMMC 功能 2: SDIO_CWPR 卡写保护检测信号
AB3	NF_CSN0	O	4	3.3	功能 0: NF_CSN0 Nandflash 片选信号, 低电平有 效。用来挂接启动的 Nandflash。 功能 2: SDIO_CCMD_ODPULLUP_EN_ N 卡命令 OD 模式选择
AB2	NF_CSN1	I _S /O	4	3.3	功能 0: NF_CSN1 Nandflash 片选信号, 低电平有 效。 功能 1: I2C3_SCL I2C3 总线时钟, OD 输出



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AC2	NF_RDY0	I _{SPU}	-	3.3	功能 0: NF_RDY0 NandFlash 忙/空闲指示。 1: 空闲; 0: 忙。 功能 2: SDIO_CARD_DETECT 卡检查信号, 低电平有效
AC1	NF_RDY1	I _{SPU} /O	4	3.3	功能 0: NF_RDY1 NandFlash 忙/空闲指示。 1: 空闲; 0: 忙。 功能 1: I2C3_SDA I2C3 总线数据/地址, OD 输出 功能 2: SATA_LED0_N SATA 硬盘指示灯, 低有效
AB1	NF_REN	O	8	3.3	功能 0: NF_REN NANDFlash 读使能信号, 低电 平有效 功能 2: SDIO_CARD_POWER_EN 电源使能控制信号, 为 1 时 power on
AA3	NF_WEN	I _{SPD} /O	8	3.3	功能 0: NF_WEN NANDFlash 写使能信号, 低电 平有效 功能 1: NF_BOOTBW Norflash/Nandflash/EMMC BOOT 的位宽选择, 仅在上电 的时候有效: 0: 16 位(Norflash)/8 位 (Nandflash)/4 位(EMMC) 1: 8 位 (Norflash) /16 位 (Nandflash)/8 位(EMMC) 功能 2: SDIO_CCLK_OUT 输出给卡使用的工作时钟



1.2.19 PCIE 管脚

PCIE 管脚如表 1-26 所示。

表1-26 PCIE 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
L2	PCIE_REFC LKM	I	-	0.7	差分时钟输入
L1	PCIE_REFC LKP	I	-	0.7	差分时钟输入
N10	PCIE_REXT	I	-	2.5	外接电阻，阻值是 $191\pm1\%\Omega$
M4	PCIE_RX0M	I	-	0.7	通道 0 接收的差分信号
M3	PCIE_RX0P	I	-	0.7	通道 0 接收的差分信号
N1	PCIE_TX0M	O	-	0.7	通道 0 发送的差分信号
N2	PCIE_TX0P	O	-	0.7	通道 0 发送的差分信号
P11、 R11、T11	PCIE_VP10	P	-	1.0	PCIE 模拟电源
P10、R10	PCIE_VP25	P	-	2.5	PCIE 模拟电源

1.2.20 SATA 管脚

SATA 管脚如表 1-27 所示。

表1-27 SATA 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AG3	SATA_RE FCLKM	I	-	2.5	差分时钟输入
AG4	SATA_RE FCLKP	I	-	2.5	差分时钟输入
W10	SATA_RE XT	I	-	2.5	外接电阻，阻值是 $191\pm1\%\Omega$
AE3	SATA_RX 0M	I	-	2.5	通道 0 接收的差分信号



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AE4	SATA_RX 0P	I	-	2.5	通道 0 接收的差分信号
AE1	SATA_TX 0M	O	-	2.5	通道 0 发送的差分信号
AF1	SATA_TX 0P	O	-	2.5	通道 0 发送的差分信号
AA11 Y11	SATA_VP1 0	P	-	1.0	SATA 模拟电源
AA10 Y10	SATA_VP2 5	P	-	2.5	SATA 模拟电源

1.2.21 SFC 管脚

SFC 管脚如表 1-28 所示。

表1-28 SFC 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AJ4	SFC_CLK	I/O	8	3.3	功能 0: SFC_CLK 送给 SPI Flash 的时钟信号,时钟 停靠的高低电平可选 功能 1: GPIO12_2 通用输入输出
AH1	SFC_CS0N	I/O	4	3.3	功能 0: SFC_CS0N 片选 0 信号, 低有效 功能 1: GPIO12_5 通用输入输出
AJ2	SFC_CS1N	I/O	4	3.3	功能 0: SFC_CS1N 片选 1 信号, 低有效, 用来挂 接启动的 SPI Flash。 功能 1: GPIO12_6 通用输入输出



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AK3	SFC_DIO	I/O	8	3.3	功能 0: SFC_DIO 在 Standard SPI 模式, 为数据的输出信号; 在 Dual SPI 模式下, 为数据的输入输出信号; 在 Quad SPI 模式下, 为数据的输入输出信号。 功能 1: GPIO12_0 通用输入输出
AH2	SFC_DOI	I/O	8	3.3	功能 0: SFC_DOI 在 Standard SPI 模式, 为数据的输入信号; 在 Dual SPI 模式下, 为数据的输入输出信号; 在 Quad SPI 模式下, 为数据的输入输出信号。 功能 1: GPIO12_3 通用输入输出
AJ1	SFC_HOLD_IO3	I/O	8	3.3	功能 0: SFC_HOLD_IO3 在 Standard SPI 模式, 作为 hold 功能, 低有效; 在 Dual SPI 模式下, 作为 hold 功能, 低有效; 在 Quad SPI 模式下, 为数据的输入输出信号。 功能 1: GPIO12_4 通用输入输出
AJ3	SFC_WP_IO2	I/O	8	3.3	功能 0: SFC_WP_IO2 在 Standard SPI 模式, 作为 write protect 功能, 低有效; 在 Dual SPI 模式下, 作为 write protect 功能, 低有效; 在 Quad SPI 模式下, 为数据的输入输出信号。 功能 1: GPIO12_1 通用输入输出



1.2.22 SIM 管脚

SIM0 管脚

SIM0 管脚如表 1-29 所示。

表1-29 SIM0 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
K4	SIM0_CLK	I/O	8	3.3	功能 0: GPIO9_6 通用输入输出 功能 1: SIM0_CLK 智能卡双向时钟信号，OD 和 CMOS 类型可选 功能 2: LCD_R0 LCD R 分量数据比特 0 功能 3: VO_DAT0 BT.656 数据信号输出
J4	SIM0_DATA	I/O	8	3.3	功能 0: GPIO10_0 通用输入输出 功能 1: SIM0_DATA 智能卡双向数据信号，OD 和 CMOS 类型可选 功能 2: LCD_R2 LCD R 分量数据比特 2 功能 3: VO_DAT2 BT.656 数据信号输出
H3	SIM0_DET	I _S /O	8	3.3	功能 0: GPIO10_1 通用输入输出 功能 1: SIM0_DET 智能卡信号检测，有效电平可配，默认为高有效 功能 2: LCD_R3 LCD R 分量数据比特 3 功能 3: VO_DAT3 BT.656 数据信号输出



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
K3	SIM0_PWREN	I/O	-	3.3	功能 0: GPIO9_5 通用输入输出 功能 1: SIM0_PWREN 智能卡使能信号，有电平可配，默认为高有效 功能 2: LCD_CK LCD 接口时钟管脚 功能 3: VOU1120_CLK BT.1120 接口时钟输出
J3	SIM0_RST	I/O	8	3.3	功能 0: GPIO9_7 通用输入输出 功能 1: SIM0_RST 智能卡复位信号，低有效 功能 2: LCD_R1 LCD R 分量数据比特 1 功能 3: VO_DAT1 BT.656 数据信号输出

SIM1 管脚

SIM1 管脚如表 1-30 所示。



表1-30 SIM1 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
H1	SIM1_CLK	I _S /O	8	3.3	功能 0: GPIO10_3 通用输入输出 功能 1: SIM1_CLK 智能卡双向时钟信号, OD 和 CMOS 类型可选 功能 2: LCD_R4 LCD R 分量数据比特 4 功能 3: VO_DAT4 BT.656 数据信号输出 功能 5: I2C2_SCL I2C2 总线时钟, OD 输出
G2	SIM1_DATA	I _S /O	8	3.3	功能 0: GPIO10_5 通用输入输出 功能 1: SIM1_DATA 智能卡双向数据信号, OD 和 CMOS 类型可选 功能 2: LCD_R7 LCD R 分量数据比特 7 功能 3: VO_DAT7 BT.656 数据信号输出 功能 4: HDMI_HOTPLUG HDMI 接口的热插拔信号 功能 5: I2C2_SDA I2C2 总线数据/地址, OD 输出



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
G3	SIM1_DET	I _S /O	8	3.3	功能 0: GPIO10_6 通用输入输出 功能 1: SIM1_DET 智能卡信号检测, 有效电平可配, 默认为高有效 功能 2: LCD_G0 LCD G 分量数据比特 0 功能 3: VOU1120_Y7 BT.1120 接口的亮度信号输出 功能 4: VOU1120_C7 BT.1120 接口的色度信号输出
H2	SIM1_PWREN	I/O	8	3.3	功能 0: GPIO10_2 通用输入输出 功能 1: SIM1_PWREN 智能卡使能信号, 有电平可配, 默认为高有效 功能 2: LCD_R5 LCD R 分量数据比特 5 功能 3: VO_DAT5 BT.656 数据信号输出
G1	SIM1_RST	I/O	8	3.3	功能 0: GPIO10_4 通用输入输出 功能 1: SIM1_RST 智能卡复位信号, 低有效 功能 2: LCD_R6 LCD R 分量数据比特 6 功能 3: VO_DAT6 BT.656 数据信号输出 功能 4: HDMI_CEC HDMI 接口的控制通道信号 功能 5: SATA_LED0_N SATA 硬盘指示灯, 低有效



1.2.23 SIO 管脚

SIO0 管脚

SIO0 管脚如表 1-31 所示。

表1-31 SIO0 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AT16	SIO0_BCLK	I/O	8	3.3	功能 0: GPIO0_4 通用输入输出 功能 1: SIO0_BCLK I2S 或 PCM 接口位流时钟 功能 3: AO_BCLK AO 接口位流时钟 功能 4: AIO_BCLK AIO 接口位流时钟
AR15	SIO0_DIN	I/O	4	3.3	功能 0: GPIO0_7 通用输入输出 功能 1: SIO0_DIN I2S 或 PCM 接口数据输入。 功能 3: AO_DOUT1 AO 接口 7.1 声道数据输出。 功能 4: AIO_DIN AIO 接口数据输入
AT15	SIO0_DOUT	I/O	4	3.3	功能 0: GPIO0_6 通用输入输出 功能 1: SIO0_DOUT I2S 或 PCM 接口数据输出。 功能 3: AO_DOUT0 AO 接口 7.1 声道数据输出。 功能 4: AIO_DOUT AIO 数据输出。



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AR16	SIO0_FSY NC	I/O	4	3.3	功能 0: GPIO0_5 通用输入输出 功能 1: SIO0_FSYNC I2S 接收端左右声道选择信号 (与 ADC 接口) 功能 3: AO_FSCLK AO 发送端左右声道选择信号 功能 4: AIO_FSCLK AIO 发送端左右声道选择信号
AU16	SIO0_MCL K	I/O	8	3.3	功能 0: GPIO0_3 通用输入输出 功能 1: SIO0_MCLK I2S 或 PCM 接口主时钟, 可以 作为音频 CODEC 的工作时钟 (低端 DAC) 功能 2: LCD_VS LCD 垂直同步信号, 或 VGA0 输出的垂直同步信号 功能 3: AO_MCLK AO 接口主时钟, 可以作为音频 CODEC 的工作时钟(低端 DAC) 功能 4: AIO_MCLK AIO 接口主时钟, 可以作为音 频 CODEC 的工作时钟(低端 CODEC)

SIO2 管脚

SIO2 管脚如表 1-32 所示。



表1-32 SIO2 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AT19	SIO2_BCLK	I/O	8	3.3	功能 0: GPIO2_3 通用输入输出 功能 1: HDMI_HOTPLUG HDMI 接口的热插拔信号
AV20	SIO2_DIN	I/O	4	3.3	功能 0: GPIO2_6 通用输入输出 功能 1: HDMI_CEC HDMI 接口的控制通道信号

1.2.24 SPDIF 管脚

SPDIF 管脚如表 1-33 所示。

表1-33 SPDIF 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AU7	SPDIF_OUT	I _{SPU} /O	4	3.3	功能 0: GPIO2_7 通用输入输出 功能 1: SPDIF_OUT SPDIF 数据输出 功能 2: JTAG_SEL 开机后 JTAG 口配置选择 0: 配置为 SOC JTAG 1: 配置为 ARM JTAG

1.2.25 SPI 管脚

SPI 管脚如表 1-34 所示。



表1-34 SPI 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AU17	SPI_CSN0	I/O	4	3.3	功能 0: GPIO1_3 通用输入输出 功能 1: SPI_CSN0 SPI 的片选 0 输出
AV16	SPI_CSN1	I/O	4	3.3	功能 0: GPIO1_4 通用输入输出 功能 1: SPI_CSN1 SPI 的片选 1 输出 功能 2: LCD_HS LCD 水平同步信号, 或 VGA0 输出的水平同步信号
AT18	SPI_SCLK	I/O	8	3.3	功能 0: GPIO1_0 通用输入输出 功能 1: SPI_SCLK SPI 时钟信号
AV17	SPI_SDI	I _S /O	4	3.3	功能 0: GPIO1_2 通用输入输出 功能 1: SPI_SDI SPI 数据输入 功能 2: I2C3_SDA I2C3 总线数据/地址, OD 输出 功能 3: AO_DOUT3 AO 接口 7.1 声道数据输出。
AR18	SPI_SDO	I _S /O	4	3.3	功能 0: GPIO1_1 通用输入输出 功能 1: SPI_SDO SPI 数据输出 功能 2: I2C3_SCL I2C3 总线时钟, OD 输出 功能 3: AO_DOUT2 AO 接口 7.1 声道数据输出。



1.2.26 TSI 管脚

TSI0 管脚

TSI0 管脚如表 1-35 所示。

表1-35 TSI0 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AV2	TSI0_CLK	I/O	8	3.3	功能 0: TSI0_CLK TSI0 的时钟输入，串行模式下的输入为 96MHz，并行模式下的输入 13.5MHz 功能 1: VIU0_CLK BT.1120 接口时钟输入，或 VIU0 的时钟信号，300 万像素 @15fps 功能 3: GPIO12_6 通用输入输出
AP1	TSI0_D0	I/O	4	3.3	功能 0: TSI0_D0 TSI0 输入的数据，或串行数据输入 功能 1: VIU0_DAT0 BT.1120 接口的亮度信号输入，或 VIU0 的数据输入 功能 2: TSI1_D7 TSI1 输入的数据，或串行数据输入 功能 3: GPIO11_5 通用输入输出 功能 4: AO_FSCLK AO 发送端左右声道选择信号 功能 5: TSO_D0 QAM 输出的数据



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AP2	TSI0_D1	I _{PD} /O	4	3.3	功能 0: TSI0_D1 TSI0 输入的数据, 串行模式下无效 功能 1: VIU0_DAT1 BT.1120 接口的亮度信号输入, 或 VIU0 的数据输入 功能 2: TSI1_VALID TSI1 输入的数据有效信号, 高电平有效 功能 3: GPIO11_6 通用输入输出 功能 4: AO_BCLK AO 接口位流时钟 功能 5: TSO_VALID QAM 输出的数据有效信号, 高电平有效
AR1	TSI0_D2	I/O	8	3.3	功能 0: TSI0_D2 TSI0 输入的数据, 串行模式下无效 功能 1: VIU0_DAT2 BT.1120 接口的亮度信号输入, 或 VIU0 的数据输入 功能 2: TSI1_CLK TSI1 的时钟输入, 串行模式下的输入为 96MHz, 并行模式下的输入 13.5MHz 功能 3: GPIO11_7 通用输入输出 功能 4: AO_MCLK AO 接口主时钟, 可以作为音频 CODEC 的工作时钟(低端 DAC) 功能 5: TSO_CLK QAM 输出的随路时钟



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AR2	TSI0_D3	I/O	4	3.3	功能 0: TSI0_D3 TSI0 输入的数据, 串行模式下无效 功能 1: VIU0_DAT3 BT.1120 接口的亮度信号输入, 或 VIU0 的数据输入 功能 2: TSI1_SYNC TSI 输入的数据同步指示信号 功能 3: GPIO12_0 通用输入输出 功能 4: AO_DOUT0 AO 接口 7.1 声道数据输出。 功能 5: TSO_SYNC QAM 输出的同步信号
AR3	TSI0_D4	I/O	4	3.3	功能 0: TSI0_D4 TSI0 输入的数据, 串行模式下无效 功能 1: VIU0_DAT4 BT.1120 接口的亮度信号输入, 或 VIU0 的数据输入 功能 3: GPIO12_1 通用输入输出 功能 4: AO_DOUT1 AO 接口 7.1 声道数据输出。
AT2	TSI0_D5	I/O	4	3.3	功能 0: TSI0_D5 TSI0 输入的数据, 串行模式下无效 功能 1: VIU0_DAT5 BT.1120 接口的亮度信号输入, 或 VIU0 的数据输入 功能 3: GPIO12_2 通用输入输出 功能 4: AO_DOUT2 AO 接口 7.1 声道数据输出。



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AU1	TSI0_D6	I/O	4	3.3	功能 0: TSI0_D6 TSI0 输入的数据, 串行模式下无效 功能 1: VIU0_DAT6 BT.1120 接口的亮度信号输入, 或 VIU0 的数据输入 功能 3: GPIO12_3 通用输入输出 功能 4: AO_DOUT3 AO 接口 7.1 声道数据输出。
AU2	TSI0_D7	I/O	4	3.3	功能 0: TSI0_D7 TSI0 输入的数据, 或串行数据输入 功能 1: VIU0_DAT7 BT.1120 接口的亮度信号输入, 或 VIU0 的数据输入 功能 3: GPIO12_4 通用输入输出
AU3	TSI0_SYNC	I _{SPD} /O	4	3.3	功能 0: TSI0_SYNC TSI 输入的数据同步指示信号 功能 1: VIU0_HS VIU0 的行同步, 高有效 功能 3: GPIO12_7 通用输入输出
AT3	TSI0_VALID	I _{SPD} /O	4	3.3	功能 0: TSI0_VALID TSI0 输入的数据有效信号, 高电平有效 功能 1: VIU0_VS VIU0 的场同步信号, 高有效 功能 3: GPIO12_5 通用输入输出

TSI1 管脚

TSI1 管脚如表 1-36 所示。



表1-36 TSI1 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AR6	TSI1_CLK	I/O	8	3.3	功能 0: TSI1_CLK TSI1 的时钟输入，串行模式下的输入为 96MHz，并行模式下的输入 13.5MHz 功能 1: VIU1_CLK VIU1 时钟信号,300 百万像素 @15fps 的应用 功能 2: TSO_CLK QAM 输出的随路时钟 功能 3: GPIO2_4 通用输入输出
AP3	TSI1_D0	I/O	4	3.3	功能 0: TSI1_D0 TSI1 输入的数据，或串行数据输入 功能 1: VIU1_DAT0 BT.1120 接口的色度信号输入，或 VIU1 的数据输入 功能 2: TSO_D0 QAM 输出的数据 功能 3: GPIO8_2 通用输入输出
AR4	TSI1_D1	I/O	4	3.3	功能 0: TSI1_D1 TSI1 输入的数据，串行模式下无效 功能 1: VIU1_DAT1 BT.1120 接口的色度信号输入，或 VIU1 的数据输入 功能 2: TSO_D1 QAM 输出的数据 功能 3: GPIO8_3 通用输入输出



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AT4	TSI1_D2	I/O	4	3.3	功能 0: TSI1_D2 TSI1 输入的数据, 串行模式下无效 功能 1: VIU1_DAT2 BT.1120 接口的色度信号输入, 或 VIU1 的数据输入 功能 2: TSO_D2 QAM 输出的数据 功能 3: GPIO8_4 通用输入输出
AU4	TSI1_D3	I/O	4	3.3	功能 0: TSI1_D3 TSI1 输入的数据, 串行模式下无效 功能 1: VIU1_DAT3 BT.1120 接口的色度信号输入, 或 VIU1 的数据输入 功能 2: TSO_D3 QAM 输出的数据 功能 3: GPIO8_5 通用输入输出
AV4	TSI1_D4	I/O	4	3.3	功能 0: TSI1_D4 TSI1 输入的数据, 串行模式下无效 功能 1: VIU1_DAT4 BT.1120 接口的色度信号输入, 或 VIU1 的数据输入 功能 2: TSO_D4 QAM 输出的数据 功能 3: GPIO8_6 通用输入输出



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AV5	TS11_D5	I/O	4	3.3	功能 0: TS11_D5 TS11 输入的数据, 串行模式下 无效 功能 1: VIU1_DAT5 BT.1120 接口的色度信号输入, 或 VIU1 的数据输入 功能 2: TSO_D5 QAM 输出的数据 功能 3: GPIO8_7 通用输入输出
AU5	TS11_D6	I/O	4	3.3	功能 0: TS11_D6 TS11 输入的数据, 串行模式下 无效 功能 1: VIU1_DAT6 BT.1120 接口的色度信号输入, 或 VIU1 的数据输入 功能 2: TSO_D6 QAM 输出的数据 功能 3: GPIO2_0 通用输入输出
AT5	TS11_D7	I/O	4	3.3	功能 0: TS11_D7 TS11 输入的数据, 或串行数据 输入 功能 1: VIU1_DAT7 BT.1120 接口的色度信号输入, 或 VIU1 的数据输入 功能 2: TSO_D7 QAM 输出的数据 功能 3: GPIO2_1 通用输入输出



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AT6	TSI1_SYNC	I _{SPD} /O	4	3.3	功能 0: TSI1_SYNC TSI 输入的数据同步指示信号 功能 1: VIU1_HS VIU1 的行同步，高有效 功能 2: TSO_SYNC QAM 输出的同步信号 功能 3: GPIO2_5 通用输入输出
AR5	TSI1_VALID	I _{SPD} /O	4	3.3	功能 0: TSI1_VALID TSI1 输入的数据有效信号，高电平有效 功能 1: VIU1_VS VIU1 的场同步信号，高有效 功能 2: TSO_VALID QAM 输出的数据有效信号，高电平有效 功能 3: GPIO2_2 通用输入输出

1.2.27 UART 管脚

UART0 管脚

UART0 管脚如表 1-37 所示。

表1-37 UART0 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AU25	UART0_RXD	I _{PU} /O	4	3.3	功能 0: UART0_RXD UART0 数据接收 功能 1: GPIO3_0 通用输入输出



AV25	UART0_TXD	I/O	4	3.3	功能 0: UART0_TXD UART0 数据发送 功能 1: GPIO3_1 通用输入输出
------	-----------	-----	---	-----	--

UART1 管脚

UART1 管脚如表 1-38 所示。

表1-38 UART1 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AT26	UART1_CTSN	I _S /O	4	3.3	功能 0: GPIO8_0 通用输入输出 功能 1: UART1_CTSN Modem 状态输入: Clear To Send.低有效。 功能 2: USB1_OVRCUR USB 端口 1 的端口过流指示信号,高低电平可配,默认为高电平有效 功能 3: I2C1_SCL I2C1 总线时钟, OD 输出
AT25	UART1_RTSN	I _S /O	4	3.3	功能 0: GPIO7_6 通用输入输出 功能 1: UART1_RTSN Modem 状态输出: request to send, 低有效。复位值为 0 功能 2: USB1_PWREN USB 端口 1 电源控制输出管脚, 高低电平可配, 默认为高电平有效 功能 3: I2C1_SDA I2C1 总线数据/地址, OD 输出



Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AU26	UART1_RXD	I _{SPU} /O	4	3.3	功能 0: GPIO7_7 通用输入输出 功能 1: UART1_RXD UART1 数据接收 功能 2: USB0_PWREN USB 端口 0 电源控制输出管脚, 高低电平可配, 默认为高电平有效
AV26	UART1_TXD	I _S /O	4	3.3	功能 0: GPIO8_1 通用输入输出 功能 1: UART1_TXD UART1 数据发送 功能 2: USB0_OVRCUR USB 端口 0 的端口过流指示信号, 高低电平可配, 默认为高电平有效

1.2.28 OTP 管脚

OTP 管脚如表 1-39 所示。

表1-39 OTP 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
AN35	VCC33_OTP	P	-	3.3	OTP 供电电源
AN34	VPP_OTP	P	-	6	OTP 编程电压

1.2.29 PLL 管脚

PLL 管脚如表 1-40 所示。



表1-40 PLL 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
K15、K16	VDDHV25_PLL	P	-	2.5	PLL 模拟电源
P16、P17	VDDL10_PLL	P	-	1.0	PLL 数字电源
L15、L16	VSS_PLL	G	-	-	PLL 模拟地

1.2.30 PLL5 管脚

PLL5 管脚如表 1-41 所示。

表1-41 PLL5 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
K14	VDDHV25_PLL5	P	-	2.5	PLL 模拟电源
P15	VDDL10_PLL5	P	-	1.0	PLL 数字电源
L14	VSS_PLL5	G	-	-	PLL 模拟地

1.2.31 CLK 管脚

CLK 管脚如表 1-42 所示。

表1-42 CLK 管脚

Pin	管脚名称	类型	驱动 (mA)	电压 (V)	描述
A7	XIN	I	-	3.3	晶体输入
B7	XOUT	O	-	3.3	晶体输出

1.3 复用寄存器概览

复用寄存器概览如表 1-43 所示。



表1-43 复用寄存器概览（基地址：0x1020_3000）

偏移地址	名称	描述	页码
0x0000	sio0_gpio_vga0vs_ao_ao	SIO0_MCLK 管脚的复用控制寄存器	1-90
0x0004	sio0_gpio_ao_ao	SIO0_BCLK、SIO0_FSYNC、SIO0_DOUT、SIO0_DIN 管脚的复用控制寄存器	1-91
0x0008	spi_gpio	SPI_SCLK、SPI_CSN0 管脚的复用控制寄存器	1-92
0x000C	spi_gpio_i2c3_ao	SPI_SDO、SPI_SDI 管脚的复用控制寄存器	1-92
0x0010	spi_gpio15_vga0hs	SPI_CSN1 管脚的复用控制寄存器	1-93
0x0014	sio2_gpio_hdmihot	SIO2_BCLK 管脚的复用控制寄存器	1-93
0x0018	sio2_gpio_hdmicec	SIO2_DIN 管脚的复用控制寄存器	1-94
0x001C	spdif_gpio	SPDIF_OUT 管脚的复用控制寄存器	1-94
0x0020	i2c1_gpio_hdmi	HDMI_SDA、HDMI_SCL 管脚的复用控制寄存器	1-95
0x0024	uart0_gpio	UART0_RXD、UART0_TXD 管脚的复用控制寄存器	1-95
0x0028	uart1_gpio_usb1_i2c1	UART1_RTSN、UART1_CTSN 管脚的复用控制寄存器	1-96
0x002C	uart1_gpio_usb0	UART1_RXD、UART1_TXD 管脚的复用控制寄存器	1-97
0x0030	det_nf_mii0_gpio	MII0_TXD1、MII0_TXD0 管脚的复用控制寄存器	1-97
0x0034	mii0_nf_gpio	MII0_TXEN 管脚的复用控制寄存器	1-98
0x0038	mii0_gpio	MII0_RXDV、MII0_RXD1、MII0_RXD0 管脚的复用控制寄存器	1-99
0x003C	mii0_rmii0	MII0_RXCK 管脚的复用控制寄存器	1-99
0x0040	mii1_gpio_pwm0_pll0_rgmii_mii2_sdio	MII1_TXCK 管脚的复用控制寄存器	1-100
0x0044	mii1_gpio_usb1_pll1_rgmii_sdio	MII1_TXD3 管脚的复用控制寄存器	1-101
0x0048	mii1_gpio_usb1_pll2_rgmii_sdio	MII1_TXD2 管脚的复用控制寄存器	1-101



偏移地址	名称	描述	页码
0x004C	det_nf_usb0_pll_mii_gpio_rgmii_sdio	MII1_TXD1、MII1_TXD0 管脚的复用控制寄存器	1-102
0x0050	mii_usb1_pll_gpio_rgmii_sdio	MII1_TXEN 管脚的复用控制寄存器	1-102
0x0054	mii_usb1_rgmii_sdio	MII1_RXDV 管脚的复用控制寄存器	1-103
0x0058	mii1_gpio_usb0_mii2_sdio	MII1_CRS、MII1_COL 管脚的复用控制寄存器	1-104
0x005C	mii1_gpio_pwm1_i2c0_rgmii_sdio	MII1_RXD3 管脚的复用控制寄存器	1-104
0x0060	mii1_gpio_pwm2_i2c0_rgmii_sdio	MII1_RXD2 管脚的复用控制寄存器	1-105
0x0064	mii1_gpiio_rgmii_sdio	MII1_RXD0、MII1_RXD1 管脚的复用控制寄存器	1-106
0x0068	mii1_rmii1_rgmii_rmii_sdio	MII1_RXCK 管脚的复用控制寄存器	1-106
0x006C	mdck_gpio	MDCK 管脚的复用控制寄存器	1-107
0x0070	mdio_gpio	MDIO 管脚的复用控制寄存器	1-108
0x0074	led_gpio_spi	LED_DATA、LED_CLK 管脚的复用控制寄存器	1-108
0x0078	led_gpio_sata0_hcken	LED_CSN2 管脚的复用控制寄存器	1-109
0x007C	led_gpio_spi_pcken	LED_CSN1 管脚的复用控制寄存器	1-109
0x0080	led_gpio_ir	LED_CSN3 管脚的复用控制寄存器	1-110
0x0084	led_gpio_spi_armen	LED_CSN0 管脚的复用控制寄存器	1-110
0x0088	key_gpio	LED_KEY1 管脚的复用控制寄存器	1-111
0x008C	key_gpio_pcie0	LED_KEY0 管脚的复用控制寄存器	1-111
0x0090	pwroff_gpio	STANDBY_PWROFF 管脚的复用控制寄存器	1-112
0x0094	ir_gpio	IR_IN 管脚的复用控制寄存器	1-112
0x0098	sim0_gpio_lcd_vo1120	SIM0_PWREN 管脚的复用控制寄存器	1-113
0x009C	sim0_gpio_lcd_vo	SIM0_CLK、SIM0_RST、SIM0_DATA、SIM0_DET 管脚的复用控制寄存器	1-113
0x00A0	sim1_gpio_lcd_vo	SIM1_PWREN 管脚的复用控制寄存器	1-114



偏移地址	名称	描述	页码
0x00A4	sim1_gpio_lcd_vo_i2c	SIM1_CLK 管脚的复用控制寄存器	1-115
0x00A8	sim1_gpio_lcd_vo_cec_sata0	SIM1_RST 管脚的复用控制寄存器	1-115
0x00AC	sim1_gpio_lcd_vo_host_i2c	SIM1_DATA 管脚的复用控制寄存器	1-116
0x00B0	sim1_gpio_lcd_vo1120	SIM1_DET 管脚的复用控制寄存器	1-116
0x00B4	ebiadr_gpio_lcd_vo1120_wait	EBI_ADR16 管脚的复用控制寄存器	1-117
0x00B8	ebidq_gpio_sata0_pcie	EBI_DQ15 管脚的复用控制寄存器	1-118
0x00BC	ebidq_gpio_pciepwr	EBI_DQ14 管脚的复用控制寄存器	1-118
0x00C0	ebidq_gpio_pciehot	EBI_DQ13 管脚的复用控制寄存器	1-119
0x00C4	ebidq_gpio_pciewak_pciewakin	EBI_DQ12 管脚的复用控制寄存器	1-119
0x00C8	ebidq_gpio_pcierves	EBI_DQ11 管脚的复用控制寄存器	1-120
0x00CC	ebidq_gpio_pciealt	EBI_DQ10 管脚的复用控制寄存器	1-120
0x00D0	ebidq_gpio_pciepwrled	EBI_DQ9 管脚的复用控制寄存器	1-121
0x00D4	ebidq_gpio_pciebut	EBI_DQ8 管脚的复用控制寄存器	1-121
0x00D8	ebiadr_gpio_lcd_vo1120	EBI_ADR0、EBI_ADR13、EBI_ADR12、EBI_ADR11、EBI_ADR10、EBI_ADR4、EBI_ADR5、EBI_ADR6、EBI_WEN、EBI_ADR8、EBI_ADR9 管脚的复用控制寄存器	1-122
0x00DC	ebicsn0_gpio_lcd_vo1120	EBI_CSN0 管脚的复用控制寄存器	1-124
0x00E0	ebicsn1_gpio	EBI_CSN1 管脚的复用控制寄存器	1-125
0x00E4	gpio_ebioen_lcd_vo1120	EBI_OEN 管脚的复用控制寄存器	1-125
0x00E8	ebidq_gpio_sdio0	EBI_DQ0 管脚的复用控制寄存器	1-126
0x00EC	ebidq_gpio_sdio1	EBI_DQ1 管脚的复用控制寄存器	1-126
0x00F0	ebidq_gpio_sdio2	EBI_DQ2 管脚的复用控制寄存器	1-127
0x00F4	ebidq_gpio_sdio3	EBI_DQ3 管脚的复用控制寄存器	1-127



偏移地址	名称	描述	页码
0x00F8	ebidq_gpio_sdio4	EBI_DQ4 管脚的复用控制寄存器	1-128
0x00FC	ebidq_gpio_sdio5	EBI_DQ5 管脚的复用控制寄存器	1-128
0x0100	ebidq_gpio_sdio6	EBI_DQ6 管脚的复用控制寄存器	1-129
0x0104	ebidq_gpio_sdio7	EBI_DQ7 管脚的复用控制寄存器	1-129
0x0108	nf_sdio	NF_RDY0、NF_REN、NF_CSN0、NF_CLE、NF_ALE、NF_WEN 管脚的复用控制寄存器	1-130
0x010C	nf_i2c3_sata0	NF_RDY1 管脚的复用控制寄存器	1-131
0x0110	nf_i2c3	NF_CSN1 管脚的复用控制寄存器	1-131
0x0114	det_ebiadr_lcd_vo1120_gpio	EBI_ADR15 管脚的复用控制寄存器	1-132
0x0118	det_ebiadr_lcd_gpio	EBI_ADR14 管脚的复用控制寄存器	1-132
0x011C	ebiadr_gpio_lcd_vo	EBI_ADR1 管脚的复用控制寄存器	1-133
0x0120	ebiadr_gpio_pwm0	EBI_ADR2 管脚的复用控制寄存器	1-133
0x0124	ebiadr_gpio	EBI_ADR3 管脚的复用控制寄存器	1-134
0x0128	ebiadr_gpio_lcd	EBI_ADR7 管脚的复用控制寄存器	1-134
0x012C	sfc_gpio_sata_pciclk_hdmiclk	SFC_DIO 管脚的复用控制寄存器	1-135
0x0130	sfc_gpio_hdmiclk	SFC_WP_IO2,SFC_DOI 管脚的复用控制寄存器	1-135
0x0134	sfc_gpio_sata_pci_usbclk	SFC_CLK 管脚的复用控制寄存器	1-136
0x0138	sfc_gpio_sataclk	SFC_HOLD_IO3 管脚的复用控制寄存器	1-137
0x013C	sfc_cs0_gpio	SFC_CS0N 管脚的复用控制寄存器	1-137
0x0140	sfc_cs1_gpio	SFC_CS1N 管脚的复用控制寄存器	1-137
0x0144	i2c0_gpio_qam	QAM_SDA,QAM_SCL 管脚的复用控制寄存器	1-138
0x0148	qamagc0_gpio_uart3	QAM_AGC0 管脚的复用控制寄存器	1-139
0x014C	qamagc1_gpio_uart3	QAM_AGC1 管脚的复用控制寄存器	1-139
0x0150	tsi0_vi0_tsi1_gpio_ao	TSI0_D0、TSI0_D1、TSI0_D2、TSI0_D3 管脚的复用控制寄存器	1-140



偏移地址	名称	描述	页码
0x0154	tsi0_vi0_gpio_ao	TSI0_D4、TSI0_D5、TSI0_D6 管脚的复用控制寄存器	1-141
0x0158	tsi0_vi0_gpio	TSI0_D7、TSI0_VALID、TSI0_SYNC 管脚的复用控制寄存器	1-141
0x015C	tsi0_vi0_gpio_ad	TSI0_CLK 管脚的复用控制寄存器	1-142
0x0160	tsi1_vi1_tso	TSI1_D0、TSI1_D1、TSI1_D2、TSI1_D3、TSI1_D4、TSI1_D5、TSI1_D6、TSI1_D7、TSI1_VALID、TSI1_CLK、TSI1_SYNC 管脚的复用控制寄存器	1-143

1.4 复用寄存器描述

sio0_gpio_vga0vs_ao_aio

SIO0_MCLK 管脚复用控制寄存器。

Offset Address				Register Name																Total Reset Value												
0x0000				sio0_gpio_vga0vs_ao_aio																0x0000_0000												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															sio0_gpio_vga0vs_ao_aio
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name			Description																										
[2:0]	RW		sio0_gpio_vga0vs_ao_aio			SIO0_MCLK 管脚的具体复用情况。 000: GPIO0_3; 001: SIO0_MCLK; 010: LCD_VS; 011: AO_MCLK; 100: AIO_MCLK; 其它: 保留。																										



sio0_gpio_ao_aio

SIO0_BCLK、SIO0_FSYNC、SIO0_DOUT、SIO0_DIN 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																										
0x0004				sio0_gpio_ao_aio				0x0000_0000																										
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Name	reserved																												sio0_gpio_ao_aio					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
Bits	Access		Name				Description																											
[2:0]	RW		sio0_gpio_ao_aio				<div>SIO0_BCLK 管脚的具体复用情况。 000: GPIO0_4; 001: SIO0_BCLK; 011: AO_BCLK; 100: AIO_BCLK; 其它: 保留。 SIO0_FSYNC 管脚的具体复用情况。 000: GPIO0_5; 001: SIO0_FSYNC; 011: AO_FSCLK; 100: AIO_FSCLK; 其它: 保留。 SIO0_DOUT 管脚的具体复用情况。 000: GPIO0_6; 001: SIO0_DOUT; 011: AO_DOUT0; 100: AIO_DOUT; 其它: 保留。 SIO0_DIN 管脚的具体复用情况。 000: GPIO0_7; 001: SIO0_DIN; 011: AO_DOUT1; 100: AIO_DIN; 其它: 保留。</div>																											



spi_gpio

SPI_SCLK、SPI_CSN0 管脚复用控制寄存器。

Offset Address				Register Name								Total Reset Value																								
0x0008				spi_gpio								0x0000_0000																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																															spi_gpio				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0					
	Bits	Access		Name		Description																														
	[0]	RW		spi_gpio		SPI_SCLK 管脚的具体复用情况。 0: GPIO1_0; 1: SPI_SCLK。 SPI_CSN0 管脚的具体复用情况。 0: GPIO1_3; 1: SPI_CSN0。																														

spi_gpio_i2c3_ao

SPI_SDO、SPI_SDI 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																								
0x000C				spi_gpio_i2c3_ao				0x0000_0000																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												spi_gpio_i2c3_ao			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Bits	Access		Name		Description																											
[1:0]	RW		spi_gpio_i2c3_ao		SPI_SDO 管脚的具体复用情况。 00: GPIO1_1; 01: SPI_SDO; 10: I2C3_SCL; 11: AO_DOUT2。 SPI_SDI 管脚的具体复用情况。																											



			00: GPIO1_2; 01: SPI_SDI; 10: I2C3_SDA; 11: AO_DOUT3。
--	--	--	--

spi_gpio15_vga0hs

SPI_CSN1 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																								
0x0010				spi_gpio15_vga0hs				0x0000_0000																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												spi_gpio15_vga0hs			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	Bits	Access		Name				Description																								
	[1:0]	RW		spi_gpio15_vga0hs				SPI_CSN1 管脚的具体复用情况。 00: GPIO1_4; 01: SPI_CSN1; 10: LCD_HS; 其它: 保留。																								

sio2_gpio_hdmihot

SIO2_BCLK 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																								
0x0014				sio2_gpio_hdmihot				0x0000_0000																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												sio2_gpio_hdmihot			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits		Access		Name				Description																							
	[1:0]		RW		sio2_gpio_hdmihot				SIO2_BCLK 管脚的具体复用情况。																							



			00: GPIO2_3; 10: HDMI_HOTPLUG; 其它: 保留。
--	--	--	--

sio2_gpio_hdmicec

SIO2_DIN 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																									
0x0018				sio2_gpio_hdmiyec				0x0000_0000																									
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name	reserved																																sio2_gpio_hdm icec
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Bits		Access		Name		Description																											
[1:0]		RW		sio2_gpio_hdmiyec		SIO2_DIN 管脚的具体复用情况。 00: GPIO2_6; 10: HDMI_CEC; 其它: 保留。																											

spdif_gpio

SPDIF_OUT 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																								
0x001C				spdif_gpio				0x0000_0000																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										spdif_gpio					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Bits	Access		Name				Description																									
[1:0]	RW		spdif_gpio				SPDIF_OUT 管脚的具体复用情况。 00: GPIO2_7; 01: SPDIF_OUT; 10: JTAG_SEL;																									



			其它：保留。
--	--	--	--------

i2c1_gpio_hdmi

HDMI_SDA、HDMI_SCL 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																								
0x0020				i2c1_gpio_hdmi				0x0000_0000																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																											i2c1_gpio_	hdmi			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits		Access		Name		Description																										
[1:0]		RW		i2c1_gpio_hdmi		HDMI_SDA 管脚的具体复用情况。 00: GPIO3_0; 01: HDMI_SDA; 10: I2C1_SDA; 其它：保留。 HDMI_SCL 管脚的具体复用情况。 00: GPIO3_1; 01: HDMI_SCL; 10: I2C1_SCL; 其它：保留。																										

uart0_gpio

UART0_RXD、UART0_TXD 管脚复用控制寄存器。



Offset Address				Register Name								Total Reset Value																									
0x0024				uart0_gpio								0x0000_0000																									
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
Name	reserved																															uart0_gpio					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0						
Bits	Access		Name				Description																														
[0]	RW		uart0_gpio				UART0_RXD 管脚的具体复用情况。 0: UART0_RXD; 1: GPIO3_0。 UART0_TXD 管脚的具体复用情况。 0: UART0_TXD; 1: GPIO3_1。																														

uart1_gpio_usb1_i2c1

UART1_RTSN、UART1_CTSN 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																									
0x0028				uart1_gpio_usb1_i2c1				0x0000_0000																									
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name	reserved																											uart1_gpio_u sb1_i2c1					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Bits	Access		Name				Description																										
[1:0]	RW		uart1_gpio_usb1_i2c1				UART1_RTSN 管脚的具体复用情况。 00: GPIO7_6; 01: UART1_RTSN; 10: USB1_PWREN; 11: I2C1_SDA。 UART1_CTSN 管脚的具体复用情况。 00: GPIO8_0; 01: UART1_CTSN; 10: USB1_OVRCUR;																										



			11: I2C1_SCL。
--	--	--	---------------

uart1_gpio_usb0

UART1_RXD、UART1_TXD 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																								
0x002C				uart1_gpio_usb0				0x0000_0000																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												uart1_gpio_usb0			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Bits		Access		Name		Description																										
[1:0]		RW		uart1_gpio_usb0		UART1_RXD 管脚的具体复用情况。 00: GPIO7_7; 01: UART1_RXD; 10: USB0_PWREN; 其它: 保留。 UART1_TXD 管脚的具体复用情况。 00: GPIO8_1; 01: UART1_TXD; 10: USB0_OVRCUR; 其它: 保留。																										

det_nf_mii0_gpio

MII0_TXD1、MII0_TXD0 管脚复用控制寄存器。



Offset Address				Register Name				Total Reset Value																								
0x0030				det_nf_mii0_gpio				0x0000_0000																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												det_nf_mii0_gpio			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits		Access		Name				Description																								
[1:0]		RW		det_nf_mii0_gpio				MII0_TXD1 管脚的具体复用情况。 01: NF_ADNUM; 10: MII0_TXD1; 11: GPIO0_0; 其他: 保留。 MII0_TXD0 管脚的具体复用情况。 01: NF_PAGE0; 10: MII0_TXD0; 11: GPIO0_1; 其他: 保留。																								

mii0_nf_gpio

MII0_TXEN 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																										
0x0034				mii0_nf_gpio				0x0000_0000																										
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Name	reserved																												mii0_nf_gpio					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
Bits	Access		Name				Description																											
[1:0]	RW		mii0_nf_gpio				MII0_TXEN 管脚的具体复用情况。 00: MII0_TXEN; 01: NF_PAGE1; 11: GPIO0_2;																											



			其他：保留。
--	--	--	--------

mii0_gpio

MII0_RXDV、MII0_RXD1、MII0_RXD0 管脚复用控制寄存器。

Offset Address																Register Name																Total Reset Value															
0x0038																mii0_gpio																0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0															
Name	reserved																															mii0_gpio															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0															
Bits	Access				Name				Description																																						
[0]	RW				mii0_gpio				MII0_RXDV 管脚的具体复用情况。 0: MII0_RXDV; 1: GPIO1_5。 MII0_RXD1 管脚的具体复用情况。 0: MII0_RXD1; 1: GPIO1_6。 MII0_RXD0 管脚的具体复用情况。 0: MII0_RXD0; 1: GPIO1_7。																																						

mii0_rmii0

MII0_RXCK 管脚复用控制寄存器。



Offset Address								Register Name								Total Reset Value																
0x003C								mii0_rmii0								0x0000_0000																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															mii0_rmii0
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Bits	Access		Name		Description																											
[0]	RW		mii0_rmii0		MII0_RXCK 管脚的具体复用情况。 0: ETH0_REFCLK; 1: GPIO5_4。																											

mii1_gpio_pwm0_pll0_rgmii_mii2_sdio

MII1_TXCK 管脚复用控制寄存器。

Offset Address																Register Name																Total Reset Value															
0x0040																mii1_gpio_pwm0_pll0_rgmii_mii2_sdio																0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0															
Name	reserved																																mii1_gpio_pwm0_pll0_rgmii_mii2_sdio														
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0															
Bits	Access				Name								Description																																		
[3:0]	RW				mii1_gpio_pwm0_pll0_rgmii_mii2_sdio								MII1_TXCK 管脚的具体复用情况。 0000: GPIO9_1; 0001: MII1_TXCK; 0010: PWM_OUT0; 0101: RGMII_TXCK; 0110: MII2_TXCK; 0111: SDIO_CCLK_OUT; 其它: 保留。																																		



mii1_gpio_usb1_pll1_rgmii_sdio

MII1_TXD3 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																								
0x0044				mii1_gpio_usb1_pll1_rgmii_sdio				0x0000_0000																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												mii1_gpio_usb1_pll1_rgmii_sdio			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Bits	Access		Name				Description																									
[3:0]	RW		mii1_gpio_usb1_pll1_rgmii_sdio				MII1_TXD3 管脚的具体复用情况。 0000: GPIO9_2; 0001: MII1_TXD3; 0010: USB1_PWREN; 0101: RGMII_TXD3; 0111: SDIO_CDATA0; 其它: 保留。																									

mii1_gpio_usb1_pll2_rgmii_sdio

MII1_TXD2 管脚复用控制寄存器。

Offset Address				Register Name								Total Reset Value																						
0x0048				mii1_gpio_usb1_pll2_rgmii_sdio								0x0000_0000																						
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Name	reserved																												mii1_gpio_usb1_pll2_rgmii_sdio					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
Bits	Access		Name				Description																											
[3:0]	RW		mii1_gpio_usb1_pll2_rgmii_sdio				MII1_TXD2 管脚的具体复用情况。 0000: GPIO9_3; 0001: MII1_TXD2; 0010: USB1_OVRCUR;																											



			0101: RGMII_TXD2; 0111: SDIO_CDATA1; 其它: 保留。
--	--	--	--

det_nf_usb0_pll_mii_gpio_rgmii_sdio

MII1_TXD1、MII1_TXD0 管脚复用控制寄存器。

Offset Address				Register Name								Total Reset Value																						
0x004C				det_nf_usb0_pll_mii_gpio_rgmii_sdio								0x0000_0000																						
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Name	reserved																												det_nf_usb0_pll_mii_gpio_rgmii_sdio					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
Bits	Access		Name				Description																											
[3:0]	RW		det_nf_usb0_pll_mii_gpio_rgmii_sdio				MII1_TXD1 管脚的具体复用情况。 0001: NFC_ECC_TYPE0; 0010: USB0_PWREN; 0100: MII1_TXD1; 0101: RGMII_TXD1; 0110: GPIO1_5; 0111: SDIO_CDATA2; 其它: 保留。 MII1_TXD0 管脚的具体复用情况。 0001: NFC_ECC_TYPE1; 0010: USB0_OVRCUR; 0100: MII1_TXD0; 0101: RGMII_TXD0; 0110: GPIO1_6; 0111: SDIO_CDATA3; 其它: 保留。																											

mii_usb1_pll_gpio_rgmii_sdio

MII1_TXEN 管脚复用控制寄存器。



Offset Address				Register Name								Total Reset Value																				
0x0050				mii_usb1_pll_gpio_rgmii_sdio								0x0000_0000																				
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												mii_usb1_pll_gpio_rgmii_sdio			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Bits	Access		Name		Description																											
[3:0]	RW		mii_usb1_pll_gpio_rgmii_sdio		MII1_TXEN 管脚的具体复用情况。 0000: MII1_TXEN; 0001: NFC_ECC_TYPE2; 0010: USB1_PWREN; 0101: RGMII_TXEN; 0110: GPIO1_7; 0111: SDIO_CCMD; 其它: 保留。																											

mii_usb1_rgmii_sdio

MI11_RXDV 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																								
0x0054				mii_usb1_rgmii_sdio				0x0000_0000																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										mii_usb1_rgmii_sdio					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name				Description																									
[3:0]	RW		mii_usb1_rgmii_sdio				MII1_RXDV 管脚的具体复用情况。 0000: MII1_RXDV; 0001: GPIO9_4; 0010: USB1_OVRCUR; 0101: RGMII_CRSDV; 0111: SDIO_CCMD_ODPULLUP_EN_N;																									



			其它：保留。
--	--	--	--------

mii1_gpio_usb0_mii2_sdio

MII1_CRS、MII1_COL 管脚复用控制寄存器。

Offset Address				Register Name																Total Reset Value												
0x0058				mii1_gpio_usb0_mii2_sdio																0x0000_0000												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												mii1_gpio_usb0_ mii2_sdio			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits		Access		Name		Description																										
[3:0]		RW		mii1_gpio_usb0_mii2_sdio		<div>MII1_CRS 管脚的具体复用情况。</div> <div>0000: MII1_CRS;</div> <div>0001: GPIO9_5;</div> <div>0010: USB0_PWREN;</div> <div>0110: MII2_CRS;</div> <div>0111: SDIO_CARD_POWER_EN;</div> <div>其它：保留。</div> <div>MII1_COL 管脚的具体复用情况。</div> <div>0000: MII1_COL;</div> <div>0001: GPIO9_6;</div> <div>0010: USB0_OVRCUR;</div> <div>0110: MII2_COL;</div> <div>0111: SDIO_CARD_DETECT;</div> <div>其它：保留。</div>																										

mii1_gpio_pwm1_i2c0_rgmii_sdio

MII1_RXD3 管脚复用控制寄存器。



Offset Address				Register Name				Total Reset Value																								
0x005C				mii1_gpio_pwm1_i2c0_rgmii_sdio				0x0000_0000																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										mii1_gpio_pwm1_i2c0_rgmii_sdio					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name				Description																									
[3:0]	RW		mii1_gpio_pwm1_i2c0_rgmii_sdio				MII1_RXD3 管脚的具体复用情况。 0000: MII1_RXD3; 0001: GPIO9_7; 0010: PWM_OUT1; 0011: I2C0_SDA; 0101: RGMII_RXD3; 0111: SDIO_CDATA4; 其它: 保留。																									

mii1_gpio_pwm2_i2c0_rgmii_sdio

MII1_RXD2 管脚复用控制寄存器。

Offset Address								Register Name								Total Reset Value																
0x0060								mii1_gpio_pwm2_i2c0_rgmii_sdio								0x0000_0000																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												mii1_gpio_pwm2_i2c0_rgmii_sdio			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Bits	Access				Name				Description																							
[3:0]	RW				mii1_gpio_pwm2_i2c0_rgmii_sdio				MII1_RXD2 管脚的具体复用情况。 0000: MII1_RXD2; 0001: GPIO10_0; 0010: PWM_OUT2; 0011: I2C0_SCL;																							



			0101: RGMII_RXD2; 0111: SDIO_CDATA5; 其它: 保留。
--	--	--	--

mii1_gpio_rgmii_sdio

MII1_RXD0、MII1_RXD1 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																								
0x0064				mii1_gpiio_rgmii_sdio				0x0000_0000																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												mii1_gpiio_rg mii_sdio			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Bits		Access		Name		Description																										
[3:0]		RW		mii1_gpiio_rgmii_sdio		MII1_RXD0 管脚的具体复用情况。 0000: MII1_RXD0; 0001: GPIO5_2; 0101: RGMII_RXD0; 0111: SDIO_CDATA6; 其它: 保留。 MII1_RXD1 管脚的具体复用情况。 0000: MII1_RXD1; 0001: GPIO5_4; 0101: RGMII_RXD1; 0111: SDIO_CDATA7; 其它: 保留。																										

mii1_rmii1_rgmii_rmii_sdio

MII1_RXCK 管脚复用控制寄存器。



Offset Address				Register Name								Total Reset Value																						
0x0068				mii1_rmii1_rgmii_rmii_sdio								0x0000_0000																						
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Name	reserved																												mii1_rmii1_rgmii_rmii_sdio					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
Bits	Access		Name				Description																											
[3:0]	RW		mii1_rmii1_rgmii_rmii_sdio				MII1_RXCK 管脚的具体复用情况。 0000: MII1_RXCK; 0001: ETH1_REFCLK; 0010: GPIO9_0; 0101: RGMII_RXCK; 0110: ETH2_REFCLK; 0111: SDIO_CWPR; 其它: 保留。																											

mdck_gpio

MDCK 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																								
0x006C				mdck_gpio				0x0000_0000																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										mdck_gpio					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name				Description																									
[1:0]	RW		mdck_gpio				MDCK 管脚的具体复用情况。 00: MDCK; 01: NF_BLKSIZE; 10: GPIO10_7; 其它: 保留。																									



mdio_gpio

MDIO 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																													
0x0070				mdio_gpio				0x0000_0000																													
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
Name	reserved																															mdio_gpio					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0					
	Bits	Access		Name			Description																														
	[0]	RW		mdio_gpio			MDIO 管脚的具体复用情况。 0: MDIO; 1: GPIO11_0。																														

led_gpio_spi

LED_DATA、LED_CLK 管脚复用控制寄存器。

Offset Address				Register Name								Total Reset Value																				
0x0074				led_gpio_spi								0x0000_0000																				
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												led_gpio_spi			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Bits	Access		Name		Description																											
[1:0]	RW		led_gpio_spi		LED_DATA 管脚的具体复用情况。 00: GPIO5_0; 01: LED_DATA; 10: SPI_SDO; 11: SELF_BOOT。 LED_CLK 管脚的具体复用情况。 00: GPIO5_1; 01: LED_CLK; 10: SPI_SCLK;																											



			11: ROMBOOT_SEL。
--	--	--	------------------

led_gpio_sata0_hcken

LED_CSN2 管脚复用控制寄存器。

Offset Address								Register Name								Total Reset Value																
0x0078								led_gpio_sata0_hcken								0x0000_0000																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															led_gpio_sata0_hcken
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name				Description																									
[1:0]	RW		led_gpio_sata0_hcken				LED_CSN2 管脚的具体复用情况。 00: GPIO5_2; 01: LED_CSN2; 10: SATA_LED0_N; 其他: 保留。																									

led_gpio_spi_pcken

LED_CSN1 管脚复用控制寄存器。

Offset Address								Register Name								Total Reset Value																
0x007C								led_gpio_spi_pcken								0x0000_0000																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															led_gpio_spi_pcken
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Bits	Access		Name		Description																											
[1:0]	RW		led_gpio_spi_pcken		LED_CSN1 管脚的具体复用情况。 00: GPIO5_3; 01: LED_CSN1;																											



			10: SPI_SDI; 其他: 保留。
--	--	--	-------------------------

led_gpio_ir

LED_CSN3 管脚复用控制寄存器。

Offset Address				Register Name								Total Reset Value																				
0x0080				led_gpio_ir								0x0000_0000																				
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															led_gpio_ir
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Bits	Access	Name		Description																												
[1:0]	RW	led_gpio_ir		LED_CSN3 管脚的具体复用情况。 00: GPIO5_4; 01: LED_CSN3; 10: IR_IN; 其它: 保留。																												

led_gpio_spi_armen

LED_CSN0 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																								
0x0084				led_gpio_spi_armen				0x0000_0000																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												led_gpio_spi_armen			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access		Name				Description																								
	[1:0]	RW		led_gpio_spi_armen				LED_CSN0 管脚的具体复用情况。 00: GPIO5_5;																								



			01: LED_CSN0; 10: SPI_CSN0; 其他: 保留。
--	--	--	---

key_gpio

LED_KEY1 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																									
0x0088				key_gpio				0x0000_0000																									
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name	reserved																																key_gpio
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Bits	Access		Name			Description																											
[0]	RW		key_gpio			LED_KEY1 管脚的具体复用情况。 0: GPIO5_6; 1: LED_KEY1。																											

key_gpio_pcie0

LED_KEY0 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																								
0x008C				key_gpio_pcie0				0x0000_0000																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												key_gpio_pcie0			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access		Name				Description																								
	[1:0]	RW		key_gpio_pcie0				LED_KEY0 管脚的具体复用情况。 00: GPIO5_7; 01: LED_KEY0;																								



			10: PCIE0_WAKUPN_IN; 其它: 保留。
--	--	--	---------------------------------

pwroff_gpio

STANDBY_PWROFF 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																									
0x0090				pwroff_gpio				0x0000_0000																									
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name	reserved																											pwroff_gpio					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
Bits	Access		Name				Description																										
[1:0]	RW		pwroff_gpio				STANDBY_PWROFF 管脚的具体复用情况。 00: GPIO9_4; 01: STANDBY_PWROFF; 10: GPIO5_2; 其它: 保留。																										

ir_gpio

IR_IN 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																								
0x0094				ir_gpio				0x0000_0000																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												ir_gpio			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name				Description																									
[0]	RW		ir_gpio				IR_IN 管脚的具体复用情况。 0: IR_IN; 1: GPIO5_4。																									



sim0_gpio_lcd_vo1120

SIM0_PWREN 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																								
0x0098				sim0_gpio_lcd_vo1120				0x0000_0000																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												sim0_gpio_lcd_vo1120			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name				Description																									
[1:0]	RW		sim0_gpio_lcd_vo1120				SIM0_PWREN 管脚的具体复用情况。 00: GPIO9_5; 01: SIM0_PWREN; 10: LCD_CK; 11: VOU1120_CLK。																									

sim0_gpio_lcd_vo

SIM0_CLK、SIM0_RST、SIM0_DATA、SIM0_DET 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																								
0x009C				sim0_gpio_lcd_vo				0x0000_0000																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												sim0_gpio_lcd_vo			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name				Description																									
[1:0]	RW		sim0_gpio_lcd_vo				SIM0_CLK 管脚的具体复用情况。 00: GPIO9_6; 01: SIM0_CLK; 10: LCD_R0; 11: VO_DAT0。																									



			<div>SIM0_RST 管脚的具体复用情况。 00: GPIO9_7; 01: SIM0_RST; 10: LCD_R1; 11: VO_DAT1。 SIM0_DATA 管脚的具体复用情况。 00: GPIO10_0; 01: SIM0_DATA; 10: LCD_R2; 11: VO_DAT2。 SIM0_DET 管脚的具体复用情况。 00: GPIO10_1; 01: SIM0_DET; 10: LCD_R3; 11: VO_DAT3。</div>
--	--	--	--

sim1_gpio_lcd_vo

SIM1_PWREN 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																								
0x00A0				sim1_gpio_lcd_vo				0x0000_0000																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												sim1_gpio_lcd_vo			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name				Description																									
[1:0]	RW		sim1_gpio_lcd_vo				SIM1_PWREN 管脚的具体复用情况。 00: GPIO10_2; 01: SIM1_PWREN; 10: LCD_R5; 11: VO_DAT5。																									



sim1_gpio_lcd_vo_i2c

SIM1_CLK 管脚复用控制寄存器。

Offset Address				Register Name								Total Reset Value																				
0x00A4				sim1_gpio_lcd_vo_i2c								0x0000_0000																				
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												sim1_gpio_lcd_vo_i2c			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Bits	Access		Name		Description																											
[2:0]	RW		sim1_gpio_lcd_vo_i2c		SIM1_CLK 管脚的具体复用情况。 000: GPIO10_3; 001: SIM1_CLK; 010: LCD_R4; 011: VO_DAT4; 101: I2C2_SCL; 其它: 保留。																											

sim1_gpio_lcd_vo_cec_sata0

SIM1_RST 管脚复用控制寄存器。

Offset Address				Register Name								Total Reset Value																				
0x00A8				sim1_gpio_lcd_vo_cec_sata0								0x0000_0000																				
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												sim1_gpio_lcd_vo_ccec_sata0			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access			Name			Description																									
[2:0]	RW			sim1_gpio_lcd_vo_ccec_sata0			SIM1_RST 管脚的具体复用情况。 000: GPIO10_4; 001: SIM1_RST; 010: LCD_R6;																									



			011: VO_DAT6; 100: HDMI_CEC; 101: SATA_LED0_N; 其它: 保留。
--	--	--	---

sim1_gpio_lcd_vo_hot_i2c

SIM1_DATA 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																								
0x00AC				sim1_gpio_lcd_vo_hot_i2c				0x0000_0000																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												sim1_gpio_lcd_vo_hot_i2c			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[2:0]	RW		sim1_gpio_lcd_vo_hot_i2c		SIM1_DATA 管脚的具体复用情况。 000: GPIO10_5; 001: SIM1_DATA; 010: LCD_R7; 011: VO_DAT7; 100: HDMI_HOTPLUG; 101: I2C2_SDA; 其它: 保留。																											

sim1_gpio_lcd_vo1120

SIM1_DET 管脚复用控制寄存器。



Offset Address				Register Name				Total Reset Value																												
0x00B0				sim1_gpio_lcd_vo1120				0x0000_0000																												
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																												sim1_gpio_lcd_vo1120							
Reset	0				0				0				0				0				0				0				0				0			
Bits		Access		Name				Description																												
[2:0]		RW		sim1_gpio_lcd_vo1120				SIM1_DET 管脚的具体复用情况。 000: GPIO10_6; 001: SIM1_DET; 010: LCD_G0; 011: VOU1120_Y7; 100: VOU1120_C7; 其它: 保留。																												

ebiadr_gpio_lcd_vo1120_wait

EBI_ADR16 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																								
0x00B4				ebiadr_gpio_lcd_vo1120_wait				0x0000_0000																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												ebiadr_gpio_lcd_vo1120_wait			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits		Access		Name				Description																								
[2:0]		RW		ebiadr_gpio_lcd_vo1120_wait				EBI_ADR16 管脚的具体复用情况。 000: EBI_ADR16; 001: GPIO11_7; 010: LCD_G3; 011: VOU1120_Y4; 100: VOU1120_C4; 101: EBI_SMWAIT;																								



			其它：保留。
--	--	--	--------

ebidq_gpio_sata0_pcie

EBI_DQ15 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																									
0x00B8				ebidq_gpio_sata0_pcie				0x0000_0000																									
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name	reserved																											ebidq_gpio_ sata0_pcie					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
Bits	Access		Name				Description																										
[1:0]	RW		ebidq_gpio_sata0_pcie				EBI_DQ15 管脚的具体复用情况。 00: EBI_DQ15; 01: GPIO6_7; 10: SATA_LED0_N; 11: PCIE_REFCLK。																										

ebidq_gpio_pciepwr

EBI_DQ14 管脚复用控制寄存器。

Offset Address																Register Name																Total Reset Value															
0x00BC																ebidq_gpio_pciepwr																0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0															
Name	reserved																															ebidq_gpio_pciepwr															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0															
Bits	Access				Name								Description																																		
[1:0]	RW				ebidq_gpio_pciepwr								EBI_DQ14 管脚的具体复用情况。 00: EBI_DQ14; 01: GPIO6_6; 11: PCIE0_PWREN;																																		



			其他：保留。
--	--	--	--------

ebidq_gpio_pciehot

EBI_DQ13 管脚复用控制寄存器。

Offset Address																Register Name																Total Reset Value															
0x00C0																ebidq_gpio_pciehot																0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0															
Name	reserved																															ebidq_gpio_pciehot															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0															
Bits	Access				Name				Description																																						
[1:0]	RW				ebidq_gpio_pciehot				EBI_DQ13 管脚的具体复用情况。 00: EBI_DQ13; 01: GPIO6_5; 11: PCIE0_PRSENTN; 其他: 保留。																																						

ebidq_gpio_pciwak_pciwakin

EBI_DQ12 管脚复用控制寄存器。

Offset Address								Register Name								Total Reset Value																
0x00C4								ebidq_gpio_pciwak_pciwakin								0x0000_0000																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												ebidq_gpio_pciwak_pciwakin			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name			Description																										
[2:0]	RW		ebidq_gpio_pciwak_pciwakin			EBI_DQ12 管脚的具体复用情况。 000: EBI_DQ12; 001: GPIO6_4; 011: PCIE0_WAKUPN;																										



			100: PCIE0_WAKUPN_IN; 其它: 保留。
--	--	--	----------------------------------

ebidq_gpio_pcieres

EBI_DQ11 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																								
0x00C8				ebidq_gpio_pcieres				0x0000_0000																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												ebidq_gpio_ pcieres			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Access		Name				Description																								
	[1:0]	RW		ebidq_gpio_pcieres				EBI_DQ11 管脚的具体复用情况。 00: EBI_DQ11; 01: GPIO6_3; 11: PCIE0_RESETN; 其他: 保留。																								

ebidq_gpio_pciealt

EBI_DQ10 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																								
0x00CC				ebidq_gpio_pciealt				0x0000_0000																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												ebidq_gpio_pciealt			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name				Description																									
[1:0]	RW		ebidq_gpio_pciealt				EBI_DQ10 管脚的具体复用情况。 00: EBI_DQ10; 01: GPIO6_2;																									



			11: PCIE0_ALTLED; 其他: 保留。
--	--	--	------------------------------

ebidq_gpio_pciepwrlcd

EBI_DQ9 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																										
0x00D0				ebidq_gpio_pciepwrlcd				0x0000_0000																										
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Name	reserved																												ebidq_gpio_pciepwrlcd					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
Bits	Access		Name				Description																											
[1:0]	RW		ebidq_gpio_pciepwrlcd				EBI_DQ9 管脚的具体复用情况。 00: EBI_DQ9; 01: GPIO6_1; 11: PCIE0_PWRLED; 其他: 保留。																											

ebidq_gpio_pciebut

EBI_DQ8 管脚复用控制寄存器。

Offset Address				Register Name								Total Reset Value																				
0x00D4				ebidq_gpio_pciebut								0x0000_0000																				
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												ebidq_gpio_pciebut			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Bits	Access		Name				Description																									
[1:0]	RW		ebidq_gpio_pciebut				EBI_DQ8 管脚的具体复用情况。 00: EBI_DQ8; 01: GPIO6_0;																									



			11: PCIE0_BUTTON; 其他: 保留。
--	--	--	------------------------------

ebiadr_gpio_lcd_vo1120

EBI_ADR0、EBI_ADR13、EBI_ADR12、EBI_ADR11、EBI_ADR10、EBI_ADR4、EBI_ADR5、EBI_ADR6、EBI_WEN、EBI_ADR8、EBI_ADR9 管脚复用控制寄存器。

Offset Address																Register Name																Total Reset Value															
0x00D8																ebiadr_gpio_lcd_vo1120																0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0															
Name	reserved																																ebiadr_gpio_lcd_vo1120														
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0															
Bits		Access		Name				Description																																							
[2:0]		RW		ebiadr_gpio_lcd_vo1120				EBI_ADR0 管脚的具体复用情况。 000: EBI_ADR0; 001: GPIO3_6; 010: LCD_G2; 011: VOU1120_Y5; 100: VOU1120_C5; 其它: 保留。 EBI_ADR13 管脚的具体复用情况。 000: EBI_ADR13; 001: GPIO11_4; 010: LCD_B2; 011: VOU1120_C5; 100: VOU1120_Y5; 其它: 保留。 EBI_ADR12 管脚的具体复用情况。 000: EBI_ADR12; 001: GPIO11_2; 010: LCD_B4; 011: VOU1120_C3; 100: VOU1120_Y3; 其它: 保留。																																							



		<p>EBI_ADR11 管脚的具体复用情况。</p> <p>000: EBI_ADR11; 001: GPIO11_1; 010: LCD_G6; 011: VOU1120_Y1; 100: VOU1120_C1; 其它: 保留。</p> <p>EBI_ADR10 管脚的具体复用情况。</p> <p>000: EBI_ADR10; 001: GPIO3_1; 010: LCD_B0; 011: VOU1120_C7; 100: VOU1120_Y7; 其它: 保留。</p> <p>EBI_ADR4 管脚的具体复用情况。</p> <p>000: EBI_ADR4; 001: GPIO7_2; 010: LCD_B7; 011: VOU1120_C0; 100: VOU1120_Y0; 其它: 保留。</p> <p>EBI_ADR5 管脚的具体复用情况。</p> <p>000: EBI_ADR5; 001: GPIO7_3; 010: LCD_B5; 011: VOU1120_C2; 100: VOU1120_Y2; 其它: 保留。</p> <p>EBI_ADR6 管脚的具体复用情况。</p> <p>000: EBI_ADR6; 001: GPIO7_4; 010: LCD_B6; 011: VOU1120_C1; 100: VOU1120_Y1; 其它: 保留。</p> <p>EBI_WEN 管脚的具体复用情况。</p> <p>000: EBI_WEN;</p>
--	--	---



			001: GPIO3_5; 010: LCD_G5; 011: VOU1120_Y2; 100: VOU1120_C2; 其它: 保留。 EBI_ADR8 管脚的具体复用情况。 000: EBI_ADR8; 001: GPIO2_7; 010: LCD_B1; 011: VOU1120_C6; 100: VOU1120_Y6; 其它: 保留。 EBI_ADR9 管脚的具体复用情况。 000: EBI_ADR9; 001: GPIO3_0; 010: LCD_G7; 011: VOU1120_Y0; 100: VOU1120_C0; 其它: 保留。
--	--	--	--

ebicsn0_gpio_lcd_vo1120

EBI_CSN0 管脚复用控制寄存器。

Offset Address																Register Name																Total Reset Value															
0x00DC																ebicsn0_gpio_lcd_vo1120																0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0															
Name	reserved																														ebicsn0_gpio_lcd_vo1120																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0															
Bits	Access				Name								Description																																		
[2:0]	RW				ebicsn0_gpio_lcd_vo1120								EBI_CSN0 管脚的具体复用情况。 000: EBI_CSN0; 001: GPIO3_2; 010: LCD_G4; 011: VOU1120_Y3;																																		



		100: VOU1120_C3; 其它: 保留。
--	--	-----------------------------

ebicsn1_gpio

EBI_CSN1 管脚复用控制寄存器。

Offset Address				Register Name								Total Reset Value																									
0x00E0				ebicsn1_gpio								0x0000_0000																									
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
Name	reserved																															ebicsn1_gpio					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0					
Bits	Access		Name				Description																														
[0]	RW		ebicsn1_gpio				EBI_CSN1 管脚的具体复用情况。 0: EBI_CSN1; 1: GPIO3_3。																														

gpio_ebioen_lcd_vo1120

EBI_OEN 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																								
0x00E4				gpio_ebioen_lcd_vo1120				0x0000_0000																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												gpio_ebioen_lcd_vo1120			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name				Description																									
[2:0]	RW		gpio_ebioen_lcd_vo1120				EBI_OEN 管脚的具体复用情况。 000: EBI_OEN; 001: GPIO3_4; 010: LCD_G1;																									



			011: VOU1120_Y6; 100: VOU1120_C6; 其它: 保留。
--	--	--	---

ebidq_gpio_sdio0

EBI_DQ0 管脚复用控制寄存器。

Offset Address																Register Name																Total Reset Value															
0x00E8																ebidq_gpio_sdio0																0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0															
Name	reserved																																ebidq_gpio_ sdio0														
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0															
Bits	Access				Name				Description																																						
[1:0]	RW				ebidq_gpio_sdio0				EBI_DQ0 管脚的具体复用情况。 00: EBI_DQ0; 01: GPIO4_0; 10: SDIO_CDATA0; 其它: 保留。																																						

ebidq_gpio_sdio1

EBI_DQ1 管脚复用控制寄存器。

Offset Address								Register Name								Total Reset Value																			
0x00EC								ebidq_gpio_sdio1								0x0000_0000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
Name	reserved																														ebidq_gpio_sdio1				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits		Access		Name				Description																											
[1:0]		RW		ebidq_gpio_sdio1				EBI_DQ1 管脚的具体复用情况。 00: EBI_DQ1;																											



			01: GPIO4_1; 10: SDIO_CDATA1; 其它: 保留。
--	--	--	---

ebidq_gpio_sdio2

EBI_DQ2 管脚复用控制寄存器。

Offset Address																Register Name																Total Reset Value															
0x00F0																ebidq_gpio_sdio2																0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0															
Name	reserved																															ebidq_gpio_ sdio2															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0															
Bits	Access				Name				Description																																						
[1:0]	RW				ebidq_gpio_sdio2				EBI_DQ2 管脚的具体复用情况。 00: EBI_DQ2; 01: GPIO4_2; 10: SDIO_CDATA2; 其它: 保留。																																						

ebidq_gpio_sdio3

EBI_DQ3 管脚复用控制寄存器。

Offset Address																Register Name																Total Reset Value															
0x00F4																ebidq_gpio_sdio3																0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0															
Name	reserved																															ebidq_gpio_sdio3															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0															
Bits	Access				Name								Description																																		
[1:0]	RW				ebidq_gpio_sdio3								EBI_DQ3 管脚的具体复用情况。 00: EBI_DQ3;																																		



			01: GPIO4_3; 10: SDIO_CDATA3; 其它: 保留。
--	--	--	---

ebidq_gpio_sdio4

EBI_DQ4 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																									
0x00F8				ebidq_gpio_sdio4				0x0000_0000																									
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name	reserved																											ebidq_gpio_ sdio4					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
Bits	Access		Name				Description																										
[1:0]	RW		ebidq_gpio_sdio4				EBI_DQ4 管脚的具体复用情况。 00: EBI_DQ4; 01: GPIO4_4; 10: SDIO_CDATA4; 其它: 保留。																										

ebidq_gpio_sdio5

EBI_DQ5 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																								
0x00FC				ebidq_gpio_sdio5				0x0000_0000																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												ebidq_gpio_sdio5			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name				Description																									
[1:0]	RW		ebidq_gpio_sdio5				EBI_DQ5 管脚的具体复用情况。 00: EBI_DQ5;																									



			01: GPIO4_5; 10: SDIO_CDATAB5; 其它: 保留。
--	--	--	--

ebidq_gpio_sdio6

EBI_DQ6 管脚复用控制寄存器。

Offset Address																Register Name																Total Reset Value															
0x0100																ebidq_gpio_sdio6																0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0															
Name	reserved																																ebidq_gpio_ sdio6														
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0															
Bits	Access				Name				Description																																						
[1:0]	RW				ebidq_gpio_sdio6				EBI_DQ6 管脚的具体复用情况。 00: EBI_DQ6; 01: GPIO4_6; 10: SDIO_CDATAB6; 其它: 保留。																																						

ebidq_gpio_sdio7

EBI_DQ7 管脚复用控制寄存器。

Offset Address																Register Name																Total Reset Value															
0x0104																ebidq_gpio_sdio7																0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0															
Name	reserved																																ebidq_gpio_ sdio7														
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0															
Bits	Access				Name								Description																																		
[1:0]	RW				ebidq_gpio_sdio7								EBI_DQ7 管脚的具体复用情况。 00: EBI_DQ7;																																		



			01: GPIO4_7; 10: SDIO_CDATA7; 其它: 保留。
--	--	--	---

nf_sdio

NF_RDY0、NF_REN、NF_CSN0、NF_CLE、NF_ALE、NF_WEN 管脚复用控制寄存器。

Offset Address																Register Name																Total Reset Value															
0x0108																nf_sdio																0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0															
Name	reserved																															nf_sdio															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0															
Bits		Access		Name		Description																																									
[1:0]		RW		nf_sdio		NF_RDY0 管脚的具体复用情况。 00: NF_RDY0; 10: SDIO_CARD_DETECT; 其它: 保留。 NF_REN 管脚的具体复用情况。 00: NF_REN; 10: SDIO_CARD_POWER_EN; 其它: 保留。 NF_CSN0 管脚的具体复用情况。 00: NF_CSN0; 10: SDIO_CCMD_ODPULLUP_EN_N; 其它: 保留。 NF_CLE 管脚的具体复用情况。 00: NF_CLE; 01: BOOT_SEL0; 10: SDIO_CWPR; 其它: 保留。 NF_ALE 管脚的具体复用情况。 00: NF_ALE; 01: BOOT_SEL1;																																									



			10: SDIO_CCMD; 其它: 保留。 NF_WEN 管脚的具体复用情况。 00: NF_WEN; 01: NF_BOOTBW; 10: SDIO_CCLK_OUT; 其它: 保留。
--	--	--	--

nf_i2c3_sata0

NF_RDY1 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																								
0x010C				nf_i2c3_sata0				0x0000_0000																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												nf_i2c3_sat a0			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	Bits	Access		Name				Description																								
	[1:0]	RW		nf_i2c3_sata0				NF_RDY1 管脚的具体复用情况。 00: NF_RDY1; 01: I2C3_SDA; 10: SATA_LED0_N; 其它：保留。																								

nf_i2c3

NF_CSN1 管脚复用控制寄存器。



Offset Address								Register Name								Total Reset Value																				
0x0110								nf_i2c3								0x0000_0000																				
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
Name	reserved																																nf_i2c3			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Access		Name		Description																															
[0]	RW		nf_i2c3		NF_CSN1 管脚的具体复用情况。 0: NF_CSN1; 1: I2C3_SCL。																															

det_ebiadr_lcd_vo1120_gpio

EBI_ADR15 管脚复用控制寄存器。

Offset Address																Register Name																Total Reset Value															
0x0114																det_ebiadr_lcd_vol120_gpio																0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0															
Name	reserved																																det_ebiadr_lcd_vol120_gpio														
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0															
Bits	Access				Name								Description																																		
[2:0]	RW				det_ebiadr_lcd_vol120_gpio								EBI_ADR15 管脚的具体复用情况。 001: EBI_ADR15; 010: LCD_B3; 011: VOU1120_C4; 100: VOU1120_Y4; 101: GPIO11_6; 其它: 保留。																																		

det_ebiadr_lcd_gpio

EBI_ADR14 管脚复用控制寄存器。



Offset Address				Register Name				Total Reset Value																								
0x0118				det_ebiadr_lcd_gpio				0x0000_0000																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										det_ebiadr_lcd_gpio					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name				Description																									
[2:0]	RW		det_ebiadr_lcd_gpio				EBI_ADR14 管脚的具体复用情况。 001: EBI_ADR14; 010: LCD_HS; 101: GPIO11_5; 其它: 保留。																									

ebiadr_gpio_lcd_vo

EBI_ADR1 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																									
0x011C				ebiadr_gpio_lcd_vo				0x0000_0000																									
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name	reserved																											ebiadr_gpio_lcd_vo					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
Bits	Access		Name				Description																										
[1:0]	RW		ebiadr_gpio_lcd_vo				EBI_ADR1 管脚的具体复用情况。 00: EBI_ADR1; 01: GPIO3_7; 10: LCD_CB; 11: VO_CK。																										

ebiadr_gpio_pwm0

EBI_ADR2 管脚复用控制寄存器。



Offset Address																Register Name																Total Reset Value															
0x0120																ebiadr_gpio_pwm0																0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0															
Name	reserved																																ebiadr_gpio_pwm0														
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0															
Bits	Access				Name								Description																																		
[1:0]	RW				ebiadr_gpio_pwm0								EBI_ADR2 管脚的具体复用情况。 00: EBI_ADR2; 01: GPIO7_0; 10: PWM_OUT0; 其它: 保留。																																		

ebiadr_gpio

EBI_ADR3 管脚复用控制寄存器。

Offset Address				Register Name								Total Reset Value																									
0x0124				ebiadr_gpio								0x0000_0000																									
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
Name	reserved																															ebiadr_gpio					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0						
Bits	Access		Name				Description																														
[0]	RW		ebiadr_gpio				EBI_ADR3 管脚的具体复用情况。 0: EBI_ADR3; 1: GPIO7_1。																														

ebiadr_gpio_lcd

EBI_ADR7 管脚复用控制寄存器。



Offset Address																Register Name																Total Reset Value															
0x0128																ebiadr_gpio_lcd																0x0000_0000															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0															
Name	reserved																															ebiadr_gpio_lcd															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0															
	Bits	Access		Name		Description																																									
	[1:0]	RW		ebiadr_gpio_lcd		EBI_ADR7 管脚的具体复用情况。 00: EBI_ADR7; 01: GPIO7_5; 10: LCD_VS; 其它: 保留。																																									

sfc_gpio_sata_pciclk_hdmiclk

SFC_DIO 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																										
0x012C				sfc_gpio_sata_pciclk_hdmiclk				0x0000_0000																										
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Name	reserved																												sfc_gpio_sata_pciclk_hdmiclk					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
Bits	Access		Name				Description																											
[2:0]	RW		sfc_gpio_sata_pciclk_hdmiclk				SFC_DIO 管脚的具体复用情况。 000: SFC_DIO; 001: GPIO12_0; 其它: 保留。																											

sfc_gpio_hdmiclk

SFC_WP_IO2、SFC_DOI 管脚复用控制寄存器。



Offset Address				Register Name				Total Reset Value																								
0x0130				sfc_gpio_hdmiclk				0x0000_0000																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										sfc_gpio_hdmiclk					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	Bits	Access		Name				Description																								
	[2:0]	RW		sfc_gpio_hdmiclk				SFC_WP_IO2 管脚的具体复用情况。 000: SFC_WP_IO2; 001: GPIO12_1; 其它: 保留。 SFC_DOI 管脚的具体复用情况。 000: SFC_DOI; 001: GPIO12_3; 其它: 保留。																								

sfc_gpio_sata_pci_usbclk

SFC_CLK 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																								
0x0134				sfc_gpio_sata_pci_usbclk				0x0000_0000																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												sfc_gpio_sata_		pci_usbclk	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	Bits	Access		Name				Description																								
	[2:0]	RW		sfc_gpio_sata_pci_				SFC_CLK 管脚的具体复用情况。 000: SFC_CLK; 001: GPIO12_2; 其它: 保留。																								



sfc_gpio_sataclk

SFC_HOLD_IO3 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																										
0x0138				sfc_gpio_sataclk				0x0000_0000																										
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Name	reserved																												sfc_gpio_sataclk					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
Bits	Access		Name				Description																											
[1:0]	RW		sfc_gpio_sataclk				SFC_HOLD_IO3 管脚的具体复用情况。 00: SFC_HOLD_IO3; 01: GPIO12_4; 其它: 保留。																											

sfc_cs0_gpio

SFC_CS0N 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																													
0x013C				sfc_cs0_gpio				0x0000_0000																													
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
Name	reserved																															sfc_cs0_gpio					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0					
Bits	Access		Name				Description																														
[0]	RW		sfc_cs0_gpio				SFC_CS0N 管脚的具体复用情况。 0: SFC_CS0N; 1: GPIO12_5。																														

sfc_cs1_gpio

SFC_CS1N 管脚复用控制寄存器。



Offset Address				Register Name								Total Reset Value																				
0x0140				sfc_cs1_gpio								0x0000_0000																				
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															sfc_cs1_gpio
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Bits	Access		Name			Description																										
[0]	RW		sfc_cs1_gpio			SFC_CS1N 管脚的具体复用情况。 0: SFC_CS1N; 1: GPIO12_6。																										

i2c0_gpio_qam

QAM_SDA、QAM_SCL 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																								
0x0144				i2c0_gpio_qam				0x0000_0000																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																															i2c0_gpio_qam
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[1:0]	RW		i2c0_gpio_qam		QAM_SDA 管脚的具体复用情况。 00: GPIO11_1; 01: QAM_SDA; 10: I2C0_SDA; 其它: 保留。 QAM_SCL 管脚的具体复用情况。 00: GPIO11_2; 01: QAM_SCL; 10: I2C0_SCL; 其它: 保留。																											



qamagc0_gpio_uart3

QAM_AGC0 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																										
0x0148				qamagc0_gpio_uart3				0x0000_0000																										
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Name	reserved																												qamagc0_g pio_uart3					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
Bits	Access		Name				Description																											
[1:0]	RW		qamagc0_gpio_uart3				QAM_AGC0 管脚的具体复用情况。 00: GPIO11_3; 01: QAM_AGC0; 10: UART3_RXD; 其它: 保留。																											

qamagc1_gpio_uart3

QAM_AGC1 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																								
0x014C				qamagc1_gpio_uart3				0x0000_0000																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												qamagc1_g pio_uart3			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Bits	Access		Name		Description																											
[1:0]	RW		qamagc1_gpio_uart3		QAM_AGC1 管脚的具体复用情况。 00: GPIO11_4; 01: QAM_AGC1; 10: UART3_TXD; 其它: 保留。																											



tsi0_vi0_tsi1_gpio_ao

TSI0_D0、TSI0_D1、TSI0_D2、TSI0_D3 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value					
0x0150		tsi0_vi0_tsi1_gpio_ao		0x0000_0000					
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0	
Name	reserved								tsi0_vi0_tsi1_gpio_ao
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	
Bits	Access	Name	Description						
[2:0]	RW	tsi0_vi0_tsi1_gpio_ao	TSI0_D0 管脚的具体复用情况。						
			000: TSI0_D0;						
			001: VIU0_DAT0;						
			010: TSI1_D7;						
			011: GPIO11_5;						
			100: AO_FSCLK;						
			101: TSO_D0;						
			其它: 保留。						
			TSI0_D1 管脚的具体复用情况。						
			000: TSI0_D1;						
			001: VIU0_DAT1;						
			010: TSI1_VALID;						
			011: GPIO11_6;						
			100: AO_BCLK;						
			101: TSO_VALID;						
			其它: 保留。						
			TSI0_D2 管脚的具体复用情况。						
			000: TSI0_D2;						
			001: VIU0_DAT2;						
			010: TSI1_CLK;						
			011: GPIO11_7;						
			100: AO_MCLK;						
			101: TSO_CLK;						
			其它: 保留。						
			TSI0_D3 管脚的具体复用情况。						
			000: TSI0_D3;						



			001: VIU0_DAT3; 010: TSI1_SYNC; 011: GPIO12_0; 100: AO_DOUT0; 101: TSO_SYNC; 其它: 保留。
--	--	--	---

tsi0_vi0_gpio_ao

TSI0_D4、TSI0_D5、TSI0_D6 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																								
0x0154				tsi0_vi0_gpio_ao				0x0000_0000																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												tsi0_vi0_gpio_ao			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Bits	Access		Name		Description																											
[2:0]	RW		tsi0_vi0_gpio_ao		TSI0_D4 管脚的具体复用情况。 000: TSI0_D4; 001: VIU0_DAT4; 011: GPIO12_1; 100: AO_DOUT1; 其它: 保留。 TSI0_D5 管脚的具体复用情况。 000: TSI0_D5; 001: VIU0_DAT5; 011: GPIO12_2; 100: AO_DOUT2; 其它: 保留。 TSI0_D6 管脚的具体复用情况。 000: TSI0_D6; 001: VIU0_DAT6; 011: GPIO12_3; 100: AO_DOUT3; 其它: 保留。																											



tsi0_vi0_gpio

TSI0_D7、TSI0_VALID、TSI0_SYNC 管脚复用控制寄存器。

Offset Address								Register Name								Total Reset Value																	
0x0158								tsi0_vi0_gpio								0x0000_0000																	
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name	reserved																												tsi0_vi0_gpi	0			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Bits		Access		Name		Description																											
[1:0]		RW		tsi0_vi0_gpio		<div>TSI0_D7 管脚的具体复用情况。</div> <div>00: TSI0_D7;</div> <div>01: VIU0_DAT7;</div> <div>11: GPIO12_4;</div> <div>其他: 保留。</div> <div>TSI0_VALID 管脚的具体复用情况。</div> <div>00: TSI0_VALID;</div> <div>01: VIU0_VS;</div> <div>11: GPIO12_5;</div> <div>其他: 保留。</div> <div>TSI0_SYNC 管脚的具体复用情况。</div> <div>00: TSI0_SYNC;</div> <div>01: VIU0_HS;</div> <div>11: GPIO12_7;</div> <div>其他: 保留。</div>																											

tsi0_vi0_gpio_ad

TSI0_CLK 管脚复用控制寄存器。



Offset Address				Register Name				Total Reset Value																									
0x015C				tsi0_vi0_gpio_ad				0x0000_0000																									
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Name	reserved																											tsi0_vi0_gpio_ad					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
Bits	Access		Name				Description																										
[2:0]	RW		tsi0_vi0_gpio_ad				TSI0_CLK 管脚的具体复用情况。 000: TSI0_CLK; 001: VIU0_CLK; 011: GPIO12_6; 其它: 保留。																										

tsi1_vi1_tso

TSI1_D0、TSI1_D1、TSI1_D2、TSI1_D3、TSI1_D4、TSI1_D5、TSI1_D6、TSI1_D7、TSI1_VALID、TSI1_CLK、TSI1_SYNC 管脚复用控制寄存器。

Offset Address				Register Name				Total Reset Value																								
0x0160				tsi1_vil_tso				0x0000_0000																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																												tsi1_vil_tso			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name				Description																									
[1:0]	RW		tsi1_vil_tso				TSI1_D0 管脚的具体复用情况。 00: TSI1_D0; 01: VIU1_DAT0; 10: TSO_D0; 11: GPIO8_2。 TSI1_D1 管脚的具体复用情况。 00: TSI1_D1; 01: VIU1_DAT1; 10: TSO_D1;																									



		<p>11: GPIO8_3。 TSI1_D2 管脚的具体复用情况。 00: TSI1_D2; 01: VIU1_DAT2; 10: TSO_D2; 11: GPIO8_4。 TSI1_D3 管脚的具体复用情况。 00: TSI1_D3; 01: VIU1_DAT3; 10: TSO_D3; 11: GPIO8_5。 TSI1_D4 管脚的具体复用情况。 00: TSI1_D4; 01: VIU1_DAT4; 10: TSO_D4; 11: GPIO8_6。 TSI1_D5 管脚的具体复用情况。 00: TSI1_D5; 01: VIU1_DAT5; 10: TSO_D5; 11: GPIO8_7。 TSI1_D6 管脚的具体复用情况。 00: TSI1_D6; 01: VIU1_DAT6; 10: TSO_D6; 11: GPIO2_0。 TSI1_D7 管脚的具体复用情况。 00: TSI1_D7; 01: VIU1_DAT7; 10: TSO_D7; 11: GPIO2_1。 TSI1_VALID 管脚的具体复用情况。 00: TSI1_VALID; 01: VIU1_VS; 10: TSO_VALID; 11: GPIO2_2。 TSI1_CLK 管脚的具体复用情况。 00: TSI1_CLK;</p>
--	--	--



			01: VIU1_CLK; 10: TSO_CLK; 11: GPIO2_4。 TSI1_SYNC 管脚的具体复用情况。 00: TSI1_SYNC; 01: VIU1_HS; 10: TSO_SYNC; 11: GPIO2_5。
--	--	--	--

1.5 软件复用管脚描述

1.5.1 SIO

SIO0

SIO0 的软件复用管脚如表 1-44 所示。

表1-44 SIO0 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复 用 信 号 1	复用信号 2	复用信号 3	复用信号 4
AU16	SIO0_MCLK	sio0_gpio_vga0vs_ao_ao	GPIO0_3	LCD_VS	AO_MCLK	AIO_MCLK
AT16	SIO0_BCLK	sio0_gpio_ao_ao	GPIO0_4	AO_BCLK	AIO_BCLK	-
AR16	SIO0_FSYNC	sio0_gpio_ao_ao	GPIO0_5	AO_FSCLK	AIO_FSCLK	-
AT15	SIO0_DOUT	sio0_gpio_ao_ao	GPIO0_6	AO_DOUT0	AIO_DOUT	-
AR15	SIO0_DIN	sio0_gpio_ao_ao	GPIO0_7	AO_DOUT1	AIO_DIN	-

SIO0 的软件复用管脚如表 1-45 所示。

表1-45 SIO0 的软件复用管脚描述

信号名	方向	说明
AIO_BCLK	O	AIO 接口位流时钟
AIO_DIN	I	AIO 接口数据输入
AIO_DOUT	O	AIO 数据输出。



信号名	方向	说明
AIO_FSCLK	O	AIO 发送端左右声道选择信号
AIO_MCLK	O	AIO 接口主时钟，可以作为音频 CODEC 的工作时钟(低端 CODEC)
AO_BCLK	O	AO 接口位流时钟
AO_DOUT0	O	AO 接口 7.1 声道数据输出。
AO_DOUT1	O	AO 接口 7.1 声道数据输出。
AO_FSCLK	O	AO 发送端左右声道选择信号
AO_MCLK	O	AO 接口主时钟，可以作为音频 CODEC 的工作时钟(低端 DAC)
GPIO0_3	I/O	通用输入输出
GPIO0_4	I/O	通用输入输出
GPIO0_5	I/O	通用输入输出
GPIO0_6	I/O	通用输入输出
GPIO0_7	I/O	通用输入输出
LCD_VS	O	LCD 垂直同步信号，或 VGA0 输出的垂直同步信号

SIO2

SIO2 的软件复用管脚如表 1-46 所示。

表1-46 SIO2 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2
AT19	SIO2_BCLK	sio2_gpio_hdmihot	GPIO2_3	HDMI_HOTPLUG
AV20	SIO2_DIN	sio2_gpio_hdmicec	GPIO2_6	HDMI_CEC

SIO2 的软件复用管脚如表 1-47 所示。

表1-47 SIO2 的软件复用管脚描述

信号名	方向	说明
GPIO2_3	I/O	通用输入输出
GPIO2_6	I/O	通用输入输出



信号名	方向	说明
HDMI_CEC	I/O	HDMI 接口的控制通道信号
HDMI_HOTPLUG	I	HDMI 接口的热插拔信号

1.5.2 SPI

SPI 的软件复用管脚如表 1-48 所示。

表1-48 SPI 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2	复用信号 3
AT18	SPI_SCLK	spi_gpio	GPIO1_0	-	-
AR18	SPI_SDO	spi_gpio_i2c3_ao	GPIO1_1	I2C3_SCL	AO_DOUT2
AV17	SPI_SDI	spi_gpio_i2c3_ao	GPIO1_2	I2C3_SDA	AO_DOUT3
AU17	SPI_CSN0	spi_gpio	GPIO1_3	-	-
AV16	SPI_CSN1	spi_gpio15_vga0hs	GPIO1_4	LCD_HS	-

SPI 的软件复用管脚如表 1-49 所示。

表1-49 SPI 的软件复用管脚描述

信号名	方向	说明
AO_DOUT2	O	AO 接口 7.1 声道数据输出。
AO_DOUT3	O	AO 接口 7.1 声道数据输出。
GPIO1_0	I/O	通用输入输出
GPIO1_1	I/O	通用输入输出
GPIO1_2	I/O	通用输入输出
GPIO1_3	I/O	通用输入输出
GPIO1_4	I/O	通用输入输出
I2C3_SCL	I/O	I2C3 总线时钟，OD 输出
I2C3_SDA	I/O	I2C3 总线数据/地址，OD 输出
LCD_HS	O	LCD 水平同步信号，或 VGA0 输出的水平同步信号



1.5.3 SPDIF

SPDIF 的软件复用管脚如表 1-50 所示。

表1-50 SPDIF 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2
AU7	SPDIF_OUT	spdif_gpio	GPIO2_7	JTAG_SEL

SPDIF 的软件复用管脚如表 1-51 所示。

表1-51 SPDIF 的软件复用管脚描述

信号名	方向	说明
GPIO2_7	I/O	通用输入输出
JTAG_SEL	I	开机后 JTAG 口配置选择 0: 配置为 SOC JTAG 1: 配置为 ARM JTAG

1.5.4 I2C

I2C0

I2C0 的软件复用管脚如表 1-52 所示。

表1-52 I2C0 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2
AL1	QAM_SDA	i2c0_gpio_qam	GPIO11_1	I2C0_SDA
AL2	QAM_SCL	i2c0_gpio_qam	GPIO11_2	I2C0_SCL

I2C0 的软件复用管脚如表 1-53 所示。

表1-53 I2C0 的软件复用管脚描述

信号名	方向	说明
GPIO11_1	I/O	通用输入输出



GPIO11_2	I/O	通用输入输出
I2C0_SCL	I/O	I2C0 总线时钟，OD 输出
I2C0_SDA	I/O	I2C0 总线数据/地址，OD 输出

I2C1

I2C1 的软件复用管脚如表 1-54 所示。

表1-54 I2C1 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2
AU19	HDMI_SDA	i2c1_gpio_hdmi	GPIO3_0	I2C1_SDA
AV19	HDMI_SCL	i2c1_gpio_hdmi	GPIO3_1	I2C1_SCL

I2C1 的软件复用管脚如表 1-55 所示。

表1-55 I2C1 的软件复用管脚描述

信号名	方向	说明
GPIO3_0	I/O	通用输入输出
GPIO3_1	I/O	通用输入输出
I2C1_SCL	I/O	I2C1 总线时钟，OD 输出
I2C1_SDA	I/O	I2C1 总线数据/地址，OD 输出

1.5.5 UART

UART0

UART0 的软件复用管脚如表 1-56 所示。

表1-56 UART0 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1
AU25	UART0_RXD	uart0_gpio	GPIO3_0
AV25	UART0_TXD	uart0_gpio	GPIO3_1



UART0 的软件复用管脚如表 1-57 所示。

表1-57 UART0 的软件复用管脚描述

信号名	方向	说明
GPIO3_0	I/O	通用输入输出
GPIO3_1	I/O	通用输入输出

UART1

UART1 的软件复用管脚如表 1-58 所示。

表1-58 UART1 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2	复用信号 3
AT25	UART1_RTSN	uart1_gpio_usb1_i2c1	GPIO7_6	USB1_PWREN	I2C1_SDA
AU26	UART1_RXD	uart1_gpio_usb0	GPIO7_7	USB0_PWREN	-
AT26	UART1_CTSN	uart1_gpio_usb1_i2c1	GPIO8_0	USB1_OVRCUR	I2C1_SCL
AV26	UART1_TXD	uart1_gpio_usb0	GPIO8_1	USB0_OVRCUR	-

UART1 的软件复用管脚如表 1-59 所示。

表1-59 UART1 的软件复用管脚描述

信号名	方向	说明
GPIO7_6	I/O	通用输入输出
GPIO7_7	I/O	通用输入输出
GPIO8_0	I/O	通用输入输出
GPIO8_1	I/O	通用输入输出
I2C1_SCL	I/O	I2C1 总线时钟，OD 输出
I2C1_SDA	I/O	I2C1 总线数据/地址，OD 输出
USB0_OVRCUR	I	USB 端口 0 的端口过流指示信号，高低电平可配，默认为高电平有效



信号名	方向	说明
USB0_PWREN	O	USB 端口 0 电源控制输出管脚，高低电平可配，默认为高电平有效
USB1_OVRCUR	I	USB 端口 1 的端口过流指示信号，高低电平可配，默认为高电平有效
USB1_PWREN	O	USB 端口 1 电源控制输出管脚，高低电平可配，默认为高电平有效

1.5.6 SF

MII0/RMII0

MII0/RMII0 的软件复用管脚如表 1-60 所示。

表1-60 MII0/RMII0 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2	复用信号 3
AT37	MII0_TXD1	det_nf_mii0_gpio	-	NF_ADNUM	GPIO0_0
AR36	MII0_TXD0	det_nf_mii0_gpio	-	NF_PAGE0	GPIO0_1
AR37	MII0_TXEN	mii0_nf_gpio	NF_PAGE1	GPIO0_2	-
AR38	MII0_RXDV	mii0_gpio	GPIO1_5	-	-
AP38	MII0_RXD1	mii0_gpio	GPIO1_6	-	-
AP37	MII0_RXD0	mii0_gpio	GPIO1_7	-	-
AP36	MII0_RXCK	mii0_rmii0	ETH0_REFCLK	GPIO5_4	-

MII0/RMII0 的软件复用管脚如表 1-61 所示。

表1-61 MII0/RMII0 的软件复用管脚描述

信号名	方向	说明
ETH0_REFCLK	I/O	RMII0 接口的参考时钟
GPIO0_0	I/O	通用输入输出
GPIO0_1	I/O	通用输入输出
GPIO0_2	I/O	通用输入输出



信号名	方向	说明
GPIO1_5	I/O	通用输入输出
GPIO1_6	I/O	通用输入输出
GPIO1_7	I/O	通用输入输出
GPIO5_4	I/O	通用输入输出
NF_ADNUM	I	发给 NANDFlash 器件的地址数目，只在上电的瞬间有效：NF_ADNUM+4,默认是 5 个地址
NF_PAGE0	I	boot 时，NandFlash 器件的 page 容量。 00: 512byte; 01: 2KB; 10: 4KB; 11: 8KB。
NF_PAGE1	I	

MII1

MII1 的软件复用管脚如表 1-62 所示。

表1-62 MII1 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2	复用信号 3	复用信号 4	复用信号 5	复用信号 6
AU34	MII1_TX CK	miil_gpio_pwm0_pll0_rgmii_mii2_sdio	GPIO9_1	PWM_OUT0	-	RGMII_TXCK	MII2_TX CK	SDIO_CLK_OUT
AT32	MII1_TX D3	miil_gpio_usb1_pll1_rgmii_sdio	GPIO9_2	USB1_P WREN	-	RGMII_TXD3	SDIO_DATA0	-
AV32	MII1_TX D2	miil_gpio_usb1_pll2_rgmii_sdio	GPIO9_3	USB1_O VRCUR	-	RGMII_TXD2	SDIO_DATA1	-
AT30	MII1_CRS	miil_gpio_usb0_mii2_sdio	GPIO9_5	USB0_P WREN	MII2_CRS	SDIO_CARD_POWER_EN	-	-
AR30	MII1_COLL	miil_gpio_usb0_mii2_sdio	GPIO9_6	USB0_O VRCUR	MII2_COLL	SDIO_CARD_DETECT	-	-
AU36	MII1_RX D3	miil_gpio_pwm1_i2c0_rgmii_sdio	GPIO9_7	PWM_UT1	I2C0_SDA	RGMII_RXD3	SDIO_DATA4	-



Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2	复用信号 3	复用信号 4	复用信号 5	复用信号 6
AU35	MII1_RXD2	mii1_gpio_pwm2_i2c0_rgmii_sdio	GPIO10_0	PWM_OUT2	I2C0_SCL	RGMII_RXD2	SDIO_CDATA5	-

MII1 的软件复用管脚如表 1-63 所示。

表1-63 MII1 的软件复用管脚描述

信号名	方向	说明
GPIO10_0	I/O	通用输入输出
GPIO9_1	I/O	通用输入输出
GPIO9_2	I/O	通用输入输出
GPIO9_3	I/O	通用输入输出
GPIO9_5	I/O	通用输入输出
GPIO9_6	I/O	通用输入输出
GPIO9_7	I/O	通用输入输出
I2C0_SCL	I/O	I2C0 总线时钟，OD 输出
I2C0_SDA	I/O	I2C0 总线数据/地址，OD 输出
MII2_COL	I	MII2 碰撞指示信号
MII2_CRS	I	MII2 载波侦听信号
MII2_TXCK	I	MII2 接口发送时钟
PWM_OUT0	O	PWM 输出
PWM_OUT1	O	PWM 输出
PWM_OUT2	O	PWM 输出
RGMII_RXD2	I	RGMII 接口接收的数据，或 MII2 接收数据
RGMII_RXD3	I	RGMII 接口接收的数据，或 MII2 接收数据
RGMII_TXCK	O	RGMII 发送时钟，双沿有效
RGMII_TXD2	O	RGMII 接口发送数据，或 MII2 发送数据
RGMII_TXD3	O	RGMII 接口发送数据，或 MII2 发送数据
SDIO_CARD_DETECT	I	卡检查信号，低电平有效



信号名	方向	说明
SDIO_CARD_POWER_EN	O	电源使能控制信号，为 1 时 power on
SDIO_CCLK_OUT	O	输出给卡使用的工作时钟
SDIO_CDATA0	I/O	卡数据
SDIO_CDATA1	I/O	卡数据
SDIO_CDATA4	I/O	卡数据
SDIO_CDATA5	I/O	卡数据
USB0_OVRCUR	I	USB 端口 0 的端口过流指示信号，高低电平可配，默认为高电平有效
USB0_PWREN	O	USB 端口 0 电源控制输出管脚，高低电平可配，默认为高电平有效
USB1_OVRCUR	I	USB 端口 1 的端口过流指示信号，高低电平可配，默认为高电平有效
USB1_PWREN	O	USB 端口 1 电源控制输出管脚，高低电平可配，默认为高电平有效

MII1/RMII1

MII1/RMII1 的软件复用管脚如表 1-64 所示。

表1-64 MII1/RMII1 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2	复用信号 3	复用信号 4	复用信号 5	复用信号 6	复用信号 7
AU32	MII1_TXD1	det_nf_usb 0_pll_mii_ gpio_rgmii_ _sdio	-	NFC_E CC_TY PE0	USB0_P WREN	-	RGMII_ TXD1	GPIO1_5	SDIO_C DATA2
AT33	MII1_TXD0	det_nf_usb 0_pll_mii_ gpio_rgmii_ _sdio	-	NFC_E CC_TY PE1	USB0_ OVRCU R	-	RGMII_ TXD0	GPIO1_6	SDIO_C DATA3
AT34	MII1_TXEN	mii_usb1_p ll_gpio_rg mii_sdio	NFC_E CC_TY PE2	USB1_ PWRE N	-	RGMII_ _TXEN	GPIO1_ 7	SDIO_C CMD	-



Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2	复用信号 3	复用信号 4	复用信号 5	复用信号 6	复用信号 7
AV34	MII1_RXDV	mii_usb1_rgmii_sdio	GPIO9_4	USB1_OVRCUR	RGMII_CRSDV	SDIO_CCMD_ODPULLUP_EN_N	-	-	-
AT35	MII1_RXD0	mii1_gpiio_rgmii_sdio	GPIO5_2	RGMII_RXD0	SDIO_CDATA6	-	-	-	-
AV35	MII1_RXD1	mii1_gpiio_rgmii_sdio	GPIO5_4	RGMII_RXD1	SDIO_CDATA7	-	-	-	-
AT36	MII1_RXCLK	mii1_rmii1_rgmii_rmii_sdio	ETH1_REFCLK	GPIO9_0	RGMII_RXCK	ETH2_REFCLK	SDIO_CWPR	-	-

MII1/RMII1 的软件复用管脚如表 1-65 所示。

表1-65 MII1/RMII1 的软件复用管脚描述

信号名	方向	说明
ETH1_REFCLK	I/O	RMII1 接口的参考时钟
ETH2_REFCLK	I/O	RMII2 接口的参考时钟
GPIO1_5	I/O	通用输入输出
GPIO1_6	I/O	通用输入输出
GPIO1_7	I/O	通用输入输出
GPIO5_2	I/O	通用输入输出
GPIO5_4	I/O	通用输入输出
GPIO9_0	I/O	通用输入输出
GPIO9_4	I/O	通用输入输出
NFC_ECC_TYPE0	I	boot 时，选择 ECC 模式。 000：无 ECC。 001：1bit 模式。 010：4bits 模式。 100：24bits 模式 for 1KB。 其他：保留。
NFC_ECC_TYPE1	I	
NFC_ECC_TYPE2	I	



信号名	方向	说明
RGMII_CRSDV	I	RGMII 接口的载波侦听信号和接收使能信号，或 RMII2 接口的载波侦听信号和接收使能信号
RGMII_RXCK	I	RGMII1 接口接收时钟，双沿有效，或 MII2_RXCK
RGMII_RXD0	I	RGMII 接口接收的数据，或 MII2 接收数据，或 RMII2 接口接收的数据
RGMII_RXD1	I	RGMII 接口接收的数据，或 MII2 接收数据，或 RMII2 接口接收的数据
RGMII_TXD0	O	RGMII 接口发送数据，或 MII2 发送数据，或 RMII2 接口发送数据
RGMII_TXD1	O	RGMII 接口发送数据，或 MII2 发送数据，或 RMII2 接口发送数据
RGMII_TXEN	O	RGMII 接口发送数据使能，或 MII2 接口发送数据使能，或 RMII2 接口发送数据使能
SDIO_CCMD	I/O	卡命令
SDIO_CCMD_ODPULLUP_EN_N	O	卡命令 OD 模式选择
SDIO_CDATA2	I/O	卡数据
SDIO_CDATA3	I/O	卡数据
SDIO_CDATA6	I/O	卡数据
SDIO_CDATA7	I/O	卡数据
SDIO_CWPR	I	卡写保护检测信号
USB0_OVRCUR	I	USB 端口 0 的端口过流指示信号，高低电平可配，默认为高电平有效
USB0_PWREN	O	USB 端口 0 电源控制输出管脚，高低电平可配，默认为高电平有效
USB1_OVRCUR	I	USB 端口 1 的端口过流指示信号，高低电平可配，默认为高电平有效
USB1_PWREN	O	USB 端口 1 电源控制输出管脚，高低电平可配，默认为高电平有效



1.5.7 MDX

MDX 的软件复用管脚如表 1-66 所示。

表1-66 MDX 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2
AV37	MDCK	mdck_gpio	NF_BLKSIZE	GPIO10_7
AU38	MDIO	mdio_gpio	GPIO11_0	-

MDX 的软件复用管脚如表 1-67 所示。

表1-67 MDX 的软件复用管脚描述

信号名	方向	说明
GPIO10_7	I/O	通用输入输出
GPIO11_0	I/O	通用输入输出
NF_BLKSIZE	I	boot 时，NandFlash 器件的 block 容量。 0: 64 page, 对应 SLC 器件; 1: 128 page, 对应 MLC 器件;

1.5.8 LED

LED 的软件复用管脚如表 1-68 所示。

表1-68 LED 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2	复用信号 3
C9	LED_DATA	led_gpio_spi	GPIO5_0	SPI_SDO	SELF_BOOT
D9	LED_CLK	led_gpio_spi	GPIO5_1	SPI_SCLK	ROMBOOT_SEL
B11	LED_CSN2	led_gpio_sata0_hcken	GPIO5_2	SATA_LED0_N	-
A10	LED_CSN1	led_gpio_spi_pcken	GPIO5_3	SPI_SDI	-
A11	LED_CSN3	led_gpio_ir	GPIO5_4	IR_IN	-
B10	LED_CSN0	led_gpio_spi_armen	GPIO5_5	SPI_CSN0	-
D8	LED_KEY1	key_gpio	GPIO5_6	-	-



Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2	复用信号 3
C8	LED_KEY0	key_gpio_pcie0	GPIO5_7	PCIE0_WAKUPN_IN	-

LED 的软件复用管脚如[表 1-69](#) 所示。

表1-69 LED 的软件复用管脚描述

信号名	方向	说明
GPIO5_0	I/O	通用输入输出
GPIO5_1	I/O	通用输入输出
GPIO5_2	I/O	通用输入输出
GPIO5_3	I/O	通用输入输出
GPIO5_4	I/O	通用输入输出
GPIO5_5	I/O	通用输入输出
GPIO5_6	I/O	通用输入输出
GPIO5_7	I/O	通用输入输出
IR_IN	I	红外输入
PCIE0_WAKUPN_IN	I	作为 RC 的时候，是 PCIE0 链接唤醒信号，低电平有效
ROMBOOT_SEL	I	选择是否从 ROM 启动： 0：从 ROM 中启动 1：不从 ROM 启动，直接从 FLASH 中启动
SATA_LED0_N	O	SATA 硬盘指示灯，低有效
SELF_BOOT	I	选择是否启动自举： 0：不自举，启动后直接跳转到 FLASH 中执行 1：启动自举，启动后运行 bootrom 中的 UART 驱动，等待从串口下载程序
SPI_CSN0	O	SPI 的片选 0 输出
SPI_SCLK	O	SPI 时钟信号
SPI_SDI	I	SPI 数据输入
SPI_SDO	O	SPI 数据输出



1.5.9 SYS

SYS 的软件复用管脚如表 1-70 所示。

表1-70 SYS 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2
C12	STANDBY_PWROFF	pwroff_gpio	GPIO9_4	GPIO5_2

SYS 的软件复用管脚如表 1-71 所示。

表1-71 SYS 的软件复用管脚描述

信号名	方向	说明
GPIO5_2	I/O	通用输入输出
GPIO9_4	I/O	通用输入输出

1.5.10 IR

IR 的软件复用管脚如表 1-72 所示。

表1-72 IR 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1
C11	IR_IN	ir_gpio	GPIO5_4

IR 的软件复用管脚如表 1-73 所示。

表1-73 IR 的软件复用管脚描述

信号名	方向	说明
GPIO5_4	I/O	通用输入输出

1.5.11 SIM

SIM0

SIM0 的软件复用管脚如表 1-74 所示。



表1-74 SIM0 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2	复用信号 3
K3	SIM0_PWREN	sim0_gpio_lcd_vo1120	GPIO9_5	LCD_CK	VOU1120_CLK
K4	SIM0_CLK	sim0_gpio_lcd_vo	GPIO9_6	LCD_R0	VO_DAT0
J3	SIM0_RST	sim0_gpio_lcd_vo	GPIO9_7	LCD_R1	VO_DAT1
J4	SIM0_DATA	sim0_gpio_lcd_vo	GPIO10_0	LCD_R2	VO_DAT2
H3	SIM0_DET	sim0_gpio_lcd_vo	GPIO10_1	LCD_R3	VO_DAT3

SIM0 的软件复用管脚如表 1-75 所示。

表1-75 SIM0 的软件复用管脚描述

信号名	方向	说明
GPIO10_0	I/O	通用输入输出
GPIO10_1	I/O	通用输入输出
GPIO9_5	I/O	通用输入输出
GPIO9_6	I/O	通用输入输出
GPIO9_7	I/O	通用输入输出
LCD_CK	O	LCD 接口时钟管脚
LCD_R0	O	LCD R 分量数据比特 0
LCD_R1	O	LCD R 分量数据比特 1
LCD_R2	O	LCD R 分量数据比特 2
LCD_R3	O	LCD R 分量数据比特 3
VO_DAT0	O	BT.656 数据信号输出
VO_DAT1	O	BT.656 数据信号输出
VO_DAT2	O	BT.656 数据信号输出
VO_DAT3	O	BT.656 数据信号输出
VOU1120_CLK	O	BT.1120 接口时钟输出



SIM1

SIM1 的软件复用管脚如表 1-76 所示。

表1-76 SIM1 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2	复用信号 3	复用信号 4	复用信号 5
H2	SIM1_PWREN	sim1_gpio_lcd_vo	GPIO10_2	LCD_R5	VO_DAT5	-	-
H1	SIM1_CLK	sim1_gpio_lcd_vo_i2c	GPIO10_3	LCD_R4	VO_DAT4	I2C2_SCL	-
G1	SIM1_RST	sim1_gpio_lcd_vo_cec_sata0	GPIO10_4	LCD_R6	VO_DAT6	HDMI_CEC	SATA_LED0_N
G2	SIM1_DATA	sim1_gpio_lcd_vo_hot_i2c	GPIO10_5	LCD_R7	VO_DAT7	HDMI_HOTPLUG	I2C2_SDA
G3	SIM1_DET	sim1_gpio_lcd_vo1120	GPIO10_6	LCD_G0	VOU1120_Y7	VOU1120_C7	-

SIM1 的软件复用管脚如表 1-77 所示。

表1-77 SIM1 的软件复用管脚描述

信号名	方向	说明
GPIO10_2	I/O	通用输入输出
GPIO10_3	I/O	通用输入输出
GPIO10_4	I/O	通用输入输出
GPIO10_5	I/O	通用输入输出
GPIO10_6	I/O	通用输入输出
HDMI_CEC	I/O	HDMI 接口的控制通道信号
HDMI_HOTPLUG	I	HDMI 接口的热插拔信号
I2C2_SCL	I/O	I2C2 总线时钟，OD 输出
I2C2_SDA	I/O	I2C2 总线数据/地址，OD 输出
LCD_G0	O	LCD G 分量数据比特 0
LCD_R4	O	LCD R 分量数据比特 4
LCD_R5	O	LCD R 分量数据比特 5
LCD_R6	O	LCD R 分量数据比特 6



信号名	方向	说明
LCD_R7	O	LCD R 分量数据比特 7
SATA_LED0_N	O	SATA 硬盘指示灯，低有效
VO_DAT4	O	BT.656 数据信号输出
VO_DAT5	O	BT.656 数据信号输出
VO_DAT6	O	BT.656 数据信号输出
VO_DAT7	O	BT.656 数据信号输出
VOU1120_C7	O	BT.1120 接口的色度信号输出
VOU1120_Y7	O	BT.1120 接口的亮度信号输出

1.5.12 EBI

EBI 的软件复用管脚如表 1-78 所示。

表1-78 EBI 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2	复用信号 3	复用信号 4	复用信号 5
E3	EBI_ADR16	ebiadr_gpio_lcd_vo1120_wait	GPIO11_7	LCD_G3	VOU1120_Y4	VOU1120_C4	EBI_SMW AIT
R4	EBI_DQ15	ebidq_gpio_sata0_pcie	GPIO6_7	SATA_LED0_N	PCIE_REF CLK	-	-
T2	EBI_DQ14	ebidq_gpio_pciepwr	GPIO6_6	PCIE0_PWREN	-	-	-
R3	EBI_DQ13	ebidq_gpio_pciehot	GPIO6_5	PCIE0_PR SNTN	-	-	-
T4	EBI_DQ12	ebidq_gpio_pciewak_pciewake_in	GPIO6_4	PCIE0_WAKUPN	PCIE0_WAKUPN_IN	-	-
T3	EBI_DQ11	ebidq_gpio_pcieeres	GPIO6_3	PCIE0_RE SETN	-	-	-
U2	EBI_DQ10	ebidq_gpio_pciealt	GPIO6_2	PCIE0_AL TLED	-	-	-
T1	EBI_DQ9	ebidq_gpio_pciepwrled	GPIO6_1	PCIE0_PW RLED	-	-	-
U1	EBI_DQ8	ebidq_gpio_pciebut	GPIO6_0	PCIE0_BU TTON	-	-	-



Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2	复用信号 3	复用信号 4	复用信号 5
E4	EBI_ADR0	ebiadr_gpio_lcd_vo1120	GPIO3_6	LCD_G2	VOU1120_Y5	VOU1120_C5	-
E1	EBI_CSN0	ebicsn0_gpio_lcd_vo1120	GPIO3_2	LCD_G4	VOU1120_Y3	VOU1120_C3	-
D5	EBI_CSN1	ebicsn1_gpio	GPIO3_3	-	-	-	-
D4	EBI_OEN	gpio_ebioen_lcd_vo1120	GPIO3_4	LCD_G1	VOU1120_Y6	VOU1120_C6	-
Y1	EBI_DQ0	ebidq_gpio_sdio0	GPIO4_0	SDIO_CD ATA0	-	-	-
Y2	EBI_DQ1	ebidq_gpio_sdio1	GPIO4_1	SDIO_CD ATA1	-	-	-
W1	EBI_DQ2	ebidq_gpio_sdio2	GPIO4_2	SDIO_CD ATA2	-	-	-
W2	EBI_DQ3	ebidq_gpio_sdio3	GPIO4_3	SDIO_CD ATA3	-	-	-
W3	EBI_DQ4	ebidq_gpio_sdio4	GPIO4_4	SDIO_CD ATA4	-	-	-
W4	EBI_DQ5	ebidq_gpio_sdio5	GPIO4_5	SDIO_CD ATA5	-	-	-
V3	EBI_DQ6	ebidq_gpio_sdio6	GPIO4_6	SDIO_CD ATA6	-	-	-
V4	EBI_DQ7	ebidq_gpio_sdio7	GPIO4_7	SDIO_CD ATA7	-	-	-
B2	EBI_ADR15	det_ebiadr_lcd_vo1120_gpio	-	LCD_B3	VOU1120_C4	VOU1120_Y4	GPIO11_6
B4	EBI_ADR14	det_ebiadr_lcd_gpio	-	LCD_HS	GPIO11_5	-	-
B1	EBI_ADR13	ebiadr_gpio_lcd_vo1120	GPIO11_4	LCD_B2	VOU1120_C5	VOU1120_Y5	-
A2	EBI_ADR12	ebiadr_gpio_lcd_vo1120	GPIO11_2	LCD_B4	VOU1120_C3	VOU1120_Y3	-
D1	EBI_ADR11	ebiadr_gpio_lcd_vo1120	GPIO11_1	LCD_G6	VOU1120_Y1	VOU1120_C1	-
D3	EBI_ADR10	ebiadr_gpio_lcd_vo1120	GPIO3_1	LCD_B0	VOU1120_C7	VOU1120_Y7	-
B5	EBI_ADR1	ebiadr_gpio_lcd_vo	GPIO3_7	LCD_CB	VO_CK	-	-



Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2	复用信号 3	复用信号 4	复用信号 5
A5	EBI_ADR2	ebiadr_gpio_pwm0	GPIO7_0	PWM_OUT0	-	-	-
C5	EBI_ADR3	ebiadr_gpio	GPIO7_1	-	-	-	-
C4	EBI_ADR4	ebiadr_gpio_lcd_vo1120	GPIO7_2	LCD_B7	VOU1120_C0	VOU1120_Y0	-
C3	EBI_ADR5	ebiadr_gpio_lcd_vo1120	GPIO7_3	LCD_B5	VOU1120_C2	VOU1120_Y2	-
B3	EBI_ADR6	ebiadr_gpio_lcd_vo1120	GPIO7_4	LCD_B6	VOU1120_C1	VOU1120_Y1	-
A4	EBI_ADR7	ebiadr_gpio_lcd	GPIO7_5	LCD_VS	-	-	-
E2	EBI_WEN	ebiadr_gpio_lcd_vo1120	GPIO3_5	LCD_G5	VOU1120_Y2	VOU1120_C2	-
C2	EBI_ADR8	ebiadr_gpio_lcd_vo1120	GPIO2_7	LCD_B1	VOU1120_C6	VOU1120_Y6	-
D2	EBI_ADR9	ebiadr_gpio_lcd_vo1120	GPIO3_0	LCD_G7	VOU1120_Y0	VOU1120_C0	-

EBI 的软件复用管脚如表 1-79 所示。

表1-79 EBI 的软件复用管脚描述

信号名	方向	说明
EBI_SMWAIT	I	EBI 接口的等待信号
GPIO11_1	I/O	通用输入输出
GPIO11_2	I/O	通用输入输出
GPIO11_4	I/O	通用输入输出
GPIO11_5	I/O	通用输入输出
GPIO11_6	I/O	通用输入输出
GPIO11_7	I/O	通用输入输出
GPIO2_7	I/O	通用输入输出
GPIO3_0	I/O	通用输入输出
GPIO3_1	I/O	通用输入输出
GPIO3_2	I/O	通用输入输出



信号名	方向	说明
GPIO3_3	I/O	通用输入输出
GPIO3_4	I/O	通用输入输出
GPIO3_5	I/O	通用输入输出
GPIO3_6	I/O	通用输入输出
GPIO3_7	I/O	通用输入输出
GPIO4_0	I/O	通用输入输出
GPIO4_1	I/O	通用输入输出
GPIO4_2	I/O	通用输入输出
GPIO4_3	I/O	通用输入输出
GPIO4_4	I/O	通用输入输出
GPIO4_5	I/O	通用输入输出
GPIO4_6	I/O	通用输入输出
GPIO4_7	I/O	通用输入输出
GPIO6_0	I/O	通用输入输出
GPIO6_1	I/O	通用输入输出
GPIO6_2	I/O	通用输入输出
GPIO6_3	I/O	通用输入输出
GPIO6_4	I/O	通用输入输出
GPIO6_5	I/O	通用输入输出
GPIO6_6	I/O	通用输入输出
GPIO6_7	I/O	通用输入输出
GPIO7_0	I/O	通用输入输出
GPIO7_1	I/O	通用输入输出
GPIO7_2	I/O	通用输入输出
GPIO7_3	I/O	通用输入输出
GPIO7_4	I/O	通用输入输出
GPIO7_5	I/O	通用输入输出
LCD_B0	O	LCD B 分量数据比特 0



信号名	方向	说明
LCD_B1	O	LCD B 分量数据比特 1
LCD_B2	O	LCD B 分量数据比特 2
LCD_B3	O	LCD B 分量数据比特 3
LCD_B4	O	LCD B 分量数据比特 4
LCD_B5	O	LCD B 分量数据比特 5
LCD_B6	O	LCD B 分量数据比特 6
LCD_B7	O	LCD B 分量数据比特 7
LCD_CB	O	LCD 数据有效信号
LCD_G1	O	LCD G 分量数据比特 1
LCD_G2	O	LCD G 分量数据比特 2
LCD_G3	O	LCD G 分量数据比特 3
LCD_G4	O	LCD G 分量数据比特 4
LCD_G5	O	LCD G 分量数据比特 5
LCD_G6	O	LCD G 分量数据比特 6
LCD_G7	O	LCD G 分量数据比特 7
LCD_HS	O	LCD 水平同步信号，或 VGA0 输出的水平同步信号
LCD_VS	O	LCD 垂直同步信号，或 VGA0 输出的垂直同步信号
PCIE_REFCLK	O	PCIE 的参考时钟输出，需要在片外连接差分时钟转换芯片
PCIE0_ALTLED	O	PCIE0 拔卡状态指示灯
PCIE0_BUTTON	I	PCIE0 拔出按键控制信号，低电平有效为低电平的时候，说明要执行拔卡操作
PCIE0_PRSENTN	I	PCIE0 热插拔检测信号，低电平有效为低电平的时候，说明 PCIE 插槽上有卡
PCIE0_PWREN	O	PCIE0 主电源供电控制信号，电平极性可配置，默认是低电平有效
PCIE0_PWRLED	O	PCIE0 电源状态指示灯
PCIE0_RESETN	O	PCIE0 复位控制信号，低电平有效



信号名	方向	说明
PCIE0_WAKUPN	O	作为 Endpoint 的时候，是 PCIE0 链接唤醒信号，OD 输出信号
PCIE0_WAKUPN_IN	I	作为 RC 的时候，是 PCIE0 链接唤醒信号，低电平有效
PWM_OUT0	O	PWM 输出
SATA_LED0_N	O	SATA 硬盘指示灯，低有效
SDIO_CDATA0	I/O	卡数据
SDIO_CDATA1	I/O	卡数据
SDIO_CDATA2	I/O	卡数据
SDIO_CDATA3	I/O	卡数据
SDIO_CDATA4	I/O	卡数据
SDIO_CDATA5	I/O	卡数据
SDIO_CDATA6	I/O	卡数据
SDIO_CDATA7	I/O	卡数据
VO_CK	O	BT.656 时钟信号输出,27MHz
VOU1120_C0	O	BT.1120 接口的色度信号输出
VOU1120_C0	O	BT.1120 接口的色度信号输出
VOU1120_C1	O	BT.1120 接口的色度信号输出
VOU1120_C1	O	BT.1120 接口的色度信号输出
VOU1120_C2	O	BT.1120 接口的色度信号输出
VOU1120_C2	O	BT.1120 接口的色度信号输出
VOU1120_C3	O	BT.1120 接口的色度信号输出
VOU1120_C3	O	BT.1120 接口的色度信号输出
VOU1120_C4	O	BT.1120 接口的色度信号输出
VOU1120_C4	O	BT.1120 接口的色度信号输出
VOU1120_C5	O	BT.1120 接口的色度信号输出
VOU1120_C5	O	BT.1120 接口的色度信号输出
VOU1120_C6	O	BT.1120 接口的色度信号输出
VOU1120_C6	O	BT.1120 接口的色度信号输出



信号名	方向	说明
VOU1120_C7	O	BT.1120 接口的色度信号输出
VOU1120_Y0	O	BT.1120 接口的亮度信号输出
VOU1120_Y0	O	BT.1120 接口的亮度信号输出
VOU1120_Y1	O	BT.1120 接口的亮度信号输出
VOU1120_Y1	O	BT.1120 接口的亮度信号输出
VOU1120_Y2	O	BT.1120 接口的亮度信号输出
VOU1120_Y2	O	BT.1120 接口的亮度信号输出
VOU1120_Y3	O	BT.1120 接口的亮度信号输出
VOU1120_Y3	O	BT.1120 接口的亮度信号输出
VOU1120_Y4	O	BT.1120 接口的亮度信号输出
VOU1120_Y4	O	BT.1120 接口的亮度信号输出
VOU1120_Y5	O	BT.1120 接口的亮度信号输出
VOU1120_Y5	O	BT.1120 接口的亮度信号输出
VOU1120_Y6	O	BT.1120 接口的亮度信号输出
VOU1120_Y6	O	BT.1120 接口的亮度信号输出
VOU1120_Y7	O	BT.1120 接口的亮度信号输出

1.5.13 NF

NF 的软件复用管脚如表 1-80 所示。

表1-80 NF 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2
AC2	NF_RDY0	nf_sdio	SDIO_CARD_DETECT	-
AC1	NF_RDY1	nf_i2c3_sata0	I2C3_SDA	SATA_LED0_N
AB1	NF_REN	nf_sdio	SDIO_CARD_POWER_EN	-
AB3	NF_CSN0	nf_sdio	SDIO_CCMD_ODPULLUP_EN_N	-
AB2	NF_CSN1	nf_i2c3	I2C3_SCL	-
AB4	NF_CLE	nf_sdio	BOOT_SEL0	SDIO_CWPR



Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2
AA4	NF_ALE	nf_sdio	BOOT_SEL1	SDIO_CCMD
AA3	NF_WEN	nf_sdio	NF_BOOTBW	SDIO_CCLK_OUT

NF 的软件复用管脚如[表 1-81](#) 所示。

表1-81 NF 的软件复用管脚描述

信号名	方向	说明
BOOT_SEL0	I	启动 memory 类型选择， {BOOTSEL1,BOOTSEL0}的关系是： 00: SPIflash 01: Nandflash 10: Norflash 11: EMMC
BOOT_SEL1	I	
I2C3_SCL	I/O	I2C3 总线时钟，OD 输出
I2C3_SDA	I/O	I2C3 总线数据/地址，OD 输出
NF_BOOTBW	I	Norflash/Nandflash/EMMC BOOT 的位宽选择，仅在上电的时候有效： 0: 16 位(Norflash)/8 位 (Nandflash)/4 位(EMMC) 1: 8 位 (Norflash) /16 位 (Nandflash)/8 位(EMMC)
SATA_LED0_N	O	SATA 硬盘指示灯，低有效
SDIO_CARD_DETECT	I	卡检查信号，低电平有效
SDIO_CARD_POWER_EN	O	电源使能控制信号，为 1 时 power on
SDIO_CCLK_OUT	O	输出给卡使用的工作时钟
SDIO_CCMD	I/O	卡命令
SDIO_CCMD_ODPULLUP_EN_N	O	卡命令 OD 模式选择
SDIO_CWPR	I	卡写保护检测信号

1.5.14 SFC

SFC 的软件复用管脚如[表 1-82](#) 所示。



表1-82 SFC 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2	复用信号 3	复用信号 4
AK3	SFC_DIO	sfc_gpio_sata_pcieclk_hdmiclk	GPIO12_0	-	-	-
AJ3	SFC_WP_IO2	sfc_gpio_hdmiclk	GPIO12_1	-	-	-
AJ4	SFC_CLK	sfc_gpio_sata_pci_usbclk	GPIO12_2	-	-	-
AH2	SFC_DOI	sfc_gpio_hdmiclk	GPIO12_3	-	-	-
AJ1	SFC_HOLD_IO3	sfc_gpio_sataclk	GPIO12_4	-	-	-
AH1	SFC_CS0N	sfc_cs0_gpio	GPIO12_5	-	-	-
AJ2	SFC_CS1N	sfc_cs1_gpio	GPIO12_6	-	-	-

SFC 的软件复用管脚如表 1-83 所示。

表1-83 SFC 的软件复用管脚描述

信号名	方向	说明
GPIO12_0	I/O	通用输入输出
GPIO12_1	I/O	通用输入输出
GPIO12_2	I/O	通用输入输出
GPIO12_3	I/O	通用输入输出
GPIO12_4	I/O	通用输入输出
GPIO12_5	I/O	通用输入输出
GPIO12_6	I/O	通用输入输出

1.5.15 QAM

QAM 的软件复用管脚如表 1-84 所示。

表1-84 QAM 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2
AN4	QAM_AGC0	qamagc0_gpio_uart3	GPIO11_3	UART3_RXD



Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2
AN3	QAM_AGC1	qamagc1_gpio_uart3	GPIO11_4	UART3_TXD

QAM 的软件复用管脚如表 1-85 所示。

表1-85 QAM 的软件复用管脚描述

信号名	方向	说明
GPIO11_3	I/O	通用输入输出
GPIO11_4	I/O	通用输入输出
UART3_RXD	I	UART3 数据接收
UART3_TXD	O	UART3 数据发送

1.5.16 TSI

TSI0

TSI0 的软件复用管脚如表 1-86 所示。

表1-86 TSI0 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2	复用信号 3	复用信号 4	复用信号 5
AP1	TSI0_D0	tsi0_vi0_tsi1_gpio_ao	VIU0_DAT0	TSI1_D7	GPIO11_5	AO_FSCLK	TSO_D0
AP2	TSI0_D1	tsi0_vi0_tsi1_gpio_ao	VIU0_DAT1	TSI1_VALID	GPIO11_6	AO_BCLK	TSO_VALID
AR1	TSI0_D2	tsi0_vi0_tsi1_gpio_ao	VIU0_DAT2	TSI1_CLK	GPIO11_7	AO_MCLK	TSO_CLK
AR2	TSI0_D3	tsi0_vi0_tsi1_gpio_ao	VIU0_DAT3	TSI1_SYNC	GPIO12_0	AO_DOUT0	TSO_SYNC
AR3	TSI0_D4	tsi0_vi0_gpio_ao	VIU0_DAT4	GPIO12_1	AO_DOUT1	-	-
AT2	TSI0_D5	tsi0_vi0_gpio_ao	VIU0_DAT5	GPIO12_2	AO_DOUT2	-	-
AU1	TSI0_D6	tsi0_vi0_gpio_ao	VIU0_DAT6	GPIO12_3	AO_DOUT3	-	-
AU2	TSI0_D7	tsi0_vi0_gpio	VIU0_DAT7	GPIO12_4	-	-	-



Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2	复用信号 3	复用信号 4	复用信号 5
AT3	TSI0_V ALID	tsi0_vi0_gpio	VIU0_VS	GPIO12_5	-	-	-
AV2	TSI0_C LK	tsi0_vi0_gpio_ad	VIU0_CLK	GPIO12_6		-	-
AU3	TSI0_S YNC	tsi0_vi0_gpio	VIU0_HS	GPIO12_7	-	-	-

TSI0 的软件复用管脚如表 1-87 所示。

表1-87 TSI0 的软件复用管脚描述

信号名	方向	说明
AO_BCLK	O	AO 接口位流时钟
AO_DOUT0	O	AO 接口 7.1 声道数据输出。
AO_DOUT1	O	AO 接口 7.1 声道数据输出。
AO_DOUT2	O	AO 接口 7.1 声道数据输出。
AO_DOUT3	O	AO 接口 7.1 声道数据输出。
AO_FSCLK	O	AO 发送端左右声道选择信号
AO_MCLK	O	AO 接口主时钟，可以作为音频 CODEC 的工作时钟(低端 DAC)
GPIO11_5	I/O	通用输入输出
GPIO11_6	I/O	通用输入输出
GPIO11_7	I/O	通用输入输出
GPIO12_0	I/O	通用输入输出
GPIO12_1	I/O	通用输入输出
GPIO12_2	I/O	通用输入输出
GPIO12_3	I/O	通用输入输出
GPIO12_4	I/O	通用输入输出
GPIO12_5	I/O	通用输入输出
GPIO12_6	I/O	通用输入输出
GPIO12_7	I/O	通用输入输出



信号名	方向	说明
TSI1_CLK	I	TSI1 的时钟输入，串行模式下的输入为 96MHz，并行模式下的输入 13.5MHz
TSI1_D7	I	TSI1 输入的数据，或串行数据输入
TSI1_SYNC	I	TSI 输入的数据同步指示信号
TSI1_VALID	I	TSI1 输入的数据有效信号，高电平有效
TSO_CLK	O	QAM 输出的随路时钟
TSO_D0	O	QAM 输出的数据
TSO_SYNC	O	QAM 输出的同步信号
TSO_VALID	O	QAM 输出的数据有效信号，高电平有效
VIU0_CLK	I	BT.1120 接口时钟输入，或 VIU0 的时钟信号，300 万像素@15fps
VIU0_DAT0	I	BT.1120 接口的亮度信号输入，或 VIU0 的数据输入
VIU0_DAT1	I	BT.1120 接口的亮度信号输入，或 VIU0 的数据输入
VIU0_DAT2	I	BT.1120 接口的亮度信号输入，或 VIU0 的数据输入
VIU0_DAT3	I	BT.1120 接口的亮度信号输入，或 VIU0 的数据输入
VIU0_DAT4	I	BT.1120 接口的亮度信号输入，或 VIU0 的数据输入
VIU0_DAT5	I	BT.1120 接口的亮度信号输入，或 VIU0 的数据输入
VIU0_DAT6	I	BT.1120 接口的亮度信号输入，或 VIU0 的数据输入
VIU0_DAT7	I	BT.1120 接口的亮度信号输入，或 VIU0 的数据输入
VIU0_HS	I	VIU0 的行同步，高有效
VIU0_VS	I	VIU0 的场同步信号，高有效

TSI1

TSI1 的软件复用管脚如表 1-88 所示。



表1-88 TSI1 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 1	复用信号 2	复用信号 3
AP3	TSI1_D0	tsil_vil_tso	VIU1_DAT0	TSO_D0	GPIO8_2
AR4	TSI1_D1	tsil_vil_tso	VIU1_DAT1	TSO_D1	GPIO8_3
AT4	TSI1_D2	tsil_vil_tso	VIU1_DAT2	TSO_D2	GPIO8_4
AU4	TSI1_D3	tsil_vil_tso	VIU1_DAT3	TSO_D3	GPIO8_5
AV4	TSI1_D4	tsil_vil_tso	VIU1_DAT4	TSO_D4	GPIO8_6
AV5	TSI1_D5	tsil_vil_tso	VIU1_DAT5	TSO_D5	GPIO8_7
AU5	TSI1_D6	tsil_vil_tso	VIU1_DAT6	TSO_D6	GPIO2_0
AT5	TSI1_D7	tsil_vil_tso	VIU1_DAT7	TSO_D7	GPIO2_1
AR5	TSI1_VALID	tsil_vil_tso	VIU1_VS	TSO_VALID	GPIO2_2
AR6	TSI1_CLK	tsil_vil_tso	VIU1_CLK	TSO_CLK	GPIO2_4
AT6	TSI1_SYNC	tsil_vil_tso	VIU1_HS	TSO_SYNC	GPIO2_5

TSI1 的软件复用管脚如表 1-89 所示。

表1-89 TSI1 的软件复用管脚描述


信号名	方向	说明
GPIO2_0	I/O	通用输入输出
GPIO2_1	I/O	通用输入输出
GPIO2_2	I/O	通用输入输出
GPIO2_4	I/O	通用输入输出
GPIO2_5	I/O	通用输入输出
GPIO8_2	I/O	通用输入输出
GPIO8_3	I/O	通用输入输出
GPIO8_4	I/O	通用输入输出
GPIO8_5	I/O	通用输入输出
GPIO8_6	I/O	通用输入输出
GPIO8_7	I/O	通用输入输出



信号名	方向	说明
TSO_CLK	O	QAM 输出的随路时钟
TSO_D0	O	QAM 输出的数据
TSO_D1	O	QAM 输出的数据
TSO_D2	O	QAM 输出的数据
TSO_D3	O	QAM 输出的数据
TSO_D4	O	QAM 输出的数据
TSO_D5	O	QAM 输出的数据
TSO_D6	O	QAM 输出的数据
TSO_D7	O	QAM 输出的数据
TSO_SYNC	O	QAM 输出的同步信号
TSO_VALID	O	QAM 输出的数据有效信号，高电平有效
VIU1_CLK	I	VIU1 时钟信号,300 百万像素@15fps 的应用
VIU1_DAT0	I	BT.1120 接口的色度信号输入，或 VIU1 的数据输入
VIU1_DAT1	I	BT.1120 接口的色度信号输入，或 VIU1 的数据输入
VIU1_DAT2	I	BT.1120 接口的色度信号输入，或 VIU1 的数据输入
VIU1_DAT3	I	BT.1120 接口的色度信号输入，或 VIU1 的数据输入
VIU1_DAT4	I	BT.1120 接口的色度信号输入，或 VIU1 的数据输入
VIU1_DAT5	I	BT.1120 接口的色度信号输入，或 VIU1 的数据输入
VIU1_DAT6	I	BT.1120 接口的色度信号输入，或 VIU1 的数据输入
VIU1_DAT7	I	BT.1120 接口的色度信号输入，或 VIU1 的数据输入
VIU1_HS	I	VIU1 的行同步，高有效
VIU1_VS	I	VIU1 的场同步信号，高有效



1.6 硬件管脚复用描述

 说明
上电时硬件自动锁定，不需要软件配置。

1.6.1 SPDIF 管脚复用

SPDIF 管脚复用如表 1-90 所示。

表1-90 SPDIF 硬件管脚复用

Pin	Pad 信号	复用信号 1(power_on == 1'b1)
AU7	SPDIF_OUT	JTAG_SEL

SPDIF 的硬件复用管脚如表 1-91 所示。

表1-91 与 SPDIF 复用的管脚描述

信号名	方向	说明
JTAG_SEL	I	JTAG_SEL 的描述，开机后 JTAG 口配置选择。 0: 配置为 SOC JTAG; 1: 配置为 ARM JTAG。

1.6.2 MII0/MII1 管脚复用

II0/II1 管脚复用如表 1-92 所示。

表1-92 MII0/MII1 硬件管脚复用

Pin	Pad 信号	复用信号 1(power_on == 1'b1)
AT37	II0_TXD1	NF_ADNUM
AR36	II0_TXD0	NF_PAGE0
AR37	II0_TXEN	NF_PAGE1
AU32	II1_TXD1	NFC_ECC_TYPE0
AT33	II1_TXD0	NFC_ECC_TYPE1
AT34	II1_TXEN	NFC_ECC_TYPE2



MII0/RMII0 的硬件复用管脚如表 1-93 所示。

表1-93 与 MII0/RMII0 复用的管脚描述

信号名	方向	说明
NF_ADNUM	I	发给 NANDFlash 器件的地址数目，只在上电的瞬间有效：NF_ADNUM+4，默认是 5 个地址。
NF_PAGE0	I	boot 时，NandFlash 器件的 page 容量。 00: 512byte; 01: 2KB; 10: 4KB; 11: 8KB。
NF_PAGE1	I	
NFC_ECC_TYPE0	I	boot 时，选择 ECC 模式。 000: 无 ECC; 001: 1bit 模式; 010: 4bit 模式; 100: 24bits 模式 for 1KB; 其他: 保留。
NFC_ECC_TYPE1	I	
NFC_ECC_TYPE2	I	

1.6.3 MDX 管脚复用

MDX 管脚复用如表 1-94 所示。

表1-94 MDX 硬件管脚复用

Pin	Pad 信号	复用信号 1(power_on == 1'b1)
AV37	MDCK	NF_BLKSIZE

MDX 的硬件复用管脚如表 1-95 所示。

表1-95 与 MDX 复用的管脚描述

信号名	方向	说明
NF_BLKSIZE	I	boot 时，NandFlash 器件的 block 容量。 0: 64 page，对应 SLC 器件; 1: 128 page，对应 MLC 器件;



1.6.4 LED 管脚复用

LED 管脚复用如表 1-96 所示。

表1-96 LED 硬件管脚复用

Pin	Pad 信号	复用信号 1(power_on == 1'b1)
C9	LED_DATA	SELF_BOOT
D9	LED_CLK	ROMBOOT_SEL

LED 的硬件复用管脚如表 1-97 所示。

表1-97 与 LED 复用的管脚描述

信号名	方向	说明
SELF_BOOT	I	选择是否启动自举。 0: 不自举, 启动后直接跳转到 FLASH 中执行 1: 启动自举, 启动后运行 bootrom 中的 UART 驱动, 等待从串口下载程序
ROMBOOT_SEL	I	选择是否从 ROM 启动。 0: 从 ROM 中启动; 1: 不从 ROM 启动, 直接从 FLASH 中启动。

1.6.5 NF 管脚复用

NF 管脚复用如表 1-98 所示。

表1-98 NF 硬件管脚复用

Pin	Pad 信号	复用信号 1(power_on == 1'b1)
AB4	NF_CLE	BOOT_SEL0
AA4	NF_ALE	BOOT_SEL1
AA3	NF_WEN	NF_BOOTBW

NF 的硬件复用管脚如表 1-99 所示。



表1-99 与 NF 复用的管脚描述

信号名	方向	说明
BOOT_SEL0	I	启动 memeory 类型选择。 {BOOTSEL1,BOOTSEL0}的关系是： 00: SPIflash; 01: Nandflash; 10: Norflash; 11: emmc。
BOOT_SEL1	I	
NF_BOOTBW	I	Norflash/Nandflash/EMMC BOOT 的位宽选择，仅在上电的时候有效： 0: 16 位(Norflash)/8 位（Nandflash）/4 位(EMMC) 1: 8 位（Norflash）/16 位（Nandflash）/8 位(EMMC)

1.7 信号复用描述

当一个功能信号被多个管脚复用时，可根据实际应用进行分配选择适当管脚，Hi3716C 中，功能信号被复用列表如表 1-100 所示。可供配置参考。



注意

为了使用的灵活性，有些信号同时复用到不同的管脚上，应用时软件可以配置“复用控制寄存器”，选择其中的某个管脚实现该信号的功能，但不要同时配置不同的管脚实现同一个信号的功能。

例如：SDIO_CDATA0 信号同时复用在管脚 MII1_TXD3 上和 EBI_DQ0 上，应用时如果选择管脚 MII1_TXD3 作为 SDIO_CDATA0 的功能，就应配置“复用控制寄存器” mii1_gpio_usb1_pll1_rgmii_sdio[3:0]为 0111；应用时如果选择管脚 EBI_DQ0 作为 SDIO_CDATA0 的功能，就应配置“复用控制寄存器” ebidq_gpio_sdio[1:0]为 10。但不能同时配置“复用控制寄存器” mii1_gpio_usb1_pll1_rgmii_sdio[3:0]为 0111，ebidq_gpio_sdio[1:0]为 10。

表1-100 功能信号被管脚复用

信号名称	信号描述	属性	管脚名称（位号）
SPI 功能信号			
SPI_SCLK	SPI 时钟信号	B	SPI_SCLK（AT18）



信号名称	信号描述	属性	管脚名称（位号）
		B	LED_CLK（D9）
SPI_SDO	SPI 数据输出	B	SPI_SDO（AR18）
		B	LED_DATA（C9）
SPI_SDI	SPI 数据输入	B	SPI_SDI（AV17）
		B	LED_CSN1（A10）
SPI_CSN0	SPI 的片选 0 输出	B	SPI_CSN0（AU17）
		B	LED_CSN0（B10）
I2C 功能信号			
I2C1_SDA	I2C1 总线数据/地址，OD 输出	B	HDMI_SDA（AU19）
		B	UART1_RTSN（AT25）
I2C1_SCL	I2C1 总线时钟，OD 输出	B	HDMI_SCL（AV19）
		B	UART1_CTSN（AT26）
I2C0_SDA	I2C0 总线数据/地址，OD 输出	B	MII1_RXD3（AU36）
		B	QAM_SDA（AL1）
I2C0_SCL	I2C0 总线时钟，OD 输出	B	MII1_RXD2（AU35）
		B	QAM_SCL（AL2）
I2C3_SDA	I2C3 总线数据/地址，OD 输出	B	SPI_SDI（AV17）
		B	NF_RDY1（AC1）
I2C3_SCL	I2C3 总线时钟，OD 输出	B	SPI_SDO（AR18）
		B	NF_CSN1（AB2）
IR 功能信号			
IR_IN	红外输入	B	LED_CSN3（A11）
		B	IR_IN（C11）
GPIO 功能信号			



信号名称	信号描述	属性	管脚名称（位号）
GPIO2_7	通用输入输出	B	SPDIF_OUT（AU7）
		B	EBI_ADR8（C2）
GPIO3_0	通用输入输出	B	HDMI_SDA（AU19）
		B	UART0_RXD（AU25）
		B	EBI_ADR9（D2）
GPIO3_1	通用输入输出	B	HDMI_SCL（AV19）
		B	UART0_TXD（AV25）
		B	EBI_ADR10（D3）
GPIO5_2	通用输入输出	B	LED_CSN2（B11）
		B	STANDBY_PWROFF（C12）
GPIO5_4	通用输入输出	B	LED_CSN3（A11）
		B	IR_IN（C11）
GPIO9_5	通用输入输出	B	MII1_CRS（AT30）
		B	SIM0_PWREN（K3）
GPIO9_6	通用输入输出	B	MII1_COL（AR30）
		B	SIM0_CLK（K4）
GPIO9_7	通用输入输出	B	MII1_RXD3（AU36）
		B	SIM0_RST（J3）
GPIO10_0	通用输入输出	B	MII1_RXD2（AU35）
		B	SIM0_DATA（J4）
GPIO11_1	通用输入输出	B	EBI_ADR11（D1）
		B	QAM_SDA（AL1）
GPIO11_2	通用输入输出	B	EBI_ADR12（A2）
		B	QAM_SCL（AL2）



信号名称	信号描述	属性	管脚名称（位号）
GPIO11_4	通用输入输出	B	EBI_ADR13（B1）
		B	QAM_AGC1（AN3）
GPIO11_5	通用输入输出	B	EBI_ADR14（B4）
		B	TSI0_D0（AP1）
GPIO11_6	通用输入输出	B	EBI_ADR15（B2）
		B	TSI0_D1（AP2）
GPIO11_7	通用输入输出	B	EBI_ADR16（E3）
		B	TSI0_D2（AR1）
GPIO12_0	通用输入输出	B	SFC_DIO（AK3）
		B	TSI0_D3（AR2）
GPIO12_1	通用输入输出	B	SFC_WP_IO2（AJ3）
		B	TSI0_D4（AR3）
GPIO12_2	通用输入输出	B	SFC_CLK（AJ4）
		B	TSI0_D5（AT2）
GPIO12_3	通用输入输出	B	SFC_DOI（AH2）
		B	TSI0_D6（AU1）
GPIO12_4	通用输入输出	B	SFC_HOLD_IO3（AJ1）
		B	TSI0_D7（AU2）
GPIO12_5	通用输入输出	B	SFC_CS0N（AH1）
		B	TSI0_VALID（AT3）
GPIO12_6	通用输入输出	B	SFC_CS1N（AJ2）
		B	TSI0_CLK（AV2）
TSI 功能信号			
TSI1_D7	TSI1 输入的数据，或串行数据	B	TSI0_D0（AP1）



信号名称	信号描述	属性	管脚名称（位号）
	输入	B	TSI1_D7（AT5）
TSI1_VALID	TSI1 输入的数据有效信号，高电平有效	B	TSI0_D1（AP2）
		B	TSI1_VALID（AR5）
TSI1_CLK	TSI1 的时钟输入，串行模式下的输入为 96MHz，并行模式下的输入 13.5MHz	B	TSI0_D2（AR1）
		B	TSI1_CLK（AR6）
TSI1_SYNC	TSI 输入的数据同步指示信号	B	TSI0_D3（AR2）
		B	TSI1_SYNC（AT6）
USB 功能信号			
USB0_OVRCUR	USB 端口 0 的端口过流指示信号，高低电平可配，默认为高电平有效	B	UART1_TXD（AV26）
		B	MII1_TXD0（AT33）
		B	MII1_COL（AR30）
USB0_PWREN	USB 端口 0 电源控制输出管脚，高低电平可配，默认为低电平有效	B	UART1_RXD（AU26）
		B	MII1_TXD1（AU32）
		B	MII1_CRS（AT30）
USB1_OVRCUR	USB 端口 1 的端口过流指示信号，高低电平可配，默认为高电平有效	B	UART1_CTSN（AT26）
		B	MII1_TXD2（AV32）
		I	MII1_RXDV（AV34）
USB1_PWREN	USB 端口 1 电源控制输出管脚，高低电平可配，默认为低电平有效	B	UART1_RTSN（AT25）
		B	MII1_TXD3（AT32）
		B	MII1_TXEN（AT34）
SATA 功能信号			
SATA_LED0_N	SATA 硬盘指示灯，低有效	B	LED_CSN2（B11）
		B	SIM1_RST（G1）
		B	EBI_DQ15（R4）



信号名称	信号描述	属性	管脚名称（位号）
		B	NF_RDY1（AC1）



2 电性能参数

2.1 推荐工作条件

Hi3716C 的功耗参数和推荐工作条件如表 2-1、表 2-2 所示。

表2-1 功耗参数

符号	参数	最小值	典型值	最大值	单位
内核电源	内核电源	TBD	TBD	TBD	mA
3.3V 电源	接口电源	TBD	TBD	TBD	mA
2.5V 电源	接口电源	TBD	TBD	TBD	mA
DDR_DVDDIF 电源	DDR 接口电源	TBD	TBD	TBD	mA

表2-2 推荐工作条件

符号	参数	最小值	典型值	最大值	单位
T _{OPT}	操作环境温度	0	-	70	℃
DVDD10	内部核电压	1.05	1.1	1.15	V
VDD_standby	常供电内核电源	3.0	3.3	3.6	V
DVDD33	I/O 电源	3.0	3.3	3.6	V
DVDD33_standby	常供电 I/O 电源	3.0	3.3	3.6	V
DDR_DVDDIF	DDR2 I/O 电源	1.7	1.8	1.9	V
	DDR3 I/O 电源	1.425	1.5	1.575	V
DDRA_REF DDRB_REF	DDR2 参考电压	833	900	969	mV
	DDR3 参考电压	698	750	803	mV



符号	参数	最小值	典型值	最大值	单位
AVDD33_ADAC	音频 DAC 模拟电源	3.0	3.3	3.6	V
AVDD33_VDAC0	视频 DAC0 模拟电源	3.0	3.3	3.6	V
AVDD33_VDAC1	视频 DAC1 模拟电源	3.0	3.3	3.6	V
AVCC10_HDMI	HDMI 模拟电源	0.95	1.0	1.05	V
AVDD33_USB	USB 模拟电源	3.135	3.3	3.6	V
DVDD10_USB	USB 数字电源	1.05	1.1	1.15	V
VPP_OTP	OTP 编程电压	5.5	6.0	6.5	V
VCC33_OTP	OTP 供电	3.0	3.3	3.6	V
VDDL10_PLL VDDL10_PLL5	PLL 数字电源	0.95	1.0	1.1	V
VDDHV25_PLL VDDHV25_PLL5	PLL 模拟电源	2.375	2.5	2.75	V
PCIE_VP10	PCIE 电源	0.95	1.0	1.1	V
PCIE_VP25	PCIE 电源	2.375	2.5	2.75	V
SATA_VP10	SATA 电源	0.95	1.0	1.1	V
SATA_VP25	SATA 电源	2.375	2.5	2.75	V

2.2 上下电顺序

为避免 IO 在上电过程中产生大电流，推荐先上 DVDD33，后上 DVDD10。先上 DVDD33_standby，后上 VDD_standby。对下电顺序没有要求。

2.3 DC/AC 电气参数

Hi3716C DC 电气参数如表 2-3 所示。

表2-3 DC 电气参数表（DVDD33＝3.3V，5V 输入兼容，部分接口不支持 5V 输入兼容）

符号	参数	最小值	典型值	最大值	单位	说明
DVDD33	接口电压	3.0	3.3	3.6	V	-



符号	参数	最小值	典型值	最大值	单位	说明
V_{IH}	高电平输入电压	2.0	-	5.5	V	兼容 5V 输入，部分接口不支持 5V 输入，最大输入要求不高于 $DVDD33+0.3V$ ，这些信号有 MII1_CRS/MII1_COL/ MII1_TXD3/MII1_TXD2/ MII1_TXD1/MII1_TXD0/ MII1_TXEN/MII1_TXCK/ SIM0_PWREN
V_{IL}	低电平输入电压	-0.3	-	0.8	V	-
I_L	输入漏电流	-	-	± 10	μA	-
I_{OZ}	三态输出漏电流	-	-	± 10	μA	-
V_{OH}	高电平输出电压	2.4	-	-	V	-
V_{OL}	低电平输出电压	-	-	0.4	V	-
R_{PU}	内部上拉电阻	26	38	63	$k\Omega$	-
R_{PD}	内部下拉电阻	33	47	82	$k\Omega$	-

DDR2 模式下，DC 电气参数如表 2-4 所示。

表2-4 DC 电气参数表(DDR_DVDDIF=1.8V，DDR2 SSTL18 模式)

符号	参数	最小值	典型值	最大值	单位	说明
DDR_DVDDIF	接口电压	1.7	1.8	1.9	V	-
V_{ref}	参考电压	833	900	969	mV	$(0.49 \sim 0.51) \times DDR_DVDDIF$
V_{TT}	端接电压	$V_{ref}-40$	V_{ref}	$V_{ref}+40$	mV	-
$V_{IH(DC)}$	高电平输入电压	$V_{ref}+0.125$	-	$DDR_DVDDIF+0.3$	V	-
$V_{IL(DC)}$	低电平输入电压	-0.3	-	$V_{ref}-0.125$	V	-
I_{OH}	高电平输出电流	$ -8.1 $	-	$ -13.4 $	mA	-
I_{OL}	低电平输出电流	8.1	-	13.4	mA	-



符号	参数	最小值	典型值	最大值	单位	说明
V _{OH}	高电平输出	DDR_DVDDIF -0.28	-	DDR_DVDD IF(1+10%)	V	-
V _{OL}	低电平输出	0	-	0.28	V	I _{OH} =13.4mA

DDR2 模式下，AC 电气参数如表 2-5 所示。



表2-5 AC 电气参数表(DDR_DVDDIF =1.8V, DDR2 模式)

符号	参数	400~533 Mbps		667~800 Mbps		单位	说明
		最小值	最大值	最小值	最大值		
$V_{IH(AC)}$	AC 高电平输入电压	$V_{ref}+0.25$	-	$V_{ref}+0.2$	-	V	-
$V_{IL(AC)}$	AC 低电平输入电压	-	$V_{ref}-0.25$	-	$V_{ref}-0.2$	V	-

DDR3 模式下, DC 电气参数如表 2-6 所示。

表2-6 DC 电气参数表 (DDR_DVDDIF =1.5V, DDR3 模式)

符号	参数	最小值	典型值	最大值	单位	说明
DDR_DVDDIF	接口电压	1.425	1.5	1.575	V	-
V_{ref}	参考电压	698	750	803	mV	$(0.49\sim0.51)\times DDR_DVDDIF$
V_{TT}	端接电压	698	750	803	mV	
$V_{IH(DC)}$	高电平输入电压	$V_{ref}+0.1$	-	$DDR_DVDDIF+0.3$	V	-
$V_{IL(DC)}$	低电平输入电压	-0.3	-	$V_{ref}-0.1$	V	-
V_{OH}	高电平输出电压	$0.8\times DDR_DVDDIF$	-	$(1+0.1)\times DDR_DVDDIF$	V	-
V_{OL}	低电平输出电压	0	-	$0.2\times DDR_DVDDIF$	V	-
I_{OH}	高电平输出电流	8	-	-	mA	-
I_{OL}	低电平输出电流	-8	-	-	mA	-

DDR3 模式下, AC 电气参数如表 2-7 所示。

表2-7 AC 电气参数表 (DDR_DVDDIF =1.5V, DDR3 模式)

符号	参数	最小值	最大值	单位	说明
$V_{IH(AC)}$	高电平输入电压	$V_{ref}+0.175$	$DDR_DVDDIF+0.3$	V	-
$V_{IL(AC)}$	低电平输入电压	-	$V_{ref}-0.175$	V	-
V_{OH}	高电平输出电压	$V_{TT}+0.1\times DDR_DVDDIF$	-	V	-



符号	参数	最小值	最大值	单位	说明
V _{OL}	低电平输出电压	-	VTT-0.1× DDR_DVDDIF	V	-



3 PCB 设计建议

3.1 Fanout 封装设计建议

Hi3716C 的封装为 PBGA756，管脚间距 0.8mm。在 PCB 设计时，推荐采用四层 PCB 板的设计，建议如下分层：

- TOP 层：信号走线
- 内一层：地平面层
- 内二层：电源平面层
- BOTTOM 层：信号走线

PCB 设计注意事项：

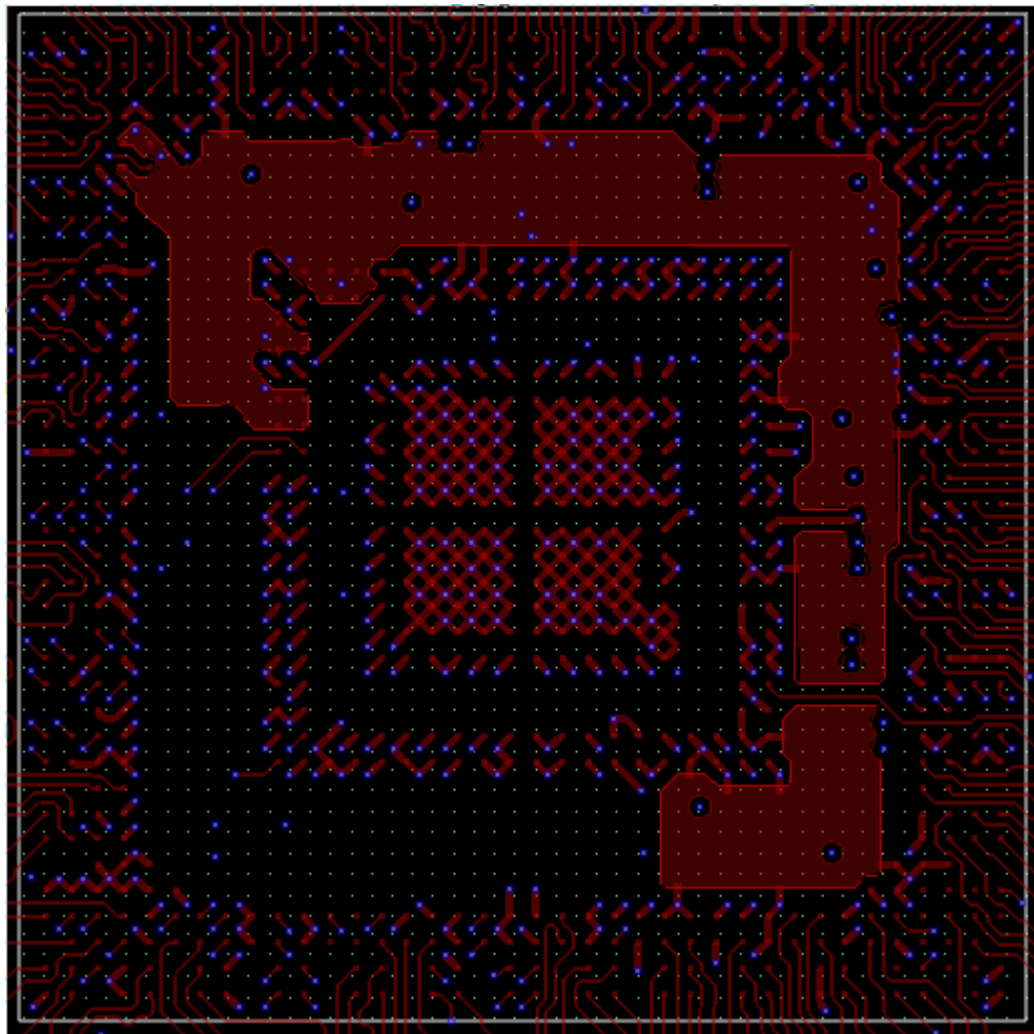
- 元器件布局在 TOP 层，信号线尽量走在 TOP 层，滤波小电容可以放在 BOTTOM 层。
- 电源管脚用粗线连接。
- 尽量保持 BOTTOM 层为一个完整的地平面层。
- 主芯片出线推荐过孔大小为 8mil，线宽为 5mil。

PCB 材料 FR-4，PCB 板厚度为 1.6mm，铜箔厚度为 1 盎司。

主芯片出线示例如图 3-1 所示。



图3-1 主芯片出线示例图



3.2 DDR SDRAM 接口电路设计建议

Hi3716C 内部集成了 32 位宽的 DDR2/DDR3 兼容接口控制器。

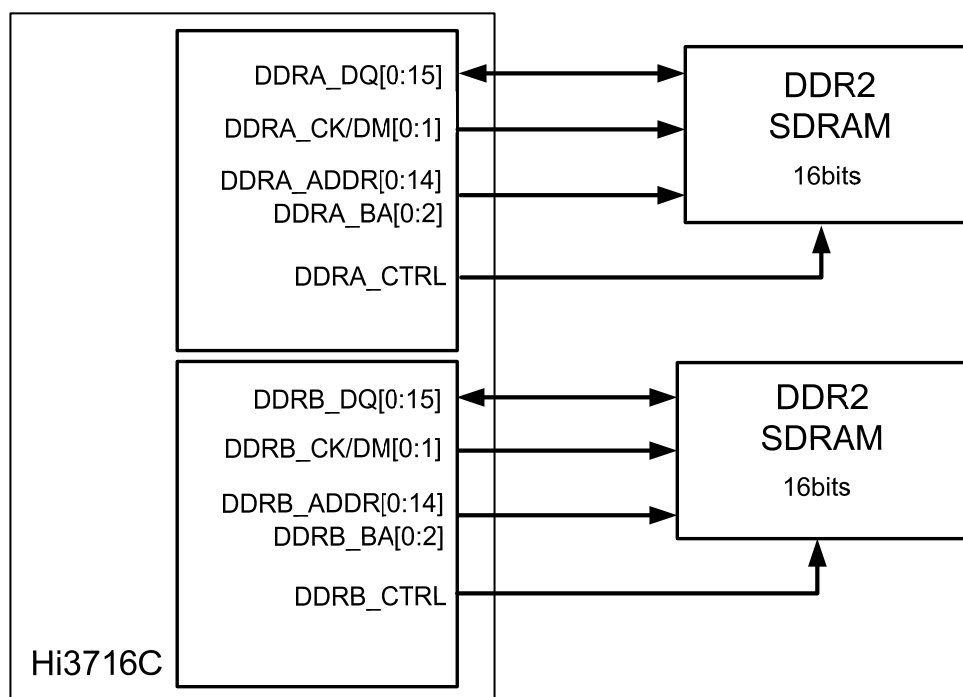
3.2.1 DDR2 接口设计

DDR2 SDRAM 容量要求为 256MB 时，DDR2 接口推荐外接两片 16 位宽的 DDR2 SDRAM 颗粒；两个 16 位宽的数据总线 DDRA_DQ[0:15]和 DDRB_DQ[0:15]拼成一个 32 位宽的数据总线，DDRB_DQ[0:15]对应 32 位宽数据总线的 DQ[16:31]。容量要求为 512MB 时，DDR2 接口推荐外接四片 8 位宽的 DDR2 SDRAM 颗粒。

在外接 16 位宽 DDR2 SDRAM 颗粒的情况下，DDR2 SDRAM 接口连接如[图 3-2](#)所示。



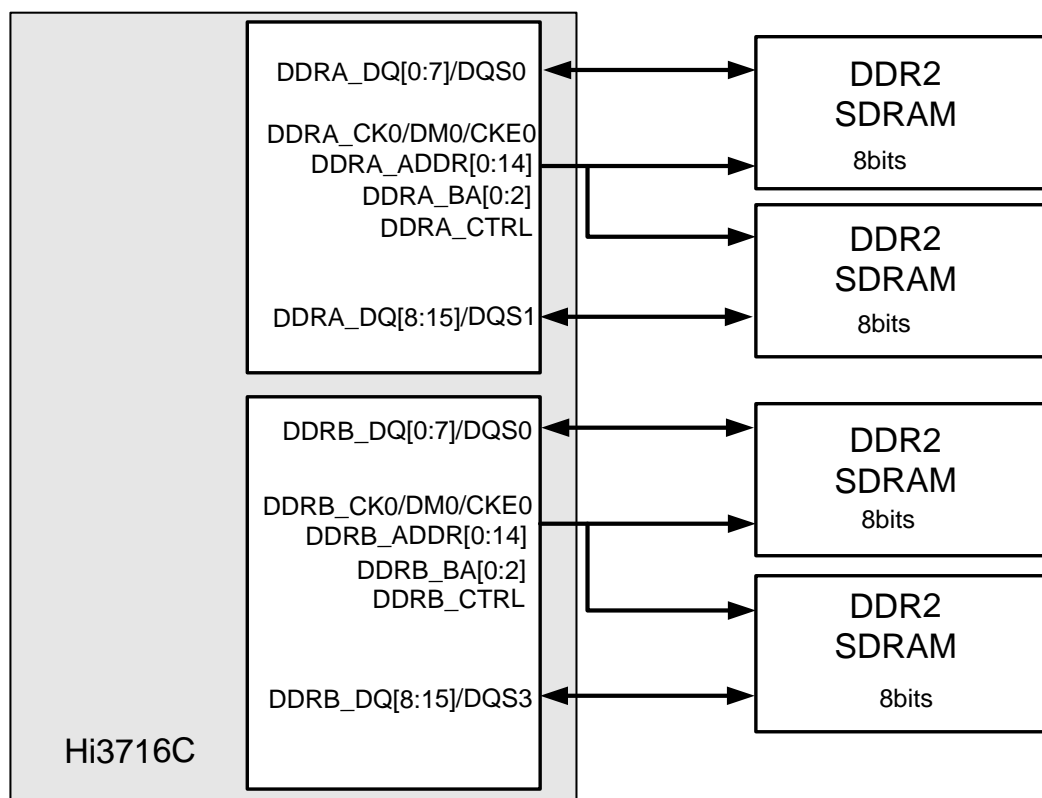
图3-2 DDR2 SDRAM 16 位接口示意图



在外接 8bit 数据位宽 DDR2 SDRAM 颗粒的情况下，DDR2 SDRAM 接口连接如[图 3-3](#)所示。



图3-3 DDR2 SDRAM 8bit 数据位宽接口示意图



3.2.1.1 四层 PCB 板设计

四层 PCB 板设计，DDR2 信号线阻抗匹配设计推荐如下。

DQ[0:31]/DM/DQS

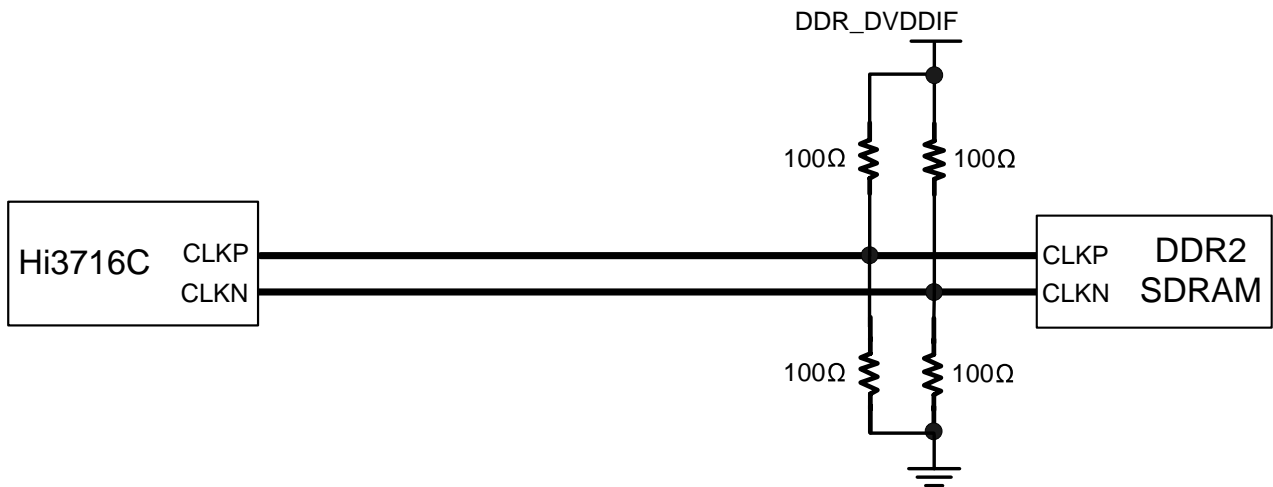
直接连接。传输线阻抗控制 50Ω ，输出方向推荐采用 Class I 驱动，SDRAM 接收端 ODT 配置为 50Ω ；输入方向 SDRAM 端驱动推荐采用 Full Driver，接收端 ODT 配置为 75Ω 。DQS 的差分线阻抗控制为 100Ω 。

CLK 信号

差分传输线阻抗 100Ω 。驱动单负载应用，建议采用 Class I 驱动，并在靠近接收端采用戴维南 100Ω 并联匹配，拓扑如图 3-4 所示。

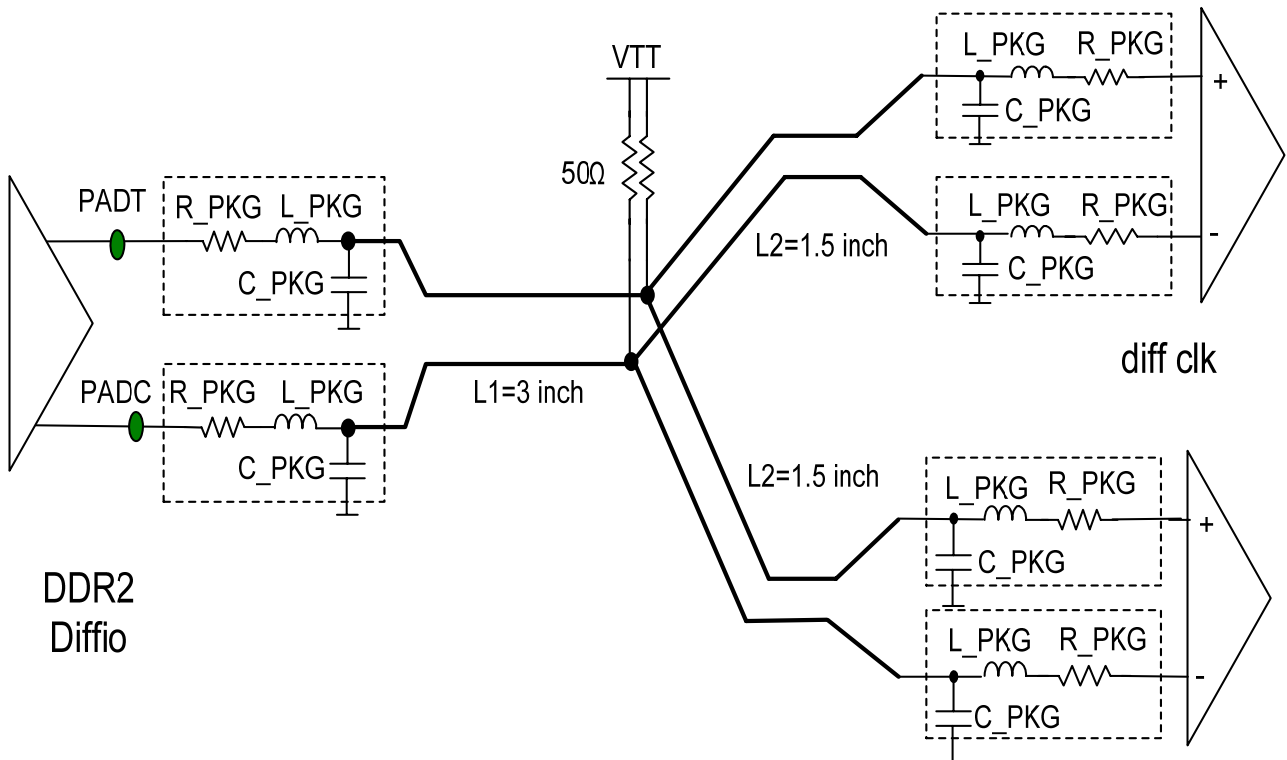


图3-4 CLK 单负载应用 Class I 驱动拓扑结构



驱动双负载应用，阻抗控制为 50Ω ，建议采用 Class I 驱动，采用 T 型拓扑结构，在分支点上拉 50Ω ，并保证分支线最短，至少小于主干线 1/2 的长度，拓扑结构如图 3-5 所示。

图3-5 CLK 双负载应用 Class I 驱动 T 型拓扑结构





ADDR/CTRL

驱动 2 个负载时，阻抗控制 50Ω ，推荐采用 T 型拓扑结构，配置为 Class I 驱动，slew rate 设为最快，分支点上拉 50Ω ，或者靠近各接收端分别串联 50Ω ， $L1 > 2 \times L2$ ，如图 3-6、图 3-7 所示。

图3-6 ADDR/CTRL 2 个负载 Class I 驱动 T 型拓扑结构 1

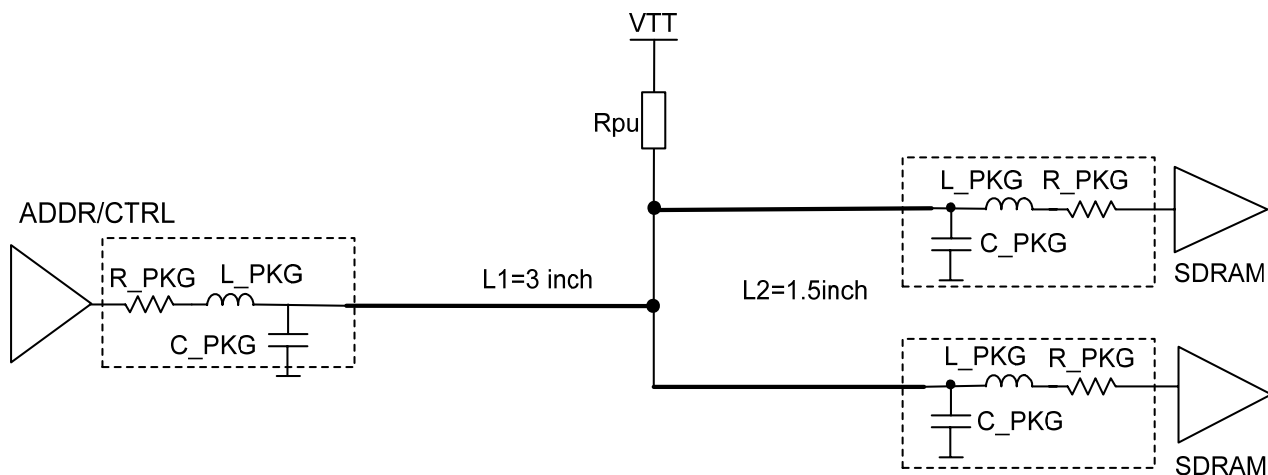
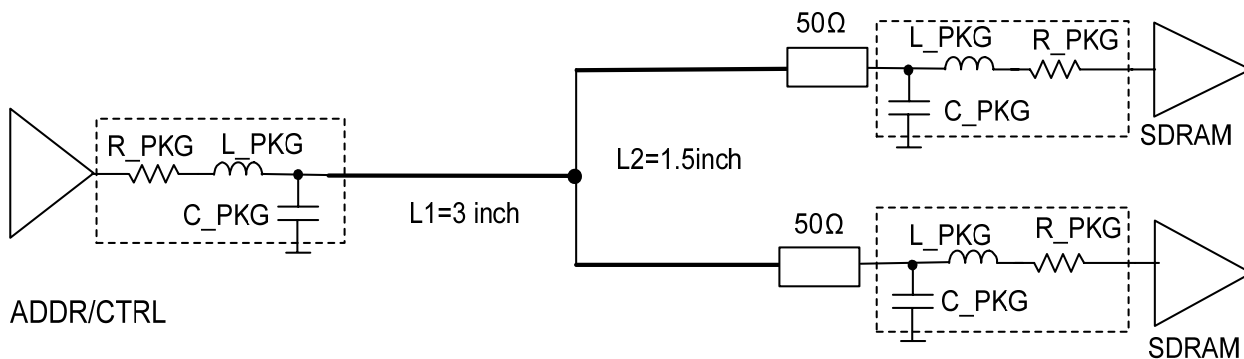


图3-7 ADDR/CTRL 2 个负载 Class I 驱动 T 型拓扑结构 2



驱动单负载时，应用于四层板，传输线阻抗控制在 50Ω ，推荐采用 Class I 驱动，直连。

3.2.1.2 DDR2 接口信号线 PCB 走线建议

为了保证 DDR2 SDRAM 时序及信号的完整性，建议按照如下原则进行 PCB 设计。

信号线走线建议

理论上如果 CLK、DQS、DQ[0:31]、ADDR[0:14]、BA[0:2]、DM、CKE、CSN、WEN、CASN、RASN、ODT 等所有信号线的长度相等，则效果达到最优状态。



注意

在走线等长处理时，需要首先导入芯片基板上 DDR 各信号的走线长度。

基板上 DDR 各信号走线长度如表 3-1 所示。

表3-1 基板上 DDR 各信号走线长度

管脚序号	信号名称	基板走线长度(um)	基板走线长度(mil)
AL38	DDRA_ADR0	13520.22	532.292126
AB36	DDRA_ADR1	8827.12	347.5244094
AL37	DDRA_ADR2	13986	550.6299213
AE36	DDRA_ADR3	11840.85	466.1751969
AJ38	DDRA_ADR4	11961.96	470.9433071
AF36	DDRA_ADR5	8903.52	350.5322835
AJ37	DDRA_ADR6	11654.42	458.8354331
AE37	DDRA_ADR7	9593.12	377.6818898
AK35	DDRA_ADR8	11391.11	448.4688976
AF37	DDRA_ADR9	10538.52	414.9023622
AB35	DDRA_ADR10	7299.99	287.4011811
AK36	DDRA_ADR11	12014.43	473.0090551
AE38	DDRA_ADR12	10840.04	426.7732283
AL35	DDRA_ADR13	11588.89	456.2555118
AF38	DDRA_ADR14	10967.62	431.796063
Y37	DDRA_BA0	9233.8	363.5354331
AA36	DDRA_BA1	8742.55	344.1948819
AA35	DDRA_BA2	7028.03	276.6940945
AL36	DDRA_CASN	13317.88	524.3259843
Y38	DDRA_CKE0	10045.75	395.5019685
W38	DDRA_CKE1	9246.06	364.0181102
AH35	DDRA_CKN0	10661.56	419.7464567
AC37	DDRA_CKN1	9983.39	393.0468504
AH36	DDRA_CKPO	10667.65	419.9862205
AC38	DDRA_CKP1	9986.84	393.1826772
AM38	DDRA_CSNO	13651.81	537.4728346
W36	DDRA_CSN1	8656.31	340.7996063
T37	DDRA_DMO	10827.79	426.2909449
N38	DDRA_DM1	9574.57	376.9515748
H37	DDRA_DQ0	9937.84	391.2535433
H38	DDRA_DQ1	10672.1	420.1614173



管脚序号	信号名称	基板走线长度(um)	基板走线长度(mil)
G38	DDRA_DQ2	11382.07	448.1129921
G37	DDRA_DQ3	11195.89	440.7830709
U38	DDRA_DQ4	11234.72	442.311811
T38	DDRA_DQ5	11272.92	443.815748
U37	DDRA_DQ6	9836.61	387.2681102
U36	DDRA_DQ7	8710.17	342.9200787
K38	DDRA_DQ8	10519.84	414.1669291
L37	DDRA_DQ9	9866.36	388.4393701
L38	DDRA_DQ10	9978.05	392.8366142
L36	DDRA_DQ11	8790.32	346.0755906
P38	DDRA_DQ12	9082.9	357.5944882
P37	DDRA_DQ13	8629.43	339.7413386
R35	DDRA_DQ14	7209.89	283.853937
R36	DDRA_DQ15	8017.02	315.6307087
J36	DDRA_DQSN0	8356.67	329.0027559
N35	DDRA_DQSN1	7608.63	299.5523622
J35	DDRA_DQSP0	8381.64	329.9858268
N36	DDRA_DQSP1	7610.82	299.6385827
AB29	DDRA_HI	2033.29	80.0507874
AB28	DDRA_LO	916.6	36.08661417
AM36	DDRA_ODT0	12288.22	483.788189
W37	DDRA_ODT1	8931.09	351.6177165
AM37	DDRA_RASN	13014.26	512.3724409
V36	DDRA_RESETN	7992.04	314.6472441
G36	DDRA_RTT	9867.59	388.4877953
Y36	DDRA_WEN	7706.11	303.3901575
C37	DDRB_ADRO	14585.15	574.2185039
D29	DDRB_ADR1	9299.12	366.1070866
B38	DDRB_ADR2	14677.85	577.8681102
B32	DDRB_ADR3	12145.9	478.1850394
C35	DDRB_ADR4	12613.32	496.5874016
D33	DDRB_ADR5	9938.3	391.2716535
B36	DDRB_ADR6	13448.62	529.4732283
A32	DDRB_ADR7	12789.74	503.5330709
C36	DDRB_ADR8	12386.9	487.6732283
D32	DDRB_ADR9	10399.74	409.4385827
C29	DDRB_ADR10	10067.92	396.3748031
A37	DDRB_ADR11	13730.26	540.5614173
C32	DDRB_ADR12	11243.55	442.6594488



管脚序号	信号名称	基板走线长度(um)	基板走线长度(mil)
B37	DDRB_ADR13	13479.14	530.6748031
C33	DDRB_ADR14	11701	460.6692913
A28	DDRB_BA0	11799.36	464.5417323
A29	DDRB_BA1	11440.16	450.4
B29	DDRB_BA2	10965.45	431.7106299
D36	DDRB_CASN	11779.63	463.7649606
D27	DDRB_CKE0	8669.14	341.3047244
D26	DDRB_CKE1	7255.61	285.653937
B34	DDRB_CKN0	13476.65	530.5767717
D31	DDRB_CKN1	11186.41	440.4098425
A34	DDRB_CKP0	13737.18	540.8338583
C31	DDRB_CKP1	11115.95	437.6358268
D37	DDRB_CSN0	12413.6	488.7244094
C26	DDRB_CSN1	8316.61	327.4255906
C25	DDRB_DM2	11472.86	451.6874016
A22	DDRB_DM3	8922.73	351.2885827
A17	DDRB_DQ16	9320.25	366.9389764
B17	DDRB_DQ17	8027.66	316.0496063
B16	DDRB_DQ18	8553.22	336.7409449
A16	DDRB_DQ19	8764.05	345.0413386
B25	DDRB_DQ20	12624.84	497.0409449
A25	DDRB_DQ21	13338.22	525.1267717
A26	DDRB_DQ22	14029.11	552.3271654
B26	DDRB_DQ23	12696.98	499.8811024
A19	DDRB_DQ24	8765.85	345.1122047
B19	DDRB_DQ25	8644.27	340.3255906
A20	DDRB_DQ26	9086.71	357.7444882
B20	DDRB_DQ27	8313.96	327.3212598
B23	DDRB_DQ28	8233.2	324.1417323
A23	DDRB_DQ29	9709.5	382.2637795
C23	DDRB_DQ30	8190.01	322.4413386
C24	DDRB_DQ31	8466.37	333.3216535
D18	DDRB_DQSN2	7895.11	310.8311024
C21	DDRB_DQSN3	7804.58	307.2669291
C18	DDRB_DQSP2	7922.38	311.9047244
D21	DDRB_DQSP3	7750.03	305.1192913
K29	DDRB_HI	3167.62	124.7094488
L28	DDRB_LO	3515.21	138.3940945
D35	DDRB_ODT0	11879.63	467.7019685



管脚序号	信号名称	基板走线长度(um)	基板走线长度(mil)
C27	DDRB_ODT1	9395.34	369.8952756
D38	DDRB_RASN	12302.85	484.3641732
D25	DDRB_RESETN	7108.12	279.8472441
C16	DDRB_RTT	7740.68	304.7511811
B28	DDRB_WEN	10751.74	423.2968504
C17	DDR_DVDDIF	35061.32	1380.366929

- DDR 走线线宽和线间距不能小于 4mil。
- DDR 接口中的时钟信号线 CKP、CKN 应该严格等长，偏差范围为 $\pm 50\text{mil}$ ，并且建议 CLK 的走线长度小于 4inch。
- 数据选通信号线 DQS 的长度要求如下：
 - DQS 以 CK 时钟走线长度为参照进行走线，其走线长度相对于 CK 的走线长度允许的偏差为 $\pm 500\text{mil}$ 。
 - DQSP 和 DQSN 之间的走线严格等长，偏差为 $\pm 50\text{mil}$ 。
- 数据信号线 DQ[0:31]的长度要求如下：
 - DQ[0:7]以 DQS0 的走线长度为参照进行走线，允许偏差范围为 $\pm 50\text{mil}$ 。
 - DQ[8:15]以 DQS1 的走线长度为参照进行走线，允许偏差范围为 $\pm 50\text{mil}$ 。
 - DQ[16:23]以 DQS2 的走线长度为参照进行走线，允许偏差范围为 $\pm 50\text{mil}$ 。
 - DQ[24:31]以 DQS3 的走线长度为参照进行走线，允许偏差范围为 $\pm 50\text{mil}$ 。
- 数据掩码信号线 DM 的长度要求如下：
 - DM0 以 DQS0 的走线长度为参照进行走线，允许偏差范围为 $\pm 50\text{mil}$ 。
 - DM1 以 DQS1 的走线长度为参照进行走线，允许偏差范围为 $\pm 50\text{mil}$ 。
 - DM2 以 DQS2 的走线长度为参照进行走线，允许偏差范围为 $\pm 50\text{mil}$ 。
 - DM3 以 DQS3 的走线长度为参照进行走线，允许偏差范围为 $\pm 50\text{mil}$ 。
- 地址信号线 ADDR[0:14]的长度要求如下：

ADDR[0:14]以 CLK 时钟走线长度为参照进行走线，允许偏差范围为 $\pm 100\text{mil}$ 。
- 控制信号线 CTRL (BA[0:2]、DM、CKE、CSN、WEN、CASN、RASN、ODT) 的长度要求如下：

控制信号线以 CLK 时钟走线长度为参照进行走线，允许偏差范围为 $\pm 100\text{mil}$ 。

为减小信号反射，建议所有 DDR2 SDRAM 接口信号走线避免穿越电源地分割区域，保持完整的参考平面，在 4 层板 PCB 设计时传输线阻抗控制在 $50\Omega \pm 10\%$ ，DDR2 时钟差分线阻抗控制在 $100\Omega \pm 10\%$ 。

建议 PCB 布线设计采用以下原则：

- 所有 DDR2 SDRAM 信号走线必须分布在邻近地平面的走线层，避免信号走线穿越电源或地分割区域，必须保证 DDR 信号走线都有完整的参考平面。
- 在信号走线周围及换层过孔附近放置与地连通的过孔，保持良好的信号回流路径。



- 所有信号线尽量短，并且在走线路径上尽量少打过孔，保证走线阻抗的连续性。
- 串联、并联电阻可以使用排组，但是需要注意同一排组上的信号必须属于同一 DDR 信号线组，尤其避免 DQS 与地址/控制线分布在同一个组排上。
- 相邻信号走线间距保持在 2~3 倍线宽。
- 避免时钟信号紧邻数据、地址总线。
- 避免地址信号紧邻数据信号。
- DDR2 SDRAM 信号与非 DDR2 SDRAM 信号走线间隔至少 20mil。
- 每个 VREF pin 要加去耦电容且走线尽量宽，与其他信号线间隔 20mil~25mil。

电源滤波建议

DDR2 SDRAM 供电电源滤波建议如下：

- 在每个电源管脚处放置一个 100nF 的陶瓷滤波电容，并紧靠供电管脚摆放；整个 DDR2 SDRAM 功能单元供电电源至少有一个 10μF 的对地滤波电容。

VREF 参考电平设计建议如下：

- 根据 SSTL 18 协议要求，VREF 参考电压为 $0.49 \times \text{DDR_DVDDIF} \sim 0.51 \times \text{DDR_DVDDIF}$ ，VREF 分压电阻必需使用 1%精度的电阻。为了降低噪声，VREF 走线宽度不得小于 20mil。
- 控制器和 DDR2 颗粒的 VREF 参考电平分别就近用分压电路得到。
- 在每个 VREF 管脚处放置去耦电容，并紧靠管脚放置。

VTT 电源设计建议如下：

- 采用 LDO，例如 LP2996 产生 VTT 电源。
- 每 2~3 个 VTT 管脚处放置一个去耦电容，并紧靠管脚放置。
- 每 2 厘米至少放置一个 10μF 的电容。

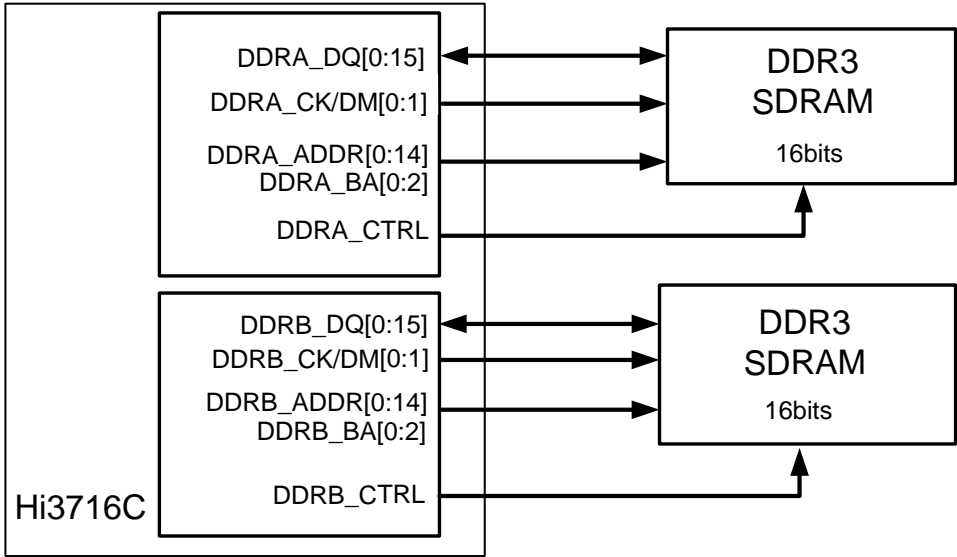
3.2.2 DDR3 接口设计

采用 DDR3 SDRAM 时，PCB 至少需要四层板设计。DDR3 SDRAM 容量要求为 256MB 或 512MB 时，DDR3 接口推荐外接两片 16 位宽的 DDR3 SDRAM 颗粒；两个 16 位宽的数据总线 DDRA_DQ[0:15]和 DDRB_DQ[0:15]拼成一个 32 位宽的数据总线，DDRB_DQ[1:15]对应 32 位宽数据总线的 DQ[16:31]。容量要求为 1GB 时，DDR3 接口推荐外接四片 8 位宽的 DDR3 SDRAM 颗粒。

在外接 16 位宽 DDR3 SDRAM 颗粒的情况下，DDR3 SDRAM 接口连接如图 3-8 所示。

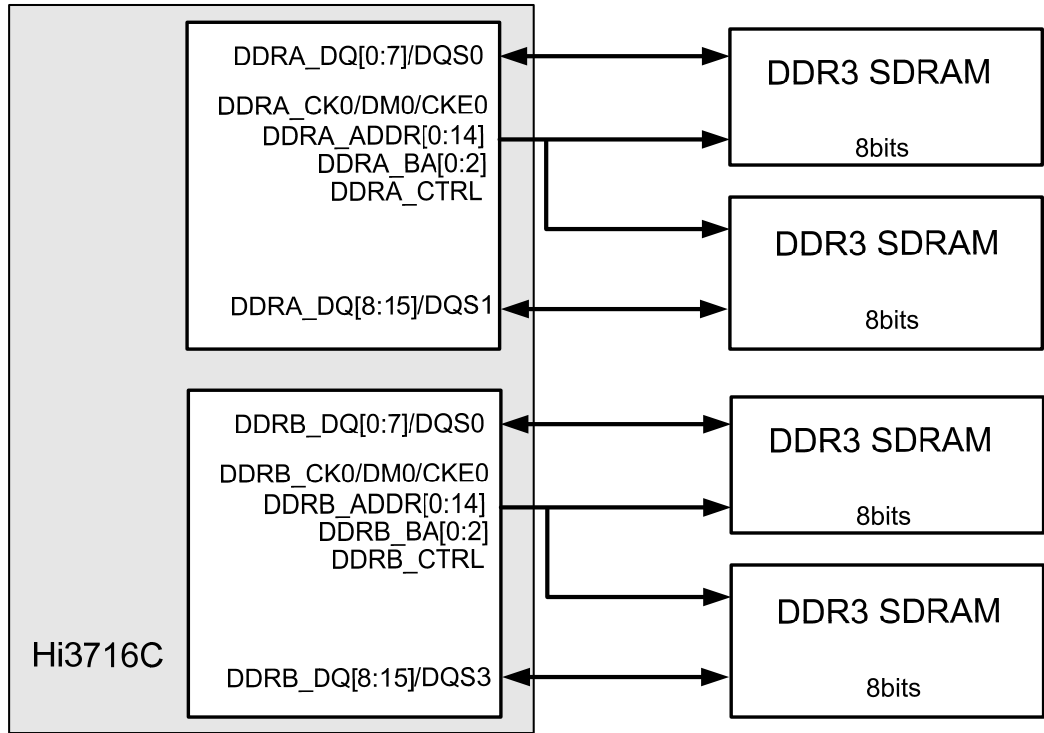


图3-8 DDR3 SDRAM 16 位接口示意图



外接 4 片 8bit 位宽 DDR3 SDRAM 颗粒时，DDR3 SDRAM 接口连接如图 3-9 所示。

图3-9 DDR3 SDRAM 8 位接口示意图



3.2.3 DDR3 信号线阻抗匹配设计

采用 DDR3 时，建议至少四层 PCB 板设计。



DDR3 信号线阻抗匹配设计推荐如下：

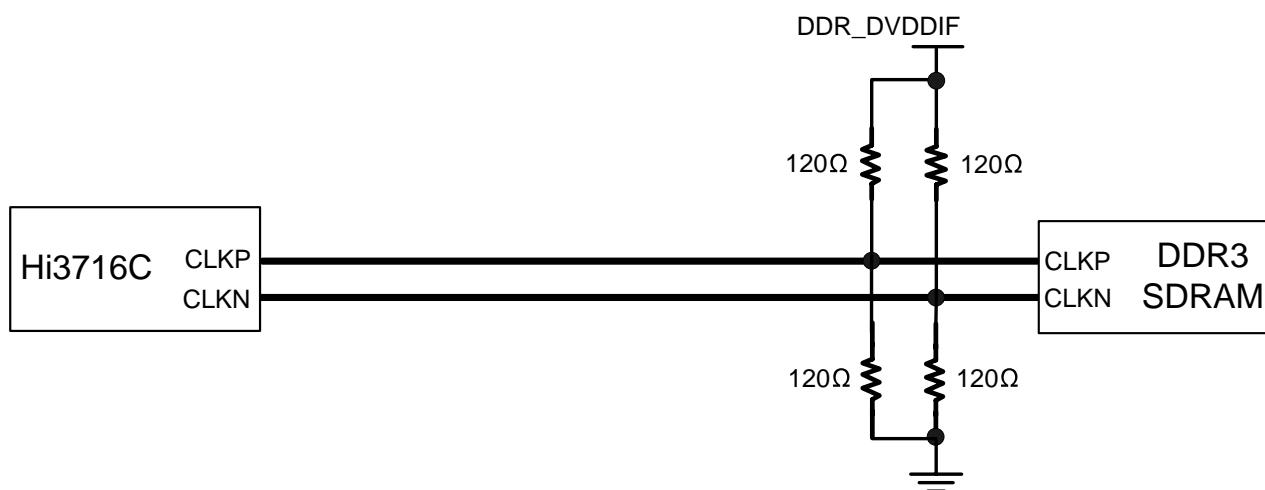
DQ[0:31]/DM/DQS

直接连接。传输线阻抗控制 $50\ \Omega$ 。输出方向建议控制 SDRAM ODT 为 $60\ \Omega$ 。输入方向建议配置 SDRAM 输出阻抗为 $40\ \Omega$ ，接收端 ODT 为 $60\ \Omega$ 。DQS 差分阻抗控制在 $100\ \Omega$ 。

CLK 信号

差分传输线阻抗 $100\ \Omega \pm 10\%$ 。驱动单负载应用，建议采用并联上拉到接口电压的匹配方式，如图 3-10 所示。

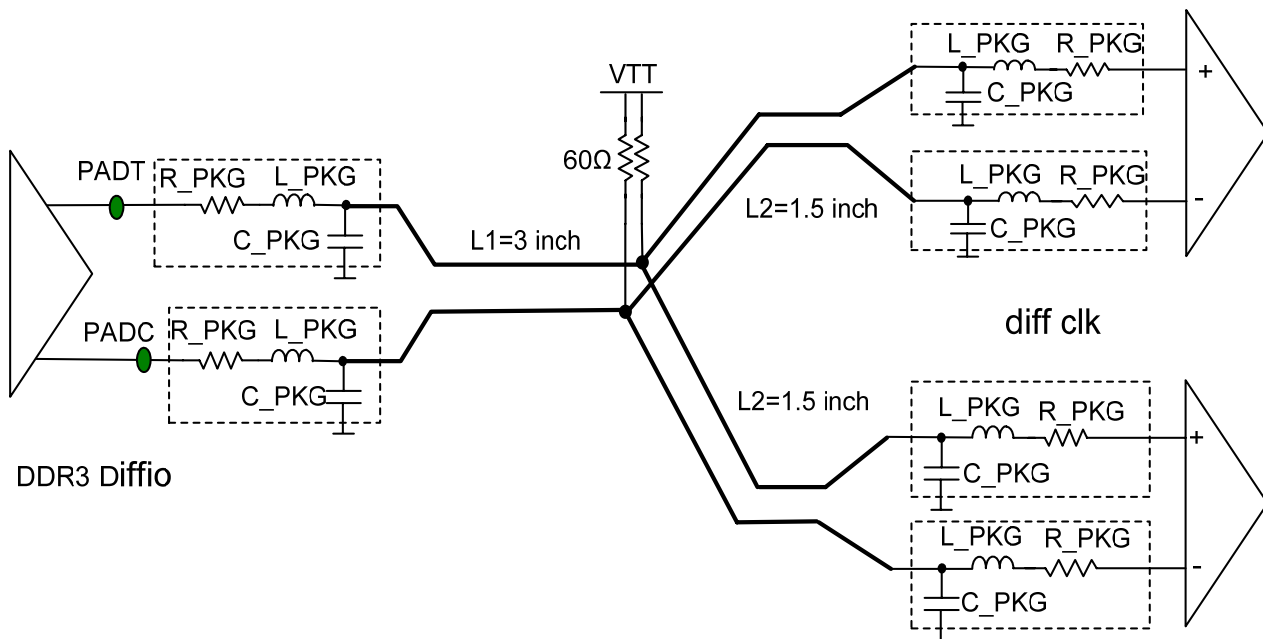
图3-10 DDR3 SDRAM 的 CLK 信号连接



驱动双负载应用，建议推荐采用 T 型拓扑结构，且分支线保证最短，至少不能长于主干线的 $1/2$ ，并在分支点分别上拉 $60\ \Omega$ ，拓扑结构如图 3-11 所示。



图3-11 CLK 双负载 T 型拓扑结构

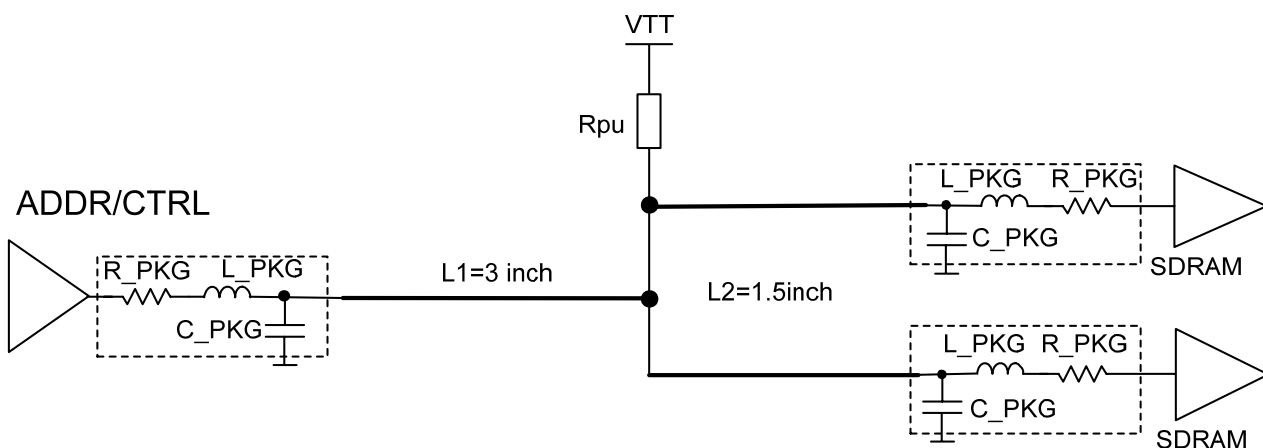


ADDR/CTRL

阻抗控制 50Ω。驱动单负载时，Hi3716C 端串联 33Ω 电阻。

驱动 2 个负载时，推荐采用 T 型拓扑结构，在分支点上拉 60Ω，保证对称走线，走线长度分配如图 3-12 所示。

图3-12 ADDR/CTRL 2 个负载 T 型拓扑结构



3.2.4 DDR3 接口信号线 PCB 走线建议

为了保证 DDR3 SDRAM 时序及信号的完整性，建议按照如下原则进行 PCB 设计。



信号线走线建议

理论上如果 CLK、DQS、DQ[0:31]、ADDR[0:14]、BA[0:2]、DM、CKE、CSN、WEN、CASN、RASN、ODT 等所有信号线的长度相等，则效果达到最优状态。



注意

在走线等长处理时，需要首先导入芯片基板上 DDR 各信号的走线长度。表 3-1 所示。

- DDR 走线线宽和线间距不能小于 4mil。
- DDR 接口中的时钟信号线 CKP、CKN 应该严格等长，偏差范围为 $\pm 50\text{mil}$ ，并且建议 CLK 的走线长度小于 4inch。
- 数据选通信号线 DQS 的长度要求如下：
 - DQS 以 CLK 时钟走线长度为参照进行走线，允许偏差范围为 $\pm 500\text{mil}$ 。
 - DQSP 和 DQSN 之间的走线严格等长，偏差为 $\pm 50\text{mil}$ 。
- 数据信号线 DQ[0:31]的长度要求如下：
 - DQ[0:7]以 DQS0 的走线长度为参照进行走线，允许偏差范围为 $\pm 50\text{mil}$ 。
 - DQ[8:15]以 DQS1 的走线长度为参照进行走线，允许偏差范围为 $\pm 50\text{mil}$ 。
 - DQ[16:23]以 DQS2 的走线长度为参照进行走线，允许偏差范围为 $\pm 50\text{mil}$ 。
 - DQ[24:31]以 DQS3 的走线长度为参照进行走线，允许偏差范围为 $\pm 50\text{mil}$ 。
- 数据掩码信号线 DM 的长度要求如下：
 - DM0 以 DQS0 的走线长度为参照进行走线，允许偏差范围为 $\pm 50\text{mil}$ 。
 - DM1 以 DQS1 的走线长度为参照进行走线，允许偏差范围为 $\pm 50\text{mil}$ 。
 - DM2 以 DQS2 的走线长度为参照进行走线，允许偏差范围为 $\pm 50\text{mil}$ 。
 - DM3 以 DQS3 的走线长度为参照进行走线，允许偏差范围为 $\pm 50\text{mil}$ 。
- 地址信号线 ADDR[0:14]的长度要求如下：

ADDR[0:14]以 CLK 时钟走线长度为参照进行走线，允许偏差范围为 $\pm 100\text{mil}$ 。
- 控制信号线 CTRL (BA[0:2]、DM、CKE、CSN、WEN、CASN、RASN、ODT) 的长度要求如下：

控制信号线以 CLK 时钟走线长度为参照进行走线，允许偏差范围为 $\pm 100\text{mil}$ 。

为减小信号反射，建议所有 DDR3 SDRAM 接口信号走线避免穿越电源地分割区域，保持完整的参考平面，单板 PCB 设计时传输线阻抗控制在 $50\Omega \pm 10\%$ ，DDR3 时钟差分线阻抗控制在 $100\Omega \pm 10\%$ 。

建议 PCB 布线设计采用以下原则：

- 所有 DDR3 SDRAM 信号走线必须分布在邻近地平面的走线层，避免信号走线穿越电源或地分割区域，必须保证 DDR 信号走线都有完整的参考平面。
- 在信号走线周围及换层过孔附近放置与地连通的过孔，保持良好的信号回流路径。
- 所有信号线尽量短，并且在走线路径上尽量少打过孔，保证走线阻抗的连续性。
- 串联、并联电阻可以使用排组，但是同一排组上的信号必须属于同一 DDR 信号线组，尤其避免 DQS 与地址/控制线分布在同一个组排上。



- 相邻信号走线间距保持在 2~3 倍线宽。
- 避免时钟信号紧邻数据、地址总线。
- 避免地址信号紧邻数据信号。
- DDR3 SDRAM 信号与非 DDR3 SDRAM 信号走线间隔至少 20mil。
- 每个 VREF pin 要加去耦电容且走线尽量宽，与其他信号线间隔 20mil~25mil。

电源滤波建议

DDR3 SDRAM 供电电源滤波建议如下：

- 在每个电源管脚处放置一个 100nF 的陶瓷滤波电容，并紧靠供电管脚摆放；整个 DDR3 SDRAM 功能单元供电电源至少有一个 10μF 的对地滤波电容。

VREF 参考电平设计建议如下：

- 根据 SSTL-15 协议要求，VREF 参考电压为 $0.49 \times DVDDIF \sim 0.51 \times DVDDIF$ ，VREF 分压电阻必需使用 1%精度的电阻。为了降低噪声，VREF 走线宽度不得小于 20mil。
- 控制器和 DDR3 颗粒的 VREF 参考电平分别就近用分压电路得到。
- 在每个 VREF 管脚处放置去耦电容，并紧靠管脚放置。

VTT 电源设计建议如下：

- 采用 LDO，例如 LP2996 产生 VTT 电源。
- 每 2~3 个 VTT 管脚处放置一个去耦电容，并紧靠管脚放置。
- 每 2 厘米 VTT 长度至少放置一个 10μF 的电容。

3.3 Flash 接口电路设计建议

Flash 接口包括 NAND Flash 和 SPI Flash。

Flash 接口的匹配方式支持下列四种典型方式：

- 外接单片 SPI Flash
- 外接单片 NAND Flash
- 外接两片 SPI Flash
- 外接两片 NAND Flash

3.3.1 SPI Flash 匹配设计

外接单片 SPI Flash 时，SPI Flash 匹配设计推荐如表 3-2 所示。

表3-2 单片 SPI Flash 匹配设计推荐

信号	4 层板 PCB 设计
SFC_CLK	Hi3716C 端串接 75Ω 电阻。
SFC_DIO/SFC_DOI/SFC_WP/SFC_HOLD	直接相连。



外接两片 SPI Flash 时，SPI Flash 匹配设计推荐如表 3-3 所示。

表3-3 两片 SPI Flash 匹配设计推荐

信号	4 层板 PCB 设计
SFC_CLK	Hi3716C 端串接 33Ω 电阻。
SFC_DIO/SFC_DOI/SFC_WP/SFC_HOLD	直接相连。

3.3.2 NAND Flash 匹配设计

NAND Flash 接口支持 8/16 位宽的 SLC 和 MLC 的 NAND Flash 器件

外接单片 NAND Flash 时，匹配设计推荐如表 3-4 所示。

表3-4 单片 NAND Flash 匹配设计推荐

信号	4 层板 PCB 设计
NF_WEN/NF_REN/NF_CLE/NF_ALE	直接相连。
DQ[0:7]/DQ[0:15]	DQ15 在 Hi3716C 端串接 33Ω 电阻，其余直连。

外接两片 NAND Flash 时，匹配设计推荐如表 3-5 所示。

表3-5 两片 NAND Flash 匹配设计推荐

信号	4 层板 PCB 设计
NF_WEN/NF_REN/NF_CLE/NF_ALE	直接相连。
DQ[0:7] /DQ[0:15]	DQ15 在 Hi3716C 端串接 33Ω 电阻，其余直连。

3.3.3 信号线设计建议

为减小信号反射，建议所有的信号线不要穿越电源和地分割区域，保持完整的参考平面，4 层 PCB 板传输线阻抗控制在 $50\Omega \pm 10\%$ 。建议 PCB 设计采用以下原则：

- 建议所有信号走线分布在邻近地平面的走线层，避免信号走线穿越电源或地分割区域，尽量保证信号走线都有完整的参考平面。
- 在信号走线周围及换层过孔附近放置与地连通的过孔，保持良好的信号回流路径。



- 所有信号线尽量短，并且在走线路径上尽量少打过孔，保证走线阻抗的连续性。
- 相邻信号走线间距保持在 2~3 倍线宽。
- 避免地址信号紧邻数据信号。
- 格数据信号线尽量保持等长。

3.4 EBI 接口电路设计建议

EBI 接口支持 LOCAL BUS 接口。

3.4.1 EBI 接口匹配设计

外接单负载 LOCAL BUS 器件时，匹配设计推荐如表 3-6 所示。

表3-6 LOCAL BUS 匹配设计推荐

信号	4 层板 PCB 设计
DQ[0:15]	DQ[0:14]直接相连，DQ15 在 Hi3716C 端串接 33Ω 电阻。
ADR[0:16]	直接相连。

3.4.2 信号线设计建议

为减小信号反射，建议所有信号走线避免穿越电源地分割区域，保持完整的参考平面，4 层 PCB 板传输线阻抗控制在 $50\Omega \pm 10\%$ 。建议 PCB 设计采用以下原则：

- 建议所有信号走线分布在邻近地平面的走线层，避免信号走线穿越电源或地分割区域，尽量保证信号走线都有完整的参考平面。
- 在信号走线周围及换层过孔附近放置与地连通的过孔，保持良好的信号回流路径。
- 所有信号线尽量短，并且在走线路径上尽量少打过孔，保证走线阻抗的连续性。
- 相邻信号走线间距保持在 2~3 倍线宽。
- 避免地址信号紧邻数据信号。
- 各数据信号线尽量保持等长。

3.5 以太网接口电路设计建议

控制接口 MDCK 和 MDIO 匹配设计推荐如表 3-7 所示。



表3-7 MDCK/MDIO 匹配设计推荐

信号	4 层板 PCB 设计
MDCK	Hi3716C 端串接 33Ω 电阻。
MDIO	直接相连。

3.5.2 MII 接口设计建议

MI I 接口各信号匹配设计推荐如表 3-8 所示。

表3-8 MII 接口各信号匹配设计推荐

信号名称	4 层板 PCB 设计
MI I1_RXCK	PHY 端串联 33Ω 电阻。
MI I1_RXD[0:3]	PHY 端串联 33Ω 电阻。
MI I1_TXCK	PHY 端串联 33Ω 电阻。
MI I1_TXD[0:3]	Hi3716C 端串联 33Ω 电阻。

3.5.3 RMII 接口设计建议

RMII 接口各信号匹配设计推荐如表 3-9 所示。

表3-9 RMII 接口各信号匹配设计推荐

信号名称	4 层板 PCB 设计
RMII0_REFCLK	Hi3716C 端串联 33Ω 电阻。
RMII0_RXD[0:1]	PHY 端串联 33Ω 电阻。
RMII0_TXD[0:1]	Hi3716C 端串联 33Ω 电阻。
RMII1_REFCLK	Hi3716C 端串联 33Ω 电阻。
RMII1_RXD[0:1]	PHY 端串联 33Ω 电阻。
RMII1_TXD[0:1]	Hi3716C 端串联 33Ω 电阻。



3.6 SCI 接口电路设计建议

Hi3716C 集成了 2 路 SCI 接口，专门用于和 SIM 卡进行通讯。

SCI 接口各信号匹配设计推荐如表 3-10 所示。

表3-10 SCI 接口各信号匹配设计推荐

信号名称	4 层板 PCB 设计
SIM_CLK (3.3V 的 CA 卡)	直接相连，Hi3716C 端上拉 560Ω 电阻到 3.3V。
SIM_CLK (5V 的 CA 卡)	直接相连，Hi3716C 端上拉 560Ω 电阻到 5V。
SIM_DATA (3.3V 的 CA 卡)	直接相连，Hi3716C 端上拉 680Ω 电阻到 3.3V。
SIM_DATA (5V 的 CA 卡)	直接相连，Hi3716C 端上拉 680Ω 电阻到 5V。

3.7 USB 接口电路设计建议

3.7.1 USB PCB 设计建议

为了保证良好的信号质量，USB 端口数据信号线按照差分线方式走线，差分数据线走线控制等长，走线间距保持均匀，USB 差分数据线阻抗应控制在 $90\Omega \pm 10\%$ 的均匀差分阻抗，并且避免靠近时钟芯片如时钟谐振器、时钟振荡器和时钟驱动器等。USB 走线长度建议控制在 5inch 以内。为了达到 USB 2.0 高速 480MHz 的速度要求，建议 PCB 布线设计采用以下原则：

- 差分数据线走线尽可能短、直，差分数据线对内走线长度严格等长。
- 差分数据线走线宽度恒定。
- 差分数据线走线间距恒定，走线尽可能在临近地平面的布线层走线且不要换层。
- 差分数据线走线应有完整的地平面层作为参考平面，不能跨平面分割。
- 差分数据线走线应尽量用最少的过孔和拐角，拐角可考虑用圆弧或者 45 度角，避免直角，以减少反射和阻抗变化。
- 差分数据线走线上不允许有分叉。
- 避免邻近其它高速周期信号和大电流信号，并保证间距大于 50mil，以减小串扰。此外，还应远离低速非周期信号，保证至少 20mil 的距离。

3.7.2 USB 功能单元供电电源设计

Hi3716C 集成了 2 路 USB 2.0 Host 接口。USB 功能单元的供电电源和地管脚分为 AVDD33_USB 和 AVSS_USB、DVDD_USB 和 DVSS_USB，分别对应 3.3V 电源和地、内核电源和地。

设计建议如下：



- AVDD33_USB 和 AVSS_USB 为模拟 3.3V 电源管脚和地，AVDD33_USB 电源电平偏差应控制在 $\pm 7\%$ 以内。建议使用磁珠来隔离 USB 模拟 3.3V 电源和单板数字 3.3V 电源，滤波电容就近放置，靠近 AVDD33_USB 和 AVSS_USB 管脚。
- AVSS_USB 为模拟地，建议 USB 模拟地平面就近与数字地单点相连。
- DVDD_USB 为内核电源，电平偏差应控制在 $-5\% \sim 10\%$ 内。
- USB_REXT 管脚需要通过 $43.2\Omega \pm 1\%$ 电阻连接到 USB 模拟地平面。
- USB 对外供电电源建议使用可控开关，例如使用电源开关或 MOSFET。
- 单个 USB 对外供电的 VBUS 供电电路上并联的电容容量之和需要大于 $100\mu\text{F}$ 。

3.7.3 USB 保护电路设计建议

为了满足 ESD 保护等问题的要求，在电路设计时需要考虑在 USB 电路上设计保护电路。为了避免保护器件对 USB 走线信号造成衰减，并能够达到良好的保护效果，建议 PCB 设计时采用如下原则：

- 保护器件建议紧靠 USB 端口连接器放置。
- 保护器件建议选用低寄生电容的 TVS 管保护器件。
- 建议 USB 2.0 高速端口保护器件的寄生电容小于 2pF 。

3.8 视频 DAC 电路设计建议

3.8.1 视频 DAC PCB 设计建议

为了保证视频 DAC 输出的视频图像质量，建议 PCB 布线设计采用以下原则：

- 视频 DAC 输出端外接对地匹配电阻尽量靠近 Hi3716C 放置。
- 模拟视频滤波电路尽量靠近 Hi3716C 放置。
- 视频 DAC 输出电流设置电阻 R_{ref} 为 1% 精度电阻，阻值推荐为 1110Ω 。
- 单路视频 DAC 设计为单负载驱动，如需驱动多个负载，输出多路视频信号，请考虑使用驱动器。
- 视频 DAC 的参考电平输入、输出管脚外接去耦电容建议选用 $10\mu\text{F}$ 普通电容并联 100nF 的低 ESR 陶瓷电容，且电容接地端为视频模拟地。
- 视频 DAC 外部去耦参考电压建议选用 10nF 陶瓷电容和 1nF 电容对模拟地滤波。
- 建议视频 DAC 功能单元有独立的视频模拟地平面，所有模拟信号参照此平面走线。
- 建议所有模拟信号线在靠近视频模拟地平面的走线层布线，且尽量不要换层走线。
- 尽量不要使用视频模拟地平面作为其它信号走线的参考平面。
- 走线拐角可考虑用圆弧或者 45° 度角，避免直角，以减少反射。

3.8.2 视频 DAC 功能单元供电电源设计建议

视频 DAC 功能单元的供电电源 AVDD3V3_VDAC 为视频模拟电源。建议 PCB 设计时采用如下原则：



- 模拟电源建议通过电感与单板数字 3.3V 电源隔离，滤波参考平面为 AGND_VDAC 模拟视频地。
- 模拟视频地平面通过单点与数字地相连。
- 模拟视频 3.3V 电源电平偏差尽量控制在 $\pm 5\%$ 以内。

3.8.3 视频 DAC 端口保护电路设计建议

为了满足 ESD 保护等问题的要求，在电路设计时需要考虑在视频 DAC 输出端口上设计保护电路，建议 PCB 设计时采用如下原则：

- 视频输出采用视频 Buffer 电路设计，将 Hi3716C 的视频端口和接插件端口隔离开。
- 保护器件建议紧靠视频输出端口连接器放置。
- 保护器件可以考虑使用 TVS 管或开关二极管等保护器件。

3.9 PLL 功能单元电路设计建议

Hi3716C 的 PLL 功能单元的供电电源和地分为 VDDHV25、VDDL10、VSS_PLL。建议 PCB 设计时采用如下原则：

- VDDL10 为 1.0V 的 PLL 电源，建议与单板数字 1.0V 电源用磁珠隔离，1.0V 电源电平偏差控制在 $\pm 5\%$ 以内。
- VDDHV25 为 2.5V 的 PLL 电源，建议通过磁珠与数字 2.5V 电源隔离，2.5V 电源电平偏差控制在 $\pm 5\%$ 以内。
- VSS_PLL 为 PLL 电路的参考地，VDDHV25 和 VDDL10 电源的去耦电容要求以 VSS_PLL 为参考地平面，VSS_PLL 地平面与单板数字地通过单点连接。

3.10 PCIE 接口电路设计建议

3.10.1 PCIE 接口匹配设计

Hi3716C 集成了 1 路 PCIE \times 1 接口。

PCIE 接口各信号匹配设计推荐如表 3-10 所示。

表3-11 PCIE 接口各信号匹配设计推荐

信号名称	4 层板 PCB 设计
PCIE_RX	-
PCIE_TX	发送端交流耦合，0.1 μ F



3.10.2 PCIE 功能单元电路设计建议

PCIE 接口的时钟和数据为高速差分信号，差分阻抗控制在 $100\Omega \pm 10\%$ 。PCIE__REXT 对地接 $191\Omega \pm 1\%$ 精度电阻。设计时注意如下事项：

- 数据线耦合方式，数据线采用电容 AC 耦合方式，AC 电容的电容值在 75nF 到 200nF 之间推荐 0.1uF，放在差分对的相同位置，推荐 0402 的封装，AC 耦合电容靠近发送端或者连接器放置。
- 时钟匹配方式，参考时钟的匹配连接方式，串阻的阻值为 22~33 Ω ，常用为 33 Ω ，端接电阻常用 49.9 Ω ，规范取值（40~60 Ω ），可通过仿真确定；
- 需要一对 100MHz 的差分参考时钟驱动芯片内部 PLL。参考时钟源电路必须选取稳定性高，抖动低的器件，并对时钟和电源信号进行正确的滤波、去耦。
- 差分线不要出现跨分割，尽量优选地为参考平面，其次为完整的低电压参考平面。
- 优先走带状线，差分线等长处理，误差小于 5mil。
- 差分线对间不需要等长控制。
- 弯度控制，避免突然弯转，绝对不能出现 90 度弯曲或 T 型走线。
- 过孔接地穿引，为了保持高速信号的过孔数最少，建议接地穿引（在靠近信号过孔增加一个接地孔，可以保持回流路径均匀连续）。
- 抖动控制，串行数据流中抖动的常见来源是参考时钟。PCIE 的参考时钟为 100MHz，抖动通常是时钟分配电路与 PCIE 接收器的 Vcc 电源上的额外噪声所引起。为了减小抖动，必须把 DC 噪声保持在几个毫伏之内。保持输出信号的眼图在可接收的范围内。因此需要对电源及时钟晶振（包括缓冲区）进行严格的滤波和去耦。参考时钟源本身也必须具有高稳定性，低抖动性。

3.11 SATA 接口电路设计建议

3.11.1 SATA 接口匹配设计

Hi3716C 集成了 1 路 SATA 接口。

SATA 接口各信号匹配设计推荐如表 3-12 所示。

表3-12 SATA 接口各信号匹配设计推荐

信号名称	4 层板 PCB 设计
SATA_RX	交流耦合，0.01uF
SATA_TX	交流耦合，0.01uF



3.11.2 SATA 功能单元电路设计建议

SATA 接口的时钟和数据为高速差分信号，差分阻抗控制在 $100\Omega \pm 10\%$ ，走线长度建议控制在 5inch 以内。SATA__REXT 对地接 $191\Omega \pm 1\%$ 精度电阻。SATA 设计注意事项与 PCIE 相同。

3.11.3 SATA 功能单元供电电源设计建议

SATA 功能单元的供电电源和地分为 SATA_VP10、SATA_VP25 和 VSS。建议 PCB 设计时采用如下原则：

- SATA_VP25 是模拟 2.5V 电源，建议通过磁珠隔离，滤波参考平面为 SATA 管脚附近的 VSS，电源偏差尽量控制在 $\pm 5\%$ 以内。
- SATA_VP10 是数字 1.0V 电源，建议通过磁珠隔离，滤波参考平面为 SATA 管脚附近的 VSS，电源偏差尽量控制在 $\pm 5\%$ 以内。

3.12 HDMI 接口电路设计建议

3.12.1 HDMI 接口匹配设计

Hi3716C 集成了 1 路 HDMI 输出接口。

HDMI 接口各信号匹配设计推荐如表 3-13 所示。

表3-13 HDMI 接口各信号匹配设计推荐

信号名称	4 层板 PCB 设计
TMDS_CLK	直连
TMDS_DATA	直连

3.12.2 HDMI 功能单元电路设计建议

HDMI 接口的时钟和数据为高速差分信号，差分阻抗控制在 $100\Omega \pm 15\%$ ，单板走线长度控制在 5inch 以内。HDMI_REXT 对地接 $6K\Omega \pm 1\%$ 精度电阻。



注意

在走线等长处理时，需要首先导入芯片基板上 DDR 各信号的走线长度。见上表所示。基板上 HDMI 各信号走线长度如表 3-14 所示。



表3-14 基板上 HDMI 各信号走线长度

管脚序号	信号名称	基板走线长度(um)	基板走线长度(mil)
AU20	HDMI_REXT	8764.42	345.0559055
AV19	HDMI_SCL	9754.21	384.0240157
AU19	HDMI_SDA	8768.58	345.219685
AU22	HDMI_TX0M	9083.79	357.6295276
AV22	HDMI_TX0P	9045.78	356.1330709
AU23	HDMI_TX1M	8951.78	352.4322835
AV23	HDMI_TX1P	8951.14	352.4070866
AT24	HDMI_TX2M	7505.73	295.5011811
AR24	HDMI_TX2P	7501.48	295.3338583
AR21	HDMI_TXCN	7056.82	277.8275591
AT21	HDMI_TXCP	7060.22	277.9614173

设计时注意如下事项：

- HDMI 四对差分线总的长度尽量短；差分线对内对间都要等长，对内最好控制在 10mil 以内，对间控制在 20mil 以内。
- 四对差分线严格控制 100Ω 阻抗。
- 四对差分线尽量不换层，不打过孔，走在 TOP 层。
- 确保四对差分线不跨越地和电源分割，其下方有完整的回流平面。
- 四对差分线之间尽量远离，最好能做包地处理。
- 弯度控制，避免突然弯转，绝对不能出现 90 度弯曲或 T 型走线。
- 过孔接地穿引，如果 HDMI 走线中出现了过孔，建议接地穿引（在靠近信号过孔增加一个接地孔，可以保持回流路径均匀连续）。
- HDMI 保护电路建议采用低容值 TVS 管， $C < 1\text{pF}$ 。

3.13 其它

3.13.1 PCB 信号完整性仿真设计建议

PCB 设计人员可以使用板级仿真工具，根据高清接口 IBIS 模型、对接器件 IBIS 模型、传输线模型以及板上拓扑结构完成信号完整性仿真分析。通过对仿真结果的分析，不断调整拓扑结构，以达到所需的信号质量要求，包括过冲、下冲、振铃、单调性等。



3.13.2 其它 PCB 设计注意事项

时钟信号如果带多个负载，无论频率高低，都需要特别注意其信号质量，应保证信号边沿单调。



4 接口时序

4.1 SMI 接口时序

参考相关协议，IO 时序无特别要求。

SMI 控制器主要根据对接器件的工作时序参数，实现接口时序的转换。为了尽可能多地对接各种器件，SMI 支持通过更改 SMI 控制器工作时钟，来增强 SMI 控制器的兼容性。在不同的工作时钟下，相应的可配置的时序参数范围也随之不同（如表 4-1 所示）。

总线时钟为 200MHz 时，SMI 控制器时序参数如表 4-1 所示。

表4-1 SMI 控制器时序参数表（总线时钟 $f_{\text{BUSCLK}}=200\text{MHz}$ ）

时序参数	$f_{\text{SMICLK}}=100\text{MHz}$
读等待周期 $T_{\text{WSTRD}}(\text{max})$	310ns
写等待周期 $T_{\text{WRDLY}}(\text{max})$	310ns
Burst 读等待周期 $T_{\text{WSTBURSTRD}}(\text{max})$	310ns
读使能等待周期 $T_{\text{WSTOEN}}(\text{max})$	150ns
写使能等待周期 $T_{\text{WSTWEN}}(\text{max})$	150ns
读写转向周期 $T_{\text{WSTIDLY}}(\text{max})$	150ns
异步等待信号超时时间 $T_{\text{WAITTIMEOUT}}(\text{max})$	1.2s

注：表中所得时间为采用去尾法得到的计算结果。

由于异步静态存储器接口的通用性，所以为了满足对接器件多样性的实际需求，SMI 控制器提供了两种工作模式：

- 时序参数模式

当 SMI 控制器提供的时序配置寄存器的配置范围可以满足对接器件时序要求时，SMI 控制器使用该模式来实现和对接器件的数据传送。SMI 控制器默认为工作在该模式下。



● 异步等待模式

当 SMI 控制器提供的时序配置寄存器的配置范围不能满足对接器件时序要求，或者对接器件的时序不是一个明确的范围时，SMI 控制器使用该模式来实现和对接器件的数据传送。

📖 说明

当使用 SMI 控制器的异步等待模式时，需要对接器件具有相应的异步等待控制信号。

时序参数模式下，典型的时序如图 4-1～图 4-3 所示。

图 4-1 给出了在单次读写情况下，SMI 控制器接口上的时序关系。

图4-1 SMI 控制器时序参数模式时序图（读写）

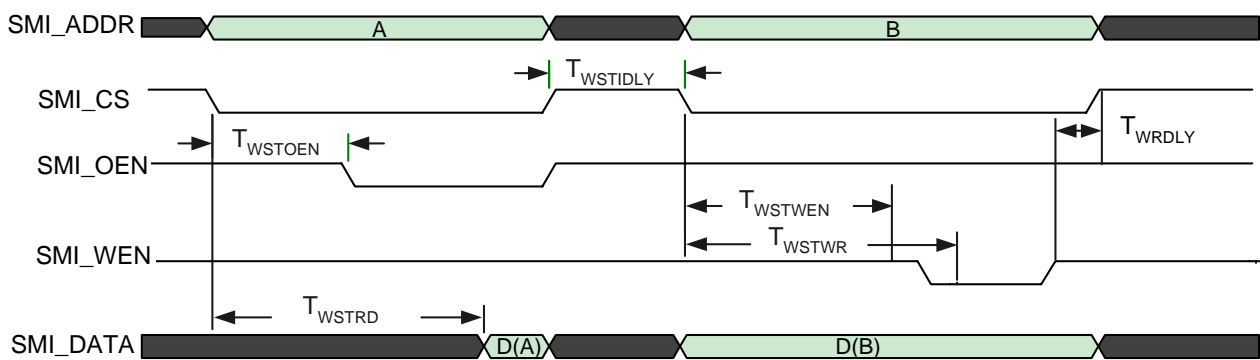


图 4-2 给出了在 page 读情况下，SMI 控制器接口上的时序关系。采用 page 读方式，可以大大提高读取数据速度。

图4-2 SMI 控制器时序参数模式时序图（page 读）

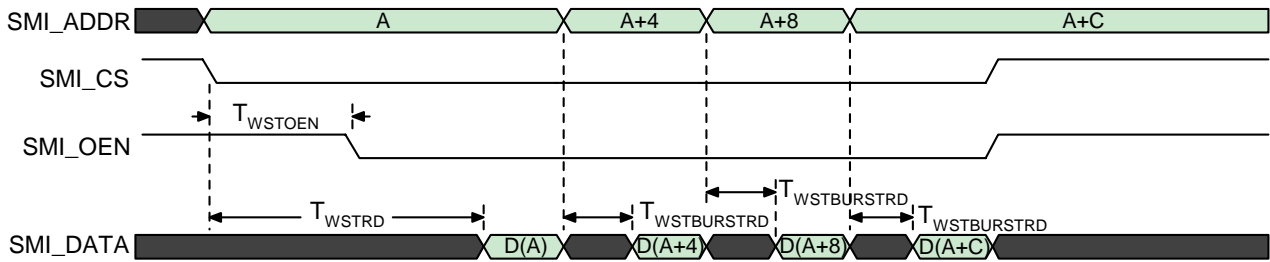
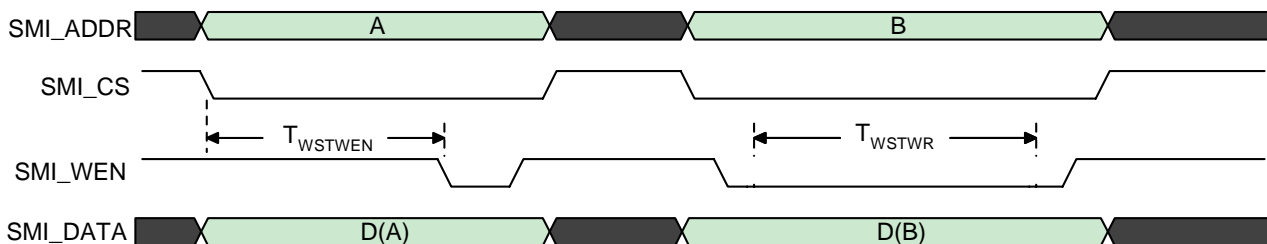


图 4-3 给出了在写情况下，SMI 控制器接口上的时序关系。



图4-3 SMI 控制器时序参数模式时序图（写）



异步等待模式下时，典型的时序如图 4-4～图 4-5 所示。

图 4-4 给出了当 SMI 控制器外接其他控制芯片，通过 SMI_WAIT 信号进行握手协商时的读写时序关系。

图4-4 SMI 控制器异步等待模式时序图（wait 读写）

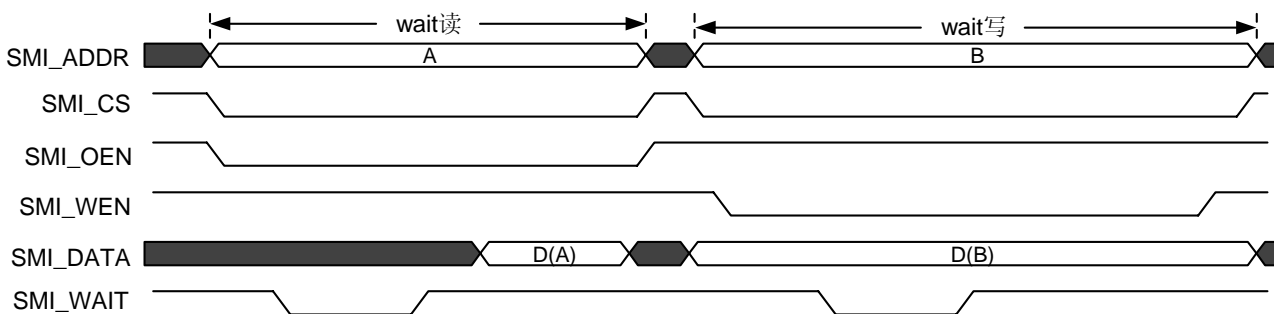
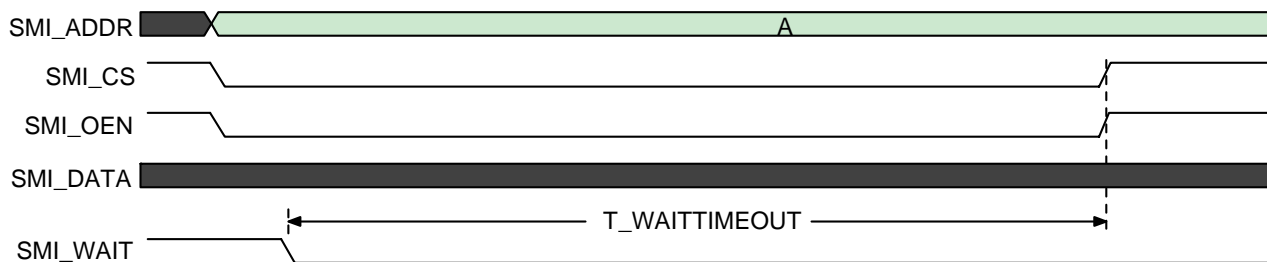


图 4-5 给出了 SMI 控制器接口上 SMI_WAIT 信号有效时间超出设置的超时时间情况下时序关系。

图4-5 SMI 控制器异步等待模式时序图（wait 超时）





4.2 DDR 接口时序

4.2.1 写操作时序

dqs_out 相对于 dq_out 的写操作时序

dqs_out 相对于 dq_out 的写操作时序的主要时序参数是 tDS 和 tDH。在 DDR2-800 中，tDS 和 tDH 分别为 0.05ns 和 0.125ns。

dq_out 由 clk2x 的下降沿寄存输出；dqs_out 由 clk2x 的上升沿寄存输出。DDR2、DDR3 的时序分别如图 4-6 和 4-4 所示。

图4-6 DDR2 中 dqs_out 相对于 dq_out 的写操作时序图

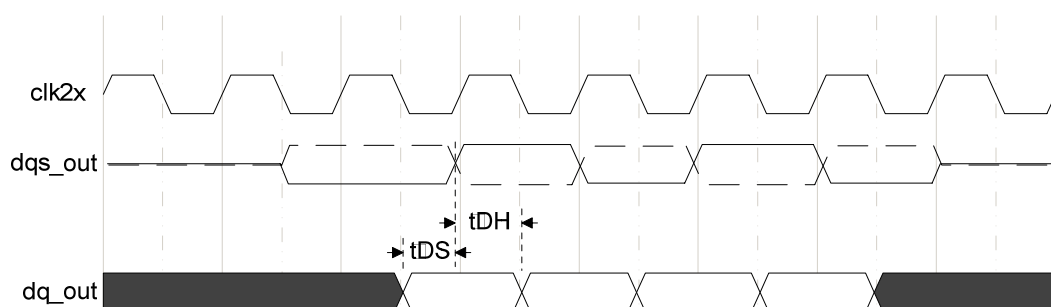
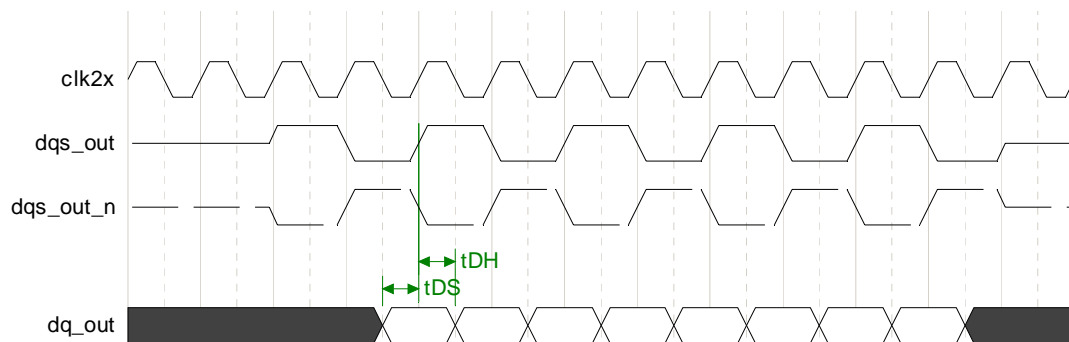


图4-7 DDR3 中 dqs_out 相对于 dq_out 的写操作时序图



dqs_out 相对于 ck 的写操作时序

dqs_out 相对于 ck 的写操作时序，tCK 为 clk1x 的时钟周期。DDR2、DDR3 的时序如图 4-8 和图 4-9 所示。



图4-8 DDR2 中 dqs_out 相对于 ck 的写操作时序图

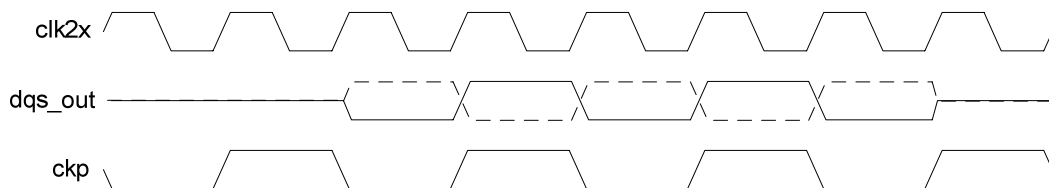
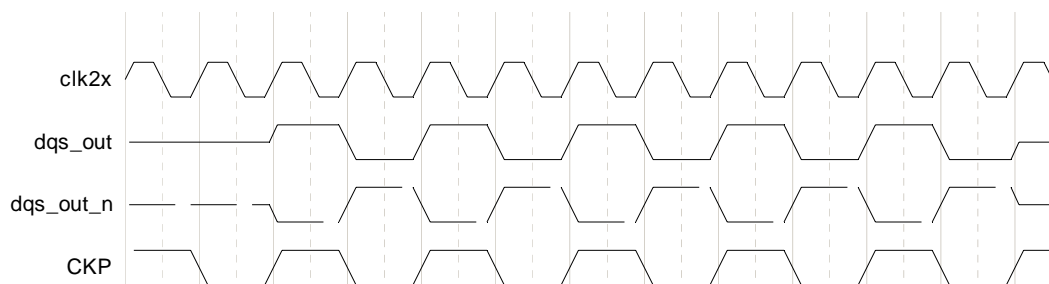


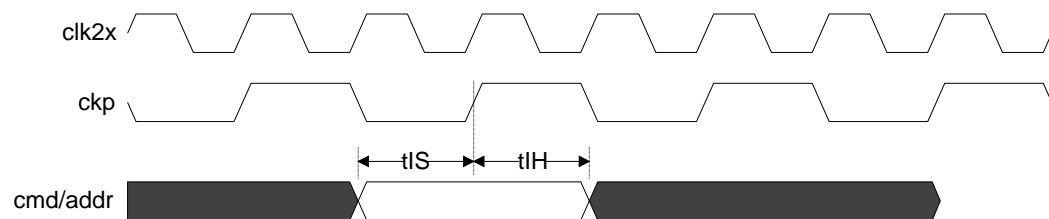
图4-9 DDR3 中 dqs_out 相对于 ck 的写操作时序图



命令和地址相对于 ck 的写操作时序

命令和地址输出时钟为 **clk2x**；命令和地址的采样时钟为 **ckp**。命令和地址相对于 **ck** 的写操作时序如图 4-10 所示。

图4-10 命令和地址相对于 ck 的写操作时序图



4.2.2 读操作时序

命令和地址相对于 ck 的读操作时序

“命令和地址相对于 **ck** 的读操作时序”与“命令和地址相对于 **ck** 的写操作时序”相同。

dqs_in 相对于 dq_in 的读操作时序

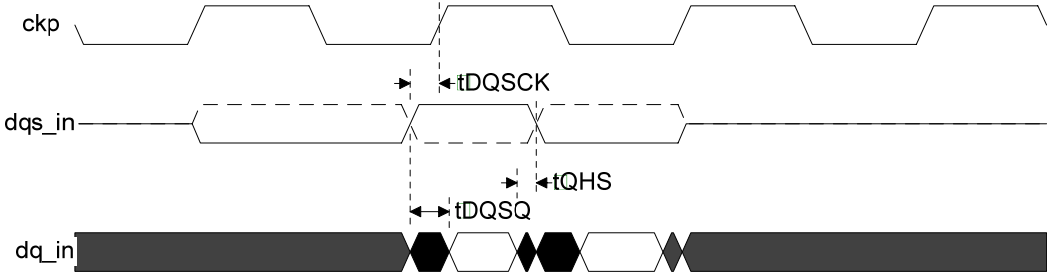
dqs_in 相对于 **dq_in** 的读操作时序分为 DDRn SDRAM 输出时序和 DDRPHY 端 **dqs_in** 和 **dq_in** 时序。



对于 DDR SDRAM 输出时序，理想情况下，DQS 和 ck 是同相位的，实际情况下，DQS 相对于 CK 有 tDQSCK 的偏斜。tDQSCK 为 0.35ns。tDQSQ 是 dq 和 dqs 之间的抖动，是最晚有效的 dq 相对于 dqs 的抖动，该值为 0.2ns，tQHS 是最早有效的 dq 相对于 dqs 的抖动，其值为 0.3ns。

DDRn SDRAM 输出时序如图 4-11 所示。

图4-11 DDRn SDRAM 输出时序图



4.2.3 时序参数

DDR 接口时序满足 JEDEC（JESD79-2E 和 JESD79-3B）标准协议，本文中描述的时序都是 DDR PHY 侧输出的时序。

对于高清芯片，以 DDR2-800 和 DDR3-1066 的时序参数为依据。DDR PHY 包括了 2 个同相时钟：clk1x 和 clk2x。

DDR2-800 SDRAM 时钟参数如表 4-2 和表 4-3 所示。

DDR3-1066 SDRAM 时钟参数如表 4-4 和表 4-5 所示。

表4-2 DDR2 时钟参数表

参数	典型值	单位
存储器时钟频率	400.00	MHz
锁相环抖动	0.200	ns
锁相环占空比	48.000	%
时钟偏斜	0.100	ns

DDR2 SDRAM 存储器参数如表 4-3 所示。

表4-3 DDR2 SDRAM 存储器参数表（DDR2-800）

参数	符号	典型值	单位
DQS 下降沿相对 DDR 时钟的建立时间	tDSS	0.500	ns



参数	符号	典型值	单位
DQS 下降沿相对 DDR 时钟的保持时间	tDSH	0.500	ns
DQ/DM 相对于 DQS 的建立时间	tDS	0.050	ns
DQ/DM 相对于 DQS 的保持时间	tDH	0.125	ns
DQS 与 DQ 的偏斜	tDQSQ	0.200	ns
数据保持的偏斜	tQHS	0.300	ns
地址和命令相对 DDR 时钟的建立时间	tIS	0.175	ns
地址和命令相对 DDR 时钟的保持时间	tIH	0.250	ns
DQS 输出时相对 DDR 时钟的偏斜	tDQSCK	0.350	ns

注：部分时序参数可参见后面的时序图。

表4-4 DDR3 时钟参数表

参数	典型值	单位
存储器时钟频率	500.00	MHz
锁相环抖动	0.200	ns
锁相环占空比	47.000	%
时钟偏斜	0.100	ns

表4-5 DDR3 SDRAM 存储器参数表（DDR3-800）

参数	符号	典型值	单位
DQS 下降沿相对 DDR 时钟的建立时间	tDSS	0.500	ns
DQS 下降沿相对 DDR 时钟的保持时间	tDSH	0.500	ns
DQ/DM 相对于 DQS 的建立时间	tDS	0.075	ns
DQ/DM 相对于 DQS 的保持时间	tDH	0.150	ns
DQS 与 DQ 的偏斜	tDQSQ	0.200	ns
地址和命令相对 DDR 时钟的建立时间	tIS	0.200	ns
地址和命令相对 DDR 时钟的保持时间	tIH	0.275	ns
DQS 输出时相对 DDR 时钟的偏斜	tDQSCK	0.400	ns

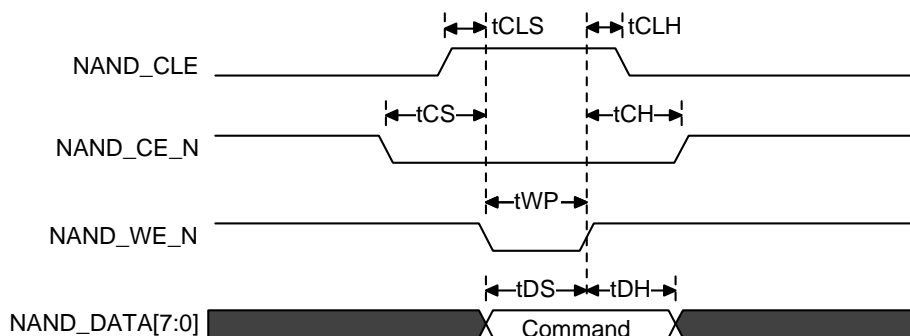


4.3 NANDC 接口时序

4.3.1 命令周期时序

NANDC 命令周期时序如图 4-12 所示。

图4-12 NANDC 命令周期时序图



说明

NAND_WE_N 和 NAND_RE_N 的高电平宽度和低电平宽度是可以通过 NANDFLASH 控制器的 NF_PULSE_WIDTH 寄存器设置的，因此，NANDC 接口时序图中的部分参数会随着该寄存器的设置不同而改变。在本节的参数表中，统一以“可以设置”表示。

NANDC 命令周期时序参数如表 4-6 所示。

表4-6 NANDC 命令周期时序参数表

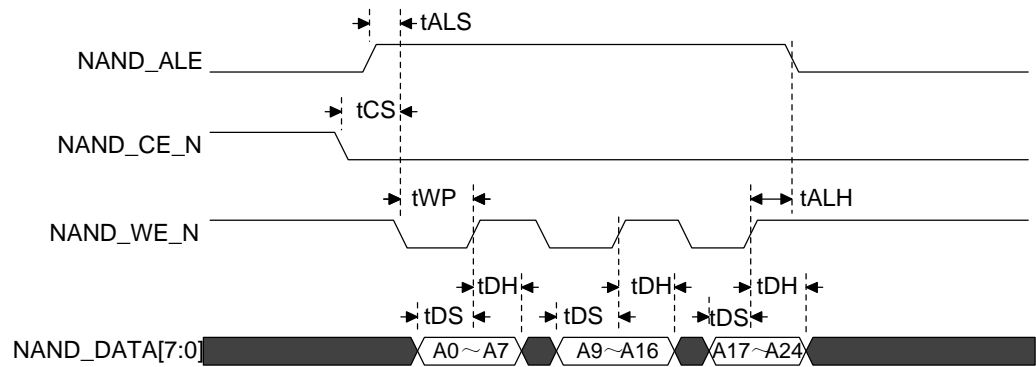
参数	符号	最小值	最大值	单位	说明
NAND_CLE 建立时间	tCLS	0	-	ns	-
NAND_CLE 保持时间	tCLH	10	-	ns	可以设置
NAND_CE_N 建立时间	tCS	0	-	ns	-
NAND_CE_N 保持时间	tCH	10	-	ns	可以设置
NAND_WE_N 脉冲宽度	tWP	15	-	ns	可以设置
数据建立时间	tDS	10	-	ns	可以设置
数据保持时间	tDH	10	-	ns	可以设置

4.3.2 地址周期时序

NANDC 地址周期时序如图 4-13 所示。



图4-13 NANDC 地址周期时序图



NANDC 地址周期时序参数如表 4-7 所示。

表4-7 NANDC 地址周期时序参数表

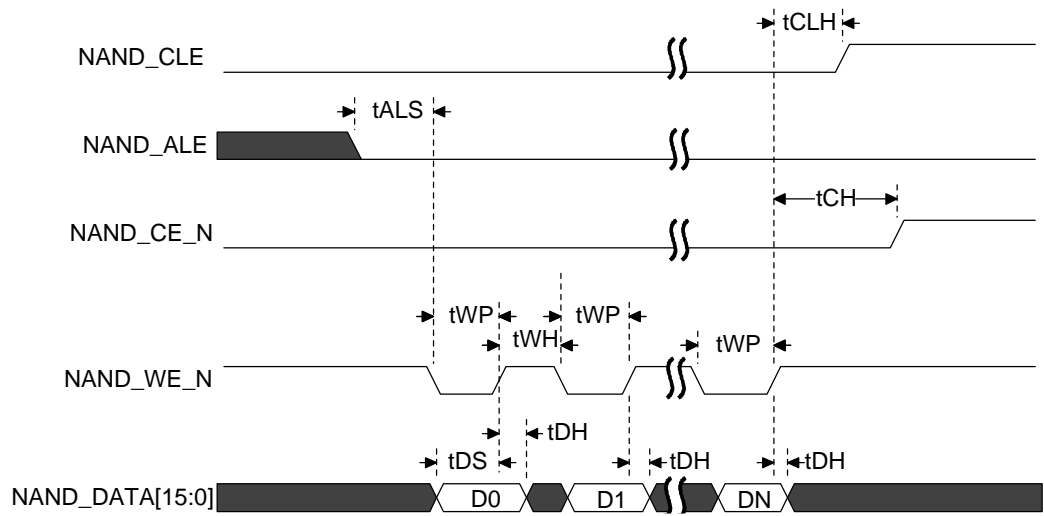
参数	符号	最小值	最大值	单位	说明
NAND_CE_N 建立时间	tCS	0	-	ns	-
NAND_WE_N 脉冲宽度	tWP	15	-	ns	可以设置
NAND_ALE 建立时间	tALS	0	-	ns	-
NAND_ALE 保持时间	tALH	10	-	ns	可以设置
数据建立时间	tDS	10	-	ns	可以设置
数据保持时间	tDH	10	-	ns	可以设置

4.3.3 写数据时序

NANDC 写数据时序如图 4-14 所示。



图4-14 NANDC 写数据时序图



NANDC 写数据时序参数如表 4-8 所示。

表4-8 NANDC 写数据时序参数表

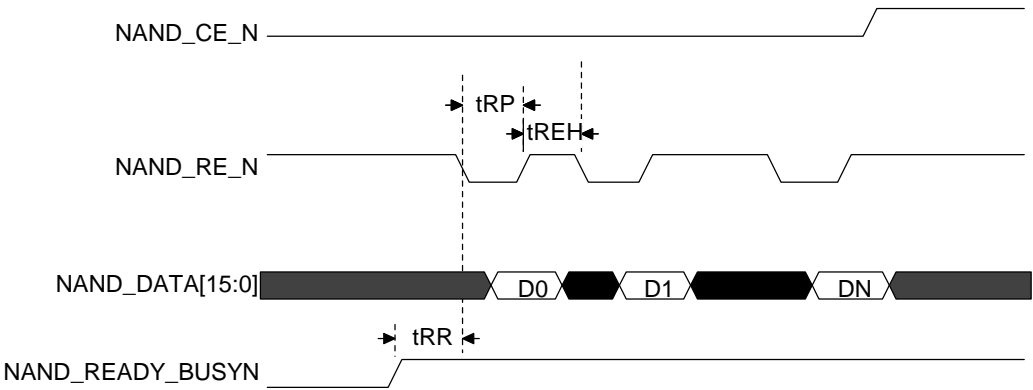
参数	符号	最小值	最大值	单位	说明
NAND_CLE 保持时间	tCLH	10	-	ns	可以设置
NAND_CE_N 保持时间	tCH	10	-	ns	可以设置
NAND_WE_N 脉冲宽度	tWP	15	-	ns	可以设置
NAND_ALE 建立时间	tALS	0	-	ns	可以设置
数据建立时间	tDS	10	-	ns	可以设置
数据保持时间	tDH	10	-	ns	可以设置
NAND_WE_N 高电平保持时间	tWH	15	-	ns	可以设置

4.3.4 读数据时序

NANDC 读数据时序如图 4-15 所示。



图4-15 NANDC 读数据时序图



NANDC 读数据时序参数如表 4-9 所示。

表4-9 NANDC 读数据时序参数表

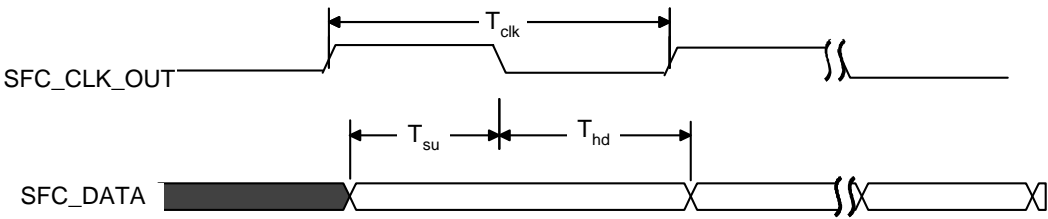
参数	符号	最小值	最大值	单位	说明
NAND_RE_N 变低等待时间	tRR	15	-	ns	可以设置
NAND_RE_N 脉冲宽度	tRP	15	-	ns	可以设置
NAND_RE_N 高电平宽度	tREH	15	-	ns	可以设置

注：tRR 延时是可以设置的。

4.4 SFC 接口时序

SFC 输入方向时序如图 4-16 所示。

图4-16 SFC 输入方向时序图



SFC 输入方向时序参数如表 4-10 所示。

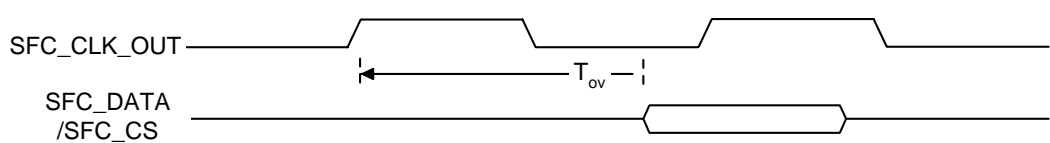


表4-10 SFC 输入方向时序参数表

参数	符号	最小值	典型值	最大值	单位
SFC_CLK 时钟周期	T_{clk}	9.2	-	50	ns
输入信号建立时间要求	T_{su}	4.2	-	-	ns
输入信号保持时间要求	T_{hd}	0	-	-	ns

SFC 输出方向时序如图 4-17 所示。

图4-17 SFC 输出方向时序图



SFC 输出方向时序参数如表 4-11 所示。

表4-11 SFC 输出方向时序参数表

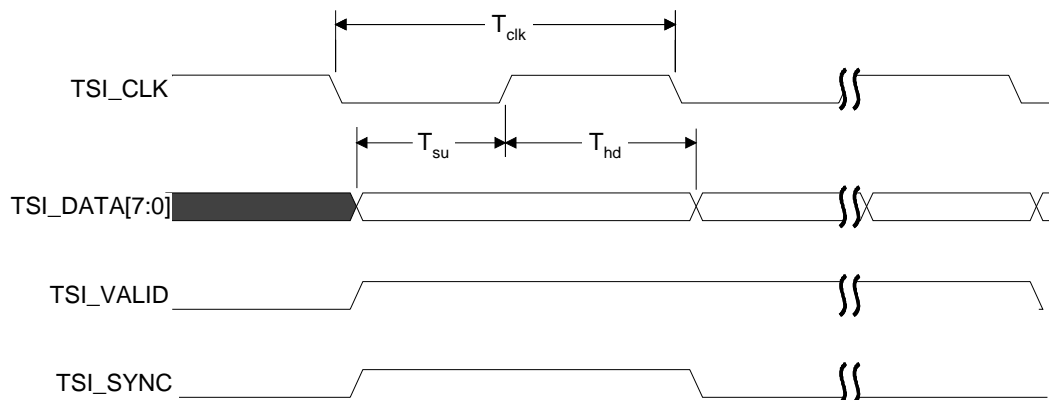
参数	符号	最小值	典型值	最大值	单位
SFCCLK 时钟周期	T	9.2	-	50	ns
输出数据信号延时	T_{ov}	3	-	6.2	ns
输出片选信号延时	T_{ov}	3	-	6.2	ns

4.5 TSI 接口时序

TSI 接口时序图如图 4-18 所示。



图4-18 TSI 接口时序图



TSI 接口时序参数如表 4-12 所示。

表4-12 TSI 接口时序参数表

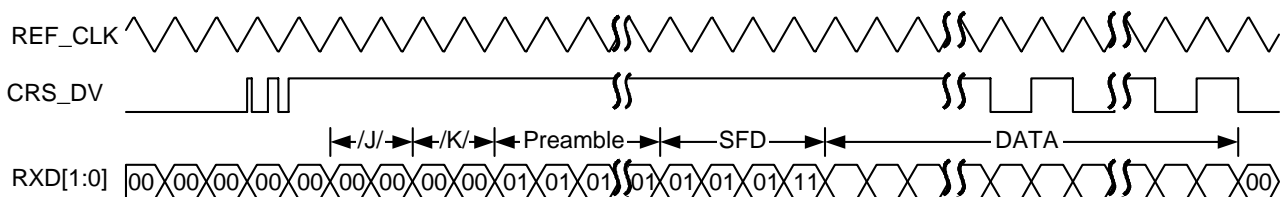
参数	符号	最小值	典型值	最大值	单位	说明
TSI_CLK 时钟周期	T_{clk}	74.1	-	-	ns	并行
		10.4	-	-	ns	串行
输入信号建立时间要求	T_{su}	9.3	-	-	ns	并行
		5.9	-	-	ns	串行
输入信号保持时间要求	T_{hd}	0.8	-	-	ns	并行
		5.9	-	-	ns	串行

4.6 Ethernet MAC 接口时序

4.6.1 RMII 接口时序

RMII 接口 100Mbit/s 接收时序如图 4-19 所示。

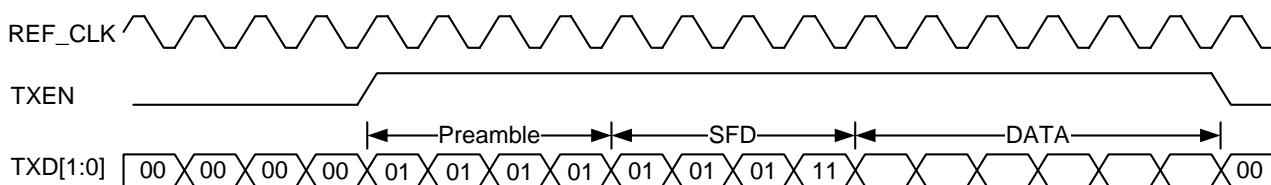
图4-19 RMII 接口 100Mbit/s 接收时序





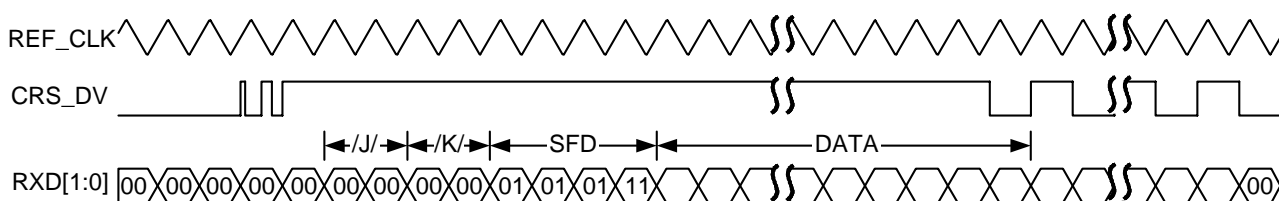
RMII 接口 100Mbit/s 发送时序如图 4-20 所示。

图4-20 RMII 接口 100Mbit/s 发送时序



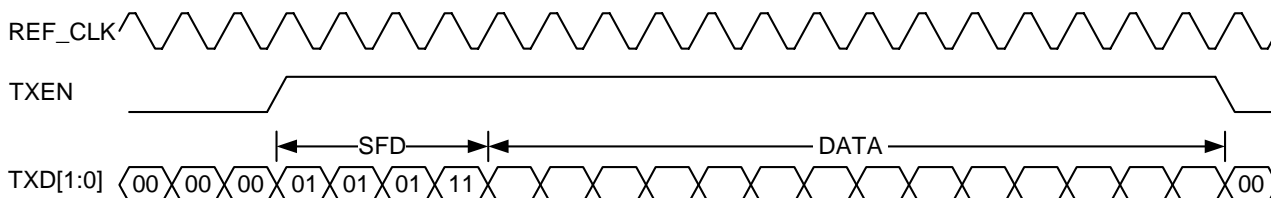
RMII 接口 10Mbit/s 接收时序如图 4-21 所示。

图4-21 RMII 接口 10Mbit/s 接收时序



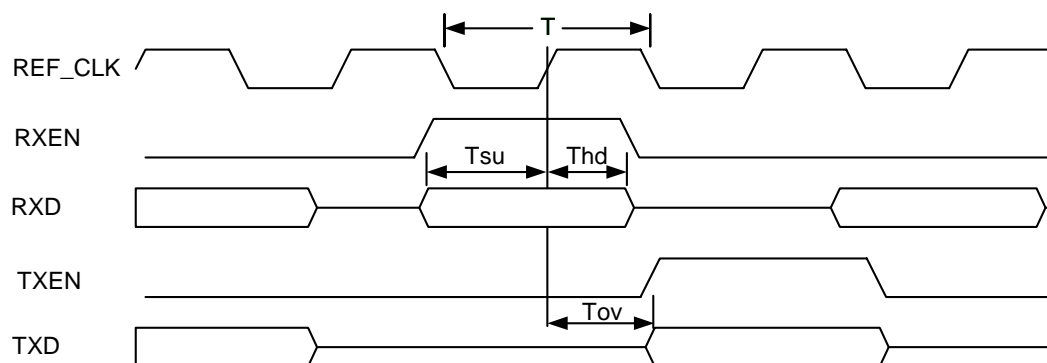
RMII 接口 10Mbit/s 发送时序如图 4-22 所示。

图4-22 RMII 接口 10Mbit/s 发送时序



RMII 接口时序参数如图 4-23 所示。

图4-23 RMII 接口时序参数





RMII 接口时序参数说明如表 4-13 所示。

表4-13 RMII 接口时序参数说明

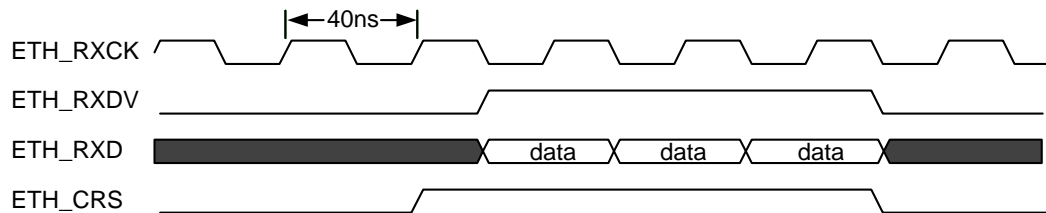
参数	符号	信号	最小值	最大值	单位
RMII 时钟周期	T	REF_CLK	20	20	ns
RMII 信号建立时间	Tsu (RX)	CRS_DV/RXD[1:0]	3	-	ns
RMII 信号保持时间	Thd (RX)	CRS_DV/RXD[1:0]	2	-	ns
RMII 输出信号延时	Tov (TX)	TXEN/TXD[1:0]	3	16	ns

4.6.2 MII 接口时序

芯片提供标准的 MII 接口，连接 PHY（Physical Layer Entity Sublayer）芯片，符合 MII 接口时序标准。

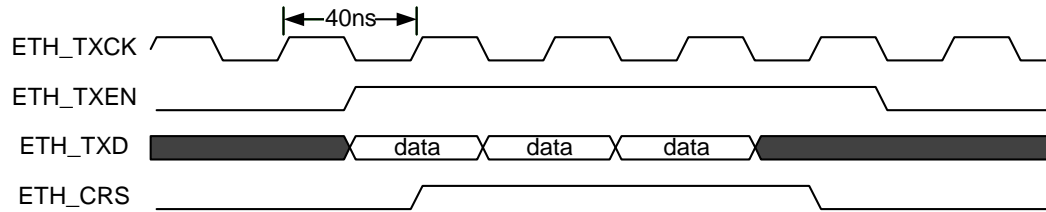
MI I 接口 100Mbit/s 接收时序如图 4-24 所示。

图4-24 MII 接口 100Mbit/s 接收时序



MI I 接口 100Mbit/s 发送时序如图 4-25 所示。

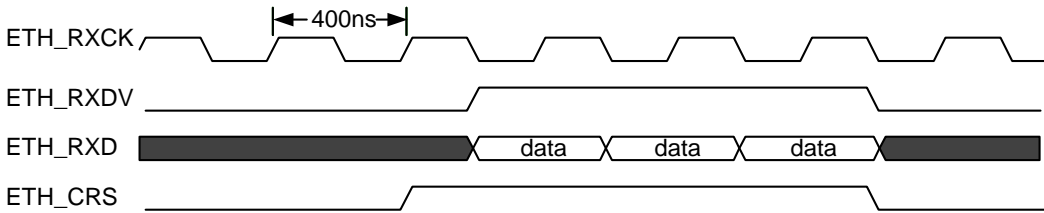
图4-25 MII 接口 100Mbit/s 发送时序



MI I 接口 10Mbit/s 接收时序如图 4-26 所示。

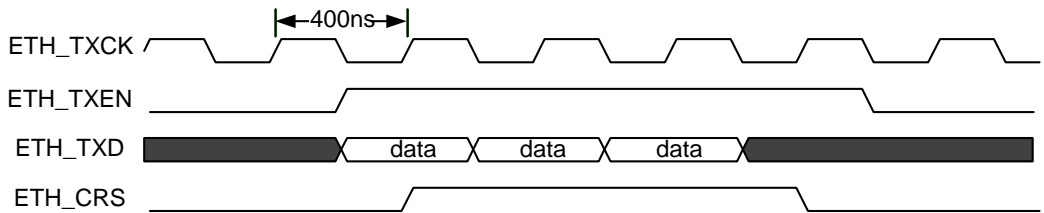


图4-26 MII 接口 10Mbit/s 接收时序



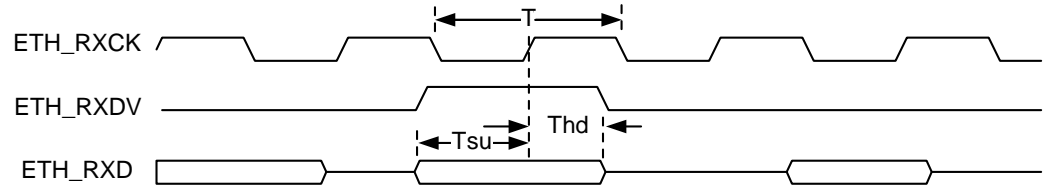
MII 接口 10Mbit/s 发送时序如图 4-27 所示。

图4-27 MII 接口 10Mbit/s 发送时序



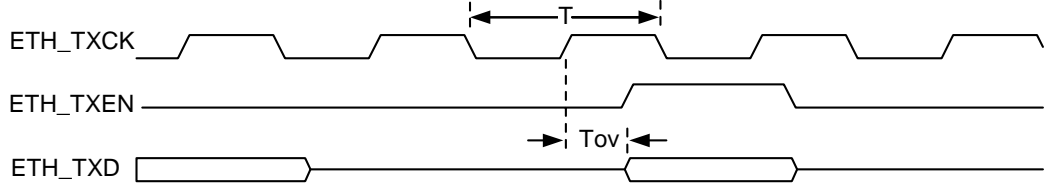
MII 接口接收时序参数如图 4-28 所示。

图4-28 MII 接口接收时序参数



MII 接口发送时序参数如图 4-29 所示。

图4-29 MII 接口发送时序参数



MII 接口时序参数说明如表 4-14 所示。



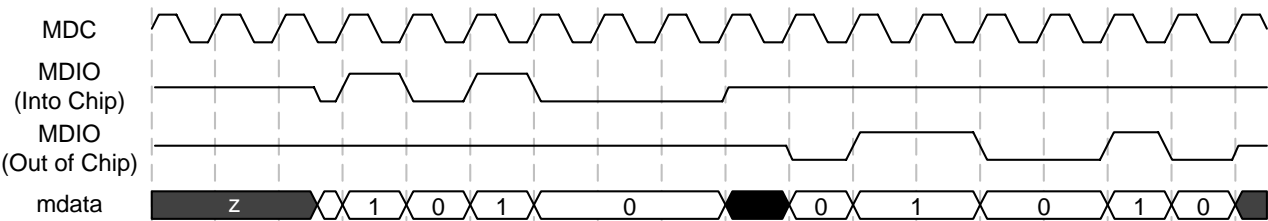
表4-14 MII 接口时序参数说明

参数	符号	信号	最小值	最大值	单位
MII 时钟周期	T	ETH_RXCK、ETH_TXCK	40	40	ns
MII 信号建立时间	Tsu (RX)	ETH_RXER、ETH_RXDV、ETH_RXD[3:0]	6	-	ns
MII 信号保持时间	Thd (RX)	ETH_RXER、ETH_RXDV、ETH_RXD[3:0]	2	-	ns
MII 输出信号延时	Tov (TX)	ETH_TXD[3:0]、ETH_TXEN	4	16	ns

4.6.3 MDIO 接口时序

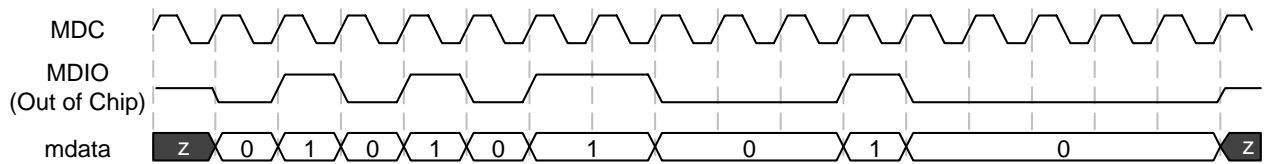
MDIO 接口读时序如图 4-30 所示。

图4-30 MDIO 接口读时序



MDIO 接口写时序如图 4-31 所示。

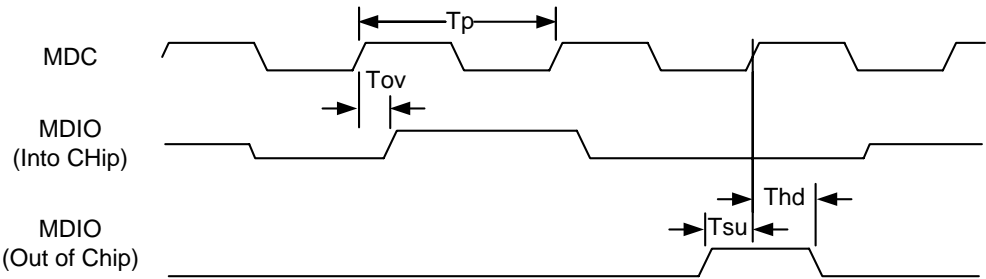
图4-31 MDIO 接口写时序



MDIO 接口时序参数如图 4-32 所示。



图4-32 MDIO 接口接收时序参数



MDIO 接口时序参数说明如表 4-15 所示。

表4-15 MDIO 接口时序参数

参数	符号	信号	最小值	最大值	单位
MDIO 接收数据延迟时间	Tov	MDIO	166	20833	ns
MDIO 时钟周期	Tp	MDC	333	41667	ns
MDIO 发送数据建立时间	Tsu	MDIO	10	-	ns
MDIO 发送数据保持时间	Thd	MDIO	10	-	ns

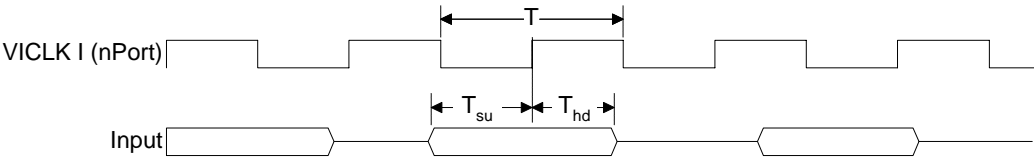
注：MDC 时钟周期 Tp 可通过调整 MDC 频率（MDIO_RWCTRL[frq_dv]）进行改变，选择 Ethernet 工作时钟 150MHz 的 100 分频、50 分频或者其他分频。Tov 与 MDC 时钟周期 Tp 相关，约为 Tmdc/2。

4.7 VI 接口时序

外部提供 VI 时钟。当 VI 工作于从模式时，全部为输入接口。

VI 接口时序如图 4-33 所示。

图4-33 VI 接口时序图



VI 接口时序参数如表 4-16 所示。



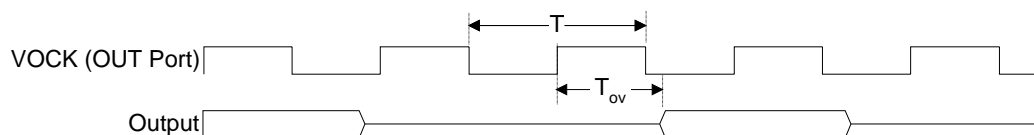
表4-16 VI 接口时序参数表

参数	符号	最小值	典型值	最大值	单位
VICLK 时钟周期	T	9.25	37.03	-	ns
输入信号建立时间要求	T_{su}	2.5	-	-	ns
输入信号保持时间要求	T_{hd}	2	-	-	ns

4.8 VO 接口时序

VO 接口时序如图 4-34 所示。

图4-34 VO 接口时序



VO 接口时序参数如表 4-17 所示。

表4-17 VO 接口时序参数表

参数	符号	最小值	典型值	最大值	单位
工作频率一					
VOCLK 时钟周期	T	-	37	-	ns
输出信号延时	T_{ov}	17	-	22	ns
工作频率二					
VOCLK 时钟周期	T	-	6.75	-	ns
输出信号延时	T_{ov}	0	-	4	ns

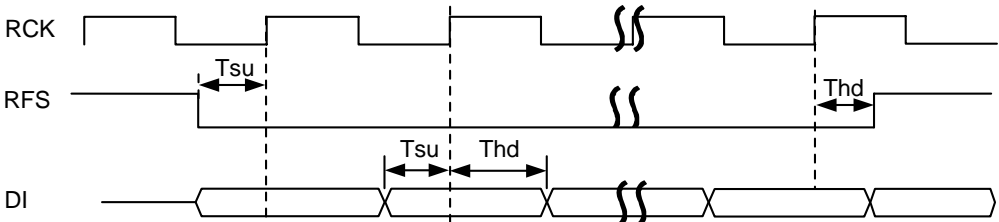
4.9 SIO 接口时序

4.9.1 I²S 模式接口时序

I²S 接口接收时序如图 4-35 所示。

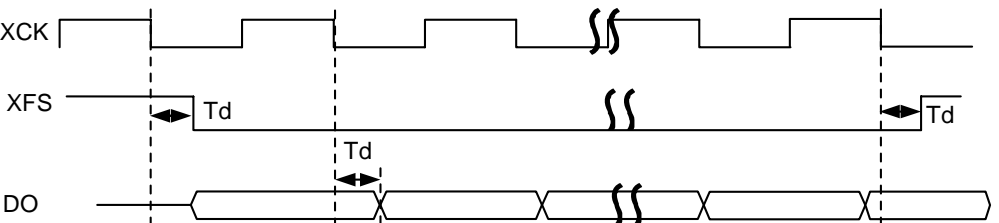


图4-35 I²S 接口接收时序图



I²S 接口发送时序如图 4-36 所示。

图4-36 I²S 接口发送时序图



I²S 接口时序参数如表 4-18 所示。

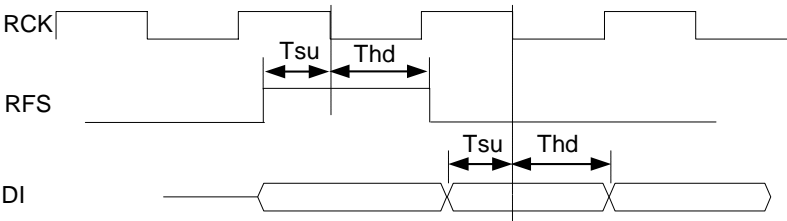
表4-18 I²S 接口时序参数表

参数	符号	最小值	典型值	最大值	单位
输入信号建立时间	T _{su}	10	-	-	ns
输入信号保持时间	T _{hd}	10	-	-	ns
输出信号延时	T _d	0	-	8	ns

4.9.2 PCM 模式接口时序

PCM 接口接收时序如图 4-37 所示。

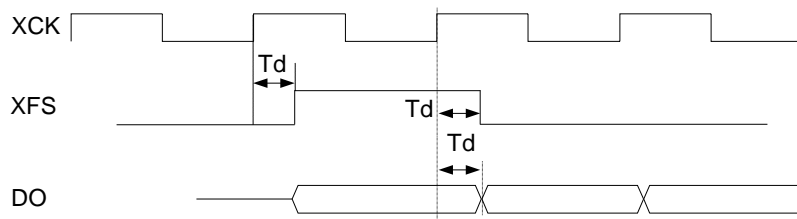
图4-37 PCM 接口接收时序图



PCM 接口发送时序如图 4-38 所示。



图4-38 PCM 接口发送时序图



PCM 接口时序参数如表 4-19 所示。

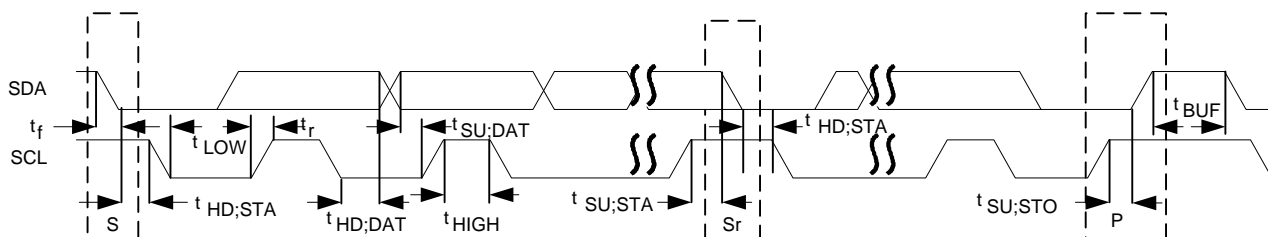
表4-19 PCM 接口时序参数表

参数	符号	最小值	典型值	最大值	单位
输入信号建立时间	T_{su}	10	-	-	ns
输入信号保持时间	T_{hd}	10	-	-	ns
输出信号延时	T_d	0	-	8	ns

4.10 I²C 时序

I²C 传输时序如图 4-39 所示。

图4-39 I²C 传输时序图



I²C 接口时序参数如表 4-20 所示。

表4-20 I²C 接口时序参数表

参数	符号	标准模式		快速模式		单位
		最小值	最大值	最小值	最大值	
SCL 时钟频率	f_{SCL}	0	100	0	400	KHz
启动保持时间	$t_{HD;STA}$	4.0	-	0.6	-	μs



参数	符号	标准模式		快速模式		单位
		最小值	最大值	最小值	最大值	
SCL 低电平周期	t_{LOW}	4.7	-	1.3	-	μs
SCL 高电平周期	t_{HIGH}	4.0	-	0.6	-	μs
启动建立时间	$t_{\text{SU,STA}}$	4.7	-	0.6	-	μs
数据保持时间	$t_{\text{HD,DAT}}$	0	3.45	0	0.9	μs
数据建立时间	$t_{\text{SU,DAT}}$	250	-	100	-	ns
SDA、SCL 上升时间	t_r	-	1000	$20+0.1C_b$	300	ns
SDA、SCL 下降时间	t_f	-	300	$20+0.1C_b$	300	ns
结束建立时间	$t_{\text{SU,STO}}$	4.0	-	0.6	-	μs
开始与结束之间的总线释放时间	t_{BUF}	4.7	-	1.3	-	μs
总线负载	C_b	-	400	-	400	pF
低电平噪声容限	V_{nL}	$0.1V_{\text{DD}}$	-	$0.1V_{\text{DD}}$	-	V
高电平噪声容限	V_{nH}	$0.2V_{\text{DD}}$	-	$0.2V_{\text{DD}}$	-	V

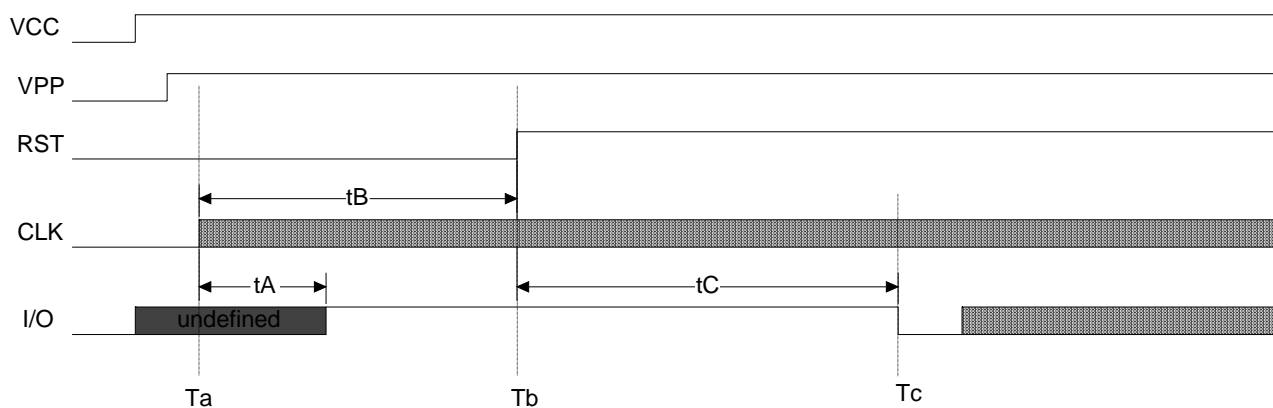
4.11 SCI 接口时序

4.11.1 激活和冷复位接口时序

对于 A 类卡 (5V), f : 1~5MHz; 对于 B 类卡 (3V), f : 1~4MHz。激活和冷复位接口时序如图 4-40 所示, 其中 $t_A \leq 200/f$ 、 $400/f \leq t_B$ 、 $400/f \leq t_C \leq 40000/f$ 。



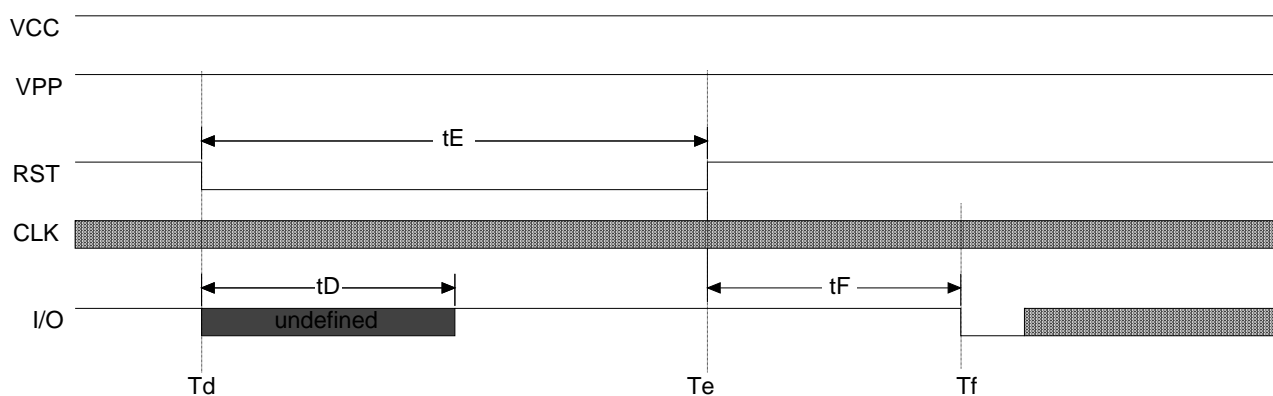
图4-40 SCI 激活和冷复位接口时序图



4.11.2 热复位接口时序

对于 A 类卡 (5V), f : 1~5MHz; 对于 B 类卡 (3V), f : 1~4MHz。热复位接口时序如图 4-41 所示, 其中 $t_D \leq 200/f$ 、 $400/f \leq t_E$ 、 $400/f \leq t_F \leq 40000/f$ 。

图4-41 SCI 热复位接口时序图

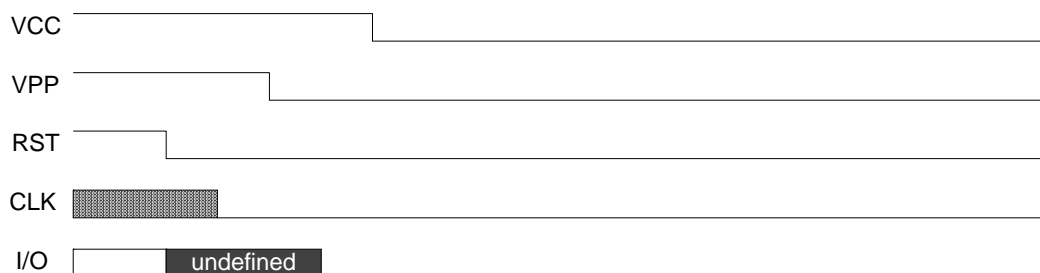


4.11.3 释放接口时序

SCI 释放接口时序如图 4-42 所示。



图4-42 SCI 释放接口时序图



4.12 SPI 接口时序

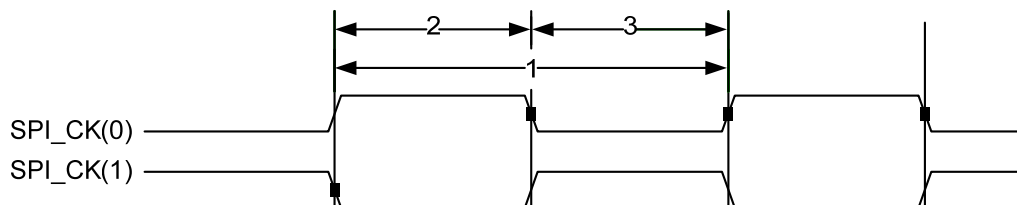
说明

图 4-43 ~ 图 4-45 中，以下缩略语或字母意义不变：

- MSB:Most Significant Bit
- LSB:Least Significant Bit
- SPI_CK(0):spo=0
- SPI_CK(1):spo=1

SPI 接口时钟时序如图 4-43 所示。

图4-43 SPICK 时序



SPI 主模式下接口时序分别如图 4-44 和图 4-45 所示。

图4-44 SPI 主模式下接口时序（sph=0）

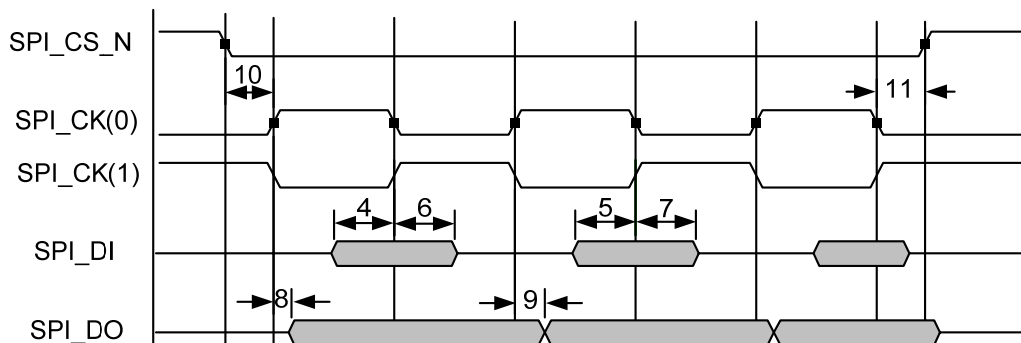
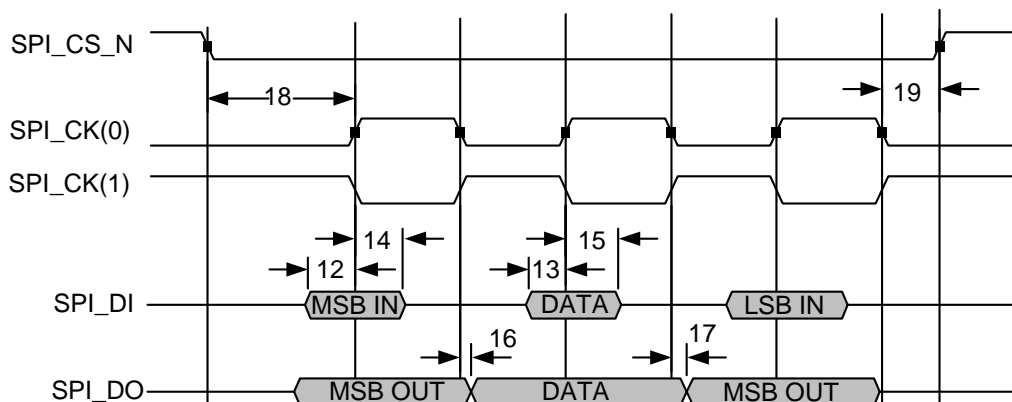




图4-45 SPI 主模式下接口时序 (sph=1)



SPI 接口时序参数如表 4-21 所示。

表4-21 SPI 接口时序参数

No	参数	符号	最小值	典型值	最大值	单位
1	Cycle time, SPI_CK	tc	-	-	-	ns
2	Pulse duration, SPI_CK high (All Master Modes)	tw1	-	-	-	ns
3	Pulse duration, SPI_CK low (All Master Modes)	tw2	-	-	-	ns
4	Setup time, SPI_DI (input) valid before SPI_CK (output) falling edge	tsu1	-	-	-	ns
5	Setup time, SPI_DI (input) valid before SPI_CK (output) rising edge	tsu2	-	-	-	ns
6	Hold time, SPI_DI (input) valid after SPI_CK (output) falling edge	th1	-	-	-	ns
7	Hold time, SPI_DI (input) valid after SPI_CK (output) rising edge	th2	-	-	-	ns
8	Delay time, SPI_CK (output) rising edge to SPI_DO (output) transition	td1	-	-	-	ns
9	Delay time, SPI_CK (output) falling edge to SPI_DO (output) transition	td2	-	-	-	ns
10	Delay time, SPI_CS_N (output) falling edge to first SPI_CK (output) rising or falling edge	td3	-	-	-	ns



No	参数	符号	最小值	典型值	最大值	单位
11	Delay time, SPI_CK (output) rising or falling edge to SPI_CS_N (output) rising edge	td4	-	-	-	ns
12	Setup time, SPI_DI (input) valid before SPI_CK (output) rising edge	tsu3	-	-	-	ns
13	Setup time, SPI_DI (input) valid before SPI_CK (output) falling edge	tsu4	-	-	-	ns
14	Hold time, SPI_DI (input) valid after SPI_CK (output) rising edge	th3	-	-	-	ns
15	Hold time, SPI_DI (input) valid after SPI_CK (output) falling edge	th4	-	-	-	ns
16	Delay time, SPI_CK (output) falling edge to SPI_DO (output) transition	td5	-	-	-	ns
17	Delay time, SPI_CK (output) rising edge to SPI_DO (output) transition	td6	-	-	-	ns
18	Delay time, SPI_CS_N (output) falling edge to first SPI_CK (output) rising or falling edge	td7	-	-	-	ns
19	Delay time, SPI_CK (output) rising or falling edge to SPI_CS_N (output) rising edge	td8	-	-	-	ns



A 缩略语

A

AC	Alternating Current	交流（电）
ADC	Analog to Digital Converter	模数转换器
AGC	Automatic Gain Control	自动增益控制
ALE	Address Latch Enable	地址锁存使能
AO	Audio Output	音频输出
ARM	Advanced RISC Machine	高级精简指令集处理器

C

CODEC	Coder Decoder	编码解码器
CPU	Central Processing Unit	中央处理单元
CS	Chip Select	片选

D

DAC	Digital Analog Converter	数字模拟转换器
DC	Direct Current	直流(电)
DDR	Double Data Rate	双数据速率

E

EBI	External Bus Interface	外部总线接口
ECC	Error Checking and Correction	差错校验纠正
ETH	Ethernet	以太网

**F**

FLASH	FLASH memory	闪速存储器
-------	--------------	-------

I

I2C	The Inter-Integrated Circuit	一种串行总线协议标准
I2S	Inter-IC Sound	一种音频数据传输总线标准
IO	Input Output	输入输出
IPU	Internal Pull-Up	内部上拉
IR	Infrared Ray	红外线

J

JEDEC	Joint Electron Device Engineering Council	电子元件工业联合会
JTAG	Joint Test Action Group	联合测试行动小组

L

LCD	Liquid Crystal Display	液晶显示屏
LED	Light Emitting Diode	发光二极管
LSB	Least Significant Byte	最低有效字节
LVMOS	Low Voltage Complementary Metal Oxide Semiconductor Transistor	低压互补型金属氧化物半导体

M

MDC	Message Distribution Center	消息分发中心
MDIO	Management Data Input/Output	管理数据输入输出接口
MDX	Multidimensional Expressions	多维表达式
MII	Media Independent Interface	媒质独立接口
MSB	Most Significant Bit	最高位

N

NC	No Connection	未连接
NF	NAND Flash	NAND Flash 存储器



O

OD	Open Drain	漏极开路门
OOD	Object-Oriented Database	面向对象数据库
OTP	One Time Programming	一次性编程

P

PBGA	Plastic Ball Grid Array	塑封球栅阵列
PCB	Physical Control Block	物理控制块
PCI	Peripheral Component Interconnect	外设部件互连
PCM	Pulse Code Modulation	脉冲编码调制
PHY	Physical Sublayer & Physical Layer	物理子层,物理层
PLL	Phase-Locked Loop	锁相环
PWM	Pulse Width Modulation	脉宽调制

Q

QAM	Quadrature Amplitude Modulation	正交幅度调制、正交调幅
-----	---------------------------------	-------------

R

RAM	Random Access Memory	随机存取存储器
RC	Readable Only and Self Cleaning after Reading	读清
RMII	Reduced Media Independent Interface	简化的介质无关接口
RO	Read Only	只读
ROM	Read Only Memory	只读存储器
RPU	Routing Process Unit	路由协议处理模块
RST	Reset	复位
RTT	Radio Transmission Technology	无线传输技术
RX	Reception	接收

S

SATA	Serial Advanced Technology Attachment	串行高级连接器
------	---------------------------------------	---------



SCI	Smart Card Interface	智能卡接口
SCL	Serial Clock Line	串行时钟线
SDA	Serial Data and Address	串行数据地址线
SDH	Synchronous Digital Hierarchy	同步数字体系
SDI	Service Defect Indication	服务缺陷指示
SDRAM	Synchronous Dynamic Random Access Memory	同步动态随机存储器
SF	Spreading Factor	扩频因子
SPDIF	Sony Philips Digital Interface	索尼/飞利浦 数字音频接口
SYNC	Synchronization (network)	同步（网）
T		
TFT	Thin Film Transistor	薄膜晶体管
TSI	Time Slot Interchange	时隙交换
U		
UART	Universal Asynchronous Receiver & Transmitter	通用异步收发器
USB	Universal Serial Bus	通用串行总线
V		
VI	Video Input	视频输入
VO	Video Output	视频输出
VOU	Video Output Unit	视频输出单元
W		
WDG	Watch Dog	看门狗