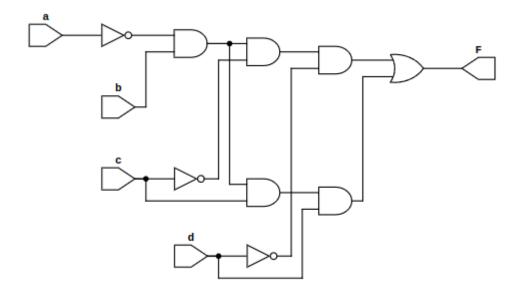
2. (a) Desenhe o circuito para código Verilog com **Equações (assign)** e qual é o valor de F para a=1, b=0, c=1 e d=0 ?

```
module Q2a(input a,b,c,d, output F);
wire w1;
assign w1 = (c^d);
assign F = \sima & b & \simw1;
endmodule
```

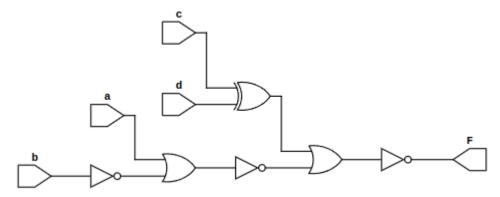
(b) Desenhe o circuito para o código **Verilog Estrutural** abaixo e qual o valor de F para a=1, b=0, c=1 e d=0 ?

```
module Q2b(input a,b,c,d, output F);
wire w1,w2,w3;
not g1(w1,b);
nor g2(w2,a,w1);
xor g3(w3,c,d);
nor g4(F,w3,w2);
endmodule
```

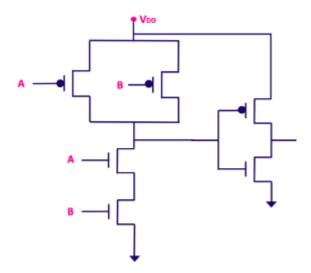
(C ) Escreva o código **Verilog Estrutural** para o desenho abaixo. Qual o valor de F para a=1, b=0, c=1 e d=1 ?



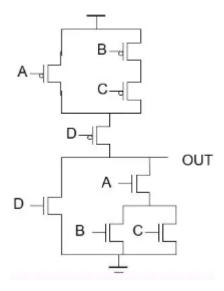
(d) Escreva o código Verilog com equações (assign) para o circuito



3 (a) Para a porta CMOS abaixo, qual o valor da saida para a=0 e b=1 ? Desenhe o caminho no circuito



(b) Para a porta CMOS abaixo, qual o valor da saida para a=1, b=0, c=0, d=1 ? Desenhe o caminho no circuito



4. Para a tabela abaixo, complete os valores de F, onde F é um número em complemento de 2 com 4 bits. As entradas A e B estão em complemento de 2 com 2 bits. Se a > b, o valor de F é 2A + B, senão F é 2A - B. Faça os 4 mapas de Karnaugh para F3,F2,F1,F0 e escreva as equações.

Linha	A1A0	B1B0	a>b 2A+B,senão 4A-2B	F3F2F1F0	
0	00	00			
1	00	01			
2	00	10			
3	00	11			
4	01	00			
5	01	01			
6	01	10			
7	01	11			
8	10	00			
9	10	01			
10	10	10			
11	10	11			
12	11	00			
13	11	01			
14	11	10			
15	11	11			

