

۱. هدف کلی

تولید بردارهای تست برای یک مدار استاندارد در سطح گیت به روش تجزیه تحلیل جدول اشکال^۱

۲. پیاده سازی

با استفاده از شبیه سازهای طراحی شده در فاز اول و زبان های برنامه نویسی یک شبیه ساز طراحی و پیاده سازی نمایم که فایل های استاندارد ISCAS را بخواند، مدار منطقی آن را تشخیص دهد و بردارهای تست مورد نیاز برای کشف تمامی اشکال ها را به دست آورد. برای ایجاد شبیه ساز بایستی از فایل های bench که در فاز اول با آن ها کار کرده اید استفاده کنید.

گام اول: تشکیل جدول اشکال

شبیه ساز ابتدا باید تمامی بردارهای ورودی ممکن را به روش جامع^۲ مورد بررسی قرار دهد و برای هر بردار با شبیه سازی اشکال به روش Deductive Fault Simulation که در فاز اول پیاده سازی کرده اید، اشکال های قابل کشف را مشخص کرده و جدول اشکال را مطابق اسلایدهای درس تشکیل دهد.

گام دوم: کاهش جدول اشکال با استفاده از Fault Collapsing

شبیه ساز بایستی قادر باشد که با استفاده از روش Fault Collapsing تدریس شده جدول بردارهای اولیه را کاهش دهد و بردارهای تست نهایی را به عنوان خروجی نمایش دهد. برای این منظور شما باید مشابه شکل ۱، بردارهای تست لازم^۳ را پیدا کنید.

نکته: توجه فرمایید که در این بخش شما باید در نظر بگیرید که تمام اشکالات Stuck at 0/1 در تمام نت های مدار وجود دارد.

	a/0	a/1	b/0	b/1	c/1	d/0	g/0	i/1	z/1
abcd									
0000	x								x
0001									x
0010	x								x
0011									x
0100	x					x			x
0101									x
0110								x	x
0111								x	x
1000	x								
1001						x		x	x
1010	x		x						
1011					x			x	x
1100	x		x						
1101						x		x	x
1110			x				x	x	x
1111								x	x

شکل ۱، تجزیه تحلیل جدول اشکال

¹ Fault Table Analysis

² Exhaustive

³ Essential

۳. نکات پیاده‌سازی

برای طراحی و پیاده‌سازی شبیه‌ساز شما باید شرایط زیر را در نظر بگیرید:

- می‌توانید از هر زبان برنامه‌نویسی برای پیاده‌سازی شبیه‌ساز استفاده نمایید.
- مانند فاز اول، شبیه‌ساز باید بتواند تمام گیت‌های منطقی (به ازای هر تعداد ورودی) را بخواند:

AND, NAND, OR, NOR, XOR, XNOR, NOT, BUF, FANOUT

- شبیه‌ساز باید مقادیر دوتایی (۱/۰) را پشتیبانی کند.
- شبیه‌ساز باید به‌طور عمومی باشد یعنی بتواند هر مدار استاندارد را که با فرمت مدنظر است، دریافت کند.

۴. فرمت ورودی/خروجی شبیه‌ساز

- مدار ISCAS به فرمت bench. که در فاز اول نشان داده شده است به‌عنوان ورودی به شبیه‌ساز داده می‌شود.
- با استفاده از روش تجزیه تحلیل جدول اشکال، تمامی بردار تست‌های لازم برای کشف تمامی خطاها را در خروجی نمایش دهید، همچنین درنهایت بردارهای تست لازم را همراه با اشکال‌هایی که هرکدام کشف می‌کنند به‌عنوان خروجی نشان دهید (جدول اشکال را نیز خروجی دهید). برای نام‌گذاری نت‌های شاخه fan-out از علامت _ بعد از نام نت و در انتها شماره شاخه fan-out مانند زیر (برای نت ۱۱) عمل کنید:

11_1

11_2

نکات تحویل پروژه:

- ۱- مراحل انجام پروژه باید به صورت گزارش ارائه شود. گزارش باید شامل چگونگی تشکیل جدول اشکال اولیه و چگونگی تجزیه تحلیل این جدول و عملکرد Fault Collapsing در کاهش تعداد بردارهای تست باشد. همچنین بایستی چند نمونه نتایج و خروجی‌های شبیه‌سازی در گزارش آورده شود. گزارش باید حداقل دارای شبیه‌سازی مدار C17 باشد.
- ۲- پروژه می‌تواند به صورت گروهی (حداکثر اعضای گروه دو نفر) انجام شود.
- ۳- فایل‌های برنامه، فایل خروجی‌های احتمالی و فایل گزارش (به صورت pdf) را به صورت فشرده با یکی از فرمت‌های زیر در سامانه‌ی درس‌افزار (CW) بارگذاری نمایید.

Testability-P2(student number1-student number2).rar

Testability-P2(student number1-student number2).zip

- ۴- به تاریخ تحویل پروژه در سامانه‌ی درس‌افزار (CW) توجه نمایید.
- ۵- با توجه به شرایط، ممکن است در صورت نیاز زمانی برای تحویل پروژه به صورت حضوری یا غیرحضوری در نظر گرفته شود که زمان آن متعاقباً در سامانه‌ی درس‌افزار (CW) اعلام می‌گردد.
- ۶- می‌توانید سؤالات یا ابهام‌های خود را به ایمیل MehrabToghani@Gmail.com ارسال نمایید.

توجه:

رعایت آداب آموزشی در انجام پروژه و تمرین‌های درس الزامی است. لطفاً آیین‌نامه مصوب دانشکده را دقیقاً مطالعه فرمایید. در صورت مشاهده‌ی هرگونه تقلب، نمره‌ی پروژه برای هر دو طرف (کپی دهنده و کپی گیرنده) صفر منظور خواهد شد.

موفق و سلامت باشید