

۱. هدف کلی

شبیه‌سازی ساختاری و شبیه‌سازی اشکال در مدارهای ترکیبی استاندارد (ISCAS) در سطح گیت

۲. مقدمه

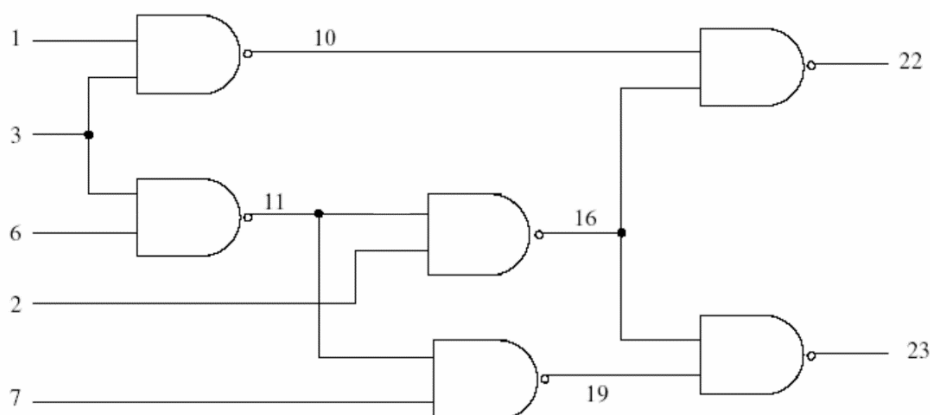
مدل‌های سطح بالای ISCAS شامل مدارهایی هستند که به جهت کاربردهای تحقیقاتی مورد استفاده قرار می‌گیرند. این مدارها از جمله مدارهای ساده محک هستند که به راحتی و آزادانه در دسترس پژوهشگران قرار دارند. مدل‌های موجود در این استاندارد در سه سطح قرار دارند که عبارت‌اند از:

- سطح گیت
- سطح ساختاری
- سطح رفتاری

این مدل‌های سطح بالا و سطح گیت از مجموعه‌ای مدارهای محک سلسله‌مراتبی هستند که برای برخی ابزارهای تحقیقاتی در طراحی دیجیتال مانند تولید تست و تجزیه تحلیل زمانی آزمایش شده‌اند. کدهای مربوط به مدارهای محک استاندارد ISCAS با زبان Verilog و در سطح ساختاری نوشته شده‌اند. مدل‌های ساختاری برای شرح ساختار سطح بالا که به‌طور ضمنی در طراحی‌های سطح گیت قرار دارند، در نظر گرفته شده‌اند. در اغلب موارد، مدل‌های رفتاری Verilog که بلوک‌های سطح بالا را در حالتی از معادلات منطقی تعریف می‌کنند، به راحتی می‌توانند به گیت‌ها سنتز شوند.

۳. پیاده‌سازی

با استفاده از زبان‌های برنامه‌نویسی یک شبیه‌ساز طراحی و پیاده‌سازی نمایید که فایل‌های استاندارد ISCAS در سطح گیت را بخواند و مدار منطقی آن را تشخیص دهد. برای ایجاد شبیه‌ساز بایستی فایل bench. که به‌طور نمونه (c17.bench) در زیر آورده شده است، خوانده شود. مدار منطقی این فایل در شکل ۱ نشان داده شده است.



شکل ۱، مدار منطقی فایل c17.bench

```
# c17
# 5 inputs
# 2 outputs
# 0 inverter
# 6 gates ( 6 NANDs )
```

```
INPUT (1)
INPUT (2)
INPUT (3)
INPUT (6)
INPUT (7)
```

```
OUTPUT (22)
OUTPUT (23)
```

```
10 = NAND (1, 3)
11 = NAND (3, 6)
16 = NAND (2, 11)
19 = NAND (11, 7)
22 = NAND (10, 16)
23 = NAND (16, 19)
```

توجه: فایل‌های با فرمت bench را می‌توانید از آدرس زیر دریافت کنید:

<http://www.pld.ttu.ee/~maksim/benchmarks/iscas85/bench/>

گام اول: True-Value Simulation

شبیه‌ساز بایستی قادر باشد که با مقادیر ورودی که به مدار اعمال می‌شود، مقادیر تمام نت‌ها و خروجی‌ها را مشخص کند.

گام دوم: شبیه‌سازی اشکال با استفاده از روش Deductive Fault Simulation

شبیه‌ساز بایستی قادر باشد که با دریافت بردار تست به‌عنوان ورودی تمام اشکال‌های قابل‌کشف مربوط به تمام نت‌ها را تشخیص دهد و در خروجی چاپ کند. برای این منظور باید از روشی که در درس آزمون‌پذیری تحت عنوان Deductive Fault Simulation مطرح شده است، استفاده کرده و این فرایند را انجام دهید.

نکته: توجه فرمایید که در این بخش شما باید در نظر بگیرید که تمام اشکالات Stuck at 0/1 در تمام نت‌های مدار وجود دارد.

۴. نکات پیاده‌سازی

برای طراحی و پیاده‌سازی شبیه‌ساز شما باید شرایط زیر را در نظر بگیرید:

- می‌توانید از هر زبان برنامه‌نویسی برای پیاده‌سازی شبیه‌ساز استفاده نمایید.
- شبیه‌ساز باید بتواند تمام گیت‌های منطقی (به ازای هر تعداد ورودی) را بخواند:

AND, NAND, OR, NOR, XOR, XNOR, NOT, BUF, FANOUT

- شبیه‌ساز باید مشابه زبان‌های توصیف سخت‌افزار^۱ تمام مقادیر ورودی را پشتیبانی کند:

0: Low

1: High

U: نامشخص

Z: Hi_Impedance

- شبیه‌ساز باید به‌طور عمومی باشد یعنی بتواند هر مدار استاندارد را که با فرمت مدنظر است، دریافت کند.

۵. فرمت ورودی/خروجی شبیه‌ساز

- شبیه‌ساز طراحی شده بایستی سه فایل را به‌عنوان ورودی مطابق شرایط زیر دریافت نماید:

۱- فایل مدار ترکیبی استاندارد (ISCAS) به فرمت bench. که در بالا نشان داده شده است.

۲- فایل شامل مقادیر ورودی‌های مدار که در سطر اول آن ورودی‌های مدار مشخص می‌شود و در سطر بعدی مقدار هر ورودی قرار می‌گیرد. به‌عنوان نمونه برای مدار C17 یک بردار تست به‌صورت زیر است:

1 3 6 2 7

1 0 1 0 0

۳- فایل بردار تست که فرمت آن مشابه فایل مقادیر ورودی (بالا) است.

- با انجام True-Value Simulation بر روی فایل مقادیر ورودی، مقادیر نت‌ها را در خروجی نمایش دهید.
- با انجام Deductive Fault Simulation بر روی بردار تست داده شده، تمام اشکال‌های قابل کشف را با مشخص نمودن نوع اشکال (stuck at 0/1) در خروجی نشان دهید.
- برای نام‌گذاری نت‌های شاخه fan-out از علامت _ بعد از نام نت و در انتها شماره شاخه fan-out مانند زیر (برای نت ۱۱) عمل کنید:

11_1

11_2

¹ Hardware Description Language (HDL)

نکات تحویل پروژه:

- ۱- مراحل انجام پروژه باید به‌صورت گزارش ارائه شود. گزارش باید شامل چگونگی خواندن فایل bench، نحوه اعمال مقادیر ورودی به مدار، تولید خروجی (مقادیر تمام نت‌ها و خروجی‌های مدار) و نحوه پیاده‌سازی و عملکرد Deductive Fault Simulation باشد. همچنین بایستی چند نمونه از نتایج و خروجی‌های شبیه‌سازی در گزارش آورده شود. گزارش باید حداقل دارای شبیه‌سازی مدار C17 به ازای دو مجموعه ورودی و شبیه‌سازی اشکال مدار C17 به ازای دو بردار تست باشد.
- ۲- پروژه می‌تواند به‌صورت گروهی (حداکثر اعضای گروه دو نفر) انجام شود.
- ۳- فایل‌های برنامه، فایل خروجی‌های احتمالی و فایل گزارش (به‌صورت pdf) را به‌صورت فشرده با یکی از فرمت‌های زیر در سامانه‌ی درس‌افزار (CW) بارگذاری نمایید.

Testability-P1(student number1-student number2).rar

Testability-P1(student number1-student number2).zip

- ۴- به تاریخ تحویل پروژه در سامانه‌ی درس‌افزار (CW) توجه نمایید.
- ۵- با توجه به شرایط، ممکن است در صورت نیاز زمانی برای تحویل پروژه به‌صورت حضوری یا غیرحضوری در نظر گرفته شود که زمان آن متعاقباً در سامانه‌ی درس‌افزار (CW) اعلام می‌گردد.
- ۶- می‌توانید سؤالات یا ابهام‌های خود را به ایمیل MehrabToghani@Gmail.com ارسال نمایید.

توجه:

رعایت آداب آموزشی در انجام پروژه و تمرین‌های درس الزامی است. لطفاً آیین‌نامه مصوب دانشکده را دقیقاً مطالعه فرمایید. در صورت مشاهده‌ی هرگونه تقلب، نمره‌ی پروژه برای هر دو طرف (کپی دهنده و کپی گیرنده) صفر منظور خواهد شد.

موفق و سلامت باشید