

Subject: Re: Vragen over artikel Xmas, quick format modeling

From: Freek Verbeek <Freek.Verbeek@ou.nl>

Date: 10/08/2014 03:51 PM

To: "A.J. Bonnema" <gbonnema@xs4all.nl>

CC: "Verbeek, Freek" <Freek.Verbeek@ou.nl>, "Gastel, Bernard van" <Bernard.vanGastel@ou.nl>, Jeroen Kleijn <j.kleijn@studie.ou.nl>, Stefan Versluys <s.versluys@studie.openuniversiteit.be>

X-Mozilla-Status: 0011

X-Mozilla-Status2: 00000000

Return-Path: <verbeek.freek@gmail.com>

Received: from mail-lb0-f182.google.com (mail-lb0-f182.google.com [209.85.217.182]) by mxdrop141.xs4all.nl (8.13.8/8.13.8) with ESMTP id s98DpbHP027891 (version=TLSv1/SSLv3 cipher=RC4-SHA bits=128 verify=OK) for <gbonnema@xs4all.nl>; Wed, 8 Oct 2014 15:51:38 +0200 (CEST) (envelope-from verbeek.freek@gmail.com)

Received: by mail-lb0-f182.google.com with SMTP id z11so7949447lbi.41 for <gbonnema@xs4all.nl>; Wed, 08 Oct 2014 06:51:37 -0700 (PDT)

DKIM-Signature: v=1; a=rsa-sha256; c=relaxed/relaxed; d=gmail.com; s=20120113; h=mime-version:sender:in-reply-to:references:date:message-id:subject:from:to:cc:content-type; bh=/PtIL/t2V1DOH5rGuwtiWL0pG01woJp+cJM0mWb1OSA=;

b=bYm0tXuWB61LEb++TBM8pMayzWq9w8qTJ6TaNOAsOf5q2sLgpQv8dNSgGm69/DfIDXAw2k9Z6py87kcORcGp2aDmfX118kDoV4WBYwgVcHrbrFcQ1d6Sd7HXJ/h4+NCTHitSp5QboKmDODONo8yXUUZwfZob44B1seXuPRKac4lQHADpRZ2t2KuMD3q/Q3ayBH5snL3SFFkR9Her/FTDBcDyVucCjXeI18NiqqNUNID+vH80QA8WqfNh4Q6NRolpBKeTPquTRwhTMCfOZITt4gnQTCrbFwFEYIJ2ofhztmzdqfjvdKh/N7XosWGLh8W7e3nYrZBrXKHRk9pqjk Q/XA==

MIME-Version: 1.0

X-Received: by 10.152.87.170 with SMTP id az10mr11655165lab.20.1412776297487; Wed, 08 Oct 2014 06:51:37 -0700 (PDT)

Sender: verbeek.freek@gmail.com

Received: by 10.112.171.170 with HTTP; Wed, 8 Oct 2014 06:51:36 -0700 (PDT)

In-Reply-To: <543244C1.4070007@xs4all.nl>

References: <543244C1.4070007@xs4all.nl>

X-Google-Sender-Auth: b-1iinSH5Che9jL-qYMnxE9nd7w

Message-ID: <CA+X+tYiEXodMJPGDTTRX5eWCAEYeXXVijKafxxad_UgQ_Kej4A@mail.gmail.com>

Content-Type: multipart/mixed; boundary=001a11c223b65c14930504e99de2

X-XS4ALL-DNSBL-Checked: mxdrop141.xs4all.nl checked 209.85.217.182 against DNS blacklists

X-CNFS-Analysis: v=2.1 cv=Ksl0hwmN c=1 sm=0 tr=0 a=UHZ0rKStj+jjtY0Sin7emQ==:117 a=1XWaLZrsAAAA:8 a=pGLkceISAAAA:8 a=Jk--mrpCYIA6602mosEA:9 a=QEXdDO2ut3YA:10 a=hAMi4IDEYjTCyFG4bmEA:9 a=bNyDgEfdf-FBrgqi:21 a=EPzYYZLjt0xjKh7bXEMA:9 a=n3BslyFRqc0A:10 a=Sf_gFPzhefAA:10

X-Virus-Scanned: by XS4ALL Virus Scanner

Envelope-To: gbonnema@xs4all.nl

Hoi,

1. Definitie IP blocks. Is IP = Intellectual Property?

Klopt. Abstract gezien zijn dit de cores, waartussen een communication fabric aangelegd moet worden.

2.

Zie bijlage. Ik zou hier voornamelijk Sectie II van lezen, die per primitief de semantiek geeft. Verder bevat deze paper weinig toevoeging tov van de eerdere paper.

3a. Hoe gaat dat met timing: is de veronderstelling dat elke stap 1 clock tick nodig heeft?

Dit is een belangrijk punt. We nemen een synchrone semantiek aan, waarbij alle trdy's, irdy's en data wires "instantaan" berekend worden, en waarbij een pakketje dus in 1 kloktik van queue naar queue beweegt (ongeacht de onderlinge combinatorische primitieven). Dit is een realistische aanname, omdat de frequente van het systeem zo wordt gekozen dat alle onderlinge combinatorische wires binnen 1 kloktik berekend kunnen worden.

3b.

Inderdaad, als een irdy hoog is en trdy laag, dan is er geen transfer. Het ontwerp (zoals getekend in de tool) hoeft met deze details geen rekening te houden: het volstaat als we channels kunnen tekenen. Vanuit een dergelijk design kunnen we dan simulaties en verificatie doen.

4.

Dat is een negatie (dus driehoek + rondje).

5.

Om eerlijk te zijn ken ik de preciese details van dit figuur niet. De voornaamste boodschap die ik er uit zou halen is dat XMAS -- hoewel het uit slechts 8 simpele primitieven bestaat -- gebruikt kan worden om ingewikkelde niet-triviale hardware structuren mee te modeleren.

6.

Zie de bijlage. Naar een vertaling van XMAS naar Verilog (en zelfs andersom!) wordt momentele veel onderzoek gedaan, maar dit beschouw ik als out-of-scope. Wij blijven op het niveau van XMAS, dwz, wij beschouwen de semantiek beschreven dmv trdy, irdy en data wires.

Mochten er nog vragen zijn, laat het me dan weten.

Met vriendelijke groet,

Freek Verbeek

Op 6 oktober 2014 09:29 schreef A.J. Bonnema <gbonnema@xs4all.nl>:

Hi Freek,

Na lezen van het artikel "xMAS: Quick Formal Modeling of Communication Fabrics to Enable Verification" heb ik wat vragen. Het kan zijn, dat zij niet direct een weerslag vinden in het ontwerp programma dat wij beogen, maar dat ik zo niet bepalen. Dus ik stel mijn vragen.

1. Definitie IP blocks. Is IP = Intellectual Property? Of betekent het iets anders?

2. Het artikel beschrijft een fork min of meer gedetailleerd, evenals een join (de duale versie van fork). De andere primitieven beschrijft het niet, daarvoor verwijst het naar artikel [11] met ongeveer dezelfde titel als dit artikel. Ik heb de OU bib afgezocht, maar kan het artikel helaas niet vinden. Is het artikel wel openbaar? Zo ja, heb je dan een kopie voor mij? Zo niet, heb je dan een andere bron die de volledige semantiek weergeeft? Eventueel in verilog per primitief?

3. De "wires" in de tekeningen geven elk een "channel" weer die eigenlijk 3 wires zijn voor respectievelijk irdy, trdy en data. In ons ontwerptool tekenen we alleen channels. Nu geeft de tekst aan, dat dit een precieze semantiek heeft zowel voor logica als voor timing.

a. Hoe gaat dat met timing: is de veronderstelling dat elke stap 1 clock tick nodig heeft?

b. Hoe zit het met de samenwerking tussen irdy en trdy? Immers met

1 van beiden ready en de ander niet ready gebeurt er niets. Dit zie je niet terug in het ontwerp? Hoe kun je hier dan over redeneren?

4. In figuur 1 gebruikt met een driehoek met een rondje aan de scherpe kant. Het rondje betekent negatie vermoed ik. Wat betekent de driehoek? Wat betekent de omgekeerde driehoek?

5. Het voorbeeld van scoreboard (figure 5) geeft een scoreboard aan met 1 input kanaal aan de linker kant (new transaction) dat voorzien is van een tag (A of B).

Wat onduidelijk is, is wat er precies gebeurt in de in- en uit-kanalen in fase 1 en die in fase 2. Het voorbeeld dat zij noemen is een multi processor memory controller met snoops en reply collects in fase 1 en memory updates in fase 2. ik kan me hier op dit moment nog niet zo veel bij voorstellen: hoe werkt dat?

6. Het artikel suggereert vaak exacte semantics en precieze vertaling naar verilog. Zijn die semantics en Verilog vertalingen bij ons bekend?

mvrgr, Guus Bonnema.

—Attachments:—

05496662.pdf

525 KB